



(12)发明专利

(10)授权公告号 CN 107909960 B

(45)授权公告日 2020.06.09

(21)申请号 201810003043.3

(22)申请日 2018.01.02

(65)同一申请的已公布的文献号
申请公布号 CN 107909960 A

(43)申请公布日 2018.04.13

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 合肥京东方光电科技有限公司

(72)发明人 徐飞

(74)专利代理机构 北京律智知识产权代理有限公司 11438

代理人 王辉 阚梓瑄

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

(56)对比文件

CN 106910470 A,2017.06.30,

CN 106875913 A,2017.06.20,

CN 102254503 A,2011.11.23,

US 2013070891 A1,2013.03.21,

JP 2006344306 A,2006.12.21,

CN 101242178 A,2008.08.13,

审查员 孟慧慧

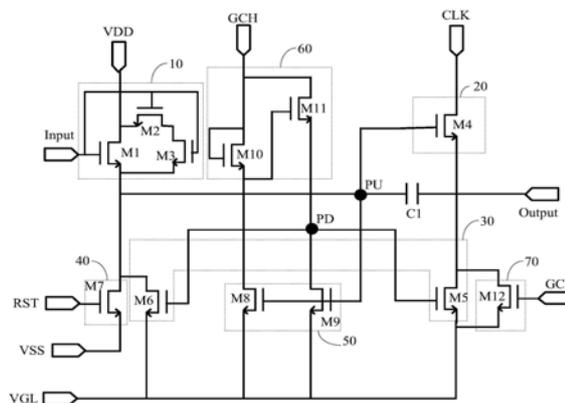
权利要求书2页 说明书8页 附图4页

(54)发明名称

移位寄存器单元、移位寄存器电路及显示面板

(57)摘要

本公开涉及一种移位寄存器单元、移位寄存器电路及其显示面板,涉及显示技术领域。该移位寄存器单元包括:输入模块,包括两个以上的开关元件,用于在输入信号的控制下,将第一电源信号传输至上拉节点;输出模块,用于在所述上拉节点的电压信号的控制下,将时钟信号传输至信号输出端;下拉模块,用于在下拉节点的电压信号的控制下,将第二电源信号传输至所述上拉节点和所述信号输出端;存储电容,连接在所述上拉节点和所述信号输出端之间。本公开可避免输出波形失真而导致的显示不良。



1. 一种移位寄存器单元,其特征在于,包括:

输入模块,包括两个以上的开关元件,用于通过增加输入模块中包含的开关元件的数量,在输入信号的控制下,将第一电源信号传输至上拉节点;

输出模块,用于在所述上拉节点的电压信号的控制下,将时钟信号传输至信号输出端;

下拉模块,用于在下拉节点的电压信号的控制下,将第二电源信号传输至所述上拉节点和所述信号输出端;

存储电容,连接在所述上拉节点和所述信号输出端之间;

其中,所述输入模块包括:

第一开关元件,其控制端接收所述输入信号,第一端接收所述第一电源信号,第二端连接所述上拉节点;

第二开关元件,其控制端接收所述输入信号,第一端接收所述第一电源信号,第二端连接第三开关元件的第一端;

所述第三开关元件,其控制端接收所述输入信号,第一端连接所述第二开关元件的第二端,第二端连接所述上拉节点。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一开关元件与所述第二开关元件并联。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出模块包括:

第四开关元件,其控制端连接所述上拉节点,第一端接收所述时钟信号,第二端连接所述信号输出端。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述下拉模块包括:

第五开关元件,其控制端连接所述下拉节点,第一端接收所述第二电源信号,第二端连接所述信号输出端;

第六开关元件,其控制端连接所述下拉节点,第一端接收所述第二电源信号,第二端连接所述上拉节点。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,还包括:

复位模块,用于在复位信号的控制下,将所述第二电源信号传输至所述上拉节点;

所述复位模块包括:

第七开关元件,其控制端连接所述复位信号,第一端接收所述第二电源信号,第二端连接所述上拉节点。

6. 根据权利要求1所述的移位寄存器单元,其特征在于,还包括:

上拉模块,用于在所述上拉节点的电压信号的控制下,将所述第二电源信号传输至所述下拉节点;

下拉控制模块,用于在第一电压信号的控制下,将所述第一电压信号传输至所述下拉节点;

输出控制模块,用于在第二电压信号的控制下,将所述第二电源信号传输至所述信号输出端。

7. 一种移位寄存器电路,其特征在于,包括多个级联的权利要求1-6任一项所述的移位寄存器单元;

其中,第M级移位寄存器单元的信号输出端的输出信号为第M+1级移位寄存器单元的输

入信号。

8. 一种显示面板,其特征在於,包括显示区域和周边区域;其中,所述周边区域设置有权利要求7所述的移位寄存器电路。

移位寄存器单元、移位寄存器电路及显示面板

技术领域

[0001] 本公开涉及显示技术领域,尤其涉及一种移位寄存器单元、移位寄存器电路及其显示面板。

背景技术

[0002] 随着光学技术和半导体技术的发展,以液晶显示器(Liquid Crystal Display, LCD)和有机发光二极管显示器(Organic Light Emitting Diode, OLED)为代表的平板显示器具有轻薄、能耗低、反应速度快、色纯度佳、以及对比度高等特点,在显示领域占据了主导地位。

[0003] 近些年来显示装置呈现出了高集成度以及低成本的发展趋势。以阵列基板行驱动(Gate Driver on Array,GOA)技术为代表,利用GOA技术将栅极驱动电路集成于阵列基板的周边区域,从而在实现窄边框设计的同时,有效提高显示装置的集成度,并降低其制造成本。

[0004] GOA电路中的每一级移位寄存器单元的输出端与一对应的栅线相连,用于向该栅线输出栅极扫描信号,以实现逐行扫描功能。由于分辨率越来越高,导致GOA的栅极gate数量不断增加,因此对存储电容充电的速度要求越来越苛刻。

[0005] 需要说明的是,在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解,因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

[0006] 本公开的目的在于提供一种移位寄存器单元、移位寄存器电路及其显示面板,进而至少在一定程度上克服由于相关技术的限制和缺陷而导致的电路输出波形失真的问题。

[0007] 本公开的其他特性和优点将通过下面的详细描述变得显然,或部分地通过本公开的实践而习得。

[0008] 根据本公开的一个方面,提供一种移位寄存器单元,包括:

[0009] 输入模块,包括两个以上的开关元件,用于在输入信号的控制下,将第一电源信号传输至上拉节点;

[0010] 输出模块,用于在所述上拉节点的电压信号的控制下,将时钟信号传输至信号输出端;

[0011] 下拉模块,用于在下拉节点的电压信号的控制下,将第二电源信号传输至所述上拉节点和所述信号输出端;

[0012] 存储电容,连接在所述上拉节点和所述信号输出端之间。

[0013] 在本公开的一种示例性实施例中,所述输入模块包括:

[0014] 第一开关元件,其控制端接收所述输入信号,第一端接收所述第一电源信号,第二端连接所述上拉节点;

[0015] 第二开关元件,其控制端接收所述输入信号,第一端接收所述第一电源信号,第二

端连接所述上拉节点。

[0016] 在本公开的一种示例性实施例中,所述输入模块包括:

[0017] 第一开关元件,其控制端接收所述输入信号,第一端接收所述第一电源信号,第二端连接所述上拉节点;

[0018] 第二开关元件,其控制端接收所述输入信号,第一端接收所述第一电源信号,第二端连接第三开关元件的第一端;

[0019] 所述第三开关元件,其第一端连接所述第二开关元件的第二端,第二端连接所述上拉节点。

[0020] 在本公开的一种示例性实施例中,所述第一开关元件与所述第二开关元件并联。

[0021] 在本公开的一种示例性实施例中,所述输出模块包括:

[0022] 第四开关元件,其控制端连接所述上拉节点,第一端接收所述时钟信号,第二端连接所述信号输出端。

[0023] 在本公开的一种示例性实施例中,所述下拉模块包括:

[0024] 第五开关元件,其控制端连接所述下拉节点,第一端接收所述第二电源信号,第二端连接所述信号输出端;

[0025] 第六开关元件,其控制端连接所述下拉节点,第一端接收所述第二电源信号,第二端连接所述上拉节点。

[0026] 在本公开的一种示例性实施例中,还包括:

[0027] 复位模块,用于在复位信号的控制下,将所述第二电源信号传输至所述上拉节点;

[0028] 所述复位模块包括:

[0029] 第七开关元件,其控制端连接所述复位信号,第一端接收所述第二电源信号,第二端连接所述上拉节点。

[0030] 在本公开的一种示例性实施例中,还包括:

[0031] 上拉模块,用于在所述上拉节点的电压信号的控制下,将所述第二电源信号传输至所述下拉节点;

[0032] 下拉控制模块,用于在第一电压信号的控制下,将所述第一电压信号传输至所述下拉节点;

[0033] 输出控制模块,用于在第二电压信号的控制下,将所述第二电源信号传输至所述信号输出端。

[0034] 根据本公开的一个方面,提供一种移位寄存器电路,包括多个级联的上述任意一项所述的移位寄存器单元;

[0035] 其中,第M级移位寄存器单元的信号输出端的输出信号为第M+1级移位寄存器单元的输入信号。

[0036] 根据本公开的一个方面,提供一种显示面板,包括显示区域和周边区域;其中,所述周边区域设置有上述任意一项所述的移位寄存器电路。

[0037] 本公开示例性实施方式所提供的移位寄存器单元、移位寄存器电路及其显示面板,在传统移位寄存器单元结构的输入模块的基础上,增加了输入模块中开关元件的数量,可保证在输入信号为高电平时,可以通过输入模块提升存储电容的充电速度,并且不会增加流经第一开关元件的漏电流的大小,改善了GOA电路输出失真的情况,提高GOA电路的稳

定性,避免由此产生的显示不良。

[0038] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本公开。

附图说明

[0039] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本公开的实施例,并与说明书一起用于解释本公开的原理。显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0040] 图1示意性示出现有技术中移位寄存器单元的结构示意图;

[0041] 图2示意性示出现有技术中移位寄存器单元的工作时序图;

[0042] 图3示意性示出本公开示例性实施例中移位寄存器单元的结构示意图;

[0043] 图4示意性示出本公开示例性实施例中移位寄存器单元的波形对比图;

[0044] 图5示意性示出本公开示例性实施例中移位寄存器电路的级联结构图。

[0045] 附图标记:

[0046] M1-M12 第一至第十二晶体管

[0047] C1 存储电容

[0048] Input 第一输入信号

[0049] Output 信号输出端

[0050] PU 上拉节点

[0051] PD 下拉节点

[0052] CLK 时钟信号

[0053] RST 复位信号

[0054] VDD 第一电源信号

[0055] VSS/VGL 第二电源信号

[0056] GCH 第一电压信号

[0057] GCL 第二电压信号

具体实施方式

[0058] 现在将参考附图更全面地描述示例实施方式。然而,示例实施方式能够以多种形式实施,且不应被理解为限于在此阐述的范例;相反,提供这些实施方式使得本公开将更加全面和完整,并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。

[0059] 此外,附图仅为本公开的示意性图解,并非一定是按比例绘制。图中相同的附图标记表示相同或类似的部分,因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体,不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体,或在一个或多个硬件模块或集成电路中实现这些功能实体,或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

[0060] 示例性的,参考如图1所示的移位寄存器单元,如果增加第一开关元件M1的尺寸,

虽然可以增加电容充电的速度,但是同时会增加流经第一开关元件M1的漏电流,从而可能导致GOA电路误输出或者是输出失真的情况,因此移位寄存器电路常会出现各种不良,从而导致显示异常。

[0061] 结合图1所示的相关技术中的移位寄存器单元及其图2所示的时序图,该移位寄存器单元的工作过程如下:

[0062] 在第一阶段t1,当输入信号Input为高电平信号时,输入信号Input 为上一级的信号输出端Output的电压信号,在输入信号的高电平作用下使得第一开关元件M1导通;当时钟信号CLK为低电平信号时,通过信号输入端的高电平信号拉高上拉节点PU的电平,进而给存储电容C1进行充电,同时在上拉节点PU的高电平作用下M8和M6导通,通过设计 M5与M9的比例,使下拉节点PD为低电平,从而使得M10和M4关断,保证信号的稳定输出。

[0063] 在第二阶段t2,当输入信号Input为低电平时,第一开关元件M1关断,上拉节点PU在存储电容C1的作用下继续保持高电平,第三开关元件M3保持导通状态。时钟信号CLK为高电平信号,上拉节点PU由于自举效应放大上拉节点PU的电压,最终向输出端传输驱动信号;此时上拉节点PU为高电平信号,M6导通,从而M10和M4继续关闭,保证信号的稳定性输出。

[0064] 在第三阶段t3,下一级信号输出端Output的电压信号即复位信号,因此复位信号RST为高电平,在复位信号高电平的控制下M2导通,通过其对上拉节点PU和信号输出端Output传输低电平信号,M3关闭,将输出信号拉到VGL电位,以保证信号的稳定性输出。

[0065] 在第四阶段t4,由于GCH一直为高电位。此时在第三阶段通过M2 已对上拉节点PU和信号输出端Output进行了放电,此时M6处于关闭状态,所以不会对下拉节点PD进行放电;由于GCH为高电位,M9和 M5导通,此时下拉节点PD电位被拉高,从而打开放电管M10和M4,以对上拉节点PU及信号输出端Output进行放噪,使得由CLK产生的 Coupling噪声电压得以消除,从而保证低压输出,保证信号输出的稳定性。

[0066] 在下一时刻,GCH一直为高电平,CLK产生的Coupling噪声一直处于放噪状态直到下一帧该行打开。

[0067] 由此可知,这种移位寄存器单元只能保证一般的Gate波形输出,但是对于Gate波形的失真确无改善功能。

[0068] 为了避免上述问题,本示例实施方式提出了一种移位寄存器单元,用于提供栅极扫描信号;如图3所示,所述移位寄存器单元具体可以包括:

[0069] 输入模块10,包括两个以上的开关元件,用于在输入信号Input的控制下,将第一电源信号VDD传输至上拉节点PU;

[0070] 输出模块20,用于在所述上拉节点PU的电压信号的控制下,将时钟信号CLK传输至信号输出端Output;

[0071] 下拉模块30,用于在下拉节点PD的电压信号的控制下,将第二电源信号VGL传输至所述上拉节点PU和所述信号输出端Output;

[0072] 存储电容C1,连接在所述上拉节点PU和所述信号输出端Output之间。

[0073] 除此之外,所述移位寄存器单元还可以包括:

[0074] 复位模块40,用于在复位信号RST的控制下将第二电源信号VSS 传输至所述上拉节点PU。

[0075] 本公开示例性实施方式所提供的移位寄存器单元,在传统移位寄存器单元结构的

输入模块的基础上,增加了输入模块中开关元件的数量,可保证在输入信号为高电平时,通过输入模块提升存储电容的充电速度,并且不会增加流经第一开关元件的漏电流的大小,改善了GOA电路输出失真的情况,避免由此产生的显示不良。

[0076] 本示例实施方式中,所述输入模块10具体可以包括两个以上的开关元件,所有的开关元件均用于在输入信号Input的控制下将第一电源信号 VDD传输至上拉节点PU。

[0077] 需要说明的是:本示例实施方式调整所述输入模块10的目的在于提高存储电容C1的充电速度并且避免增加流经开关元件M1的漏电流,避免由于漏电流较大而导致的电路输出失真的情况,因此只要能够达到上述效果,所述输入模块10中设置两个开关元件或者多个开关元件均可,这里不做具体限定。

[0078] 下面结合图3对本示例实施方式中的移位寄存器单元进行详细的说明。如图4中所示,以第一开关元件至第十二开关元件均为N型晶体管为例,控制端可以为晶体管的栅极,第一端可以为晶体管的源极,第二端可以为晶体管的漏极;但需要说明的是,晶体管的源极和漏极并不进行严格区分,因此也可能是第一端为晶体管的漏极,第二端为晶体管的源极。其中:

[0079] 在本示例实施方式中,所有开关元件可以采用MOS管(Metal Oxide Semiconductor,金属-氧化物-半导体场效应晶体)或者是晶体管,具体而言,第一开关元件至第十二开关元件均可以均采用N型MOS管。除此之外,第一开关元件至第十二开关元件也可以采用P型MOS管。需要说明的是:针对不同的晶体管类型,各个信号端的电平信号需要相应的调整变化。

[0080] 具体而言,输入模块10可以包括:第一开关元件M1,其控制端接收输入信号Input,第一端接收第一电源信号VDD,第二端连接上拉节点 PU;第二开关元件M2,其控制端接收输入信号Input,第一端接收第一电源信号VDD,第二端连接上拉节点PU。需要注意的是,第一开关元件可以与第二开关元件并联,以减小输入模块10中的电阻,增大流经输入模块10的总电流,从而提高存储电容C1的充电速度。

[0081] 进一步地,输入模块10还可以为另一种结构,具体包括:第一开关元件M1,其控制端接收输入信号Input,第一端接收第一电源信号VDD,第二端连接上拉节点PU;第二开关元件M2,其控制端接收输入信号Input,第一端接收第一电源信号VDD,第二端连接第三开关元件M3的第一端;第三开关元件M3,其第一端连接第二开关元件M2的第二端,第二端连接上拉节点PU。

[0082] 需要注意的是,第二开关元件可以与第三开关元件串联,例如第二开关元件的漏极连接第三开关元件的漏极,第二开关元件的源极接收第一电源信号VDD,第三开关元件的源极连接上拉节点PU,第一开关元件 M1可以与串联后的第二开关元件和第三开关元件并联,以减小输入模块 10中的电阻,增大流经输入模块10的总电流,提高存储电容C1的充电速度;除此之外,通过第二开关元件和第三开关元件串联减小流经第一开关元件M1的漏电流,从而避免GOA电路输出异常。其中,串联开关元件的数量不限制为两个,具体可以根据实际需求进行设置。

[0083] 输出模块20可以包括:第四开关元件M4,其控制端连接上拉节点 PU,第一端接收时钟信号CLK,第二端连接信号输出端Output。

[0084] 下拉模块30可以包括:第五开关元件M5,其控制端连接下拉节点 PD,第一端接收

第二电源信号VGL,第二端连接信号输出端Output;下拉模块30还可以包括:第六开关元件M6,其控制端连接下拉节点PD,第一端接收第二电源信号VGL,第二端连接上拉节点PU。

[0085] 复位模块40可以包括:第七开关元件M7,其控制端连接复位信号 RST,第一端接收第一电源信号VSS,第二端连接上拉节点PU。

[0086] 本示例中提供的移位寄存器还可以包括:上拉模块50,用于在上拉节点PU的电压信号的控制下,将第二电源信号VGL传输至下拉节点PD;下拉控制模块60,用于在第一电压信号GCH的控制下,将第一电压信号GCH传输至下拉节点PD;输出控制模块70,用于在第二电压信号GCL的控制下,将第二电源信号VGL传输至信号输出端Output.M12

[0087] 其中,上拉模块50具体可以包括:第八开关元件M8,其控制端连接上拉节点PU,第一端接收第二电源信号VGL,第二端连接第十开关元件M10的第二端,以通过第十开关元件和第十一开关元件连接下拉节点 PD;第九开关元件M9,其控制端连接上拉节点PU,第一端接收第二电源信号VGL,第二端连接下拉节点PD。

[0088] 下拉控制模块60具体可以包括:第十开关元件M10,其控制端和第一端均接收第一电压信号GCH,第二端连接下拉节点PD连接第八开关元件的第二端,同时连接第十一开关元件M11的控制端,以通过第十一开关元件连接下拉节点PD;第十一开关元件M11,其控制端连接第十开关元件的第二端,第一端接收第一电压信号GCH,第二端连接下拉节点 PD。

[0089] 输出控制模块70具体可以包括:第十二开关元件M12,其控制端接收第二电压信号GCL,第一端接收第二电源信号VGL,第二端连接信号输出端Output。

[0090] 下面,结合图2所示的工作时序图对控制时序运行到每个阶段的移位寄存器单元的工作原理进行具体的说明。其中,第一电源信号VDD为高电平信号,第二电源信号VGL/VSS为低电平信号,第一电压信号GCH 为高电平信号,第二电压信号GCL为低电平信号。

[0091] 所述移位寄存器电路的工作过程具体可以包括以下阶段:

[0092] 首先需要说明的是,第一电压信号GCH一直为高电平信号,因此第十开关元件和第十一开关元件保持导通状态,下拉节点PD保持高电平,从而使得第五开关元件和第六开关元件保持导通状态。

[0093] 第一阶段t1:当输入信号Input为高电平信号时,输入信号Input为上一级的信号输出端Output的电压信号,在输入信号的高电平作用下使得第一开关元件M1导通;当时钟信号CLK为低电平信号时,通过信号输入端的高电平信号拉高上拉节点PU的电平,进而给存储电容C1进行充电,与此同时,第二开关元件M2和第三开关元件M3也在输入信号 Input的高电平作用下导通,此时充电电流的大小是传统移位寄存器单元中充电电流的2倍,可以使存储电容C1快速充电至高电平。

[0094] 在第二阶段t2,当输入信号Input为低电平时,开关元件M1、M2、M3均关断,上拉节点PU在存储电容C1的作用下继续保持高电平,第四开关元件M4保持导通状态。时钟信号CLK为高电平信号,上拉节点 PU由于自举效应放大上拉节点PU的电压,最终向输出端传输驱动信号;由于充满后的存储电容C1比图1所示的传统移位寄存器单元中存储电容的自举效果更好,自举后的电压接近2倍VGH电压,因此可以保证信号的稳定性输出。

[0095] 在第三阶段t3,下一级信号输出端Output的电压信号即为复位信号,因此复位信号RST为高电平,在复位信号高电平的控制下M7导通,通过其将第二电源信号VSS传输至上拉节点PU,M4关闭,由于第一电压信号GCH一直为高电平,通过第十开关元件M10和第十一开

关元件M11 将第一电压信号GCH传输至下拉节点PD,从而使得第五开关元件M5 和第六开关元件M6导通,以将第二电源信号VGL传输至信号输出端 Output,以保证信号的稳定输出。

[0096] 在第四阶段t4,由于GCH一直为高电位,且在第二阶段通过M7已对上拉节点PU和信号输出端Output进行了放电,此时M9处于关闭状态,所以不会对下拉节点PD进行放电;由于GCH为高电位,M10和 M11导通,此时下拉节点PD电位被拉高,从而打开放电管M5和M6,以对上拉节点PU及信号输出端Output进行放噪,使得由CLK产生的 Coupling噪声电压得以消除,从而保证低压输出,保证信号输出的稳定性。此时M1、M2均关断,且M3两端不存在电位差,因此通过M2的漏电流非常小,可以忽略不计。

[0097] 下一时刻的工作流程则与传统移位寄存器单元的工作流程相同,此处不再赘述。

[0098] 需要说明的是:在上述第四阶段t4之后,各级移位寄存器单元根据实际情况重复上述第一阶段t1和第四阶段t4即可。

[0099] 为了对移位寄存器单元的输出信号的失真情况进行验证,结合图4 所示的输出波形图进行说明。由图4中的图A可以看出:上拉节点PU 以及下拉节点PD的输出波形均存在一定的上升沿或者下降沿,输出信号 G(n)以及G(n+ 1)的输出波形中均存在一定的上升沿,从而导致出现输出波形失真的现象;而图4中图B中的输出波形相对于图A而言,上拉节点PU 以及下拉节点PD的输出波形中上升沿或下降沿的幅度减小,输出信号G(n)以及G(n+ 1)输出波形中存在的上升沿消失,因此可以说明本示例中提供的移位寄存器单元可以改善输出信号的失真情况,提高输出信号的稳定性。

[0100] 基于上述过程可知,本示例实施方式通过在输入模块10中增加第二开关元件和第三开关元件,不仅提高了存储电容C1的充电速度,并且避免了增加流经第一开关元件M1的漏电流,避免由于漏电流较大而导致的电路输出失真的情况,提高了GOA电路的稳定性,避免由此产生的显示不良。

[0101] 本示例实施方式还提出了一种移位寄存器电路,可以作为栅极驱动电路应用于包括一个或多个时钟信号CLK的GOA电路中;如图5所示,所述移位寄存器电路可以包括多个级联的上述移位寄存器单元;其中,第M级移位寄存器单元的信号输出端Output的输出信号为第M+1级移位寄存器单元的输入信号Input。例如第一移位寄存器单元SR1中的复位信号可以为第二移位寄存器单元SR2的输出信号,第一移位寄存器单元 SR1中的输入信号可以为一起始信号STV。

[0102] 在此基础上,所述移位寄存器电路的扫描方式可以包括正向扫描或者反向扫描。当采用正向扫描时,第一级移位寄存器单元的输入信号Input 为起始信号。当采用反向扫描时,最后一级移位寄存器单元的输入信号 Input为起始信号。

[0103] 需要说明的是:所述移位寄存器电路中的各模块单元的具体细节已经在对应的移位寄存器单元中进行了详细的描述,这里不再赘述。

[0104] 本示例实施方式还提出了一种显示面板,包括显示区域和周边区域,且在周边区域设置有上述的移位寄存器电路。

[0105] 基于此可知,本实施例利用GOA技术将移位寄存器电路集成于显示面板的周边,从而实现窄边框面板的设计,同时还可降低显示面板的制造成本。

[0106] 其中,所述显示面板具体可以为LCD显示面板、OLED显示面板、PLED(Polymer Light-Emitting Diode,高分子发光二极管)显示面板、PDP(Plasma Display Panel,等离子

子显示面板)等,这里对于显示面板的适用不做具体的限制。

[0107] 本示例实施方式还提供一种显示装置,包括上述的显示面板。其中,所述显示装置例如可以包括手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0108] 本领域技术人员在考虑说明书及实践这里公开的发明后,将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化,这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的,本公开的真正范围和精神由所附的权利要求指出。

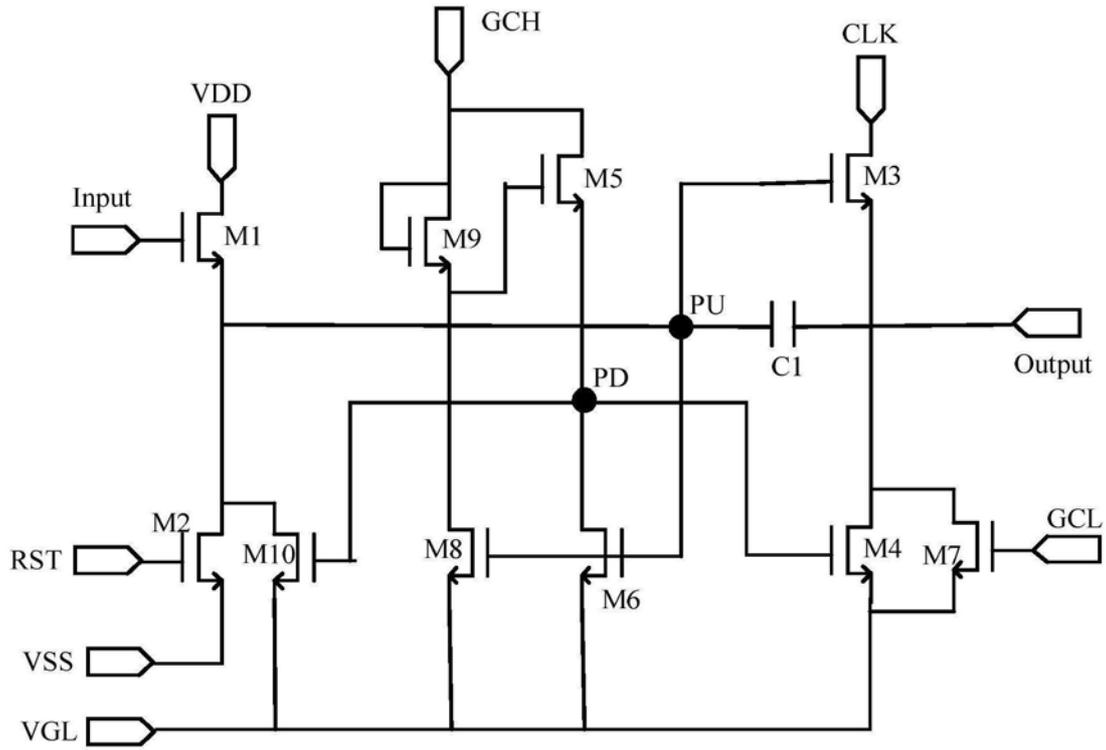


图1

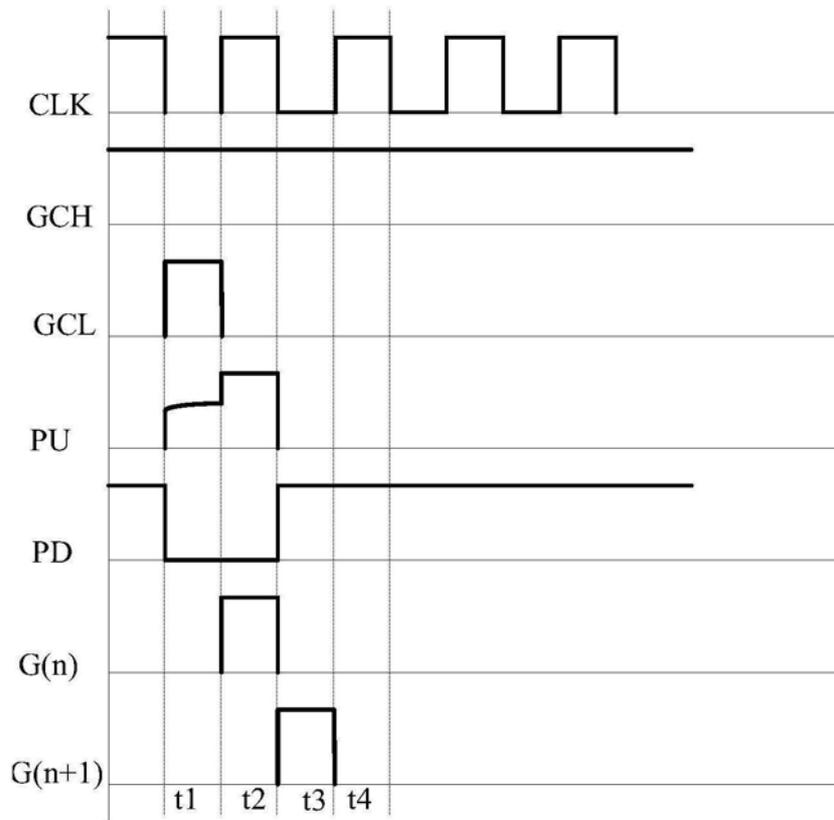


图2

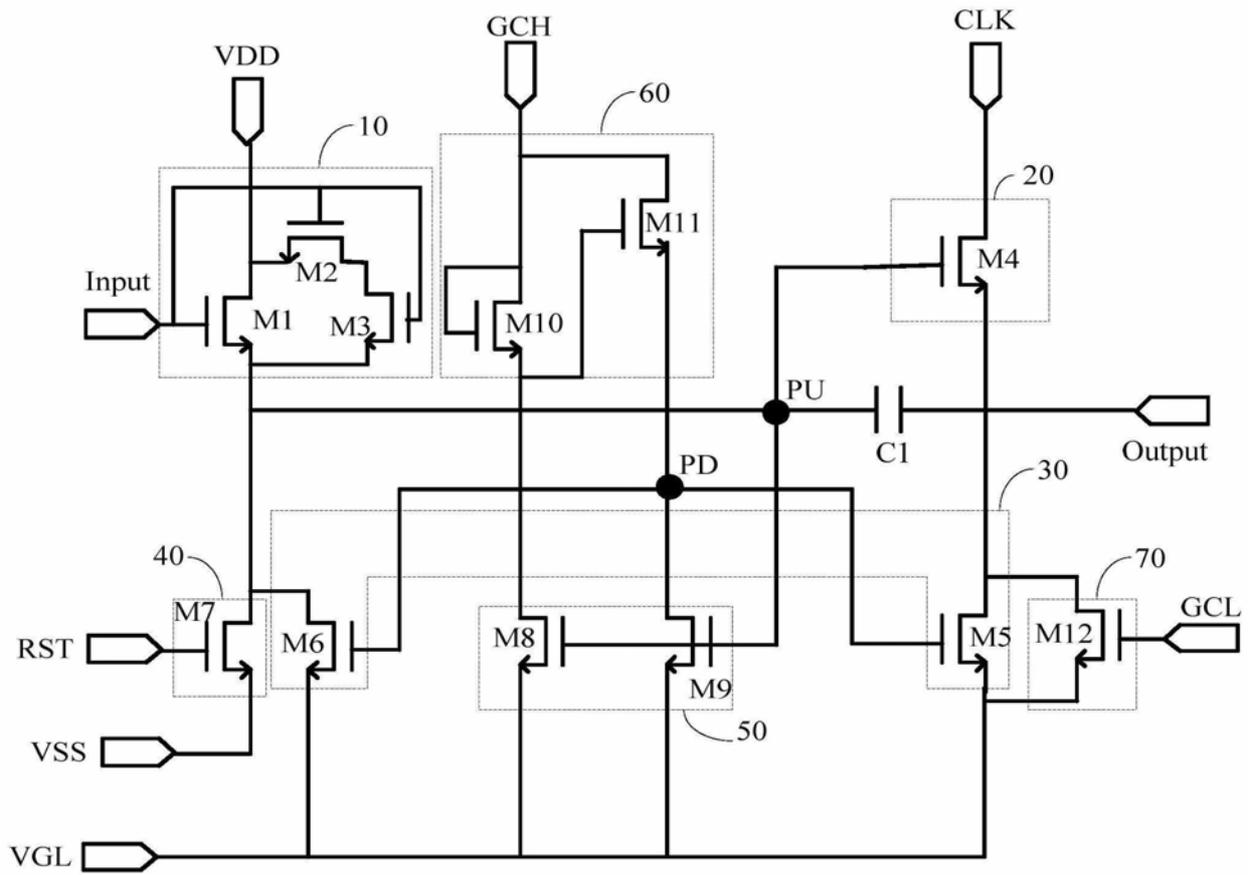


图3

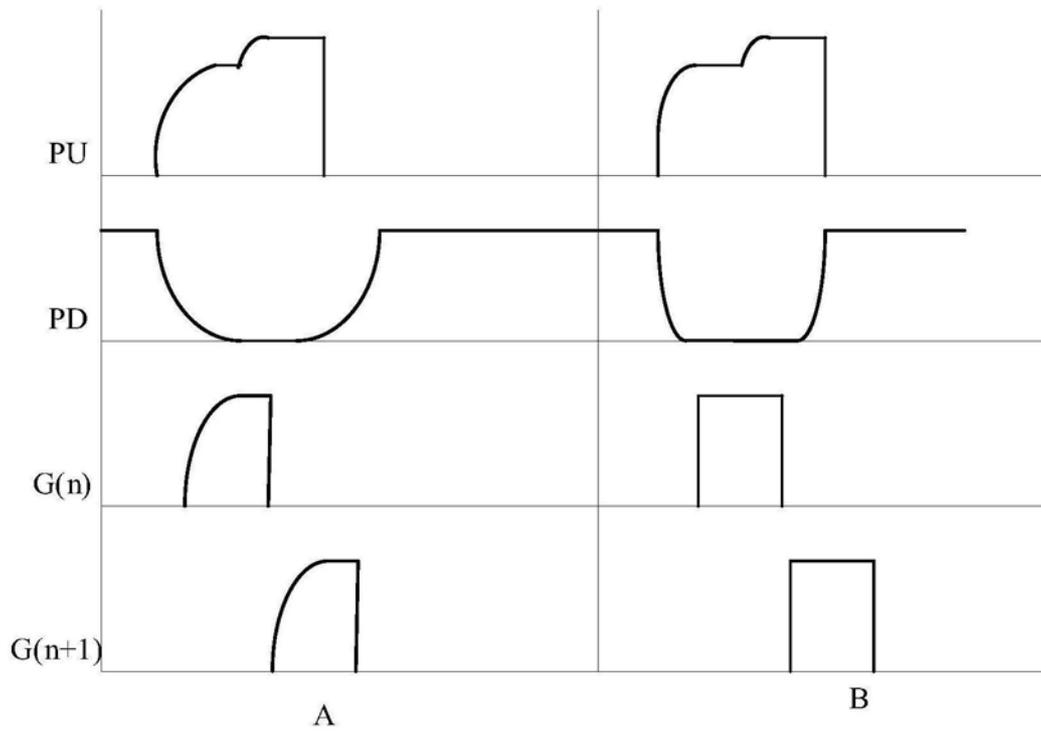


图4

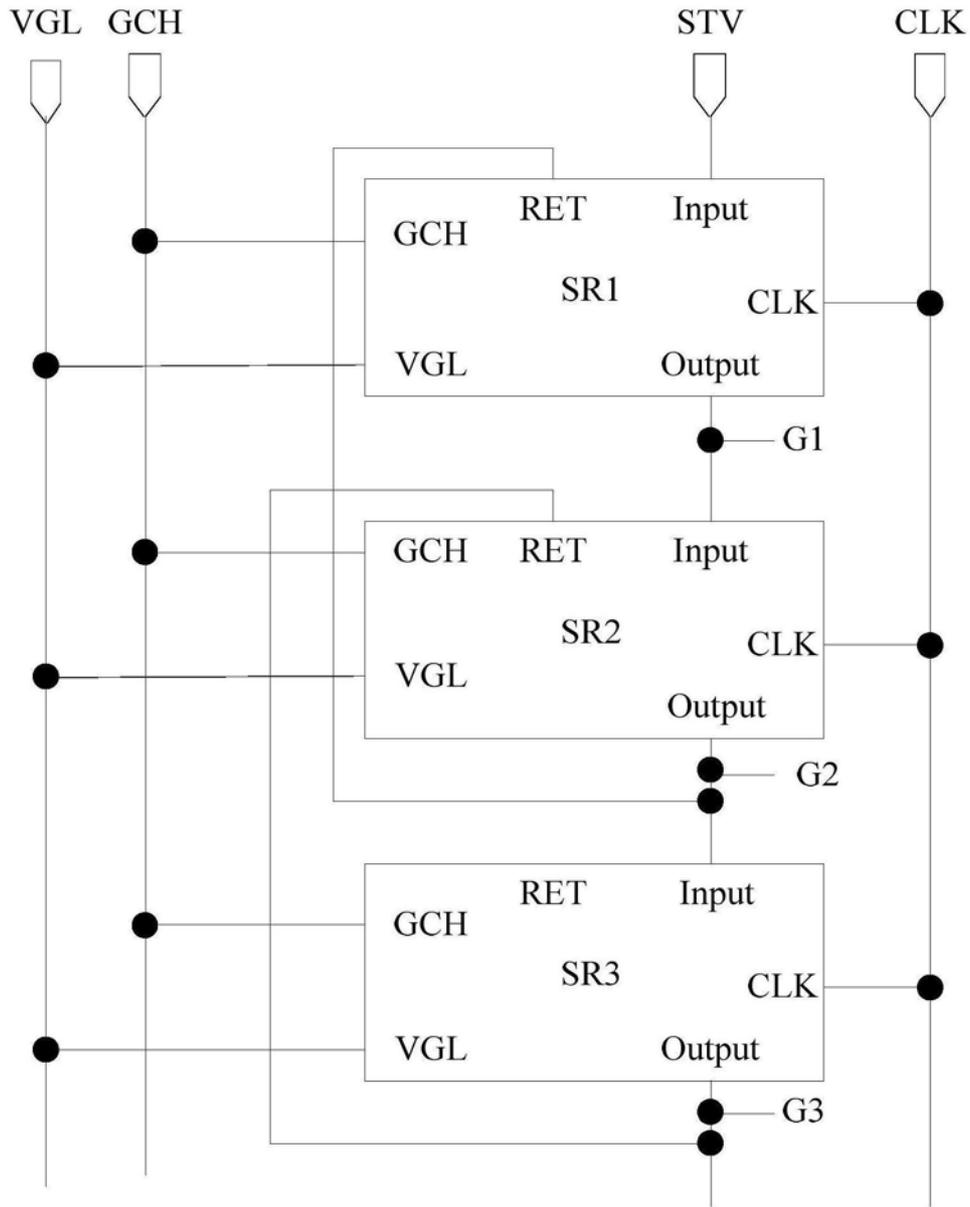


图5