(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월27일
(11) 등록번호 10-0885717
(24) 등록일자 2009년02월19일

(51) Int. Cl.
G11C 11/4074 (2006.01) *G11C 11/4094* (2006.01)
G11C 11/4091 (2006.01)
(21) 출원번호 10-2006-0117028
(22) 출원일자 2006년11월24일
심사청구일자 2006년11월24일
(65) 공개번호 10-2008-0047105
(43) 공개일자 2008년05월28일
(56) 선행기술조사문헌
US5526307 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
박덕하
경기 수원시 영통구 망포동 벽산아파트 113동 1803호
송기환
서울 강남구 도곡동 동신아파트 가동 1202호
김진영
서울 도봉구 방학동 삼성래미안아파트 202동 704호
(74) 대리인
박상수

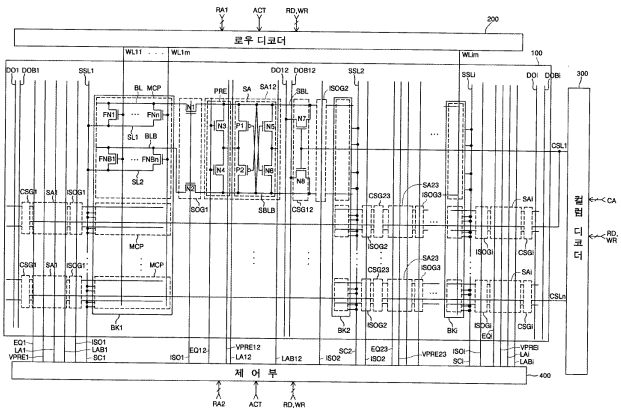
전체 청구항 수 : 총 12 항 심사관 : 손윤식

(54) 커패시터가 없는 동적 메모리 셀을 구비한 반도체 메모리장치 및 이 장치의 동작 방법

(57) 요 약

본 발명은 커패시터가 없는 동적 메모리 셀을 구비한 반도체 메모리 장치 및 이 장치의 동작 방법을 공개한다. 이 장치는 워드 라인에 연결된 게이트와 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 제1메모리 셀, 상기 워드 라인에 연결된 게이트와 반전 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 제2메모리 셀, 라이트 동작시에, 제1라이트 기간동안 상기 공통 소스 라인으로 제1전압을, 상기 워드 라인으로 네거티브 제2전압을, 제1센스인에이블 제어전압으로 제3전압을, 제2센스인에이블 제어전압으로 상기 제1전압을 인가하고, 제2라이트 기간동안 상기 공통 소스 라인으로 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하는 제어부, 및 상기 제1 및 제2 센스인에이블 제어전압에 응답하여 상기 제1라이트 기간동안 상기 비트 라인과 상기 반전 비트 라인을 각각 상기 제3전압과 상기 제1전압으로 증폭하는 센싱부를 구비하고, 상기 제1 내지 제4 전압은 접지 전압과 같거나 높은 전압인 것을 특징으로 한다. 따라서 데이터 라이트 시에 전력 소모가 작으며, 비트 라인쌍으로 네거티브 전압을 인가하지 않고 데이터 "0"을 라이트 하는 것이 가능하다.

대 표 도



특허청구의 범위

청구항 1

워드 라인에 연결된 게이트와 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 제1메모리 셀;

상기 워드 라인에 연결된 게이트와 반전 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 제2메모리 셀;

라이트 동작시에, 제1라이트 기간동안 상기 공통 소스 라인으로 제1전압을, 상기 워드 라인으로 네거티브 제2전압을, 제1센스인에이블 제어전압으로 제3전압을, 제2센스인에이블 제어전압으로 상기 제1전압을 인가하고, 제2라이트 기간동안 상기 공통 소스 라인으로 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하는 제어부; 및

상기 제1 및 제2 센스인에이블 제어전압에 응답하여 상기 제1라이트 기간동안 상기 비트 라인과 상기 반전 비트 라인을 각각 상기 제3전압과 상기 제1전압으로 증폭하는 센싱부를 구비하고,

상기 제1 내지 제4 전압은 접지 전압과 같거나 높은 전압인 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 제1 및 제2메모리 셀들은

게이트 유도 드레인 누설 전류에 의해서 데이터 "1"을 라이트하고, 드레인 커플링 유도 홀 소거에 의해서 데이터 "0"을 라이트하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 제어부는

리드 동작시에, 제1리드 기간동안 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하고,

제2리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 제1센스인에이블 제어전압으로 상기 제3전압을, 상기 제2센스인에이블 제어전압으로 제1전압을 인가하고,

제3리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 제1전압 또는 네거티브 제5전압을 인가하고, 상기 제1 센스인에이블 제어전압으로 제3전압을, 상기 제2 센스인에이블 제어전압으로 상기 제1전압을 인가하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제3항에 있어서, 상기 센싱부는

상기 제1 및 제2 센스인에이블 제어전압에 응답하여 상기 제1리드 기간동안 상기 비트 라인과 상기 반전 비트 라인으로 전압 공급을 차단하고,

상기 제2 및 제3리드 기간동안 상기 비트 라인과 상기 반전 비트 라인중 하나의 라인을 상기 제3전압으로, 다른 하나의 라인을 상기 제1전압으로 증폭하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제4항에 있어서, 상기 제어부는

상기 라이트 및 리드 동작 전후에 상기 워드 라인으로 상기 네거티브 제5전압을 인가하고, 프리차지 제어신호를 활성화하며 프리차지전압을 발생하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제1항에 있어서, 상기 제어부는

리드 동작시에, 제1리드 기간동안 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하고,

제2리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 제1센스인에이블 제어전압으로 상기 제3전압을, 상기 제2센스인에이블 제어전압으로 제1전압을 인가하고,

제3리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 제1 센스인에이블 제어전압으로 제3전압을, 상기 제2 센스인에이블 제어전압으로 상기 제1전압을 인가하며,

제4리드 기간동안 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제6항에 있어서, 상기 센싱부는

상기 제1 및 제2 센스인에이블 제어전압에 응답하여 상기 제1 및 제4 리드 기간동안 상기 비트 라인과 상기 반전 비트 라인으로 전압 공급을 차단하고,

상기 제2 및 제3리드 기간동안 상기 비트 라인과 상기 반전 비트 라인중 하나의 라인을 상기 제3전압으로, 다른 하나의 라인을 상기 제1전압으로 증폭하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제7항에 있어서, 상기 제어부는

상기 라이트 및 리드 동작 전후에 상기 워드 라인으로 네거티브 제5전압을 인가하고, 프리차지 제어신호를 활성화하며 프리차지전압을 발생하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제5항 또는 제8항에 있어서, 상기 센싱부는

상기 프리차지 제어신호에 응답하여 상기 비트 라인과 상기 반전 비트 라인을 상기 프리차지전압 레벨로 프리차지하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제5항 또는 제8항에 있어서, 상기 제1 및 제2메모리 셀들은

상기 라이트 또는 리드 동작을 하지 않는 상기 제1 및 제2메모리 셀들은 상기 워드 라인으로 상기 네거티브 제5전압을 인가받는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

제10항에 있어서, 상기 반도체 메모리 장치는

제5전압이 상기 제1전압보다 높고, 상기 제2전압이 상기 제5전압보다 높고, 상기 제3전압이 상기 제2전압보다 높고, 상기 제4 전압은 상기 제3전압과 동일한 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

제5항 또는 제8항에 있어서, 상기 센싱부는

상기 제어부에서 인가되는 비트 라인 아이솔레이션 제어신호에 응답하여 상기 비트 라인과 센스 비트 라인을 분리하고, 상기 반전 비트 라인과 반전 센스 비트 라인을 분리하기 위한 비트 라인 아이솔레이션 게이트;

상기 제1 및 제2 센스 인에이블 제어전압이 인가되면 상기 센스 비트 라인과 상기 반전 센스 비트 라인사이의 전압 차를 증폭하는 비트 라인 센스 증폭기;

상기 프리차지 제어신호에 응답하여 상기 센스 비트 라인 및 상기 반전 센스 비트 라인을 프리차지 전압 레벨로 프리차지하는 프리차지부; 및

상기 제어부에서 인가되는 컬럼 선택신호에 응답하여 상기 센스 비트 라인과 데이터 입출력 라인사이 및 상기 반전 센스 비트 라인과 반전 데이터 입출력 라인사이에 데이터를 전송하는 컬럼 선택 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

워드 라인에 연결된 게이트와 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 제1메모리 셀, 상기 워드 라인에 연결된 게이트와 반전 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 제2메모리 셀을 구비하는 반도체 메모리 장치의 동작 방법에 있어서,

상기 공통 소스 라인으로 제1전압을, 상기 워드 라인으로 네거티브 제2전압을, 상기 비트 라인과 상기 반전 비트 라인으로 제3전압과 상기 제1전압을 인가하여 데이터 "1"을 라이트하는 제1라이트 단계; 및

상기 공통 소스 라인으로 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하여 데이터 "0"을 라이트하는 제2라이트 단계를 구비하고,

상기 제1 내지 제4 전압은 접지 전압과 같거나 높은 전압인 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제13항에 있어서, 상기 반도체 메모리 장치의 동작 방법은

상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하여 상기 비트 라인과 상기 반전 비트 라인사이에 전압 차를 발생하는 제1리드 단계;

상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 상기 비트 라인과 상기 반전 비트 라인사이의 전압 차를 증폭하는 제2리드 단계; 및

상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 제1전압 또는 네거티브 제5전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 상기 제2리드 단계에서 증폭된 상기 비트 라인과 반전 비트 라인사이의 전압 차를 출력하는 제3리드 단계를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서, 상기 반도체 메모리 장치의 동작 방법은

상기 제2라이트 단계 및 상기 제3리드 단계 후에 상기 워드 라인으로 상기 네거티브 제5전압을 인가하고, 프리차지 제어신호를 활성화하며 프리차지전압을 발생하여 상기 비트 라인과 상기 반전 비트 라인을 프리차지전압 레벨로 프리차지하는 프리차지 단계를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제13항에 있어서, 상기 반도체 메모리 장치의 동작 방법은

상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하여 상기 비트 라인과 상

기 반전 비트 라인사이에 전압 차를 발생하는 제1리드 단계;

상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 상기 비트 라인과 상기 반전 비트 라인사이의 전압 차를 증폭하는 제2리드 단계;

상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 데이터 "1"을 재저장하고, 상기 제2리드 단계에서 증폭된 상기 비트 라인과 반전 비트 라인사이의 전압 차를 출력하는 제3리드 단계; 및

상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하여 데이터 "0"을 재저장하는 제4리드 단계를 구비하는 데이터 리드 단계를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제16항에 있어서, 상기 반도체 메모리 장치의 동작 방법은

상기 제2라이트 단계 및 상기 제4리드 단계 후에 상기 워드 라인으로 네거티브 제5전압을 인가하고, 프리차지 제어신호를 활성화하며 프리차지전압을 발생하여 상기 비트 라인과 상기 반전 비트 라인을 프리차지전압 레벨로 프리차지하는 프리차지 단계를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 18

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제15항 또는 제17항에 있어서, 상기 반도체 메모리 장치의 동작 방법은

라이트 또는 리드 동작을 하지 않는 상기 제1 및 제2메모리 셀들에 대한 상기 워드 라인으로 상기 네거티브 제5전압을 인가하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 19

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제18항에 있어서, 상기 반도체 메모리 장치의 동작 방법은

상기 제5전압을 상기 제1전압보다 높게 인가하고, 상기 제2전압을 상기 제5전압보다 높게 인가하고, 상기 제3전압을 상기 제2전압보다 높게 인가하고, 상기 제4 전압을 상기 제3전압과 동일하게 인가하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<4> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 플로팅 바디를 가지는 트랜지스터로 구성된 캐패시터가 없는 동적 메모리 셀을 구비하는 반도체 메모리 장치 및 이 장치의 동작 방법에 관한 것이다.

<5> 일반적인 동적 메모리 셀은 하나의 억세스 트랜지스터와 하나의 데이터 저장캐패시터로 구성되며, 캐패시터에 전하를 충전하면 데이터 “1”을 저장하는 것이 되고, 캐패시터에 충전된 전하가 없으면 데이터 “0”을 저장하는 것이 된다. 그러나, 캐패시터에 충전된 전하는 일정 시간이 지나면 소실되기 때문에 반드시 리프레쉬를 해주어야 한다.

<6> 그러나, 일반적인 동적 메모리 셀은 캐패시터가 반드시 필요하기 때문에 이 셀을 이용하여 메모리 셀 어레이를 구성하게 되면 반도체 메모리 장치의 레이아웃 면적을 줄이는데 한계가 있다.

<7> 그래서, 최근에 플로팅 바디(floating body)를 가지는 트랜지스터가 제안되었으며, 이 트랜지스터는 플로팅 바디에 다수 캐리어를 저장하며, 저장된 다수 캐리어는 일정 시간이 지나면 소실되기 때문에 리프레쉬를 해주어야 한다. 결과적으로, 플로팅 바디를 가지는 트랜지스터로 구성된 메모리 셀은 일반적인 메모리 셀처럼 캐패시터를 가지지는 않지만 캐패시터처럼 동작하기 때문에 동적 메모리 셀로서 사용된다.

<8> 이와 같이 플로팅 바디를 가지는 트랜지스터는 하나의 트랜지스터가 하나의 메모리 셀을 구성하기 때문에, 동일한 용량의 반도체 메모리 장치를 두가지 종류의 메모리 셀을 이용하여 제조한다고 가정하면, 일반적인 메모리 셀을 구비하는 반도체 메모리 장치에 비해서 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 레이아웃 면적이 훨씬 줄어들게 된다.

<9> 도 1은 종래의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 일예의 구성을 나타내는 것으로, 반도체 메모리 장치는 메모리 셀 어레이 블록들(BLK1, BLK2), 비트 라인 선택기들(10-11 ~ 10-1m, 10-21 ~ 10-2m), 기준 비트 라인 선택기들(12-1, 12-2), 레벨 리미터들(14-1 ~ 14-m, 14-(m+1)), 센스 증폭기들(16-1 ~ 16-m), 기준 전압 발생기(18), 비교기들(COM1 ~ COMm), 래치들(LA1 ~ LAm), 라이트 백 게이트들(WBG1 ~ WBGm), 리드 컬럼 선택 게이트들(RG1 ~ RGm), 라이트 컬럼 선택 게이트들(WG1 ~ WGm), 및 기준 라이트 컬럼 선택 게이트(RWG)로 구성되어 있다.

<10> 도 1에 나타낸 반도체 메모리 장치의 라이트 및 리드 동작을 설명하면 다음과 같다.

<11> 먼저, 기준 메모리 셀들(RMC)에 대한 라이트 동작을 설명하면 다음과 같다.

<12> 워드 라인(WL11)이 활성화되어 1.5V정도의 전압이 인가되고 기준 비트 라인 선택신호(RBS1)가 활성화되면 기준 비트 라인(RBL1)이 기준 센스 비트 라인(RSBL)에 연결된다. 기준 라이트 컬럼 선택신호(RWCSL)가 활성화되면 NMOS트랜지스터(N7)가 온되고, 이에 따라 라이트 데이터 라인(WD)으로 전송되는 데이터가 기준 센스 비트 라인(RSBL)을 통하여 기준 비트 라인(RBL1)으로 전송된다. 이때, 라이트 데이터가 -1.5V정도의 전압을 가지면 워드 라인(WL11)과 기준 비트 라인(RBL1)사이에 연결된 기준 메모리 셀(RMC)에 데이터 "0"이 라이트된다. 이와 같은 방법으로, 나머지 워드 라인들(WL12~WL1n)과 기준 비트 라인들(RBL1)사이에 연결된 기준 메모리 셀들(RMC) 모두에 데이터 “0” 을 라이트한다.

<13> 그리고, 워드 라인들(WL11 ~ WL1n, WL21 ~ WL2n) 각각과 기준 비트 라인(RBL2) 각각의 사이에 연결된 기준 메모리 셀들(RMC) 모두에 데이터 “1” 을 라이트한다. 이때, 라이트 데이터는 1.5V정도의 전압을 가지면 된다.

<14> 즉, 기준 메모리 셀 어레이 블록들(RBLK1, RBLK2) 각각의 기준 비트 라인(RBL1)에 연결된 기준 메모리 셀들(RMC)에는 데이터 “0” 가 라이트되고, 기준 비트 라인(RBL2)에 연결된 기준 메모리 셀들(RMC)에는 데이터 “1” 이 라이트된다. 그래서, 리드 동작시에 기준 전압(VREF)을 발생하기 위하여 사용된다.

<15> 다음으로, 메모리 셀들(MC)에 대한 라이트 동작을 설명하면 다음과 같다.

<16> 워드라인(WL11)으로 1.5V정도의 전압이 인가되고 비트 라인 선택신호(BS1)가 활성화되면 비트 라인(BL1)이 센스 비트 라인(SBL1)에 연결된다. 라이트 컬럼 선택신호(WCSL1)가 활성화되면 NMOS트랜지스터(N6)가 온되고, 이때, 라이트 데이터 라인(WD)으로 -1.5V의 전압이 인가되면, 이 전압이 센스 비트 라인(SBL1)을 통하여 비트 라인(BL1)으로 전송되어 워드 라인(WL11)과 비트 라인(BL1)사이 연결된 메모리 셀(MC)에 데이터 “0” 이 라이트된다. 반면에, 라이트 데이터 라인(WD)으로 1.5V의 전압이 인가되면 데이터 “1” 이 라이트된다. 이와 같은 방법으로, 모든 메모리 셀들(MC)에 대한 라이트 동작이 수행된다.

<17> 이제, 메모리 셀들(MC)에 대한 리드 동작을 설명하면 다음과 같다.

<18> 워드 라인(WL11)으로 1.5V정도의 전압이 인가되고 비트 라인 선택신호(BS1)가 활성화되면 비트 라인(BL1)이 센스 비트 라인(SBL1)에 연결되고, 비트 라인(BL1)으로부터 센스 비트 라인(SBL1)으로 신호가 전송된다. 이때, 기준 비트 라인 선택신호들(RBS1, 2)이 동시에 활성화되고, 이에 따라 기준 비트 라인들(RBL1, 2)이 기준 센스 비트 라인(RSBL)에 연결되고, 기준 비트 라인들(RBL1, 2)로부터 기준 센스 비트 라인(RSBL)으로 신호가 전송된다. 레벨 리미터(14-1)는 센스 비트 라인(SBL1)으로 흐르는 전류에 의한 센스 비트 라인(SBL1)의 전압의 레벨이 제한 전압(VBLR)의 레벨보다 높으면 출력 노드(a1)로부터 센스 비트 라인(SBL1)으로 전류가 흐르는 것을 방지하여 센스 비트 라인(SBL1)의 전압이 제한 전압(VBLR)의 레벨 미만으로 유지되도록 하고, 메모리 셀(MC)에 저장된 데이터에 해당하는 전류(Ic1)를 발생한다. 레벨 리미터(14-(m+1))는 기준 센스 비트 라인(RSBL)으로 흐르는 전류에 의한 기준 센스 비트 라인(RSBL)의 전압의 레벨이 제한 전압(VBLR)의 레벨보다 높으면 출력 노드(a(m+1))로부터 기준 센스 비트 라인(RSBL)으로 전류가 흐르는 것을 방지하여 기준 센스 비트 라인(RSBL)의 전압이 제한

전압(VBLR)의 레벨 미만으로 유지되도록 하고 기준 메모리 셀(RMC)에 저장된 데이터에 해당하는 전류(Ic(m+1))를 발생한다. 센스 증폭기(16-1)는 전류(Ic1)를 감지하여 센싱 전압(sn1)을 발생한다. 기준전압 발생기(18)는 전류(Ic(m+1))를 감지하여 기준전압(VREF)을 발생한다. 비교기(COM1)는 센스 증폭기 인에이블 신호(SEN)에 응답하여 인에이블되어 센스 증폭기(16-1)로부터 출력되는 센싱 전압(sn1)과 기준전압(VREF)을 비교하여 센싱 데이터를 발생한다. 즉, 센스 증폭기(16-1)로부터 출력되는 센싱 전압(sn1)의 레벨이 기준전압(VREF)의 레벨보다 낮으면 해당 노드(a)로 "하이" 레벨의 신호를 출력하고, 반대로 기준전압(VREF)의 레벨보다 높으면 해당 노드(a)로 "로우" 레벨의 신호를 출력한다. 래치(LA1)는 센싱 데이터를 래치한다. 그리고, 리드 컬럼 선택신호(RCSL1)가 활성화되면 NMOS트랜지스터들(N2, N4)이 온되고, 이때, 노드(a)가 "하이" 레벨이면 NMOS트랜지스터(N5)가 온되어 "로우" 레벨의 데이터를 반전 리드 데이터 라인(RDB)으로 전송하고, 반면에, 노드(b)가 "하이" 레벨이면 NMOS트랜지스터(N3)가 온되어 "로우" 레벨의 데이터를 리드 데이터 라인(RD)으로 전송한다. 즉, 리드 동작시에 리드 데이터 라인(RD) 또는 반전 리드 데이터 라인(RDB)으로 "로우" 레벨의 데이터가 전송된다. 리드 동작이 수행된 후, 라이트 백 신호(WB)가 활성화되면 NMOS트랜지스터(N1)가 온되고, 이에 따라 래치(LA1)의 해당 노드(b)의 "하이" 레벨의 데이터가 센스 비트 라인(SBL1)으로 전송되고, 센스 비트 라인(SBL1)의 데이터가 비트 라인(BL1)으로 전송되어 워드 라인(WL11)과 비트 라인(BL1)사이에 연결된 데이터 "1" 이 저장된 메모리 셀(MC)에 대한 리프레쉬 동작이 수행된다. 이와같은 방법으로, 모든 메모리 셀들(MC)에 대한 리드 동작이 수행된다.

<19> 도 1에 나타낸 종래의 반도체 메모리 장치는 미국 공개 특허번호 제2003/0231524호에 공개되어 있는 내용을 기초로 작성된 것이며, 플로팅 바디를 가지는 메모리 셀들 및 기준 메모리 셀들을 구비하는 반도체 메모리 장치는 미국 공개 특허번호 제2005/0068807호, 미국 특허번호 제6,567,330호, 및 미국 특허번호 제6,882,008호 등에 소개되어 있다.

<20> 그런데, 도1에 나타낸 종래의 반도체 메모리 장치는 리드 동작을 수행하기 위하여 데이터 "0" 을 저장하는 기준 메모리 셀들(RMC)과 데이터 "1" 을 저장하는 기준 메모리 셀들(RMC)이 반드시 구비되어야만 한다. 상술한 도1에서는 메모리 셀 어레이 블록당 하나의 기준 메모리 셀 어레이 블록을 구비하는 것을 나타내었지만, 소정 개수의 서브 메모리 셀 어레이 블록당 하나의 기준 메모리 셀 어레이 블록이 구비될 수도 있다.

<21> 그런데, 종래의 반도체 메모리 장치는 기준 메모리 셀들(RMC)과 메모리 셀들(MC)이 데이터 "0" 을 리드하는 경우에 동일한 데이터 "0" 에 해당하는 전류를 흐르게 하고, 데이터 "1" 을 리드하는 경우에 또한 동일한 데이터 "1" 에 해당하는 전류를 흐르게 하도록 설계되었다고 하더라도, 제조 공정, 전압 및 온도 변화에 따라 기준 메모리 셀들(RMC)과 메모리 셀들(MC)이 데이터 "0" 및 데이터 "1" 에 해당하는 전류가 변화하게 됨으로 인해서 리드 데이터 오류가 발생될 수 있다는 문제가 있다. 즉, 센스 증폭기로부터 출력되는 전압과 기준전압(VREF)사이에 변화가 발생함으로 인해서 "0" 의 데이터가 "1" 의 데이터로, "1" 의 데이터가 "0" 의 데이터로 리드될 수 있다는 문제가 있다. 이는 종래의 반도체 메모리 장치가 데이터 리드시에 비트 라인과 기준 비트 라인사이의 전류 차를 감지하기 때문이다.

<22> 그리고, 도1에 나타낸 종래의 반도체 메모리 장치는 데이터 리드를 위하여 사용되는 회로 구성이 복잡하다는 문제가 있다. 즉, 도1에 나타낸 바와 같이 레벨 리미터, 센스 증폭기, 비교기, 및 래치와 같은 구성이 필요하게 된다.

<23> 또한, 도1에 나타낸 바와 같은 종래의 반도체 메모리 장치는 데이터 "0" 을 라이트하기 위하여 비트 라인으로 -1.5V의 네거티브 전압을 인가하여야 한다. 따라서, 데이터 "0" 라이트시에 비트 라인으로 인가될 네거티브 전압을 발생하기 위한 네거티브 전압 발생기가 필요하게 된다.

발명이 이루고자 하는 기술적 과제

<24> 본 발명의 목적은 데이터 라이트시에 비트 라인으로 네거티브 전압을 인가할 필요가 없으며 데이터 리드시에 필요한 회로 구성이 간단한 캐패시터가 없는 동적 메모리 셀을 구비한 반도체 메모리 장치를 제공하는데 있다.

<25> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 캐패시터가 없는 동적메모리 셀을 구비한 반도체 메모리 장치의 동작 방법을 제공하는데 있다.

<26> 상기 목적을 달성하기 위한 본 발명의 캐패시터가 없는 동적 메모리 셀을 구비한 반도체 메모리 장치는 워드 라인에 연결된 게이트와 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 제1메모리 셀, 상기 워드 라인에 연결된 게이트와 반전 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하

는 제2메모리 셀, 라이트 동작시에, 제1라이트 기간동안 상기 공통 소스 라인으로 제1전압을, 상기 워드 라인으로 네거티브 제2전압을, 제1센스인에이블 제어전압으로 제3전압을, 제2센스인에이블 제어전압으로 상기 제1전압을 인가하고, 제2라이트 기간동안 상기 공통 소스 라인으로 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하는 제어부, 및 상기 제1 및 제2 센스인에이블 제어전압에 응답하여 상기 제1라이트 기간동안 상기 비트 라인과 상기 반전 비트 라인을 각각 상기 제3전압과 상기 제1전압으로 증폭하는 센싱부를 구비하고, 상기 제1 내지 제4 전압은 접지 전압과 같거나 높은 전압인 것을 특징으로 한다.

<27> 상기 목적을 달성하기 위한 본 발명의 제1 및 제2메모리 셀들은 게이트 유도 드레인 누설 전류에 의해서 데이터 "1"을 라이트하고, 드레인 커플링 유도 홀 소거에 의해서 데이터 "0"을 라이트하는 것을 특징으로 한다.

<28> 상기 목적을 달성하기 위한 본 발명의 제어부는 리드 동작시에, 제1리드 기간동안 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하고, 제2리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 제1센스인에이블 제어전압으로 상기 제3전압을, 상기 제2센스인에이블 제어전압으로 제1전압을 인가하고, 제3리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 제1전압 또는 네거티브 제5전압을 인가하고, 상기 제1 센스인에이블 제어전압으로 제3전압을, 상기 제2 센스인에이블 제어전압으로 상기 제1전압을 인가하는 것을 특징으로 한다.

<29> 상기 목적을 달성하기 위한 본 발명의 센싱부는 상기 제1 및 제2 센스인에이블 제어전압에 응답하여 상기 제1리드 기간동안 상기 비트 라인과 상기 반전 비트 라인으로 전압 공급을 차단하고, 상기 제2 및 제3리드 기간동안 상기 비트 라인과 상기 반전 비트 라인중 하나의 라인을 상기 제3전압으로, 다른 하나의 라인을 상기 제1전압으로 증폭하는 것을 특징으로 한다.

<30> 상기 목적을 달성하기 위한 본 발명의 제어부는 리드 동작시에, 제1리드 기간동안 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하고, 제2리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 제1센스인에이블 제어전압으로 상기 제3전압을, 상기 제2센스인에이블 제어전압으로 제1전압을 인가하고, 제3리드 기간동안 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 제1 센스인에이블 제어전압으로 제3전압을, 상기 제2 센스인에이블 제어전압으로 상기 제1전압을 인가하며, 제4리드 기간동안 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하는 것을 특징으로 한다.

<31> 상기 목적을 달성하기 위한 본 발명의 센싱부는 상기 제1 및 제2 센스인에이블 제어전압에 응답하여 상기 제1 및 제4 리드 기간동안 상기 비트 라인과 상기 반전 비트 라인으로 전압 공급을 차단하고, 상기 제2 및 제3리드 기간동안 상기 비트 라인과 상기 반전 비트 라인중 하나의 라인을 상기 제3전압으로, 다른 하나의 라인을 상기 제1전압으로 증폭하는 것을 특징으로 한다.

<32> 상기 목적을 달성하기 위한 본 발명의 제어부는 상기 라이트 및 리드 동작 전후에 상기 워드 라인으로 상기 네거티브 제5전압을 인가하고, 프리차지 제어신호를 활성화하며 프리차지전압을 발생하는 것을 특징으로 한다.

<33> 상기 목적을 달성하기 위한 본 발명의 센싱부는 상기 프리차지 제어신호에 응답하여 상기 비트 라인과 상기 반전 비트 라인을 상기 프리차지전압 레벨로 프리차지하는 것을 특징으로 한다.

<34> 상기 목적을 달성하기 위한 본 발명의 제1 및 제2메모리 셀들은 상기 라이트 또는 리드 동작을 하지 않는 상기 제1 및 제2메모리 셀들은 상기 워드 라인으로 상기 네거티브 제5전압을 인가받는 것을 특징으로 한다.

<35> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 제5전압이 상기 제1전압보다 높고, 상기 제2전압이 상기 제5전압보다 높고, 상기 제3전압이 상기 제2전압보다 높고, 상기 제4 전압은 상기 제3전압과 동일한 것을 특징으로 한다.

<36> 상기 목적을 달성하기 위한 본 발명의 센싱부는 상기 제어부에서 인가되는 비트 라인 아이솔레이션 제어신호에 응답하여 상기 비트 라인과 센스 비트 라인을 분리하고, 상기 반전 비트 라인과 반전 센스 비트 라인을 분리하기 위한 비트 라인 아이솔레이션 게이트, 상기 제1 및 제2 센스 인에이블 제어전압이 인가되면 상기 센스 비트 라인과 상기 반전 센스 비트 라인사이의 전압 차를 증폭하는 비트 라인 센스 증폭기, 상기 프리차지 제어신호에 응답하여 상기 센스 비트 라인 및 상기 반전 센스 비트 라인을 프리차지 전압 레벨로 프리차지하는 프리차지부, 및 상기 제어부에서 인가되는 컬럼 선택신호에 응답하여 상기 센스 비트 라인과 데이터 입출력 라인사이 및 상기 반전 센스 비트 라인과 반전 데이터 입출력 라인사이에 데이터를 전송하는 컬럼 선택 게이트를 구비하는 것

을 특징으로 한다.

<37> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 워드 라인에 연결된 게이트와 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 제1메모리 셀, 상기 워드 라인에 연결된 게이트와 반전 비트 라인에 연결된 제1전극과 공통 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 제2메모리 셀을 구비하는 반도체 메모리 장치의 동작 방법에 있어서, 상기 공통 소스 라인으로 제1전압을, 상기 워드 라인으로 네거티브 제2전압을, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 데이터 "1"을 라이트하는 제1라이트 단계, 및 상기 공통 소스 라인으로 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하여 데이터 "0"을 라이트하는 제2라이트 단계를 구비하고, 상기 제1 내지 제4 전압은 접지 전압과 같거나 높은 전압인 것을 특징으로 한다.

<38> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하여 상기 비트 라인과 상기 반전 비트 라인사이에 전압 차를 발생하는 제1리드 단계, 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 상기 비트 라인과 상기 반전 비트 라인사이의 전압 차를 증폭하는 제2리드 단계, 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 제1전압 또는 네거티브 제5전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 상기 제2리드 단계에서 증폭된 상기 비트 라인과 반전 비트 라인사이의 전압 차를 출력하는 제3리드 단계를 추가로 더 구비하는 것을 특징으로 한다.

<39> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 상기 제2라이트 단계 및 상기 제3리드 단계 후에 상기 워드 라인으로 상기 네거티브 제5전압을 인가하고, 프리차지 제어신호를 활성화하며 프리차지전압을 발생하여 상기 비트 라인과 상기 반전 비트 라인을 프리차지전압 레벨로 프리차지하는 프리차지 단계를 추가로 더 구비하는 것을 특징으로 한다.

<40> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제2전압을 인가하여 상기 비트 라인과 상기 반전 비트 라인사이에 전압 차를 발생하는 제1리드 단계, 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 상기 비트 라인과 상기 반전 비트 라인사이의 전압 차를 증폭하는 제2리드 단계, 상기 공통 소스 라인으로 상기 제1전압을, 상기 워드 라인으로 상기 네거티브 제2전압을 인가하고, 상기 비트 라인과 상기 반전 비트 라인으로 상기 제3전압과 상기 제1전압을 인가하여 데이터 "1"을 재저장하고, 상기 제2리드 단계에서 증폭된 상기 비트 라인과 반전 비트 라인사이의 전압 차를 출력하는 제3리드 단계, 및 상기 공통 소스 라인으로 상기 제4전압을, 상기 워드 라인으로 상기 제1전압을 인가하여 데이터 "0"을 재저장하는 제4리드 단계를 구비하는 데이터 리드 단계를 추가로 더 구비하는 것을 특징으로 한다.

<41> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 상기 제2라이트 단계 및 상기 제4리드 단계 후에 상기 워드 라인으로 네거티브 제5전압을 인가하고, 프리차지 제어신호를 활성화하며 프리차지 전압을 발생하여 상기 비트 라인과 상기 반전 비트 라인을 프리차지전압 레벨로 프리차지하는 프리차지 단계를 추가로 더 구비하는 것을 특징으로 한다.

<42> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 반도체 메모리 장치의 동작 방법은 라이트 또는 리드 동작을 하지 않는 상기 제1 및 제2메모리 셀들에 대한 상기 워드 라인으로 상기 네거티브 제5전압을 인가하는 것을 특징으로 한다.

<43> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 동작 방법은 반도체 메모리 장치의 동작 방법은 상기 제5전압을 상기 제1전압보다 높게 인가하고, 상기 제2전압을 상기 제5전압보다 높게 인가하고, 상기 제3전압을 상기 제2전압보다 높게 인가하고, 상기 제4 전압을 상기 제3전압과 동일하게 인가하는 것을 특징으로 한다.

발명의 구성 및 작용

<44> 이하, 첨부한 도면을 참고로 하여 본 발명의 캐패시터가 없는 동적 메모리 셀을 구비한 반도체 메모리 장치 및 이 장치의 동작 방법을 설명하면 다음과 같다.

<45> 도2는 본 발명의 반도체 메모리 장치의 실시예의 구성을 개략적으로 나타내는 것으로, 반도체 메모리 장치는 메모리 셀 어레이(100), 로우 디코더(200), 컬럼 디코더(300), 및 제어부(400)로 구성되고, 메모리 셀 어레이(100)는 i개의 메모리 셀 어레이 블록들(BK1 ~ BKi), 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOGi), 비트 라인 센스 증폭기들(SA1, SA12, SA23, ..., SAi) 및 컬럼 선택 게이트들(CSG1, CSG12, CSG23, ..., CSGi)로 구성되어 있다. 그리고, i개의 메모리 셀 어레이 블록들(BK1 ~ BKi) 각각은 복수개의 메모리 쌍 그룹들(MCP)로 구성되고, 메모리 쌍 그룹들(MCP) 각각은 비트 라인(BL)에 공통 연결된 제1전극(드레인/소스)과 공통 소스 라인(SSL1, ..., SSLi)에 공통 연결된 제2전극(소스/드레인)과 워드 라인들(WL1 ~ WLm) 각각에 연결된 게이트를 가진 m개의 플로팅 바디를 가진 NMOS트랜지스터들(FN1 ~ FNm)로 구성된 메모리 셀들과, 반전 비트 라인(BLB)에 공통 연결된 제1전극(드레인/소스)과 공통 소스 라인(SSL1, ..., SSLi)에 공통 연결된 제2전극(소스/드레인)과 m개의 워드 라인들 각각에 연결된 게이트를 가진 m개의 플로팅 바디를 가진 NMOS트랜지스터들(FNB1 ~ FNBm)로 구성된 메모리 셀들로 구성되어 있다. 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOGi) 각각은 NMOS트랜지스터들(N1, N2)로 구성되고, 비트 라인 센스 증폭기들(SA1, SA12, SA23, ..., SAi) 각각은 NMOS트랜지스터들(N3, N4)로 구성된 프리차지 회로(PRE)와 PMOS트랜지스터들(P1, P2)로 구성된 PMOS센스 증폭기 및 NMOS트랜지스터들(N5, N6)로 구성된 NMOS센스 증폭기로 구성된 증폭회로(SA)로 구성되고, 컬럼 선택 게이트들(CSG1, CSG12, CSG23, ..., CSGi) 각각은 NMOS트랜지스터들(N7, N8)로 구성되어 있다.

<46> 도2에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<47> 메모리 셀 어레이(100)는 선택된 워드 라인과 컬럼 선택 신호에 의해서 선택된 2개의 비트 라인쌍(BL, BLB)들에 연결된 2쌍의 메모리 셀들에 데이터를 라이트하거나, 2쌍의 메모리 셀들로부터 데이터를 리드한다. 메모리 셀 어레이 블록(BK1)은 2개의 데이터 입출력 라인쌍((DO1, DOB1), (DO12, DOB12))을 통하여 전송되는 데이터를 라이트하고, 저장된 데이터를 2개의 데이터 입출력 라인쌍((DO1, DOB1), (DO12, DOB12))을 통하여 리드한다. 메모리 셀 어레이 블록들(BK2 ~ BKi) 각각은 양측에 배치된 2개의 데이터 입출력 라인쌍((DO12, DOB12), ..., (DOi, DOBi))을 통하여 데이터를 입출력한다. 로우 디코더(200)는 액티브 명령(ACT)이 인가되면 제1로우 어드레스(RA1)를 디코딩하여 워드 라인들(WL11 ~ WL1m, ..., WLim)중의 하나의 워드 라인 선택신호를 활성화한다. 로우 디코더(200)는 리드 명령(RD)과 라이트 명령(WR)에 관계없이 워드 라인 선택신호의 활성화 기간을 고정하도록 구성할 수도 있고, 리드 명령(RD)과 라이트 명령(WR)에 따라 워드 라인 선택신호의 활성화 기간을 가변하도록 구성할 수도 있다. 컬럼 디코더(300)는 리드 명령(RD) 또는 라이트 명령(WR)이 인가되면 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택 신호 라인들(CSL1 ~ CSLn)을 선택하기 위한 컬럼 선택 신호를 발생한다. 제어부(400)는 액티브 명령(ACT)이 인가되면 메모리 셀 어레이 블록들(BK1 ~ BKi)을 지정하는 제2로우 어드레스(RA2)를 디코딩하여 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi), 센스 인에이블 제어전압들((LA1, LAB1), (LA12, LAB12), (LA23, LAB23), ..., (LAi, LABi)), 공통 소스 제어신호들(SC1 ~ SCi), 프리차지신호(EQ1, EQ12, EQ23, ..., EQi), 및 프리차지전압(VPRE1, VPRE12, VPRE23, ..., VPREi)을 발생한다. 제어부(400)는 제2로우 어드레스(RA2)가 메모리 셀 어레이 블록(BK1)을 지정하는 어드레스이면, 비트 라인 아이솔레이션 제어신호(ISO1) 및 센스 인에이블 제어전압들((LA1, LAB1), (LA12, LAB12))로 리드 명령(RD) 및 라이트 명령(WR)시에 동일한 레벨의 전압을 인가하고, 공통 소스 제어신호(SC1)로 리드 명령(RD)과 라이트 명령(WR)에 따라 서로 다른 레벨의 전압을 인가한다. 또한, 제어부(400)는 리드 명령(RD)과 라이트 명령(WR)에 따라 비트 라인 아이솔레이션 제어신호(ISO1)의 활성화 기간 및 센스 인에이블 제어전압들((LA1, LAB1), (LA12, LAB12))의 전압 인가 기간을 조절한다. 즉, 제어부(400)는 제2로우 어드레스(RA2)가 지정하는 메모리 셀 어레이 블록에 따라 지정되는 메모리 셀 어레이 블록의 양측의 비트 라인 아이솔레이션 제어 신호를 활성화하고, 센스 인에이블 제어전압으로 소정 레벨의 전압을 인가하고, 제2로우 어드레스(RA2)가 지정하는 메모리 셀 어레이 블록의 공통 소스 제어신호로 전압을 인가한다. 비트 라인 아이솔레이션 게이트들(ISOG1 ~ ISOGi) 각각은 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi) 각각에 응답하여 온되어 비트 라인쌍(BL, BLB)과 센스 비트 라인쌍(SBL, SBLB)을 연결한다. 비트 라인 아이솔레이션 제어신호들(ISO1 ~ ISOi) 각각은 해당 메모리 셀 어레이 블록(BK1 ~ BKi)이 지정되는 경우에 활성화된다. 예를 들어, 메모리 셀 어레이 블록(BK1)이 지정되면, 비트 라인 아이솔레이션 제어신호(ISO1)가 활성화되어 비트 라인 아이솔레이션 게이트(ISOG1)의 NMOS트랜지스터들(N1, N2)을 온한다. 비트 라인 센스 증폭기들(SA1, SA12, SA23, ..., SAi) 각각의 프리차지 회로(PRE) 각각은 프리차지 제어신호(EQ1, EQ12, EQ23, ..., EQi) 각각에 응답하여 라이트 및 리드 동작 전후에 해당하는 센스 비트 라인쌍(SBL, SBLB)의 전압을 프리차지 전압(VPRE1, VPRE12, VPRE23, ..., VPREi) 레벨로 프리차지한다. 예를 들어, 메모리 셀 어레이 블록(BK1)이 지정되고 리드 명령(RD)이 입력되면 리드 동작 전후에 프리차지 제어신호들(EQ1, EQ12)이 활성화된다. 따라서, 해당하는 센스 비트 라인쌍(SBL, SBLB)은 프리차지 전압(VPRE1, VPRE12) 레벨로 프리차지된다. 비트 라인 센스 증폭기들(SA1, SA12, SA23, ..., SAi) 각각의 증폭회로(SA) 각각은 센스 인에이블 제어전압들((LA1,

LAB1), (LA12, LAB12), (LA23, LAB23), ..., (LAi, LABi)) 각각에 응답하여 센스 비트 라인쌍(SBL, SBLB)의 전압 차를 감지하여 센스 비트 라인쌍(SBL, SBLB)의 데이터를 증폭한다. 예를 들어, 메모리 셀 어레이 블록(BK1)이 지정되면 센스 인에이블 제어전압들((LA1, LAB1), (LA12, LAB12))이 인가되고, 메모리 셀 어레이 블록(BK2)이 지정되면 센스 인에이블 제어전압들((LA12, LAB12), (LA23, LAB23))이 인가된다. 컬럼 선택 게이트들(CSG1, CSG12, CSG23, ..., CSGi) 각각은 컬럼 선택 신호 라인들(CSL1 ~ CSLn)을 선택하기 위한 컬럼 선택 신호들에 응답하여 센스 비트 라인쌍(SBL, SBLB)과 해당 데이터 입출력 라인쌍들((DO1, DOB1), (DO12, DOB12), (DO23, DOB23), ..., (DOi, DOBi))을 연결한다.

<48> 도3a는 도2에 나타낸 본 발명의 반도체 메모리 장치의 일실시예의 데이터 라이트 동작을 설명하기 위한 동작 타이밍도로서, 액티브 명령(ACT)과 함께 워드 라인(WL11)을 선택하기 위한 제1로우 어드레스(RA1) 및 메모리 셀 어레이 블록(BK1)을 지정하기 위한 제2로우 어드레스(RA2)가 인가되고, 라이트 명령(WR)과 함께 컬럼 선택 신호 라인(CSL1)을 선택하기 위한 컬럼 어드레스(CA)가 인가되는 경우의 동작을 나타내는 것이다.

<49> 제1라이트 기간(WT1)에서, 로우 디코더(200)는 제1로우 어드레스(RA1)를 디코딩하여 워드 라인(WL11)을 선택하기 위한 소정의 네거티브 전압(약 -1.8V 또는 -2V 정도의 전압)을 가지는 워드 라인 선택신호를 발생한다. 그리고 선택되지 않은 워드 라인(WL12, ..., WL1m)은 소정의 네거티브 전압(약 -0.5V 정도의 전압)으로 유지된다. 제어부(400)는 제2로우 어드레스(RA2)를 입력하여 메모리 셀 어레이 블록(BK1)의 양측의 비트 라인 아이솔레이션 게이트들(ISOG1)의 NMOS트랜지스터들(N1, N2)을 온하기 위한 전압을 가지는 비트 라인 아이솔레이션 제어신호(ISO1)를 발생하고, 공통 소스 라인(SSL1)으로 소정 전압(약 0V의 전압)을 가지는 공통 소스 제어신호(SC1)를 발생하고, 비트 라인 센스 증폭기들(SA1, SA12)로 소정 전압(약 2V의 전압)을 가지는 센스 인에이블 제어전압들(LA1, LA12) 및 소정 전압(약 0V의 전압)을 가지는 센스 인에이블 제어전압들(LAB1, LAB12)을 발생한다. 컬럼 디코더(300)는 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택 신호 라인(CSL1)을 선택하기 위한 컬럼 선택 신호를 발생한다. 그러면, 컬럼 선택 게이트들(CSG1, CSG12)이 온되어 데이터 입출력 라인쌍들((DIO1, DIOB1), (DOO12, DIOB12))의 “하이” 레벨과 “로우” 레벨의 데이터 쌍들이 센스 비트 라인쌍들(SBL, SBLB)로 전송된다. 그러면, 비트 라인 센스 증폭기들(SA1, SA12)에 의해서 센스 비트 라인쌍들(SBL, SBLB)의 데이터 쌍들이 증폭되어 센스 비트 라인들(SBL)은 전압(약 2V의 전압) 레벨로 되고, 반전 센스 비트 라인들(SBLB)은 전압(약 0V의 전압) 레벨로 된다. 또한, 비트 라인 아이솔레이션 게이트들(ISOG1)의 NMOS트랜지스터들(N1, N2)이 온되어 있으므로 센스 비트 라인쌍들(SBL, SBLB)의 전압이 비트 라인쌍들(BL, BLB)로 전송된다. 그러면, 메모리 셀 어레이 블록(BK1)의 2개의 메모리 쌍 그룹의 메모리 셀들(FN1)의 게이트로 네거티브 전압이 인가되고, 드레인으로 포지티브 전압이 인가된다. 이에 따라, 게이트 유도 드레인 누설(GIDL; gate-induced drain leakage) 전류가 발생되어 메모리 셀들(FN1)의 플로팅 바디에 정공이 축적되어 데이터 “1” 이 라이트된다. 즉 제1라이트 기간(WT1)에서, 데이터 "1"을 라이트하는 동작이 수행된다. 여기서 데이터 "1"이 라이트되는 메모리 셀들(FN1)의 NMOS트랜지스터들은 게이트로 소정의 네거티브 전압(약 -1.8V 또는 -2V 정도의 전압)이 인가되고 있으므로 턴오프 상태이며, 게이트 유도 드레인 누설 전류에 의해 데이터 "1"을 라이트 하므로 전류 소모가 거의 없다.

<50> 그리고, 제어부(400)는 비트 라인 아이솔레이션 제어신호(ISO1)를 비활성화하고, 센스 인에이블 제어신호들((LA1, LAB1), (LA12, LAB12))의 인가를 차단한다. 컬럼 디코더(300)는 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택 신호 라인(CSL1)을 선택하기 위한 컬럼 선택 신호를 비활성화한다.

<51> 제2라이트 기간(WT2)에서, 2개의 메모리 쌍 그룹 각각의 비트 라인들(BL)은 소정의 전압(약 2V의 전압)으로 충전되어 있으며, 반전 비트 라인들(BLB)은 소정의 전압(약 0V)로 충전되어 있다. 이때 제어부(400)는 공통 소스 라인(SSL1)으로 소정 전압(약 2V의 전압)을 가지는 공통 소스 제어신호(SC1)를 발생하고, 로우 디코더(200)는 소정 전압(약 0V의 전압)을 가지는 워드 라인 선택 신호를 발생한다. 2개의 메모리 상 그룹들의 비트 라인(BL)에 연결된 메모리 셀(FN1)들은 소스, 드레인으로 포지티브 전압이 인가되고 게이트로 소정의 전압(약 0V의 전압)이 인가되므로 변화가 없다. 그러나 반전 비트 라인(BLB)에 연결된 메모리 셀(FNB1)들은 소스로 포지티브 전압이 인가되고, 게이트와 드레인으로 소정의 전압(약 0V의 전압)이 인가된다. 이에 따라 2개의 메모리 쌍 그룹들의 반전 비트 라인(BLB)에 연결된 메모리 셀들(FNB1)의 소스와 바디 사이에는 역방향 바이어스가 인가되어 공핍 영역이 발생한다. 따라서 메모리 셀들(FNB1)의 바디에 존재하는 정공들이 발생된 공핍 영역에 의해 드레인으로 밀려나가게 되는 드레인 커플링 유도 홀 소거(Drain coupling induced hole evacuation : DCIHE)가 발생하여 데이터 "0"이 라이트 된다. 데이터 "0"이 라이트 되는 메모리 셀들(FNB1)을 구성하는 NMOS트랜지스터들은 게이트로 소정의 전압(약 0V의 전압)이 인가되고 있으므로 턴오프 상태를 유지하므로 데이터 "0"을 라이트하기 위한 전류 소모가 거의 없다. 이때 선택되지 않은 워드 라인(WL12, ..., WL1m)에는 소정의 전압(약 -0.5V)의 전압이 인가되고 있으므로 소스로 포지티브 전압이 인가되어도 드레인으로 밀려나가는 정공의 수가

미미하여 동일한 반전 비트 라인(BLB)의 선택되지 않은 워드 라인(WL12, ..., WL1m)에 연결된 메모리 셀들(FNB1)의 데이터는 변경되지 않는다. 메모리 셀들(FN1, FNB1)에 데이터를 라이트하면 프리차지 회로(PRE)의 NMOS트랜지스터(N3, N4)는 제어부(400)에서 인가되는 프리차지 제어신호(EQ1, EQ12)에 응답하여 온되어 센스 비트 라인쌍(SBL, SBLB)과 비트 라인쌍(BL, BLB)의 전압을 프리차지 전압(VPRE1, VPRE12) (약 1V 정도의 전압)레벨로 프리차지한다.

<52> 도3b는 도2에 나타낸 본 발명의 반도체 메모리 장치의 일실시예의 데이터 리드 동작을 설명하기 위한 동작 타이밍도로서, 도3a의 동작에 의해서 메모리 셀 어레이 블록(BK1)의 2개의 메모리 쌍 그룹들의 메모리 셀들(FN1)에 저장된 데이터 “1”과 메모리 셀들(FNB1)에 저장된 데이터 “0”을 리드하는 경우의 동작을 나타내는 것이다.

<53> 제1리드 기간(RT1)에서, 제어부(400)는 제2로우 어드레스(RA2)를 입력하여 메모리 셀 어레이 블록(BK1)의 양측의 비트 라인 아이솔레이션 게이트들(ISOG1)의 NMOS트랜지스터들(N1, N2)을 온하기 위한 전압 레벨을 가지는 비트 라인 아이솔레이션 제어신호(ISO1)를 발생하고, 공통 소스 라인(SSL1)으로 소정 전압(약 2V 정도의 전압)을 가지는 공통 소스 제어신호(SC1)를 발생한다. 로우 디코더(200)는 제1로우 어드레스(RA1)를 디코딩하여 워드 라인 (WL11)을 선택하기 위한 소정 전압(약 1.8V 또는 2V 정도의 전압)을 가지는 워드 라인 선택신호를 발생한다. 공통 소스 라인(SSL1)으로 소정 전압(약 2V 정도의 전압)을 가지는 공통 소스 제어신호(SC1)가 인가되고 있으므로, 비트 라인들(BL)은 전압(2V - Vth1)레벨로 되고, 반전 비트 라인들(BLB)은 전압(2V - Vth0)레벨로 된다. 여기에서, 전압(Vth1)은 데이터 "1"이 저장된 메모리 셀(FN1)의 문턱전압을 나타내고, 전압(Vth0)은 데이터 "0"이 저장된 메모리 셀(FNB1)의 문턱전압을 나타낸다. 그리고 데이터"1"이 저장된 메모리 셀(FN1)의 문턱전압은 데이터 "0"이 저장된 메모리 셀(FNB1)의 문턱전압보다 낮다. 따라서, 메모리 셀 어레이 블록(BK1)의 2개의 메모리 쌍 그룹들의 비트 라인들(BL)의 전압이 반전 비트 라인들(BLB)의 전압보다 높아지게 되어 전압 차(ΔV)가 발생한다. 이때, 비트 라인 아이솔레이션 게이트들(ISOG1)이 온되어 있으므로 센스 비트 라인들(SBL1)의 전압 또한 반전 센스 비트 라인들(SBLB)의 전압보다 높아지게 된다. 제1리드 기간(RT1)에서, 2개의 메모리 쌍 그룹들의 비트 라인들(BL) 및 반전 비트 라인들(BLB)에 대한 충전 동작이 수행된다.

<54> 제어부(400)는 공통 소스 라인(SSL1)으로 소정 전압(약 0V의 전압)을 가지는 공통 소스 제어신호(SC1)를 발생하고, 로우 디코더(200)는 워드 선택 신호 라인(WL11)으로 네거티브 전압(약 1.8V 또는 -2V 정도의 전압)을 가지는 워드 라인 선택신호를 발생한다.

<55> 제2리드 기간(RT2)에서, 제어부(400)는 메모리 셀 어레이 블록(BK1)의 양측에 배치된 센스 증폭기들(SA1, SA12)로 소정 전압(약 2V의 전압)의 센스 인에이블 제어전압들(LA1, LA12) 및 소정 전압(약 0V의 전압)의 센스 인에이블 제어전압들(LAB1, LAB12)을 발생한다. 그러면, 센스 증폭기들(SA1, SA12)이 센스 비트 라인들(SBL)의 “하이”레벨의 전압을 감지하여 반전 센스 비트 라인들(SBLB)을 소정 전압(약 0V의 전압) 레벨로 증폭하고, 반전 센스 비트 라인들(SBLB)의 “로우”레벨의 전압을 감지하여 센스 비트 라인들(SBL)을 소정 전압(약 2V의 전압) 레벨로 증폭한다. 이때, 비트 라인 아이솔레이션 게이트들(ISOG1)의 NMOS트랜지스터들(N1, N2)이 온되어 있으므로 비트 라인들(BL) 및 반전 비트 라인들(BLB)도 센스 비트 라인들(SBL) 및 반전 센스 비트 라인들(SBLB)과 동일한 레벨로 증폭된다. 제2리드 기간(RT2)에서, 비트 라인쌍들(BL, BLB)과 센스 비트 라인쌍들(SBL, SBLB)에 대한 증폭 동작이 수행된다.

<56> 제3리드 기간(RT3)에서, 컬럼 디코더(300)는 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택 신호 라인(CSL1)을 선택하기 위한 컬럼 선택신호를 발생한다. 그러면, 메모리 셀 어레이 블록(BK1)의 양측의 컬럼 선택 게이트들(CSG1, CSG12)이 온되어 2개의 메모리 쌍 그룹의 센스 비트 라인쌍들(SBL, SBLB)의 데이터를 데이터 입출력 라인쌍들((DO1, DOB1), (DO12, DOB12))로 전송한다.

<57> 제어부(400)는 비트 라인 아이솔레이션 게이트들(ISOG1)을 오프하기 위한 전압 레벨을 가지는 비트 라인 아이솔레이션 제어신호(ISO1)를 발생하고, 센스 인에이블 제어전압들(LA1, LAB1, LA12, LAB12)이 인가되지 않도록 차단한다. 그리고 공통 소스 라인(SSL1)으로 소정의 전압(약 2V의 전압)을 가지는 공통 소스 제어 신호(SC1)을 발생한다. 컬럼 디코더(300)는 컬럼 선택 신호 라인(CSL1)을 선택하기 위한 컬럼 선택 신호를 비활성화하고, 로우 디코더(200)는 워드 선택신호 라인(WL11)을 선택하기 위한 워드 선택신호를 소정 전압(약 0V정도의 전압) 레벨로 만든다.

<58> 제2 및 제3리드 기간들(RT2, RT3)에서, 2개의 메모리 쌍 그룹들의 메모리 셀들(FN1)의 게이트로 네거티브 전압이 인가되고 비트 라인들(BL)로 포지티브 전압이 인가되고 공통 소스 라인들(SSL1)로 소정의 전압(약 0V의 전압)이 인가되고 있으므로 메모리 셀들(FN1)에 게이트 유도 드레인 전류가 발생하여 데이터 “1”이 다시 저장된다.

<59> 제4리드 기간(RT4)에서, 비트 라인 아이솔레이션 게이트들(ISOG1)이 오프되어 있으나, 2개의 메모리 쌍 그룹 각각의 비트 라인들(BL)은 소정의 전압(약 2V의 전압)으로 충전되어 있으며, 반전 비트 라인들(BLB)은 소정의 전압(약 0V의 전압)으로 충전되어 있다. 공통 소스 라인(SSL1)으로 소정의 전압(약 2V의 전압)을 가지는 공통 소스 제어 신호(SC1)가 인가되고, 워드 선택신호 라인(WL11)으로 소정의 전압(약 0V정도의 전압)을 가지는 워드 선택신호가 인가되므로 도3a 의 제2 라이트 기간(WT2)에서의 조건과 동일한 조건이 된다. 즉 2개의 메모리 상 그룹들의 비트 라인(BL)에 연결된 메모리 셀(FN1)들은 소스, 드레인으로 포지티브 전압이 인가되고 게이트로 소정의 전압(약 0V의 전압)이 인가되므로 변화가 없으며, 반전 비트 라인(BLB)에 연결된 메모리 셀(FNB1)들은 소스로 포지티브 전압이 인가되고 게이트와 드레인으로 소정의 전압(약 0V의 전압)이 인가되므로 2개의 메모리 쌍 그룹들의 반전 비트 라인(BLB)에 연결된 메모리 셀들(FNB1)의 소스와 바디 사이에는 역방향 바이어스가 인가되어 공핍 영역이 발생한다. 따라서 메모리 셀들(FNB1)의 바디에 존재하는 정공들이 발생된 공핍 영역에 의해 드레인으로 밀려나가게 되는 드레인 커플링 유도 홀 소거(DCIHE)가 발생하여 데이터 "0"이 다시 라이트 된다. 이때 선택되지 않은 워드 라인(WL12, ..., WL1m)에는 소정의 전압(약 -0.5V)의 전압이 인가되고 있으므로 소스로 포지티브 전압이 인가되어도 드레인으로 밀려나가는 정공의 수가 미미하여 동일한 반전 비트 라인(BLB)의 선택되지 않은 워드 라인(WL12, ..., WL1m)에 연결된 메모리 셀들(FNB1)의 데이터는 변경되지 않는다. 제4리드 기간(RT4)에서, 데이터 "0"에 대한 재저장 동작이 수행된다.

<60> 제4리드 기간(RT4)에서 메모리 셀들(FNB1)에 데이터 "0"을 라이트하면 프리차지 회로(PRE)의 NMOS 트랜지스터(N3, N4)는 제어부(400)에서 인가되는 프리차지 제어신호(EQ1, EQ12)에 응답하여 온되어 센스 비트 라인쌍(SBL, SBLB)과 비트 라인쌍(BL, BLB)의 전압을 프리차지 전압(VPRE1, VPRE12) (약 1V 정도의 전압)레벨로 프리차지한다.

<61> 도3b 에서는 데이터 리드 시에 제3리드 기간(RT3)과 제4리드 기간(RT4)에서 데이터 "1"과 데이터 "0"을 재저장하는 것으로 설명하였으나, 플로팅 바디를 가지는 메모리 셀은 이론적으로 메모리 셀을 구성하는 트랜지스터의 문턱전압(Vth)을 변화시켜 데이터를 저장하는 방식이므로 데이터를 리드 동작시에도 문턱전압이 변화하지 않아 재저장 기간을 생략할 수 있다. 이 경우 도3b의 제3리드 기간(RT3)에서 제어부(400)는 워드 선택 신호 라인(WL11)으로 네거티브 전압(약 1.8V 또는 -2V 정도의 전압)이 아닌 소정 전압(약 0V정도의 전압) 레벨로 인가하여 데이터 "1"에 대한 재저장 동작을 하지 않도록 할 수 있다. 또한 제4리드 기간(RT4)은 생략될 수 있다.

<62> 상술한 바와 같은 본 발명의 반도체 메모리 장치는 비트 라인(반전 비트 라인)으로 네거티브 전압을 인가함에 의해서 데이터 “0”을 라이트(재저장)하는 것이 아니라, 공통 소스 라인(SSL1)으로 소정의 전압(약 2V의 전압)을 인가하여 플로팅 바디에 존재하는 정공을 드레인으로 밀어내는 드레인 커플링 유도 홀 소거(DCIHE)를 이용하여 데이터 "0"을 라이트(재저장)한다. 그리고 게이트-유도 드레인 누설 전류(GIDL)를 이용하여 데이터 "1"을 라이트(재저장)한다.

<63> 또한, 본 발명의 반도체 메모리 장치는 데이터 리드시에도 공통 소스 라인(SSL1)으로 소정의 전압(약 2V의 전압)을 인가하여 비트 라인쌍에 전압 차를 유발하고, 비트 라인 쌍의 전압 차를 증폭하여 데이터를 리드한다. 메모리 셀에 드레인 커플링 유도 홀 소거(DCIHE)를 이용하여 데이터 "0"을 라이트하는 것은 구동 능력이 크지는 않지만 전류 소모가 거의 없다는 장점이 있다. 그리고 데이터 리드 시에 전류로서 데이터를 판별하는 것이 아니라 비트 라인(BL)과 반전 비트 라인(BLB)사이의 전압 차를 증폭하여 데이터를 판별하므로 데이터 "0"의 라이트 구동 능력이 문제되지 않는다.

<64> 상술한 도2의 실시예의 반도체 메모리 장치의 메모리 셀 어레이는 하나의 메모리 셀 어레이 블록이 선택되고, 선택된 메모리 셀 어레이 블록으로부터 2개의 데이터 쌍이 출력되는 구성을 나타내었으나, 메모리 셀 어레이는 다양한 방법으로 구성이 가능하다. 예를 들면, 2개의 메모리 셀 어레이 블록들로부터 8개의 데이터 쌍이 출력되도록 구성하는 것도 가능하다.

<65> 본 발명의 반도체 메모리 장치의 메모리 셀 어레이는 도2의 메모리 쌍 그룹의 구성, 비트 라인 아이솔레이션 게이트, 및 프리차지 회로를 구비하면 되고, 바람직하게는 비트 라인 센스 증폭기, 및 컬럼 선택 게이트를 추가적으로 구비하여야 한다.

<66> 상술한 설명에서, 예로 든 전압 레벨은 다양한 다른 전압 레벨로 설정이 가능하다.

<67> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

<68> 따라서, 본 발명의 캐패시터가 없는 동적 메모리 셀을 구비한 반도체 메모리 장치는 데이터의 리드시나 라이트시에 필요한 회로 구성이 간단하다. 그리고 리드시에 공통 소스 라인으로 전압을 인가해서 데이터 "1"이 라이트된 메모리 셀과 데이터 "0"이 라이트된 메모리 셀의 문턱전압차를 이용하여 센싱하므로 센싱 마진이 우수하다.

<69> 또한, 본 발명의 반도체 메모리 장치는 데이터 “0” 라이트 및 재저장시에 비트 라인으로 네거티브 전압을 인가할 필요가 없으므로, 비트 라인으로 공급을 위한 네거티브 전압 발생기를 구비할 필요가 없다. 뿐만 아니라 라이트시에 전류 소모가 거의 없으므로 전력소모를 줄일 수 있다.

도면의 간단한 설명

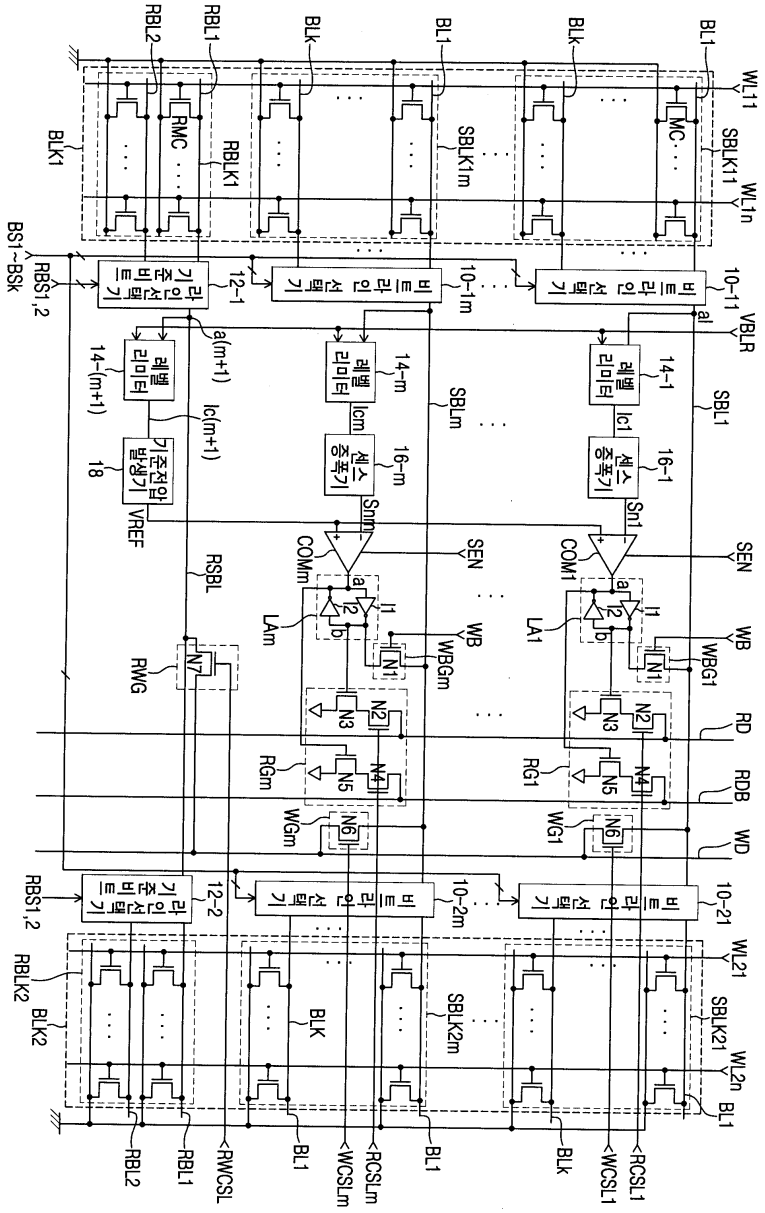
<1> 도 1은 종래의 플로팅 바디를 가지는 메모리 셀을 구비하는 반도체 메모리 장치의 일예의 구성을 나타내는 것이다.

<2> 도 2는 본 발명의 반도체 메모리 장치의 실시예의 구성을 개략적으로 나타내는 것이다.

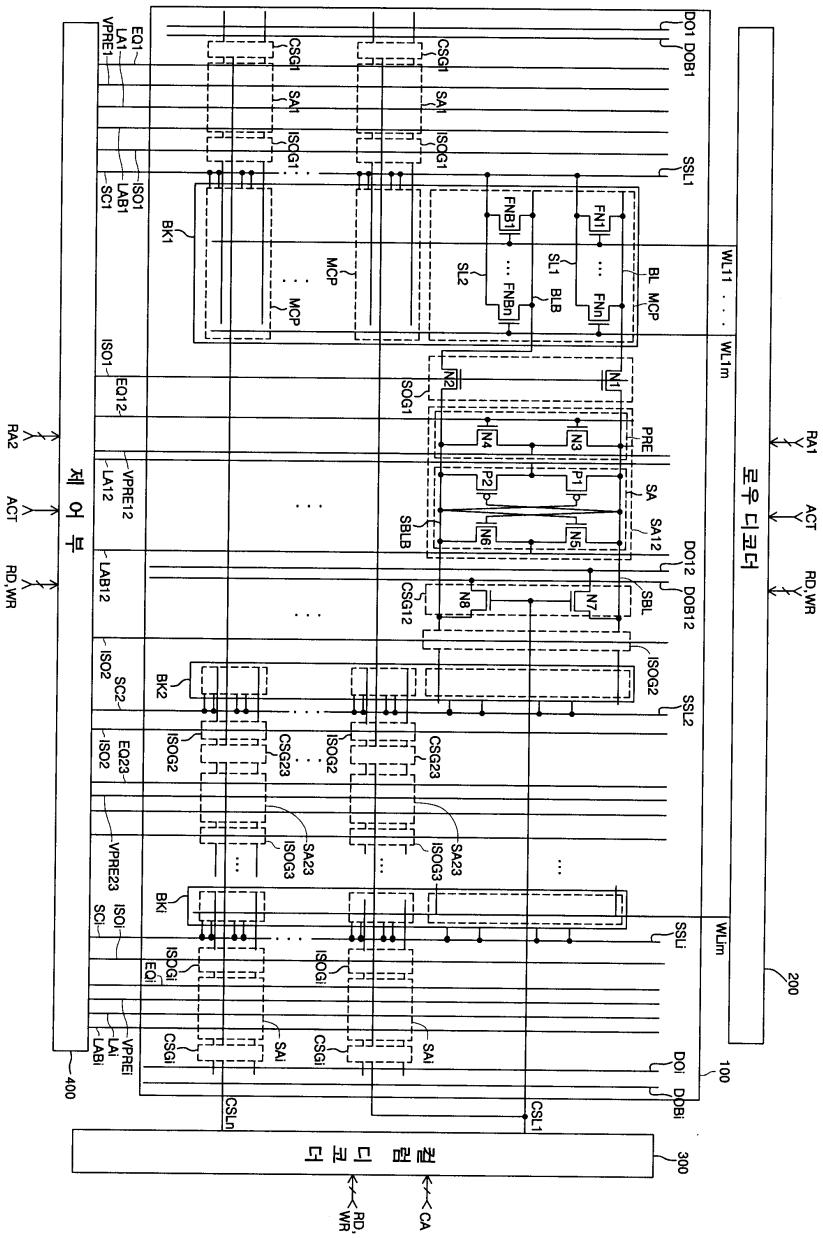
<3> 도 3a, b는 도 2에 나타낸 본 발명의 반도체 메모리 장치의 일실시예의 데이터 라이트 및 리드 동작을 설명하기 위한 동작 타이밍도이다.

도면

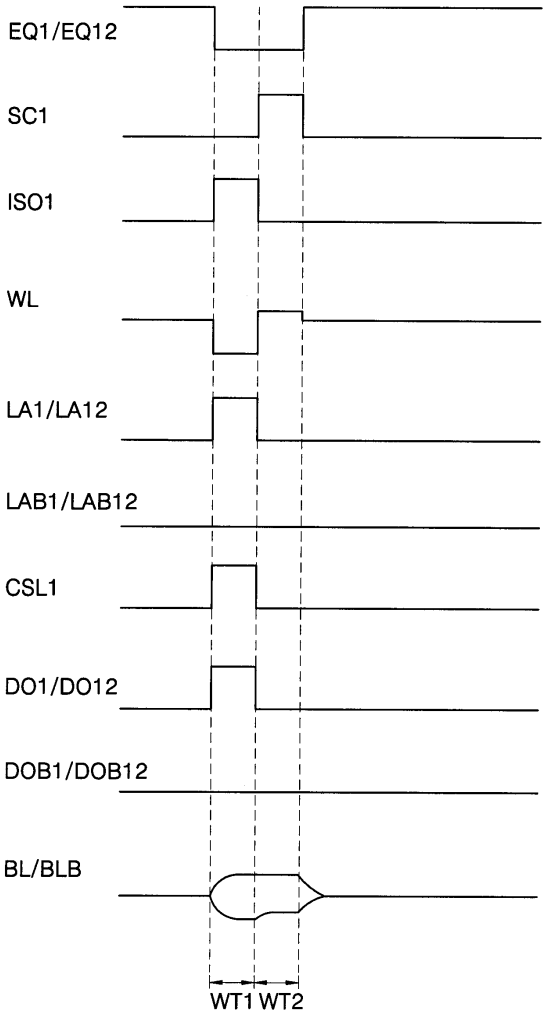
도면1


BL1
BLk
BL1
BLk
RBL1
RBL2
WL11
WL1n
SBLK11
MC
SBLK1m
RBLK1
RMC
BLK1
BS1~BSk
RBS1,2
기준비트라인선택기
12-1
비트라인선택기
10-1m
비트라인선택기
10-11
VBLR
al
a(m+1)
레벨리미터
14-(m+1)
14-m
레벨리미터
14-1
레벨리미터
Ic(m+1)
Icm
Ic1
SBLm
SBL1
기준전압발생기
18
센스증폭기
16-m
센스증폭기
16-1
VREF
Snm
Sn1
SEN
COMm
COM1
RSBL
LAm
LA1
WB
WBGm
WBG1
RWG
N7
N1
N2
N3
N4
N5
N6
RD
RDB
WD
RGm
RG1
WGm
WG1
RBS1,2
기준비트라인선택기
12-2
비트라인선택기
10-2m
비트라인선택기
10-21
WL21
WL2n
RBLK2
BLK2
BLK
SBLK2m
SBLK21
BL1
RBL2
RBL1
RWCSL
BL1
WCSLm
RCSLm
BL1
Blk
WCSL1
RCSL1

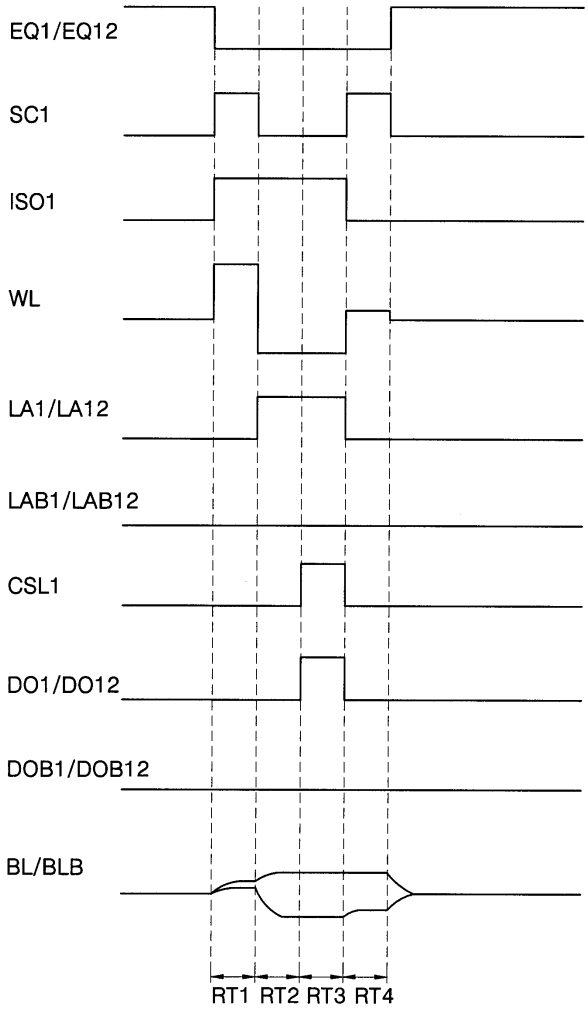
도면2


로우 디코더
제 어 부
컬럼 디코더
RA1
ACT
RD,WR
RA2
CA
RD,WR
200
100
300
400
DO1
DOB1
SSL1
WL11
WL1m
DO12
DOB12
SSL2
WLim
DOi
DOBi
CSL1
CSLn
BK1
BK2
BKi
MCP
SL1
SL2
BL
BLB
FN1
FNn
FNB1
FNBn
N1
N2
N3
N4
N5
N6
N7
N8
P1
P2
PRE
SA
SA12
SBL
SBLB
SOG1
CSG1
SA1
ISOG1
CSG12
CSG23
SA23
ISOG2
ISOG3
ISOGi
CSGi
SAi
EQ1
LA1
VPRE1
ISO1
LAB1
SC1
EQ12
VPRE12
LA12
LAB12
ISO2
SC2
EQ23
VPRE23
ISOi
SCi
EQi
VPREi
LAi
LABi

도면3a


EQ1/EQ12
SC1
ISO1
WL
LA1/LA12
LAB1/LAB12
CSL1
DO1/DO12
DOB1/DOB12
BL/BLB
WT1
WT2

도면3b


EQ1/EQ12
SC1
ISO1
WL
LA1/LA12
LAB1/LAB12
CSL1
DO1/DO12
DOB1/DOB12
BL/BLB
RT1 RT2 RT3 RT4