

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7009933号  
(P7009933)

(45)発行日 令和4年1月26日(2022.1.26)

(24)登録日 令和4年1月17日(2022.1.17)

(51)国際特許分類

F I

H 0 1 L	29/78	(2006.01)	H 0 1 L	29/78	6 5 3 A
H 0 1 L	29/739	(2006.01)	H 0 1 L	29/78	6 5 2 K
H 0 1 L	21/28	(2006.01)	H 0 1 L	29/78	6 5 3 C
H 0 1 L	29/41	(2006.01)	H 0 1 L	29/78	6 5 5 A
			H 0 1 L	21/28	3 0 1 A

請求項の数 3 (全13頁) 最終頁に続く

(21)出願番号 特願2017-213329(P2017-213329)  
 (22)出願日 平成29年11月3日(2017.11.3)  
 (65)公開番号 特開2019-87591(P2019-87591A)  
 (43)公開日 令和1年6月6日(2019.6.6)  
 審査請求日 令和2年4月24日(2020.4.24)

(73)特許権者 000004260  
株式会社デンソー  
愛知県刈谷市昭和町1丁目1番地  
 (74)代理人 110001128  
特許業務法人ゆうあい特許事務所  
 (72)発明者 伊藤 正和  
愛知県刈谷市昭和町1丁目1番地 株式  
会社デンソー内  
 (72)発明者 坂根 宏樹  
愛知県刈谷市昭和町1丁目1番地 株式  
会社デンソー内  
 審査官 杉山 芳弘

最終頁に続く

(54)【発明の名称】 半導体装置

## (57)【特許請求の範囲】

## 【請求項1】

複数のトレンチゲート構造(16)を有する半導体装置において、  
 第1導電型のドリフト層(11)と、  
 前記ドリフト層上に配置された第2導電型のベース層(12)と、  
 前記ドリフト層を挟み、前記ベース層と反対側に形成された第2導電型のコレクタ層(22)と、を有する半導体基板(10)と、  
 前記ベース層を貫通して前記ドリフト層に達すると共に、前記半導体基板の面方向における一方向に延設されたトレンチ(13)の壁面に形成されたゲート絶縁膜(14)と、  
 前記ゲート絶縁膜上に形成されたゲート電極(15)と、を有する前記複数のトレンチゲート構造と、  
 前記ベース層の表層部に形成され、前記トレンチと接する第1導電型のエミッタ領域(17)と、  
 前記ベース層および前記エミッタ領域と電気的に接続される第1電極(20)と、  
 前記コレクタ層と電気的に接続される第2電極(23)と、を備え、  
 前記ゲート電極は、ポリシリコンで構成され、前記ポリシリコンの粒径が50~1000nmとされており、  
 前記トレンチの延設方向を法線方向とする断面のうちの前記ゲート電極が前記トレンチ内のみに配置されている断面において、前記半導体基板の一面(10a)と前記トレンチゲート構造の底部との間の領域のうち、隣接するトレンチゲート構造の一方の中心軸と他方

の中心軸とで囲まれる領域を1セル領域とすると、1セル領域に占める前記ゲート電極の体積率が41.5%以下とされ、

前記半導体基板における前記トレンチの周囲に発生している最大応力は、340MPa以下とされている半導体装置。

【請求項2】

隣接する前記トレンチの間隔(L)は、1.3μm以下とされている請求項1に記載の半導体装置。

【請求項3】

前記ゲート電極は、内部に空隙(24)が形成されている請求項1または2に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲート型の絶縁ゲート型バイポーラトランジスタ(以下、単にIGBTという)が形成された半導体装置に関するものである。

【背景技術】

【0002】

従来より、電力変換用半導体装置の1つとして、産業用モータ等の電子機器に使用されるIGBTが形成された半導体装置が知られている(例えば、特許文献1参照)。具体的には、この半導体装置では、N型のドリフト層を構成する半導体基板の表層部にベース層が形成され、ベース層を貫通するように複数のトレンチが形成されている。そして、各トレンチは、ゲート絶縁膜およびゲート電極が順に形成されることで埋め込まれている。なお、ゲート絶縁膜は、酸化膜にて構成され、ゲート電極は、ポリシリコンにて構成されている。また、ベース層の表層部には、トレンチに接するようにN+型のエミッタ領域が形成され、半導体基板の他面側には、P+型のコレクタ層が形成されている。

20

【0003】

そして、半導体基板の一面側にはベース層およびエミッタ領域と電気的に接続されるエミッタ電極が形成されている。半導体基板の他面側にはコレクタ層と電気的に接続されるコレクタ電極が形成されている。

【0004】

このような半導体装置は、例えば、次のように製造される。すなわち、ドリフト層上にベース層を形成した後、ドリフト層に達するトレンチを形成する。次に、トレンチ内にゲート絶縁膜を形成する。そして、CVD(Chemical Vapor Depositionの略)法によって不純物がドーブされたアモルファスシリコンを成膜する。続いて、熱処理を行うことにより、アモルファスシリコンをポリシリコンへと結晶化し、ポリシリコンによって構成されるゲート電極を形成する。その後は、一般的な半導体製造プロセスを行い、エミッタ領域、コレクタ層、エミッタ電極、コレクタ電極等を形成することによって上記半導体装置が製造される。

30

【先行技術文献】

【特許文献】

【0005】

【文献】特開2007-43123号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記半導体装置では、アモルファスシリコンをポリシリコンに結晶化する際、および結晶化した後の熱収縮により、ゲート電極の周囲に応力が発生する。つまり、半導体基板のうちのトレンチの周囲の領域に応力が発生する。そして、当該応力が大きいと、ゲート電極を構成するポリシリコン内に結晶欠陥が生成されたり、ゲート絶縁膜の劣化が促進したりし、半導体装置に電流を流した際に当該半導体装置が破壊されてしまう可

40

50

能性がある。

【0007】

本発明は上記点に鑑み、半導体装置が破壊されることを抑制できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するための請求項1では、複数のトレンチゲート構造(16)を有する半導体装置において、第1導電型のドリフト層(11)と、ドリフト層上に配置された第2導電型のベース層(12)と、ドリフト層を挟み、ベース層と反対側に形成された第2導電型のコレクタ層(22)と、を有する半導体基板(10)と、ベース層を貫通してドリフト層に達すると共に、半導体基板の面方向における一方向に延設されたトレンチの壁面に形成されたゲート絶縁膜(14)と、ゲート絶縁膜上に形成されたゲート電極(15)と、を有する複数のトレンチゲート構造と、ベース層の表層部に形成され、トレンチと接する第1導電型のエミッタ領域(17)と、ベース層およびエミッタ領域と電気的に接続される第1電極(20)と、コレクタ層と電気的に接続される第2電極(23)と、を備え、ゲート電極は、ポリシリコンで構成され、ポリシリコンの粒径が50~1000nmとされており、トレンチの延設方向を法線方向とする断面のうちのゲート電極がトレンチ内のみに配置されている断面において、半導体基板の一面(10a)とトレンチゲート構造の底部との間の領域のうち、隣接するトレンチゲート構造の一方の中心軸と他方の中心軸とで囲まれる領域を1セル領域とすると、1セル領域に占めるゲート電極の体積率が41.5%以下とされ、半導体基板におけるトレンチの周囲に発生している最大応力は、340MPa以下とされている。

10

20

【0009】

これによれば、トレンチの周囲に発生している最大応力が340MPa以下とされているため、半導体装置が破壊されることを抑制できる。

【0010】

なお、上記および特許請求の範囲における括弧内の符号は、特許請求の範囲に記載された用語と後述の実施形態に記載される当該用語を例示する具体物等との対応関係を示すものである。

【図面の簡単な説明】

30

【0011】

【図1】第1実施形態における半導体装置の断面図である。

【図2】トレンチ周囲応力と半導体装置の破壊との関係を示すシミュレーション結果である。

【図3】図1に示す半導体装置の1セル領域を示す模式図である。

【図4】隣接するトレンチの間隔と、1セル領域当たりのゲート電極の体積率との関係を示すシミュレーション結果である。

【図5】隣接するトレンチの間隔と、オン電圧との関係を示す図である。

【図6】第2実施形態における半導体装置の断面図である。

【図7】図6に示す半導体装置の1セル領域を示す模式図である。

40

【図8】第2実施形態における隣接するトレンチの間隔と、1セル領域当たりのゲート電極の体積率との関係を示すシミュレーション結果である。

【図9】他の実施形態におけるトレンチゲート構造および1セル領域を示す図である。

【図10】他の実施形態におけるトレンチゲート構造および1セル領域を示す図である。

【図11】他の実施形態におけるトレンチゲート構造および1セル領域を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

50

(第1実施形態)

第1実施形態について説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC/DCコンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

【0014】

図1に示されるように、半導体装置は、N型のドリフト層11を構成する半導体基板10を有している。なお、本実施形態では、半導体基板10は、シリコン基板で構成される。そして、ドリフト層11上(すなわち、半導体基板10の一面10a側)には、P型のベース層12が形成されている。

【0015】

半導体基板10には、ベース層12を貫通してドリフト層11に達するように複数のトレンチ13が形成されている。これにより、ベース層12が複数個に分離されている。本実施形態では、複数のトレンチ13は、ストライプ状となるように、半導体基板10の一面10aにおける面方向のうちの一方向(すなわち、図1中の紙面垂直方向)に沿って等間隔に形成されている。つまり、各トレンチ13は、隣接するトレンチ13の間隔Lが互いに等しくなるように形成されている。

【0016】

また、本実施形態では、各トレンチ13は、側面が半導体基板10の一面10aに対する法線方向に沿って略平行となるように形成されている。なお、ここでの略平行とは、完全に平行になる場合に加えて、半導体基板10の一面10aとトレンチ13の側面との成す角度が85°程度までのものを含むものである。

【0017】

各トレンチ13の壁面には、ゲート絶縁膜14が形成され、ゲート絶縁膜14上には、ゲート電極15が形成されている。これにより、トレンチゲート構造16が構成されている。なお、本実施形態では、ゲート電極15は、トレンチ13内を埋め込むように形成されている。

【0018】

ゲート絶縁膜14は、酸化膜で構成され、トレンチ13の壁面に沿って約100nmの均一な厚さで形成されている。ゲート電極15は、不純物がドーブされたポリシリコンにて構成されている。なお、ゲート電極15は、CVD法でアモルファスシリコンが成膜された後、熱処理してアモルファスシリコンがポリシリコンへと結晶化されることで構成され、ポリシリコンの粒径が50~1000nmとされている。

【0019】

ベース層12の表層部(すなわち、半導体基板10の一面10a側)には、ドリフト層11よりも高不純物濃度とされたN<sup>+</sup>型のエミッタ領域17、およびベース層12よりも高不純物濃度とされたP<sup>+</sup>型のコンタクト領域18がそれぞれ形成されている。具体的には、エミッタ領域17は、ベース層12内において終端し、かつ、トレンチ13の側面に接するように形成されている。また、コンタクト領域18は、エミッタ領域17と同様に、ベース層12内において終端するように形成されている。

【0020】

より詳しくは、エミッタ領域17は、トレンチ13間の領域において、トレンチ13の長手方向に沿ってトレンチ13の側面に接するように棒状に延設され、トレンチ13の先端よりも内側で終端する構造とされている。また、コンタクト領域18は、2つのエミッタ領域17に挟まれてトレンチ13の長手方向(すなわち、エミッタ領域17)に沿って棒状に延設されている。なお、本実施形態のコンタクト領域18は、半導体基板10の一面10aを基準としてエミッタ領域17よりも深く形成されている。

【0021】

半導体基板10の一面10a上には、BPSG(すなわち、Boron Phosphorus Silicon Glass)等で構成される層間絶縁膜19が形成されている。そして、層間絶縁膜19上には、層間絶縁膜19に形成されたコンタクトホール19aを介してエミッタ領域17および

10

20

30

40

50

コンタクト領域 18 (すなわち、ベース層 12) と電氣的に接続されるエミッタ電極 20 が形成されている。なお、本実施形態では、エミッタ電極 20 が第 1 電極に相当している。

【0022】

ドリフト層 11 のうちのベース層 12 側と反対側 (すなわち、半導体基板 10 の他面 10b 側) には、ドリフト層 11 よりも高不純物濃度とされた N 型のフィールドストップ層 (以下では、FS 層という) 21 が形成されている。この FS 層 21 は、必ずしも必要なものではないが、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図ると共に、半導体基板 10 の他面 10b 側から注入される正孔の注入量を制御するために備えてある。

【0023】

そして、FS 層 21 を挟んでドリフト層 11 と反対側には、P 型のコレクタ層 22 が形成され、コレクタ層 22 上 (すなわち、半導体基板 10 の他面 10b 上) にはコレクタ層 22 と電氣的に接続されるコレクタ電極 23 が形成されている。なお、本実施形態では、コレクタ電極 23 が第 2 電極に相当している。

10

【0024】

以上が本実施形態における半導体装置の基本的な構成である。なお、本実施形態では、N 型、N+ 型、N- 型が第 1 導電型に相当しており、P 型、P+ 型が第 2 導電型に相当している。また、本実施形態では、半導体基板 10 は、上記のように、コレクタ層 22、FS 層 21、ドリフト層 11、ベース層 12、エミッタ領域 17、およびコンタクト領域 18 を含んで構成されている。

【0025】

以上が本実施形態における半導体装置の基本的な構成である。次に、上記半導体装置の基本的な作動について説明する。

20

【0026】

まず、上記半導体装置は、オフ状態からオン状態にされる際、例えば、エミッタ電極 20 が接地されると共にコレクタ電極 23 に正の電圧が印加される。そして、ゲート電極 15 には、ゲート電位が絶縁ゲート構造の閾値電圧  $V_{th}$  以上となるように図示しないゲート制御回路から所定の電圧が印加される。これにより、ベース層 12 のうちのトレンチ 13 と接する部分に N 型の反転層 (すなわち、チャネル) が形成される。そして、エミッタ電極 20 からエミッタ領域 17 および反転層を介して電子がドリフト層 11 に供給される。また、コレクタ電極 23 からコレクタ層 22 を介して正孔がドリフト層 11 に供給される。そして、伝導度変調により、ドリフト層 11 の抵抗値が低下してオン状態となる。

30

【0027】

また、オン状態からオフ状態にされる際には、ゲート電極 15 には、ゲート電位が閾値電圧  $V_{th}$  未満となるように、図示しないゲート制御回路から所定の電圧 (例えば、0V) が印加される。これにより、ベース層 12 のうちのトレンチ 13 と接する部分に形成されていた反転層が消滅し、エミッタ電極 20 から電子が供給されなくなると共に、コレクタ電極 23 から正孔が供給されなくなり、オフ状態となる。

【0028】

次に、トレンチ 13 の周囲に発生したトレンチ周囲応力と、半導体装置の破壊との関係について図 2 を参照しつつ説明する。なお、ここでのトレンチ周囲応力とは、上記のように、ゲート電極 15 を形成する際に発生する応力のことであるが、トレンチ 13 の周囲に発生した応力のうちの最大応力のことを意味している。また、図 2 中のトレンチ周囲応力は、半導体装置の中心に位置するトレンチ 13、外縁部に位置するトレンチ 13、中心と外縁部との間に位置するトレンチ 13 等の周囲の応力のうちの最大応力を示している。つまり、図 2 中のトレンチ周囲応力は、半導体装置におけるトレンチ 13 の周囲の応力のうちの最大応力を示している。また、トレンチ 13 の周囲に発生する応力は、隣接するトレンチ 13 の間の領域では当該隣接するトレンチ 13 に配置された各ゲート電極 15 に起因する応力が共に印加されるため、隣接するトレンチ 13 の間の領域の所定箇所が最大となる。

40

【0029】

さらに、図 2 中のトレンチ周囲応力は、EBS D (すなわち、Electron Back Scatter D

50

iffraction)法で分析した値である。そして、図2中の連続スイッチング回数は、半導体装置をオフ状態からオン状態にし、オン状態からオフ状態にするまでを1回のスイッチングとしている。

#### 【0030】

図2に示されるように、トレンチ周囲応力が340MPa以下の場合、スイッチングを1000回行って半導体装置が破壊されていないことが確認される。これに対し、トレンチ周囲応力が340MPaより大きい場合、例えば、トレンチ周囲応力が420MPaの場合には、スイッチングを1000回行って半導体装置が破壊されないことも確認されるが、1000回未満の回数で半導体装置が破壊されてしまうことも確認される。そして、トレンチ周囲応力がさらに大きくなると、例えば、トレンチ周囲応力が450MPaの場合には、十数回～数十回程度で半導体装置が破壊されてしまうことが確認される。つまり、トレンチ周囲応力が大きくなるほど、少ないスイッチング回数で半導体装置が破壊されてしまうことが確認される。このため、本実施形態の半導体装置は、トレンチ周囲応力が340MPa以下となるように構成されている。

10

#### 【0031】

なお、図2は、半導体基板10の厚さを80 $\mu$ mとしたものであるが、半導体基板10の厚さや各領域の不純物濃度を変化させてもトレンチ周囲応力は変化しない。つまり、半導体基板10の厚さや各領域の不純物濃度に依らず、トレンチ周囲応力が340MPa以下であれば、半導体装置が破壊されることが抑制される。

#### 【0032】

ここで、トレンチ周囲応力は、上記のようにゲート電極15を構成するポリシリコンに起因するものである。より具体的には、トレンチ周囲応力は、アモルファスシリコンからポリシリコンへと結晶化する際、および結晶化した後の熱収縮に起因するものである。このため、ゲート電極15を構成するポリシリコンの量を調整することにより、トレンチ周囲応力を変化させることができる。

20

#### 【0033】

図3は、トレンチ13の延設方向を法線方向とする断面であり、図1中のトレンチゲート構造16周囲の拡大図に相当している。そして、この断面のうちの半導体基板10の一面10aからトレンチゲート構造16の底部までの領域において、トレンチゲート構造16の中心からコンタクト領域18を挟んで隣に位置するトレンチゲート構造16の中心までを1セル領域Aとする。言い換えると、この断面のうちの半導体基板10の一面10aからトレンチゲート構造16の底部までの領域において、隣接するトレンチゲート構造16の一方の中心軸と他方の中心軸とで囲まれる領域を1セル領域Aとする。つまり、この断面のうちの半導体基板10の一面10aからトレンチゲート構造16の底部までの領域において、隣接するトレンチゲート構造16の中心をそれぞれ通り、半導体基板10の一面10aに対する法線方向に沿った2つの仮想線で囲まれる領域を1セル領域Aとする。図3中では、点線で囲まれた領域が1セル領域Aとなる。なお、トレンチ13の底部とは、半導体基板10の一面10aから最も離れている部分のことであり、図3中ではトレンチ13の底面となる。

30

#### 【0034】

そして、本発明者らは、1セル領域A当たりのゲート電極15(すなわち、ポリシリコン)の体積率(以下では、単にゲート電極15の体積率ともいう)に基づいて検討を行い、以下の結果を得た。すなわち、図4に示されるように、ゲート電極15の体積率が41.5%以下の場合、トレンチ周囲応力が340MPa以下となることを見出した。

40

#### 【0035】

このため、本実施形態では、ゲート電極15の体積率が41.5%以下とされている。なお、ゲート電極15の体積率を小さくするには、隣接するトレンチ13の間隔Lを長くすることによって1セル領域Aの総体積を増加させればよい。つまり、本実施形態では、隣接するトレンチ13の間隔Lを0.9 $\mu$ m以上とすることにより、トレンチ周囲応力を340MPa以下とできる。

50

## 【0036】

但し、図5に示されるように、隣接するトレンチ13の間隔Lを長くするほど、半導体装置がオン状態である際、ドリフト層11に供給された正孔がベース層12へと抜けやすくなり、オン電圧が増加する。ここで、本実施形態のようなトレンチゲート構造16を有するIGBTが形成された半導体装置では、現状では、オン電圧が0.9V以下となるようにすることが望まれている。また、図5に示されるように、半導体装置は、隣接するトレンチ13の間隔が広くなるにつれてオン電圧が高くなるが、隣接するトレンチの間隔13が1.3 $\mu$ mより広い範囲におけるオン電圧の変化率は、隣接するトレンチ13の間隔が1.3 $\mu$ m以下である範囲のオン電圧の変化率より小さい。言い換えると、半導体装置は、隣接するトレンチ13の間隔が1.3 $\mu$ m以下の範囲では、隣接するトレンチの間隔が狭くなるにつれて急峻にオン電圧が小さくなる。このため、本実施形態では、隣接するトレンチの間隔が1.3 $\mu$ m以下とされている。なお、隣接するトレンチ13の間隔Lとは、隣接するトレンチ13のうちの最も間隔が狭い部分を意味している。

10

## 【0037】

以上説明したように、本実施形態では、トレンチ周囲応力が340MPa以下となるように、1セル領域A当たりのゲート電極15の体積率を41.5%以下としている。このため、半導体装置が破壊されることを抑制できる。

## 【0038】

また、隣接するトレンチ13の間隔Lは、1.3 $\mu$ m以下とされている。このため、オン電圧が増加することを抑制しつつ、半導体装置が破壊されることを抑制できる。

20

## 【0039】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対して、トレンチゲート構造16の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

## 【0040】

本実施形態では、図6に示されるように、トレンチ13は、開口部側に位置する第1トレンチ13aと、底部側に位置する第2トレンチ13bとが連通されて構成されている。本実施形態では、第1トレンチ13aは、ベース層12内に形成され、第2トレンチ13bは、ベース層12内のうちのベース層12とドリフト層11との界面付近からドリフト層11に達するように形成されている。つまり、本実施形態の第2トレンチ13bは、ベース層12からドリフト層11に渡って形成されている。

30

## 【0041】

また、第2トレンチ13bは、図6中の断面において、対向する側面の間隔が第1トレンチ13aの対向する側面の間隔より長くなる部分を有する略円形状とされている。すなわち、トレンチ13は、図6中の断面においていわゆる壺形状とされている。

## 【0042】

なお、対向する側面の間隔とは、図6中の紙面左右方向の長さのことである。また、本実施形態では、隣接するトレンチ13の間隔Lは、隣接するトレンチ13の間隔のうち最も狭い部分の間隔であるため、隣接する第2トレンチ13bの間隔のうちの最も狭い部分の間隔となる。

40

## 【0043】

そして、ゲート電極15は、内部に空隙24が形成されるように、トレンチ13の壁面にゲート絶縁膜14を介して形成されている。本実施形態では、第2トレンチ13b内に空隙24が形成されるように、ゲート電極15が形成されている。

## 【0044】

以上が本実施形態における半導体装置の構成である。次に、本実施形態のゲート電極15の体積率について図7を参照しつつ説明する。図7は、トレンチ13の延設方向を法線方向とする断面であり、図6中のトレンチゲート構造16周囲の拡大図に相当している。

## 【0045】

50

本実施形態では、図7に示されるように、トレンチ13の延設方向を法線方向とする断面において、1セル領域Aは、図中の点線で囲まれた領域となり、1セル領域A内には空隙24が含まれる。そして、ゲート電極15を形成する際の応力は、空隙24にて緩和される。したがって、本実施形態では、図8に示されるように、例えば、ゲート電極15の体積率を41.5%とする場合、隣接するトレンチ13の間隔Lが約0.6 $\mu$ mであればよく、隣接するトレンチ13の間隔Lを上記第1実施形態よりも短くできる。このため、半導体装置がオン状態である際において、ドリフト層11に供給された正孔がベース層12を介して抜け難くできる。すなわち、本実施形態によれば、半導体装置が破壊されることを抑制しつつ、さらにオン電圧の低減を図ることもできる。

【0046】

なお、図8は、1セル領域A当たりの空隙24の体積率を8%とした際のシミュレーション結果である。このため、例えば、ゲート電極15の体積率を41.5%とする場合、1セル領域A当たりの空隙24の体積率を8%より大きくなるようにすると、隣接するトレンチ13の間隔Lがさらに短くなる。反対に、ゲート電極15の体積率を41.5%とする場合、1セル領域A当たりの空隙24の体積率を8%より小さくなるようにすると、隣接するトレンチ13の間隔Lが広がる。

【0047】

次に、このような半導体装置の製造方法について簡単に説明する。このような半導体装置は、ドリフト層11上にベース層12が形成された半導体基板10を用意し、反応性イオンエッチング等の異方性エッチングを行って第1トレンチ13aを形成する。次に、第1トレンチ13aの側面を保護するマスクを形成し、第1トレンチ13aの底面に対して等方性エッチングを行う。これにより、対向する側面の間隔が第1トレンチ13aの対向する側面の間隔より長くなる部分を有し、第1トレンチ13aと連通する第2トレンチ13bが形成される。

【0048】

その後、CVD法や熱酸化等によりゲート絶縁膜14を形成する。そして、ゲート絶縁膜14上に、CVD法等でアモルファスシリコンを成膜した後、熱処理することでアモルファスシリコンをポリシリコンへ結晶化させてゲート電極15を構成する。なお、CVD法でアモルファスシリコンを成膜する際、アモルファスシリコンはゲート絶縁膜14上にほぼ均一に成膜される。このため、CVD法によりアモルファスシリコンを成膜すると、第2トレンチ13b内のが完全に埋め込まれる前に第1トレンチ13aが埋め込まれ、第2トレンチ13b内に空隙24が形成された状態となる。

【0049】

その後は、従来一般的な半導体装置の製造プロセスを行い、エミッタ領域17、コンタクト領域18、層間絶縁膜19、エミッタ電極20、FS層21、コレクタ層22、コレクタ電極23等を適宜形成することにより、上記半導体装置が製造される。

【0050】

以上説明したように、本実施形態では、ゲート電極15の内部に空隙24が形成されており、ゲート電極15を形成する際の応力が当該空隙24にて緩和される構成となっている。このため、上記第1実施形態と比較して、例えば、ゲート電極15の体積率を41.5%とする場合、隣接するトレンチ13の間隔Lを短くできる。したがって、さらにオン電圧が増加することを抑制しつつ、半導体装置が破壊されることを抑制できる。

【0051】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0052】

例えば、上記第1実施形態では、第1導電型をN型とし、第2導電型をP型とした例について説明したが、第1導電型をP型とし、第2導電型をN型とすることもできる。

【0053】

10

20

30

40

50

また、上記第1実施形態において、隣接するトレンチ13の間隔Lを0.9 μm未満としつつ、ゲート電極15の体積率を41.5%以下とするために以下の構成としてもよい。例えば、図9に示されるように、ゲート電極15をトレンチ13の壁面に沿って形成し、ゲート電極15の内部に埋込膜25を埋め込むことにより、ゲート電極15の体積率を41.5%以下としてもよい。なお、埋込膜25は、例えば、CVD法等で酸化膜を成膜することによって形成される。

【0054】

さらに、図10に示されるように、ゲート絶縁膜14のうちのトレンチ13の底部側に配置される部分を厚くすることにより、ゲート電極15の体積率を41.5%以下としてもよい。なお、このような構成とした場合には、トレンチ13の底部にて電界が集中することも抑制できる。

10

【0055】

また、図11に示されるように、トレンチ13の開口部側に埋込膜26を形成するようとしてもよい。つまり、ゲート電極15は、ゲート絶縁膜14を介してベース層12と接する部分に形成されていればよいため、ゲート絶縁膜14を挟んでエミッタ領域17と反対側に位置する部分には形成されていなくてもよい。このため、ゲート絶縁膜14を挟んでエミッタ領域17と反対側に埋込膜26を形成することにより、ゲート電極15の体積率を小さくするようとしてもよい。なお、埋込膜26は、例えば、CVD法等で酸化膜を成膜することによって形成される。

【0056】

20

また、特に図示しないが、各構成をそれぞれ組み合わせてもよい。例えば、図9および図10の構成を組み合わせ、埋込膜25を配置しつつ、ゲート絶縁膜14のうちのトレンチ13の底部側に配置される部分を厚くしてもよい。また、図9および図11の構成を組み合わせ、埋込膜25と埋込膜26を共に備える構成としてもよい。さらに、図10および図11の構成を組み合わせ、ゲート絶縁膜14のうちのトレンチ13の底部側に配置される部分を厚くしつつ、埋込膜26を備える構成としてもよい。そして、図9～図11の構成を全て組み合わせ、埋込膜25および埋込膜26を備えつつ、ゲート絶縁膜14のうちのトレンチ13の底部側に配置される部分を厚くしてもよい。

【0057】

さらに、上記各実施形態において、半導体基板10の他面10b側に、コレクタ層22と共にN型のカソード層が形成された、いわゆるRC(すなわち、Reverse Conducting)-IGBTとされた半導体装置としてもよい。

30

【0058】

また、上記各実施形態において、複数のトレンチ13は、隣接するトレンチの間隔Lが異なってもよい。このような構成としても、トレンチ周囲応力のうちも最も大きくなる応力が340 MPa以下であれば、上記と同様の効果を得ることができる。

【符号の説明】

【0059】

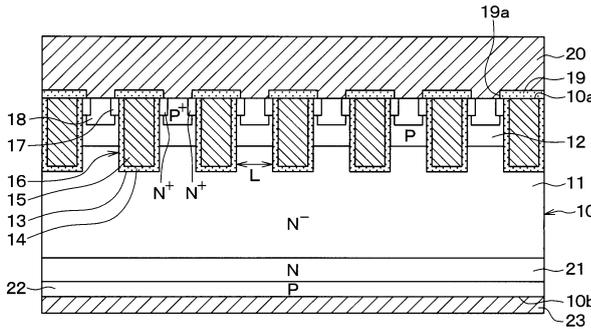
- 10 半導体基板
- 11 ドリフト層
- 12 ベース層
- 13 トレンチ
- 14 ゲート絶縁膜
- 15 ゲート電極
- 16 トレンチゲート構造
- 17 エミッタ領域
- 20 エミッタ電極(第1電極)
- 22 コレクタ層
- 23 コレクタ電極(第2電極)

40

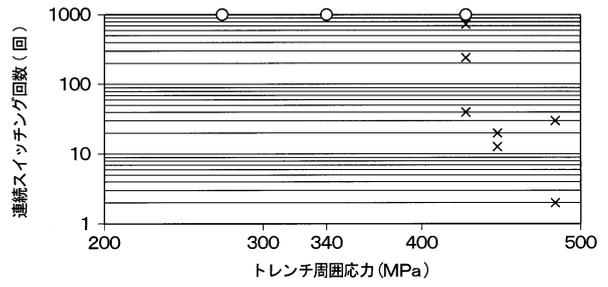
50

【図面】

【図 1】

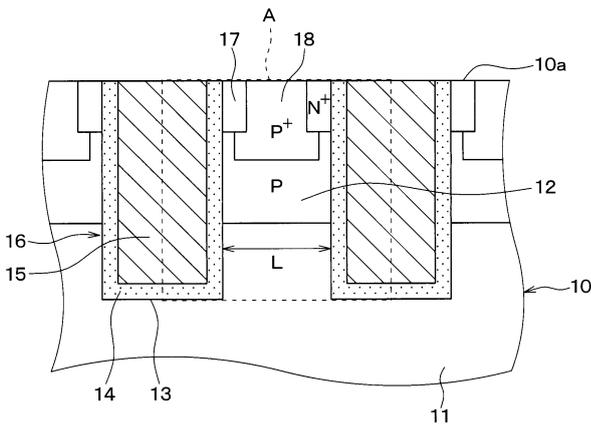


【図 2】

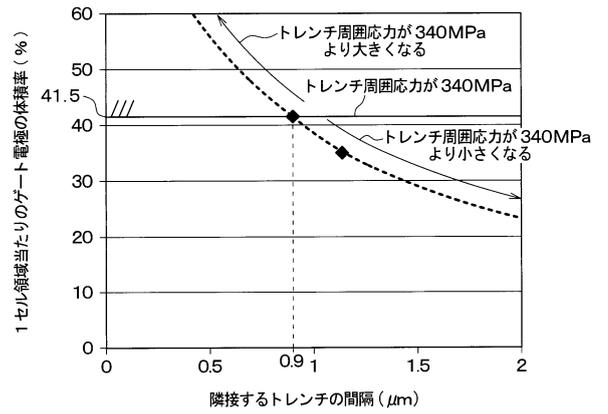


10

【図 3】



【図 4】



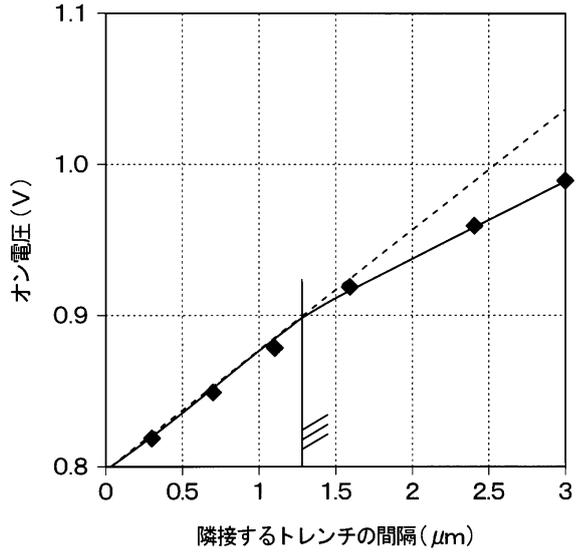
20

30

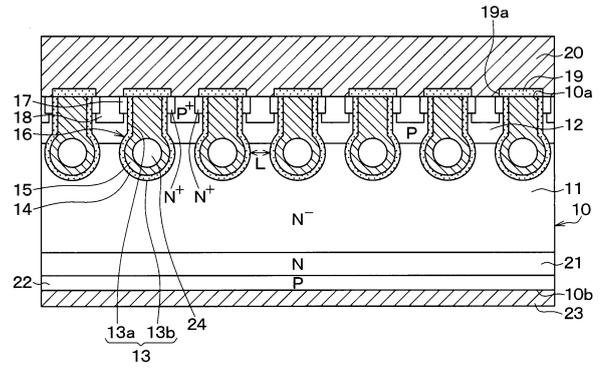
40

50

【図5】

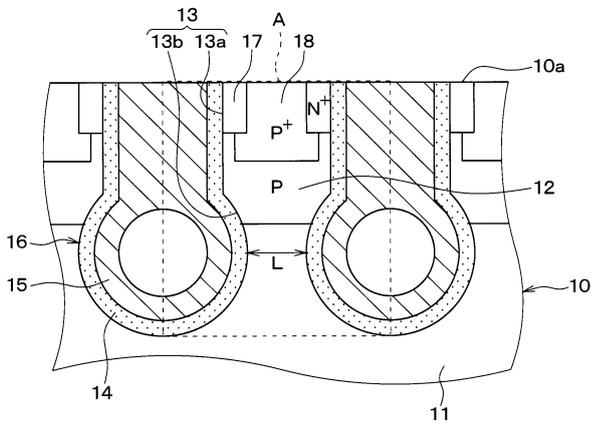


【図6】

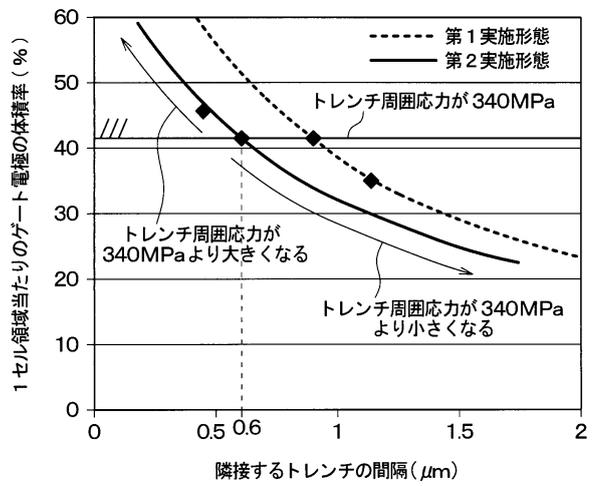


10

【図7】



【図8】



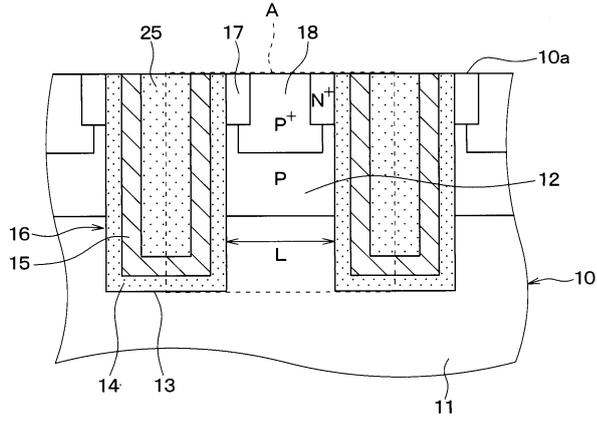
20

30

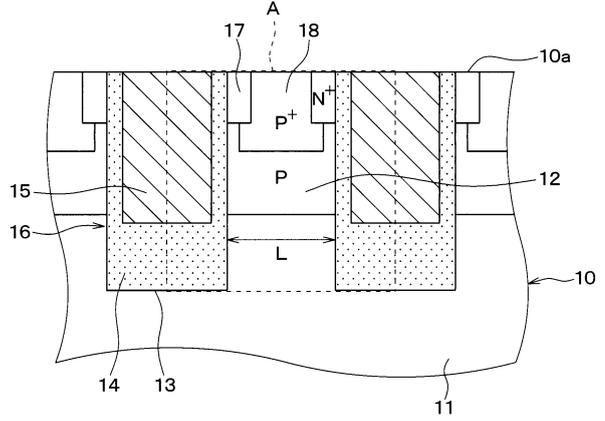
40

50

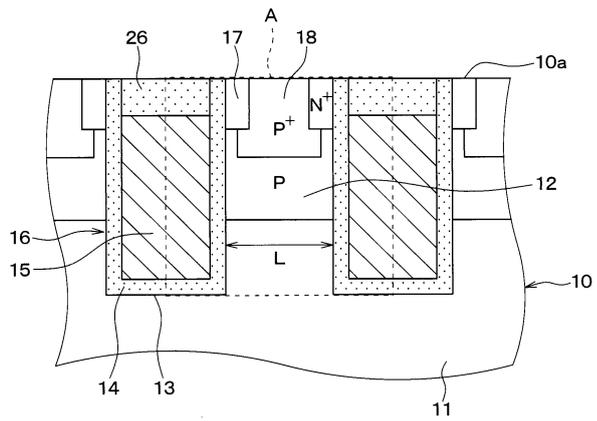
【図 9】



【図 10】



【図 11】



10

20

30

40

50

## フロントページの続き

(51)国際特許分類

F I  
H 0 1 L 29/44 S

(56)参考文献 特開2015-213163(JP,A)  
特開平04-268734(JP,A)  
特開2007-088010(JP,A)  
特開2006-114853(JP,A)  
特開2013-251397(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 29 / 7 8  
H 0 1 L 21 / 3 3 6  
H 0 1 L 21 / 2 0 5  
H 0 1 L 21 / 2 8  
H 0 1 L 29 / 4 1  
H 0 1 L 29 / 7 3 9