

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H03K 19/00	(45) 공고일자 1999년08월02일	(11) 등록번호 10-0213241
(21) 출원번호 10-1997-0026473	(24) 등록일자 1999년05월13일	(65) 공개번호 특1999-0002766
(22) 출원일자 1997년06월23일	(43) 공개일자 1999년01월15일	

(73) 특허권자	삼성전자주식회사	윤종용
(72) 발명자	이정배	경기도 수원시 팔달구 매탄3동 416
(74) 대리인	권석흠, 노민식, 이영필	경기도 군포시 산본2동 주몽주공아파트 1006동 1205호

심사관 : 김중화

**(54) 데이터 입출력 회로 및 데이터 입출력 방법**

**요약**

본 발명은 반도체 메모리 장치의 데이터 입출력 회로 및 데이터 입출력 방법에 관한 것으로, 특히 기준 클럭의 한 주기 동안에 복수개의 데이터를 출력하여 타 메모리에 입력 가능한 동기식 반도체 메모리 장치의 데이터 입출력 회로 및 데이터 입출력 방법에 관한 것이다.

본 발명의 데이터 입출력 회로는 비중복 클럭 발생기, 데이터 출력 회로 및 데이터 입력 회로를 구비하는 데, 비중복 클럭 발생기는 외부에서 입력되는 하나의 클럭 신호의 주기 동안에 서로 액티브되는 타이밍이 겹치지 않는 복수개의 비중복 클럭을 발생한다. 그리고 데이터 출력 회로와 데이터 입력 회로는 복수개의 내부 데이터 신호들을 상기 비중복 클럭 각각에 응답하여 선택적으로 출력하고, 다시 상기 비중복 클럭에 응답하여 상기 데이터 출력 회로의 데이터를 메모리 내부에 입력하게 된다. 그리고 이러한 본 발명의 데이터 입출력 회로 및 데이터 입출력 방법은 데이터 처리 능력이 개선되고, 처리되는 데이터 수가 확장되는 경우에 전체적으로 소모 전력을 작게한다.

**대표도**

**도4**

**명세서**

**도면의 간단한 설명**

- 도 1은 종래 기술의 데이터 입출력 방식을 나타낸 도면이다.
- 도 2는 입력 리시버의 예를 나타낸 도면이다.
- 도 3은 본 발명의 데이터 입출력 회로의 제1 실시예를 나타낸 도면이다.
- 도 4는 본 발명의 데이터 입출력 회로의 제2 실시예를 나타낸 도면이다.
- 도 5는 PLL를 이용한 비중복 클럭 발생기의 실시예를 나타내는 도면이다.
- 도 6은 도 5의 위상 주파수 감지기의 실시예를 나타낸 도면이다.
- 도 7은 도 5의 전하 펌프의 실시예를 나타낸 도면이다.
- 도 8은 도5의 전압 제어 발진기의 실시예를 나타낸 도면이다.
- 도 9는 도 5의 비중복 클럭 발생기의 주요 단자의 타이밍을 나타낸 도면이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체 메모리 장치의 데이터 입출력 회로 및 데이터 입출력 방법에 관한 것으로, 특히 기준 클럭의 한 주기 동안에 복수개의 데이터를 출력하여 타 메모리에 입력 가능한 동기식 반도체 메모리 장치의 데이터 입출력 회로 및 데이터 입출력 방법에 관한 것이다.

최근의 컴퓨터 시스템은 동작 속도를 향상시키기 위하여, 주 메모리로서 시스템 클럭 신호에 의하여 구동

되는 동기식 반도체 메모리 장치가 널리 사용되고 있다. 그리고 데이터의 처리 속도를 더욱 더 증대시키기 위하여, 동기식 반도체 메모리 장치는 한 클럭(CLOCK)의 상승 단부와 하강 단부를 모두 이용하여 데이터를 주고 받는 이중 데이터 윌(DDR: DOUBLE DATA RATE) 방식이 널리 채용되고 있다.

이러한 DDR 방식을 확장하면, 하나의 기준 클럭 주기 동안에 2개 이상의 데이터를 처리하는 것도 가능하다. 그런데 이와 같이 동기식 반도체 메모리 장치가 하나의 기준 클럭 주기 동안에 2개 이상의 데이터를 처리하기 위해서는, 여러 개의 데이터를 내부적으로 동시에 처리하는 구조를 가져야 한다. 이것은 동작 마진(MARGIN)을 크게 하기 위한 것이다.

DDR의 경우에는 기준 클럭 주기 tCC(CLOCK CYCLE)의 절반, 즉 tCC/2가 데이터를 외부로 출력되는 한 데이터의 비트 타임(BIT TIME)이 된다. 이때 반도체 메모리 내부에는 tCC의 비트 타임을 갖는 두 개의 라인(LINE)이 있으며, 클럭의 상승 단부에서 그 중 하나의 라인의 데이터를 처리하고 하강 단부에서 다른 하나의 라인의 데이터를 처리한다.

도 1은 종래 기술의 데이터 입출력 방식을 나타낸 도면이다. 메모리 데이터 읽기 모드의 데이터 패스는 멀티 플렉서(101)과 드라이버(103)가 사용된다. 상기 멀티 플렉서(101)는  $\phi\text{CLK} / \phi\text{CLK}$ 에 의해 2개의 내부 데이터 라인 중 하나를 선택한다. 그리고 상기 드라이버(103)는 상기 멀티 플렉서(101)의 출력 신호에 의해 구동된다.

그리고 메모리 데이터 기입 모드의 패스는 두 개의 입력 리시버(105, 107)가 사용된다. 상기 두 개의 입력 리시버(105, 107)는 각각  $\phi\text{CLK}$ 와  $/\phi\text{CLK}$ 에 의해 활성화된다. 그런데 메모리, 특히 DRAM에서는 동작 전류량을 최소화하는 것이 매우 중요하다. 따라서 입력 리시버의 동작 전류를 최소화하는 회로에 대한 개발이 계속되고 있다.

도 2는 입력 리시버의 예를 나타낸 도면이다. 외부 입력 데이터를 받아들이기 위한 제1 제어 신호 SAMPLE이 하이로 상승하면, 패스 트랜지스터(201, 203)는 턴온된다. 그리고 상기 패스 트랜지스터(201, 203)를 통하여 기준 전압 단자와 패드로부터 입력되는 전하는 각각 단자 205와 단자 207에 저장된다. 그리고 상기 제1 제어 신호 SAMPLE이 로우로 하강하면, 패스 트랜지스터(201, 203)는 턴오프된다. 그리고 래치부(209)의 풀업 트랜지스터(211)가 턴온된다. 그리고 제2 제어 신호 SENSE가 하이로 상승하게 되면, 래치부(209)의 풀다운 트랜지스터(213)도 턴온되어 단자 205와 단자 207에 저장되어 있던 전하가 증폭되게 된다. 이와 같이 증폭된 데이터는 다른 패스(미도시)를 통하여 타회로로 입력되게 된다. 그러나 이와 같은 입력 리시버도 일정한 양의 전류의 소모를 가져온다.

그런데 종래 기술의 데이터 입출력 구조는 한 기준 클럭 주기 동안에 처리되는 데이터의 수와 동일한 수의 입력 리시버를 필요로 한다. 따라서, 한 클럭 주기 동안에 처리되는 데이터의 수가 확장되면, 입력 리시버의 수도 증가하여야 한다. 이에 따라 소모하는 전류량이 증대되는 문제점이 발생하게 된다.

### **발명이 이루고자 하는 기술적 과제**

따라서 본 발명의 목적은 한 클럭에 처리되는 데이터의 수를 증가하는 경우에도, 전체적으로 소모되는 전류량을 크게 증가시키지 않는 데이터 입출력 회로 및 데이터 입출력 방법을 제공하는 데 있다.

### **발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위하여 본 발명은 다음과 같은 특징을 가진다.

첫째, 본 발명의 데이터 입출력 회로는 액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클럭들을 발생시키는 비중복 클럭 발생기, 복수개의 내부 데이터 신호들을 상기 비중복 클럭 각각에 응답하여 선택적으로 출력하는 데이터 출력 회로, 그 자신의 한쪽 단자가 상기 데이터 출력 회로와 접속되는 도체 및 입력 단자가 상기 도체의 다른 한쪽 단자와 접속되고, 상기 비중복 클럭에 응답하여 상기 도체의 데이터 신호를 선택적으로 입력하는 데이터 입력 회로를 구비하는 것을 특징으로 한다.

둘째, 본 발명의 데이터 입출력 방법은 액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클럭들을 발생시키는 비중복 클럭 발생 과정, 복수개의 내부 데이터 신호들을 상기 비중복 클럭 각각에 응답하여 선택적으로 출력하는 데이터 출력 과정, 상기 데이터 출력 과정의 출력 신호를 타회로에 전달하는 전달 과정 및 상기 비중복 클럭에 응답하여 상기 전달 과정에 의하여 전달된 상기 데이터 출력 과정의 출력 신호를 선택적으로 입력하는 데이터 입력 과정을 구비하는 것을 특징으로 한다.

이어서, 첨부한 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다. 여기서 각 도면에 대하여 부호와 숫자가 같은 것은 동일한 회로임을 나타낸다.

도 3은 본 발명의 데이터 입출력 회로의 제1 실시예를 나타낸 도면이다. 이를 참조하면, 본 발명의 데이터 입출력 회로는 비중복 클럭 발생기(319), 데이터 출력 회로(301), 도체(303) 및 데이터 입력 회로(305)를 구비한다.

상기 비중복 클럭 발생기(319)는 액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클럭 신호들( $\phi_0, \phi_1, \dots, \phi_{(n-1)}$ )을 발생시킨다. 그리고 상기 데이터 출력 회로(301)는 복수개의 내부 데이터 신호들(DB0, DB1, ..., DB(n-1))을 상기 비중복 클럭( $\phi_0, \phi_1, \dots, \phi_{(n-1)}$ ) 각각에 응답하여 선택적으로 특정 내부 데이터를 출력한다. 그리고 상기 도체(303)는 그 자신의 한쪽 단자가 상기 데이터 출력 회로(201)와 접속되어 상기 데이터 출력 회로(301)의 출력 데이터를 타회로에 전달하게 된다. 그리고 상기 데이터 입력 회로(305)는 입력 단자가 상기 도체(303)의 다른 한쪽 단자와 접속되고, 상기 비중복 클럭( $\phi_0, \phi_1, \dots, \phi_{(n-1)}$ )에 응답하여 상기 도체(303)의 데이터 신호를 선택적으로 반도체 메모리 장치에 입력한다. 따라서 본 발명의 데이터 입출력 회로는 상기 비중복 클럭에 의하여 상기 데이터 출력 회로(301)에서 출력되는 데이터 신호가 도체(303)를 통하여 상기 데이터 입력 회로(303)에 입력되는 구조를 가진다.

상기 데이터 출력 회로(301)를 자세히 설명하면, 다음과 같다. 상기 데이터 출력 회로(301)는 멀티 플렉

서(307) 및 드라이버(311)을 구비한다.

상기 멀티 플렉서(307)는 복수개의 내부 데이터 신호들(DB0, DB1, ..., DB(n-1))을 입력 신호들로 하며, 상기 비중복 클락( $\Phi_0$ ,  $\Phi_1$ , ...,  $\Phi(n-1)$ ) 각각에 의하여 선택된 내부 데이터 신호를 출력한다.

예를 들어 설명하면,  $\Phi_0$ 가 활성화되면 DB0가,  $\Phi_1$ 가 활성화되면 DB1이,  $\Phi(n-1)$ 가 활성화되면 DB(n-1)이 선택되어 상기 멀티 플렉서(307)의 출력단(N308)으로 전달된다.

그리고 상기 드라이버(311)는 그 자신의 출력단(N302)은 도체(303)에 접속되고 그 자신의 입력단에는 상기 멀티 플렉서(307)의 출력단(N308)이 접속된다. 그리고 상기 드라이버(311)는 상기 멀티 플렉서(307)의 출력 신호에 의하여 구동된다.

본 실시예의 상기 드라이버(311)는 모스 트랜지스터(313)를 가진다. 상기 모스 트랜지스터(313)는 그 자신의 드레인은 도체(303)에 접속되고, 그 자신의 소스는 접지 전압 VSS에 접속되며, 그 자신의 게이트에는 상기 멀티 플렉서(307)의 출력단(N308)이 접속된다. 그리고 상기 드라이버(311)는 상기 멀티 플렉서(307)의 출력 신호에 응답하여 턴온 또는 턴오프된다.

본 실시예에서는 앤모스 트랜지스터로 구성하였다. 따라서 상기 멀티 플렉서(307)의 출력 신호가 로우 상태일 때에는 상기 모스 트랜지스터(313)이 턴오프 상태가 된다. 이 때 상기 도체(303)가 가지는 데이터 신호의 논리 상태는 외부에서 인가되는 신호에 따르게 된다. 이를 경우 상기 도체(303)가 가지는 논리 상태는 여러 가지 방법으로 하이가 되게 할 수 있다. 본 실시예와 같은 경우에는 상기 도체(303)를 전원 전압 VCC와 큰 저항값을 가지는 저항(미도시)로 연결함으로써 상기 도체(303)의 논리 상태를 하이로 할 수 있다.

그리고 상기 멀티 플렉서(307)의 출력 신호가 하이 상태일 때에는 상기 모스 트랜지스터(313)이 턴온 상태가 된다. 이 때 상기 도체(303)가 가지는 데이터 신호의 논리 상태는 로우 상태가 된다.

그리고 상기 모스 트랜지스터를 피모스 트랜지스터 또는 통상의 푸시-풀 드라이버(PUSH-PULL DRIVER)로 구성할 수도 있다.

따라서 상기 데이터 출력 회로(301)는 상기 비중복 클락( $\Phi_0$ ,  $\Phi_1$ , ...,  $\Phi(n-1)$ )로서, 복수개의 내부 데이터 신호들(DB0, DB1, ..., DB(n-1))중의 특정 데이터를 선택하여 상기 도체에 전달된다.

그리고 상기 데이터 입력 회로(305)를 자세히 설명하면, 다음과 같다. 상기 데이터 입력 회로(305)는 입력 리시버(315) 및 복수개의 내부 입력 수단(317a, 317b, ..., 317n)을 구비한다.

상기 입력 리시버(315)는 소정의 기준전압 VREF를 제1 입력 신호로, 상기 도체(303)로부터 전달되는 외부 데이터 신호 XIN을 제2 입력 신호로 한다. 그리고 상기 입력 리시버(315)는 상기 외부 데이터 신호 XIN을 상기 기준전압 VREF와 비교하여 예비 데이터 신호 XPRE를 출력한다. 본 실시예의 상기 입력 리시버(315)는 반전 입력단(-)에는 상기 기준전압 VREF가 인가되고, 비반전 입력단(+)에는 상기 외부 데이터 신호 XIN이 인가된다. 따라서 상기 외부 데이터 신호 XIN이 상기 기준전압 VREF보다 높은 전압일 때에는 상기 입력 리시버(315)의 출력 신호인 예비 데이터 신호 XPRE의 논리 상태는 하이가 된다. 그리고 상기 외부 데이터 신호 XIN이 상기 기준전압 VREF보다 낮은 전압일 때에는 상기 입력 리시버(315)의 출력 신호인 예비 데이터 신호 XPRE의 논리 상태는 로우가 된다.

그리고 상기 복수개의 내부 입력 수단(317a, 317b, ..., 317n)은 상기 복수개의 비중복 클락( $\Phi_0$ ,  $\Phi_1$ , ...,  $\Phi(n-1)$ ) 각각에 응답하여 상기 예비 데이터 신호 XPRE를 반도체 메모리 장치 내부로 입력한다.

본 실시예에서의 상기 내부 입력 수단들(317a, 317b, ..., 317n)은 D플립-플롭으로 구성된다. 상기 D플립-플롭은 그 자신의 D입력에 상기 예비 데이터 신호 XPRE가 접속되고, 그 자신의 클락 입력에 상기 비중복 클락( $\Phi_0$ ,  $\Phi_1$ , ...,  $\Phi(n-1)$ ) 각각이 접속된다. 그러므로 상기 D플립-플롭은 상기 비중복 클락( $\Phi_0$ ,  $\Phi_1$ , ...,  $\Phi(n-1)$ )중에서 특정한 클락 신호가 액티브될 때에, 상기 액티브되는 클락 신호가 접속되어 있는 상기 D플립-플롭이 예비 데이터 신호 XPRE를 입력하여 비반전 출력한다.

즉, 클락 신호  $\Phi_0$ 가 액티브되는 때에는 제1 D 플립-플롭(317a)가 동작하며, 상기 예비 데이터 신호 XPRE는 상기 제1 D 플립-플롭(317a)의 출력 신호 D10로서 메모리 내부의 타회로에 입력된다. 이때,  $\Phi_0$ 를 제외한 다른 클락 신호는 모두 비활성화 상태에 있게 되어, 다른 D 플립-플롭으로는 상기 예비 데이터 신호가 입력되지 않는다. 그리고 클락 신호  $\Phi_1$ 이 액티브되는 때에는 제2 D 플립-플롭(317b)가 동작하며, 상기 예비 데이터 신호 XPRE는 상기 제2 D 플립-플롭(317b)의 출력 신호 D11으로서 메모리 내부의 타회로에 입력된다.

따라서 상기 데이터 입력 회로(305)는 상기 도체(303)를 통하여 전달된 상기 데이터 출력 회로(301)의 출력 신호를 상기 클락 신호에 의하여 선택되는 D 플립-플롭을 통하여 메모리 내부의 타회로에 입력된다. 그러므로 본 발명의 데이터 입출력 회로는 상기 비중복 클락에 의하여 선택되는 특정 내부 데이터 신호를 특정의 D 플립-플롭을 통하여 다른 메모리의 내부 회로에 전달되게 된다.

예를 들어 설명하면, 다음과 같다. 먼저 클락 신호  $\Phi_0$ 가 액티브되면, 내부 데이터 신호 DB0가 선택되어, 상기 DB0는 상기 데이터 입력 회로의 출력 신호 D10로 타메모리의 내부 회로에 입력된다. 그리고 클락 신호  $\Phi_1$ 이 액티브되면, 내부 데이터 신호 DB1이 선택되어, 상기 DB1은 상기 데이터 입력 회로의 출력 신호 D11으로 타메모리의 내부 회로에 입력된다. 따라서 본 발명의 데이터 입출력 회로는 한 클락 주기 동안에 복수개의 데이터 신호를 전달할 수 있다.

도 4는 본 발명의 데이터 입출력 회로의 제2 실시예를 나타낸 도면이다. 이를 참조하면, 도 3의 본 발명의 데이터 입출력 회로의 제1 실시예와 거의 동일하다. 다만, 데이터 출력 회로(401)의 구성에서 차이점이 있다.

즉, 상기 데이터 출력 회로(401)는 멀티 플렉서(407), 래치부(409) 및 드라이버(411)를 구비한다. 상기 멀티 플렉서(407)는 복수개의 내부 데이터 신호들(DB0, DB1, ..., DB(n-1))을 입력 신호들로 하며, 상기

비중복 클락( $\Phi_0, \Phi_1, \dots, \Phi_{(n-1)}$ ) 각각에 의하여 선택된 내부 데이터 신호를 출력한다.

그리고 상기 래치부(409)는 상기 멀티 플렉서(407)의 출력 신호를 래치한다. 그리고 상기 드라이버(411)은 그 자신의 출력단(N402)은 도체(403)에 접속되고 그 자신의 입력단에는 상기 래치부(409)의 출력단(N410)이 접속되어, 상기 래치부(409)의 출력 신호에 의하여 구동된다.

이와 같이 상기 멀티 플렉서(407)과 상기 드라이버(411) 사이에 래치부(409)가 존재하는 것은 비중복 클락 발생기의 제작시 제약 조건을 완화하기 위한 것이다. 래치부(409)를 사용하지 않는다면, 연속하는 비중복 클락의 단부를 정확히 일치시켜야만 한다. 이는 클락 발생기의 제약이 된다. 만약, 클락의 단부가 일치하지 않는다면, 불특정(invalid) 구간이 발생하게 되고 데이터를 유지하는데 불필요한 전력의 소모를 가져오게 된다.

그리고, 그 밖의 회로의 구성과 동작은 도 3의 제1 실시예와 동일하므로 여기서는 설명을 생략한다.

그리고 본 발명에서 사용되는 비중복 클락은 여러 가지 방법으로 생성할 수 있다. 그 중 한가지 방법이 동기 위상 루프(PLL:PHASE LOCKED LOOP)를 이용하는 것이다.

도 5는 상기 PLL를 이용한 비중복 클락 발생기의 실시예를 나타낸 도면이다. 이것은 4가지의 위상을 가지는 비중복 클락을 발생하는 예이다. 이를 참조하면, 상기 비중복 클락 발생기는 위상 주파수 감지기(501), 전하 펌프(503), 전압 제어 발진기(505) 및 디코더(507)를 구비한다.

도 6은 도 5의 위상 주파수 감지기(501)의 실시예를 나타낸 도면이다. 이를 참조하면, 상기 위상 주파수 감지기(501)은 기준 클락  $\Phi_{CLK}$ 과 비중복 클락 $\Phi_0$ 의 반전 신호인 OSC의 위상과 주파수를 비교하여, 제1 펌프 제어 신호 UP과 제2 펌프 제어 신호 DOWN를 출력한다.

기준 클락  $\Phi_{CLK}$ 의 하강 단부가 상기 OSC의 하강 단부보다 빠른 경우에는 상기 제1 펌프 제어 신호 UP는 상기 신호 OSC의 하강 단부가 도달할 때까지 로우 레벨로 액티브된다. 그리고 상기 OSC의 하강 단부가 기준 클락  $\Phi_{CLK}$ 의 하강 단부보다 빠른 경우에는 상기 제2 펌프 제어 신호 DOWN이 상기 기준 클락  $\Phi_{CLK}$ 의 하강 단부가 도달할 때까지 로우 레벨로 액티브된다. 그리고 상기 기준 클락  $\Phi_{CLK}$ 과 상기 OSC의 위상이 완전히 일치하면, 상기 제1 펌프 제어 신호 UP과 상기 제2 펌프 제어 신호 DOWN이 모두 하이 레벨로 비활성화된다.

도 7은 도 5의 전하 펌프(503)의 실시예를 나타낸 도면이다. 이를 참조하면, 전하 펌프(503)는 3개의 인버터들(701,703,705), 피모스 스위치 트랜지스터(707), 앤모스 스위치 트랜지스터(709) 및 상기 RC 필터(771)를 구비한다. 따라서 상기 제1 펌프 제어 신호 UP이 로우로 활성화되고 상기 제2 펌프 제어 신호 DOWN이 하이로 비활성화 되면, 본 실시예인 전하 펌프(503)의 출력 신호인 발진기 제어 신호 XVC0는 하이 레벨로 된다. 그리고 상기 제1 펌프 제어 신호 UP이 하이로 비활성화되고 상기 제2 펌프 제어 신호 DOWN이 로우로 활성화 되면, 본 실시예인 전하 펌프(503)의 출력 신호인 발진기 제어 신호 XVC0는 로우 레벨로 된다. 그리고 상기 제1 펌프 제어 신호 UP와 상기 제2 펌프 제어 신호 DOWN가 모두 하이 상태일 때에는 상기 발진기 제어 신호 XVC0는 일정한 전압 상태를 가진다.

도 8은 도5의 전압 제어 발진기(505)의 실시예를 나타낸 도면이다. 이를 참조하면, 상기 발진 제어 신호 XVC0에 의해 발진 신호 X0, X1, ..., X7의 주파수를 제어할 수 있다.

도 9는 도 5의 비중복 클락 발생기의 주요 단자의 타이밍을 나타낸 도면이다. 본 실시예에서는 기준 클락  $\Phi_{CLK}$ 와 동일한 주파수를 가지는 4개의 비중복 클락을 발생시킬 수 있음을 보여준다.

도 5내지 도 9에서는 4개의 비중복 클락을 생성하는 비중복 클락 발생기를 설명하였다. 그리고 이를 확장하면, N개의 비중복 클락을 발생시킬 수 있다. 이와 같은 PLL을 이용한 비중복 클락 발생기는 외부에서 입력되는 기준 클락에 정확한 타이밍 관계를 가지며 상기 기준 클락의 주기내에서 분할된 비중복 클락을 발생한다.

본 발명의 데이터 입출력 회로의 구성 및 작용을 다시 한 번 정리하면, 다음과 같다. 본 발명의 데이터 입출력 회로는 비중복 클락 발생기와 데이터 출력 회로 및 데이터 입력 회로를 구비한다.

상기 비중복 클락 발생기는 외부에서 입력되는 하나의 클락 신호의 주기 동안에, 서로 액티브되는 타이밍이 겹치지 않는 복수개의 비중복 클락을 발생한다. 그리고 상기 데이터 출력 회로와 데이터 입력 회로는 복수개의 내부 데이터 신호들을 상기 비중복 클락 각각에 응답하여 선택적으로 출력하고, 다시 상기 비중복 클락에 응답하여 상기 데이터 출력 회로의 데이터를 메모리 내부에 입력하게 된다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

### 발명의 효과

본 발명의 데이터 입출력 회로 및 데이터 입출력 방법은 하나의 외부 클락 동안에 복수개의 데이터를 처리함으로써 데이터 처리 능력을 개선하고, 처리되는 데이터 수가 확장되는 경우에 하나의 입력 리시버를 사용함으로써 전체적으로 소모 전력이 작아진다.

### (57) 청구의 범위

#### 청구항 1

기준 클락에 동기되어 동작하는 반도체 메모리 장치에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생기;

소정의 기준전압을 제1 입력 신호로, 외부 데이터 신호를 제2 입력 신호로 하며, 상기 외부 데이터 신호를 상기 기준전압과 비교하여 예비 데이터 신호를 출력하는 입력 리시버; 및

상기 복수개의 비중복 클락 각각에 응답하여 상기 예비 데이터 신호를 반도체 메모리 장치 내부로 입력하는 복수개의 내부 입력 수단을 구비하는 것을 특징으로 하는 데이터 입력 회로.

## 청구항 2

제1 항에 있어서, 상기 입력 리시버는

상기 기준전압이 그 자신의 반전입력단자에 접속되고, 상기 외부 데이터 신호가 그 자신의 비반전입력단자에 접속되며, 상기 기준전압에 대한 상기 외부 데이터 신호의 차이를 증폭하여 출력하는 비교기인 것을 특징으로 하는 데이터 입력 회로.

## 청구항 3

제1 항에 있어서, 상기 내부 입력 수단들은

그 자신의 D입력에 상기 예비 데이터 신호가 접속되고, 그 자신의 클락 입력에 상기 비중복 클락 각각이 접속되는 D플립-플롭들을 구비하며,

상기 D플립-플롭은 접속되어 있는 특정의 클락이 액티브될 때에, 상기 예비 데이터 신호를 입력하여 비반전 출력하는 것을 특징으로 하는 데이터 입력 회로.

## 청구항 4

기존 클락에 동기되어 동작하는 반도체 메모리 장치에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생기;

복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉서; 및

그 자신의 출력단은 도체에 접속되고 그 자신의 입력단에는 상기 멀티 플렉서의 출력단이 접속되어, 상기 멀티 플렉서의 출력 신호에 의하여 구동되는 드라이버를 구비하는 것을 특징으로 하는 데이터 출력 회로.

## 청구항 5

제4 항에 있어서, 상기 멀티 플렉서는

상기 복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락을 선택 신호로 입력하여, 상기 비중복 클락이 액티브될 때에 선택된 내부 데이터 신호를 출력하는 것을 특징으로 하는 데이터 출력 회로.

## 청구항 6

제4 항에 있어서, 상기 드라이버는

그 자신의 드레인은 도체에 접속되고, 그 자신의 소스는 접지 전압에 접속되며, 그 자신의 게이트에는 상기 멀티 플렉서의 출력단이 접속되어, 상기 멀티 플렉서의 출력 신호에 응답하여 턴온 또는 턴오프되는 MOS 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

## 청구항 7

기존 클락에 동기되어 동작하는 반도체 메모리 장치에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생기;

복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉서;

상기 멀티 플렉서의 출력 신호를 래치하는 래치부; 및

그 자신의 출력단은 도체에 접속되고 그 자신의 입력단에는 상기 래치부의 출력단이 접속되어, 상기 래치부의 출력 신호에 의하여 구동되는 드라이버를 구비하는 것을 특징으로 하는 데이터 출력 회로.

## 청구항 8

제7 항에 있어서, 상기 멀티 플렉서는

상기 복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락을 선택 신호로 입력하여, 상기 비중복 클락이 액티브될 때에 선택된 내부 데이터 신호를 출력하는 것을 특징으로 하는 데이터 출력 회로.

## 청구항 9

제7 항에 있어서, 상기 드라이버는

그 자신의 드레인은 도체에 접속되고, 그 자신의 소스는 접지 전압에 접속되며, 그 자신의 게이트에는 상기 래치부의 출력단이 접속되어, 상기 래치부의 출력 신호에 응답하여 턴온 또는 턴오프되는 MOS 트랜지

스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

#### 청구항 10

기존 클락에 동기되어 동작하는 반도체 메모리 장치에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생기;

복수개의 내부 데이터 신호들을 상기 비중복 클락 각각에 응답하여 선택적으로 출력하는 데이터 출력 회로;

그 자신의 한쪽 단자가 상기 데이터 출력 회로와 접속되는 도체; 및

입력 단자가 상기 도체의 다른 한쪽 단자와 접속되고, 상기 비중복 클락에 응답하여 상기 도체의 데이터 신호를 선택적으로 입력하는 데이터 입력 회로를 구비하는 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 11

제10 항에 있어서, 상기 데이터 입력 회로는

소정의 기준전압을 제1 입력 신호로, 외부 데이터 신호를 제2 입력 신호로 하며, 상기 외부 데이터 신호를 상기 기준전압과 비교하여 예비 데이터 신호를 출력하는 입력 리시버; 및

상기 복수개의 비중복 클락 각각에 응답하여 상기 예비 데이터 신호를 반도체 메모리 장치 내부로 입력하는 복수개의 내부 입력 수단을 구비하는 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 12

제11 항에 있어서, 상기 입력 리시버는

상기 기준전압이 그 자신의 반전입력단자에 접속되고, 상기 외부 데이터 신호가 그 자신의 비반전입력단자에 접속되며, 상기 기준전압에 대한 상기 외부 데이터 신호의 차이를 증폭하여 출력하는 비교기인 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 13

제11 항에 있어서, 상기 내부 입력 수단들은

그 자신의 D입력에 상기 예비 데이터 신호가 접속되고, 그 자신의 클락 입력에 상기 비중복 클락 각각이 접속되는 D플립-플롭들을 구비하며,

상기 D플립-플롭은 접속되어 있는 특정의 클락이 액티브될 때에, 상기 예비 데이터 신호를 입력하여 비반전 출력하는 것을 특징으로 하는 데이터 입력 회로.

#### 청구항 14

제10 항에 있어서, 상기 데이터 출력 회로는

복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉서;

상기 멀티 플렉서의 출력 신호를 래치하는 래치부; 및

그 자신의 출력단은 도체에 접속되고 그 자신의 입력단에는 상기 래치부의 출력단이 접속되어, 상기 래치부의 출력 신호에 의하여 구동되는 드라이버를 구비하는 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 15

제14 항에 있어서, 상기 멀티 플렉서는

상기 복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락을 선택 신호로 입력하여, 상기 비중복 클락이 액티브될 때에 선택된 내부 데이터 신호를 출력하는 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 16

제14 항에 있어서, 상기 드라이버는

그 자신의 드레인은 도체에 접속되고, 그 자신의 소스는 접지 전압에 접속되며, 그 자신의 게이트에는 상기 멀티 플렉서의 출력단이 접속되어, 상기 멀티 플렉서의 출력 신호에 응답하여 턴온 또는 턴오프되는 MOS 트랜지스터를 구비하는 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 17

제10 항에 있어서, 상기 출력 회로는

복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉서;

상기 멀티 플렉서의 출력 신호를 래치하는 래치부; 및

그 자신의 출력단은 도체에 접속되고 그 자신의 입력단에는 상기 래치부의 출력단이 접속되어, 상기 래치

부의 출력 신호에 의하여 구동되는 드라이버를 구비하는 것을 특징으로 하는 데이터 출력 회로.

#### 청구항 18

제17 항에 있어서, 상기 멀티 플렉서는

상기 복수개의 내부 데이터 신호들을 입력 신호들로 하며, 상기 비중복 클락을 선택 신호로 입력하여, 상기 비중복 클락이 액티브될 때에 선택된 내부 데이터 신호를 출력하는 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 19

제17 항에 있어서, 상기 드라이버는

그 자신의 드레인은 도체에 접속되고, 그 자신의 소스는 접지 전압에 접속되며, 그 자신의 게이트에는 상기 래치부의 출력단이 접속되어, 상기 래치부의 출력 신호에 응답하여 턴온 또는 턴오프되는 모스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 입출력 회로.

#### 청구항 20

기준 클락에 동기되어 동작하는 반도체 메모리 장치의 데이터 입력 방법에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생 과정;

소정의 기준전압과 입력 데이터 신호를 비교하여 예비 데이터 신호를 출력하는 입력 리시빙 과정; 및

상기 비중복 클락 발생 과정에서 출력되는 비중복 클락에 응답하여 상기 입력 리시빙 과정에서 출력된 예비 데이터 신호를 반도체 메모리 장치의 내부로 입력하는 내부 입력 과정을 구비하는 것을 특징으로 하는 데이터 입력 방법.

#### 청구항 21

기준 클락에 동기되어 동작하는 반도체 메모리 장치의 데이터 출력 방법에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생 과정;

복수개의 내부 데이터 신호들을 입력하여, 상기 비중복 클락 발생 과정에서 발생하는 상기 비중복 클락 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉싱 과정; 및

상기 멀티 플렉싱 과정의 출력 신호에 드라이버를 구동하는 드라이빙 과정을 구비하는 것을 특징으로 하는 데이터 출력 방법.

#### 청구항 22

기준 클락에 동기되어 동작하는 반도체 메모리 장치의 데이터 출력 방법에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생 과정;

복수개의 내부 데이터 신호들을 입력하여, 상기 비중복 클락 발생 과정에서 발생하는 상기 비중복 클락 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉싱 과정;

상기 멀티 플렉싱 과정에서 선택되어 출력되는 멀티 플렉싱 과정의 출력 신호를 래치하는 래칭 과정; 및

상기 래칭 과정의 출력 신호에 드라이버를 구동하는 드라이빙 과정을 구비하는 것을 특징으로 하는 데이터 출력 방법.

#### 청구항 23

기준 클락에 동기되어 동작하는 반도체 메모리 장치의 데이터 입출력 방법에 있어서,

액티브 영역이 겹치지 아니하는 복수개의 비중복(nonoverlapping) 클락들을 발생시키는 비중복 클락 발생 과정;

복수개의 내부 데이터 신호들을 상기 비중복 클락 각각에 응답하여 선택적으로 출력하는 데이터 출력 과정;

상기 데이터 출력 과정의 출력 신호를 타회로에 전달하는 전달 과정; 및

상기 비중복 클락에 응답하여 상기 전달 과정에 의하여 전달된 상기 데이터 출력 과정의 출력 신호를 선택적으로 입력하는 데이터 입력 과정을 구비하는 것을 특징으로 하는 데이터 입출력 방법.

#### 청구항 24

제23 항에 있어서, 상기 데이터 입력 과정은

소정의 기준전압과 입력 데이터 신호를 비교하여 예비 데이터 신호를 출력하는 입력 리시빙 과정; 및

상기 비중복 클락 발생 과정에서 출력되는 비중복 클락에 응답하여 상기 입력 리시빙 과정에서 출력된 예비 데이터 신호를 반도체 메모리 장치의 내부로 입력하는 내부 입력 과정을 구비하는 것을 특징으로 하는 데이터 입출력 방법.

**청구항 25**

제23 항에 있어서, 상기 데이터 출력 과정은

복수개의 내부 데이터 신호들을 입력하여, 상기 비중복 클럭 발생 과정에서 발생하는 상기 비중복 클럭 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉싱 과정; 및

상기 멀티 플렉싱 과정의 출력 신호에 드라이버를 구동하는 드라이빙 과정을 구비하는 것을 특징으로 하는 데이터 입출력 방법.

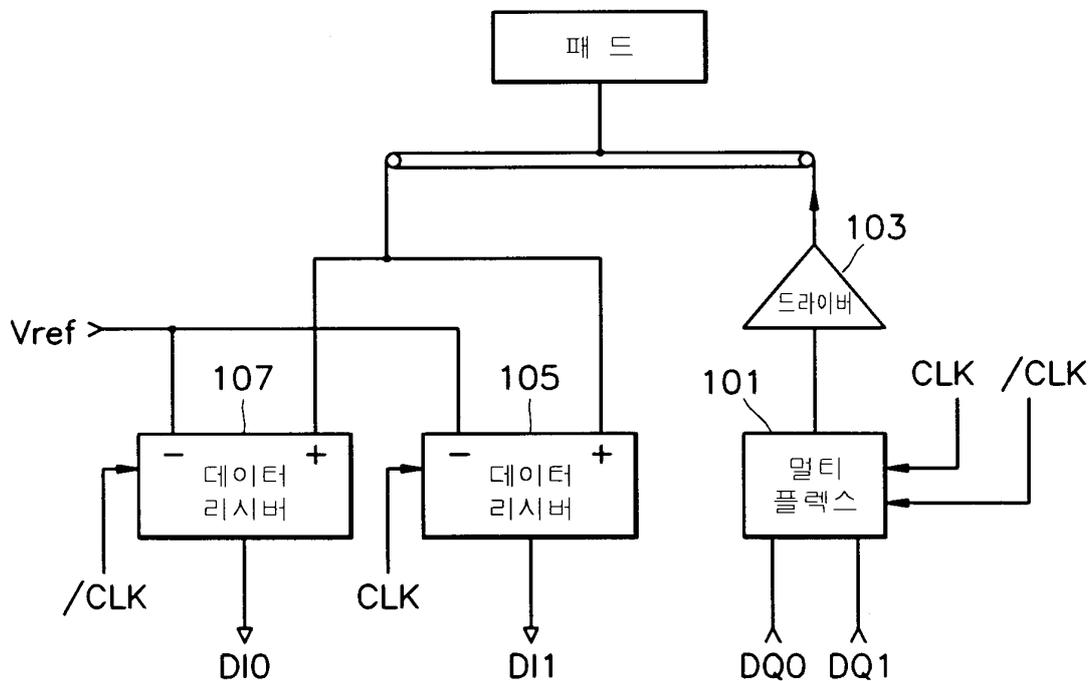
**청구항 26**

제23 항에 있어서, 상기 데이터 출력 과정은

복수개의 내부 데이터 신호들을 입력하여, 상기 비중복 클럭 발생 과정에서 발생하는 상기 비중복 클럭 각각에 의하여 선택된 내부 데이터 신호를 출력하는 멀티 플렉싱 과정;

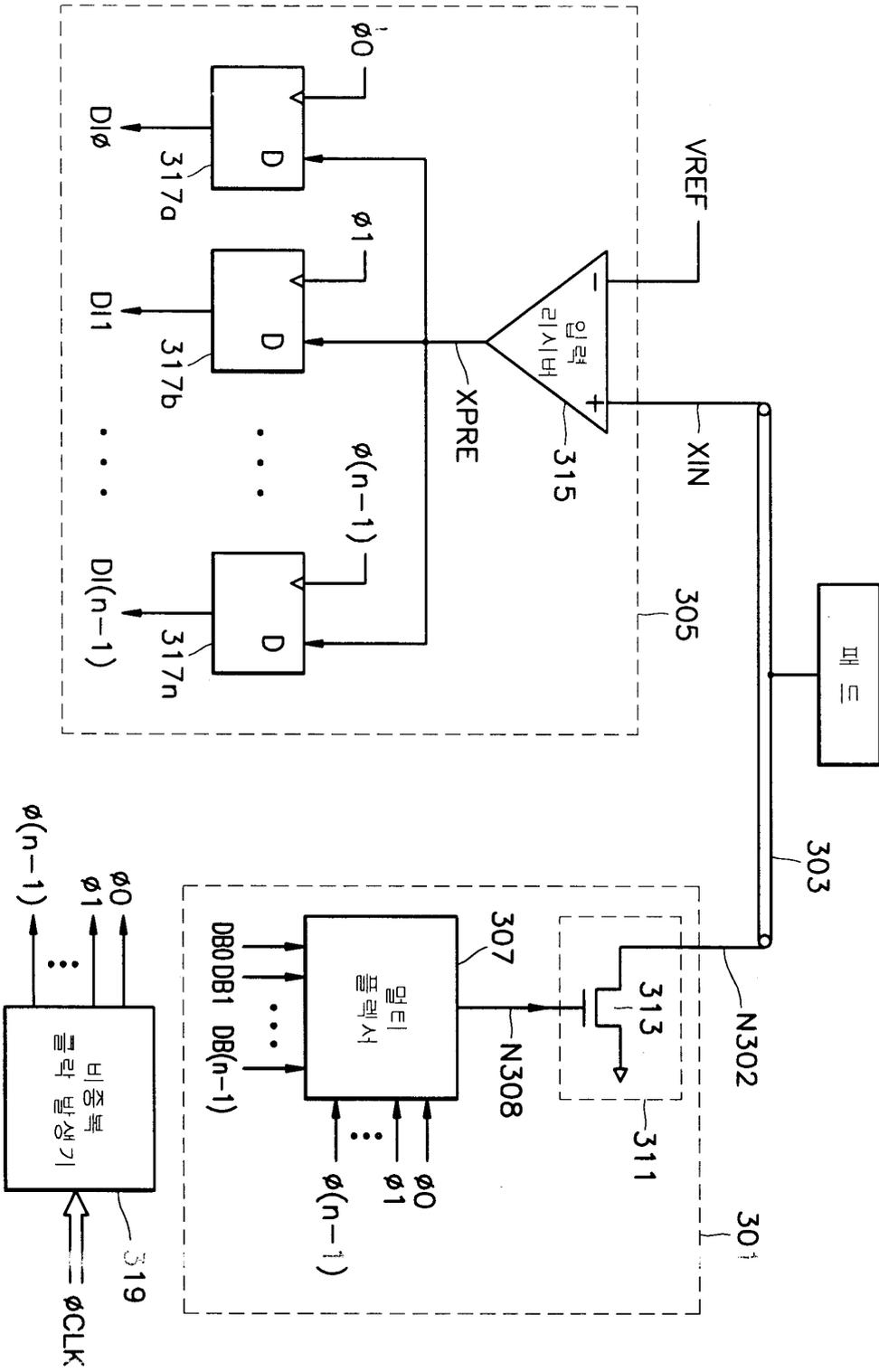
상기 멀티 플렉싱 과정에서 선택되어 출력되는 멀티 플렉싱 과정의 출력 신호를 래칭하는 래칭 과정; 및

상기 래칭 과정의 출력 신호에 드라이버를 구동하는 드라이빙 과정을 구비하는 것을 특징으로 하는 데이터 입출력 방법.

**도면****도면1**

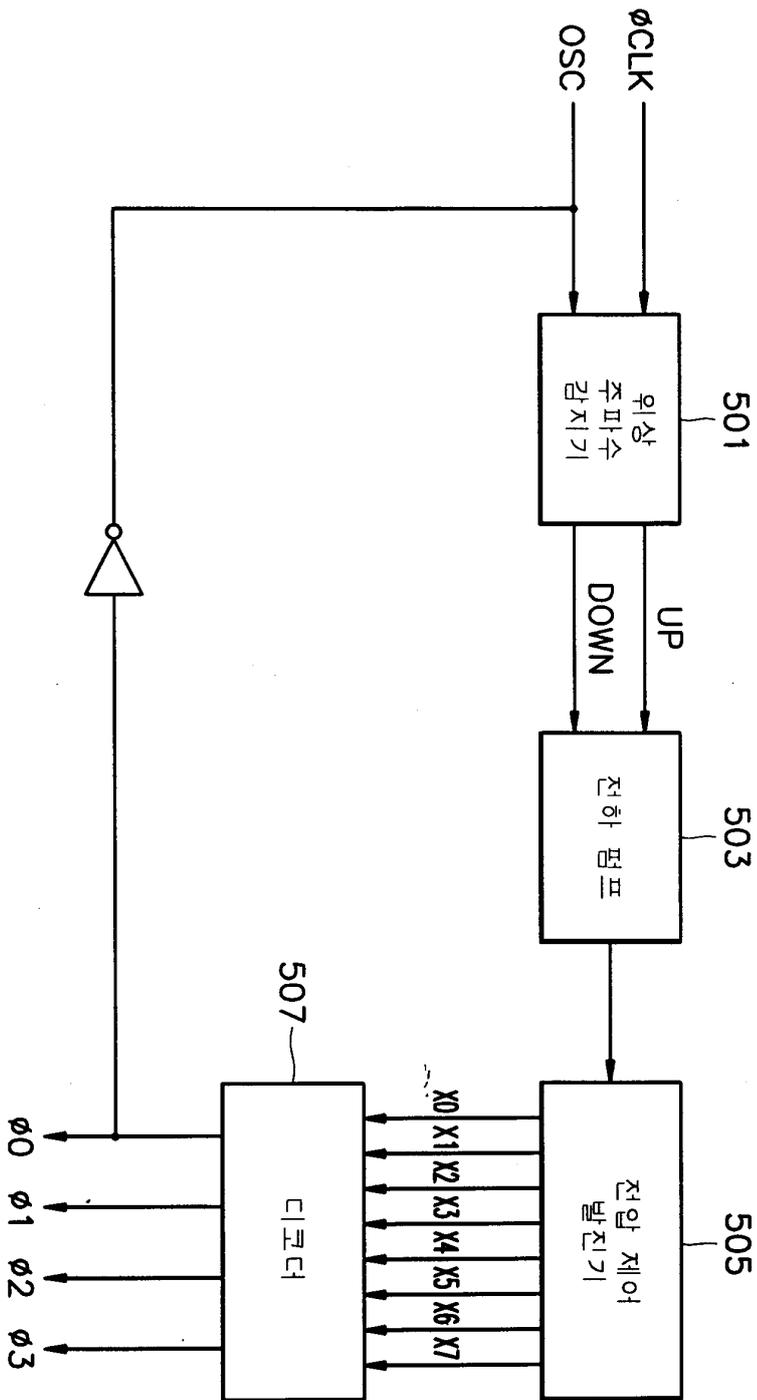


도면3

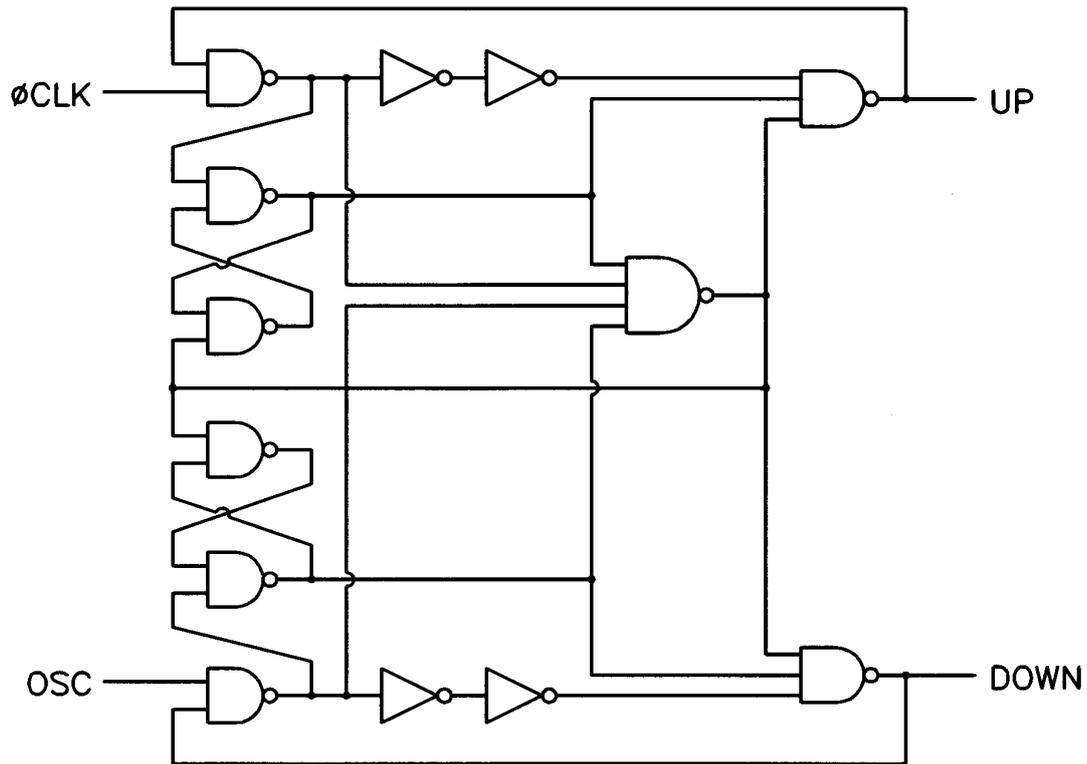




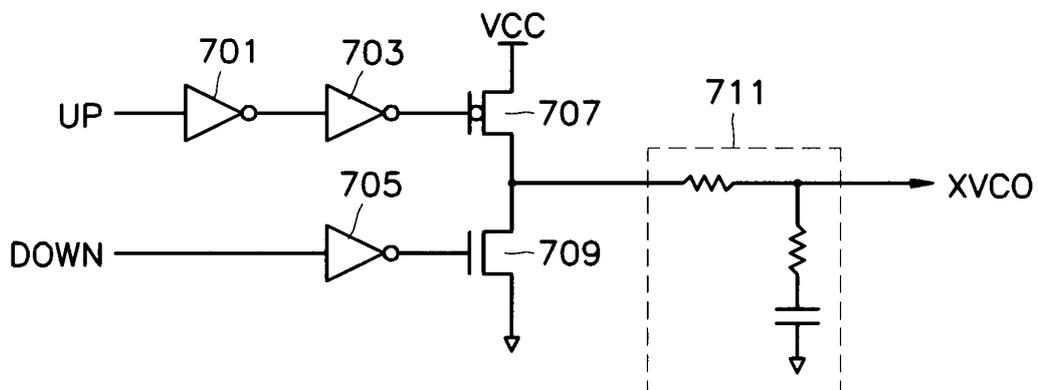
도면5



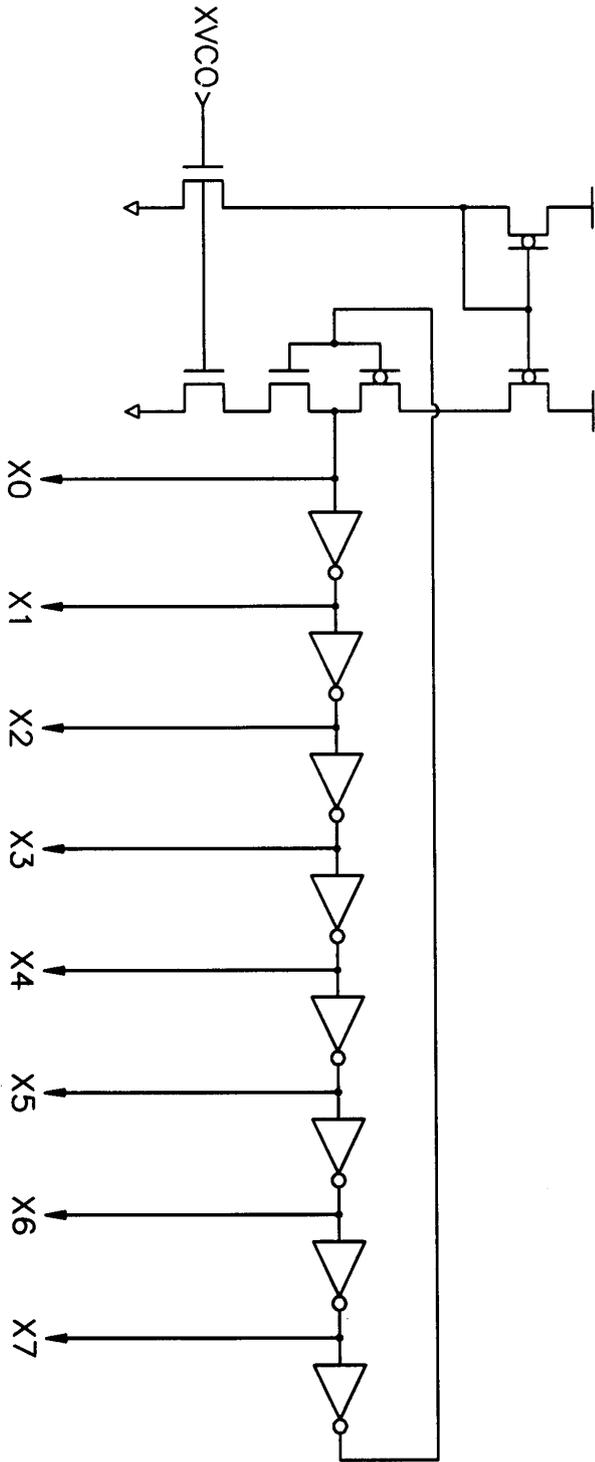
도면6



도면7



도면8



## 도면9

