

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月18日(18.01.2024)



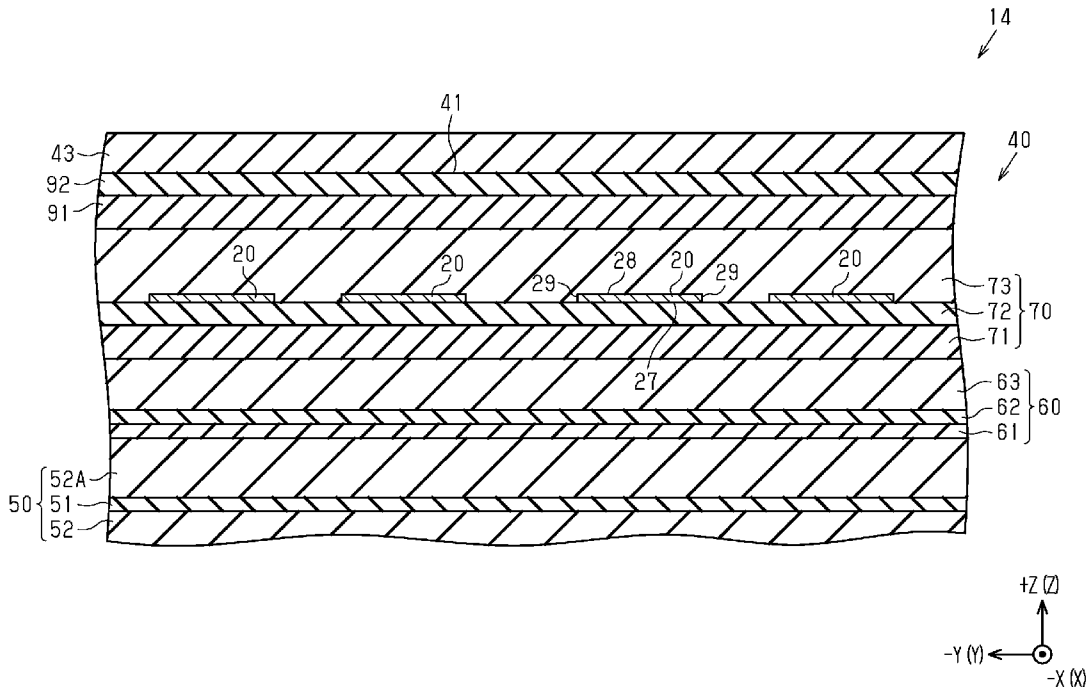
(10) 国際公開番号
WO 2024/014473 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 21/768* (2006.01)
H01C 13/00 (2006.01) *H01L 23/532* (2006.01)
- (21) 国際出願番号: PCT/JP2023/025696
- (22) 国際出願日: 2023年7月12日(12.07.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-114107 2022年7月15日(15.07.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2 1 番地 Kyoto (JP).
- (72) 発明者: 田中文悟(TANAKA Bungo); 〒6158585
京都府京都市右京区西院溝崎町2 1 番地
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目
1 2 番地 1 Gifu (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図5



(57) Abstract: A semiconductor device according to the present invention is provided with an element insulating layer and a plurality of semiconductor resistive layers that are provided in the element insulating layer. The semiconductor resistive layers each comprise a resistive back surface, a resistive front surface that is on the reverse side from the resistive back surface, and a resistive lateral surface that connects the resistive back surface and the resistive front surface to each other. The element insulating layer comprises: a first insulating layer; a second insulating layer that is superposed on the



WO 2024/014473 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

first insulating layer and has a higher relative dielectric constant than the first insulating layer; and a third insulating layer that is superposed on the second insulating layer and has a lower relative dielectric constant than the second insulating layer. The semiconductor resistive layers are superposed on the second insulating layer and are provided within the third insulating layer in such a manner that the resistive back surfaces are in contact with the second insulating layer.

(57) 要約: 半導体装置は、素子絶縁層と、素子絶縁層内に設けられた複数の半導体抵抗層とを備える。半導体抵抗層は、抵抗裏面と、抵抗裏面とは反対側の抵抗表面と、抵抗裏面と抵抗表面とを繋ぐ抵抗側面と、を含む。素子絶縁層は、第1絶縁層と、第1絶縁層上に積層され、第1絶縁層よりも比誘電率が高い第2絶縁層と、第2絶縁層上に積層され、第2絶縁層よりも比誘電率が低い第3絶縁層と、を含む。半導体抵抗層は、第2絶縁層上に積層されており、抵抗裏面が第2絶縁層に接した状態で第3絶縁層内に設けられている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来、抵抗分圧回路を用いて、高電圧を検出する装置が知られている。たとえば、特許文献1には、互いに直列に接続してなる複数の直列抵抗と複数の直列抵抗の分圧点を高電圧バッテリーの接続点に接続する分圧抵抗とからなるラダー抵抗回路と、A/Dコンバータと、を備えた電圧検出回路によって電池ユニットの電圧を検出する電源装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-8227号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、電源装置のラダー抵抗回路のように複数の抵抗を含む回路を1チップ化させる構成の開発が進められている。この場合、チップ内において電界集中が生じるおそれがあり、その電界集中の緩和について改善の余地がある。

課題を解決するための手段

[0005] 本開示の一態様による半導体装置は、表面、および前記表面とは反対側の裏面を有する素子絶縁層と、前記素子絶縁層内に設けられた1または複数の半導体抵抗層と、を備え、前記半導体抵抗層は、前記素子絶縁層の厚さ方向において前記裏面を向く抵抗裏面と、前記抵抗裏面とは反対側の抵抗表面と、前記抵抗裏面と前記抵抗表面とを繋ぐ抵抗側面と、を含み、前記素子絶縁層は、第1絶縁層と、前記第1絶縁層上に積層され、前記第1絶縁層よりも比誘電率が高い第2絶縁層と、前記第2絶縁層上に積層され、前記第2絶縁

層よりも比誘電率が低い第3絶縁層と、を含み、前記半導体抵抗層は、前記第2絶縁層上に積層されており、前記抵抗裏面が前記第2絶縁層に接した状態で前記第3絶縁層内に設けられている。

[0006] 本開示の一態様による半導体装置は、素子絶縁層と、前記素子絶縁層内に設けられた1または複数の半導体抵抗層と、前記素子絶縁層内において前記半導体抵抗層と電氣的に接続され、前記素子絶縁層の厚さ方向において前記半導体抵抗層と対向配置された配線層と、を備え、前記配線層は、前記素子絶縁層の厚さ方向において前記半導体抵抗層を向く配線表面と、前記配線表面とは反対側の配線裏面と、前記配線表面と前記配線裏面とを繋ぐ配線側面と、を含み、前記素子絶縁層は、第4絶縁層と、前記第4絶縁層上に積層され、前記第4絶縁層よりも比誘電率が高い第5絶縁層と、前記第5絶縁層上に積層され、前記第5絶縁層よりも比誘電率が低い低誘電率絶縁層と、を含み、前記配線層は、前記第5絶縁層上に積層されており、前記配線裏面が前記第5絶縁層に接した状態で前記低誘電率絶縁層内に設けられている。

発明の効果

[0007] 本開示の半導体装置によれば、電界集中の緩和を図ることができる。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態の半導体装置の概略平面図である。

[図2]図2は、図1の半導体装置における第1チップおよび第2チップの概略平面図である。

[図3]図3は、第1チップにおける半導体抵抗層の概略平面図である。

[図4]図4は、第1チップにおける半導体抵抗層およびその周辺を示す概略断面図である。

[図5]図5は、図4の半導体抵抗層およびその周辺を拡大した拡大断面図である。

[図6]図6は、第1チップにおける配線層およびその周辺を示す概略断面図である。

[図7]図7は、図3のF7-F7線で第1チップを切断した概略断面図である。

。

[図8]図8は、第1実施形態の半導体装置の製造工程の一例を示す概略断面図である。

[図9]図9は、図8に続く製造工程を示す概略断面図である。

[図10]図10は、図9に続く製造工程を示す概略断面図である。

[図11]図11は、図10に続く製造工程を示す概略断面図である。

[図12]図12は、図11に続く製造工程を示す概略断面図である。

[図13]図13は、図12に続く製造工程を示す概略断面図である。

[図14]図14は、図13に続く製造工程を示す概略断面図である。

[図15]図15は、図14に続く製造工程を示す概略断面図である。

[図16]図16は、図15に続く製造工程を示す概略断面図である。

[図17]図17は、第2実施形態の半導体装置について、第1チップにおける半導体抵抗層およびその周辺を示す概略断面図である。

[図18]図18は、第1チップにおける配線層およびその周辺を示す概略断面図である。

[図19]図19は、第1チップにおける端子、半導体抵抗層、配線層、およびその周辺を示す概略断面図である。

[図20]図20は、第3実施形態の半導体装置について、第1チップにおける半導体抵抗層およびその周辺を示す概略断面図である。

[図21]図21は、第1チップにおける配線層およびその周辺を示す概略断面図である。

[図22]図22は、第1チップにおける端子、半導体抵抗層、配線層、およびその周辺を示す概略断面図である。

[図23]図23は、変更例の半導体装置について、第1チップにおける端子、半導体抵抗層、配線層、およびその周辺を示す概略断面図である。

[図24]図24は、変更例の半導体装置について、第1チップにおける配線層、半導体抵抗層、およびその周辺を示す概略断面図である。

発明を実施するための形態

[0009] 以下、添付図面を参照して、本開示における絶縁チップおよび半導体装置のいくつかの実施形態について説明する。なお、説明を簡単かつ明確にするために、図面に示される構成要素は、必ずしも一定の縮尺で描かれていない。また、理解を容易にするために、断面図ではハッチング線が省略されている場合がある。添付の図面は、本開示の実施形態を例示するに過ぎず、本開示を制限するものとみなされるべきではない。

[0010] 以下の詳細な説明は、本開示の例示的な実施形態を具体化する装置、システム、および方法を含む。この詳細な記載は本來說明のためのものに過ぎず、本開示の実施形態またはこのような実施形態の適用および使用を限定することを意図しない。

[0011] <第1実施形態>

図1～図16を参照して、第1実施形態の半導体装置10について説明する。

図1および図2は半導体装置10の全体構成を模式的に示し、図3は後述する第1チップの一部の平面構造を示し、図4～図7は第1チップの一部の断面構造を示している。図8～図16は半導体装置10の製造工程の一例を示している。

[0012] なお、本開示において使用される「平面視」という用語は、図4に示される互いに直交するXYZ軸のZ軸方向に半導体装置10を視ることをいう。また、図4に示される半導体装置10について、+Z方向を上、-Z方向を下、+X方向を右、-X方向を左と定義する。特に断りが無い場合、「平面視」とは、半導体装置10をZ軸に沿って上方から視ることを指す。

[0013] [半導体装置の全体構成]

図1は、第1実施形態の半導体装置10の全体構成を概略的に示している。図2は、半導体装置10の第1チップ14および後述する第2チップ15の各々の電氣的な構成および電氣的な接続構造を概略的に示している。なお、図1では、図面を容易に理解するために、後述する封止樹脂16の内部の構成要素を実線で示している。図2では、図面を容易に理解するために、第

1チップ14および第2チップ15の内部の構成要素を実線で示している。

[0014] 図1に示すように、半導体装置10は、フレーム11と、ダイパッド12と、複数（第1実施形態では7つ）のリード13A~13Gと、フレーム11に搭載された第1チップ14と、ダイパッド12に搭載された第2チップ15と、ワイヤW1~W11と、これらを封止する封止樹脂16と、を備える。ここで、第1実施形態では、第1チップ14は「絶縁チップ」に対応している。

[0015] 封止樹脂16は、平板状に形成されている。平面視における封止樹脂16の形状は、矩形状である。封止樹脂16は、第1~第4樹脂側面16A~16Dを有する。第1樹脂側面16Aおよび第2樹脂側面16Bは、封止樹脂16のX軸方向の両端面を構成している。第1樹脂側面16Aは封止樹脂16の-X方向の端面を構成し、第2樹脂側面16Bは封止樹脂16の+X方向の端面を構成している。第3樹脂側面16Cおよび第4樹脂側面16Dは封止樹脂16のY軸方向の両端面を構成している。第3樹脂側面16Cは封止樹脂16の-Y方向の端面を構成し、第4樹脂側面16Dは封止樹脂16の+Y方向の端面を構成している。

[0016] フレーム11およびダイパッド12は、X軸方向において互いに離隔して配列されている。つまり、X軸方向は、フレーム11およびダイパッド12の配列方向となる。フレーム11は、ダイパッド12よりも第1樹脂側面16A寄りに配置されている。フレーム11、ダイパッド12、およびリード13A~13Gの各々は、銅(Cu)、アルミニウム(Al)等の金属材料によって形成されている。

[0017] フレーム11は、ダイパッド部11Aおよびリード部11Bを含む。第1実施形態では、ダイパッド部11Aおよびリード部11Bは、一体に形成されている。

ダイパッド部11Aは、第1チップ14が搭載される部分であり、第1チップ14を支持している。ダイパッド部11Aは、第1樹脂側面16Aに対して第2樹脂側面16B寄りに離隔して配置されている。平面視におけるダ

イパッド部 1 1 A の形状は、Y 軸方向が長手方向となり、X 軸方向が短手方向となる矩形状である。つまり、ダイパッド部 1 1 A は、フレーム 1 1 およびダイパッド 1 2 の配列方向における寸法が短くなるように形成されている。

[0018] リード部 1 1 B は、ダイパッド部 1 1 A の Y 軸方向の両端部のうち第 3 樹脂側面 1 6 C に近い方の端部と、ダイパッド部 1 1 A の X 軸方向の両端部のうち第 1 樹脂側面 1 6 A に近い方の端部とからなるコーナ部に接続されている。リード部 1 1 B は、ダイパッド部 1 1 A に対して第 1 樹脂側面 1 6 A に向けて X 軸方向に沿って延びている。

[0019] ダイパッド 1 2 は、フレーム 1 1 よりも第 2 樹脂側面 1 6 B 寄りに位置する一方、第 2 樹脂側面 1 6 B に対して第 1 樹脂側面 1 6 A 寄りに離隔して配置されている。ダイパッド 1 2 は、第 2 チップ 1 5 が搭載される部分であり、第 2 チップ 1 5 を支持している。平面視におけるダイパッド 1 2 の形状は、Y 軸方向が長手方向となり、X 軸方向が短手方向となる矩形状である。つまり、ダイパッド 1 2 は、フレーム 1 1 およびダイパッド 1 2 の配列方向における寸法が短くなるように形成されている。

[0020] リード 1 3 A ~ 1 3 G は、封止樹脂 1 6 の X 軸方向の両端部に分散して配置されている。より詳細には、リード 1 3 A は、封止樹脂 1 6 の第 1 樹脂側面 1 6 A 側の端部に配置されている。リード 1 3 B ~ 1 3 G の各々は、封止樹脂 1 6 の第 2 樹脂側面 1 6 B 側の端部に配置されている。

[0021] リード 1 3 A は、ダイパッド部 1 1 A よりも第 1 樹脂側面 1 6 A 寄りに配置されている。リード 1 3 A は、X 軸方向においてダイパッド部 1 1 A と離隔して配置されている。また、リード 1 3 A は、Y 軸方向においてリード部 1 1 B と離隔して配置されている。第 1 実施形態では、リード 1 3 A は、X 軸方向から視てダイパッド部 1 1 A の Y 軸方向の両端部のうち第 4 樹脂側面 1 6 D 側の端部と重なる位置に配置されている。

[0022] リード 1 3 B ~ 1 3 G の各々は、ダイパッド 1 2 よりも第 2 樹脂側面 1 6 B 寄りに配置されている。リード 1 3 B ~ 1 3 G の各々は、X 軸方向におい

てダイパッド12と離隔して配置されている。リード13B~13Gは、Y軸方向において互いに離隔して配列されている。リード13B~13Gは、第4樹脂側面16Dから第3樹脂側面16Cに向けて、リード13B、リード13C、リード13D、リード13E、リード13F、およびリード13Gの順に配列されている。図1から分かるとおり、リード13Aとリード部11BとのY軸方向の間の距離は、リード13B~13GのうちY軸方向に隣り合うリード間の距離よりも大きい。

[0023] フレーム11のダイパッド部11Aに搭載された第1チップ14は、平板状に形成されている。平面視における第1チップ14の形状は、Y軸方向が長手方向となり、X軸方向が短手方向となる矩形形状である。つまり、第1チップ14は、フレーム11およびダイパッド12の配列方向における寸法が短くなるように形成されている。

[0024] 第1チップ14は、複数の端子P1~P5を含む。端子P1、P2は、第1チップ14のX軸方向の両端部のうち第1樹脂側面16Aに近い方の端部に設けられている。端子P1は、第1チップ14のうちリード13Aの近くに設けられている。端子P2は、第1チップ14のうちリード部11Bの近くに設けられている。端子P3~P5は、第1チップ14のX軸方向の両端部のうち第2チップ15に近い方の端部に設けられている。端子P3~P5は、Y軸方向において互いに離隔して配列されている。

[0025] ダイパッド12に搭載された第2チップ15は、平板状に形成されている。平面視における第2チップ15の形状は、Y軸方向が長手方向となり、X軸方向が短手方向となる矩形形状である。つまり、第2チップ15は、フレーム11およびダイパッド12の配列方向における寸法が短くなるように形成されている。

[0026] 第2チップ15は、複数の端子Q1~Q9を含む。端子Q1~Q3は、第2チップ15のX軸方向の両端部のうち第1チップ14に近い方の端部に設けられている。端子Q1~Q3は、Y軸方向において互いに離隔して配列されている。端子Q4~Q9は、第2チップ15のX軸方向の両端部のうち第

2樹脂側面16Bに近い方の端部に設けられている。端子Q4～Q9は、Y軸方向において互いに離隔して配列されている。

[0027] 第1チップ14の端子P1は、ワイヤW1によってリード13Aに電氣的に接続されている。端子P2は、ワイヤW2によってリード部11Bに電氣的に接続されている。つまり、端子P2はフレーム11に電氣的に接続されているともいえる。リード13Aおよびリード部11Bには高電圧発生部VTが電氣的に接続される。高電圧発生部VTはたとえば直流電源である。リード13Aには高電圧発生部VTの正極が電氣的に接続され、リード部11Bには高電圧発生部VTの負極が電氣的に接続される。

[0028] 第1チップ14の端子P3～P5と第2チップ15の端子Q1～Q3は、ワイヤW3～W5によって個別に電氣的に接続されている。端子Q4～Q9は、ワイヤW6～W11によってリード13B～13Gと個別に電氣的に接続されている。

[0029] ここで、第1実施形態では、端子P1～P5のうち端子P1、P2は高圧側端子を構成し、端子P3～P5は低圧側端子を構成している。つまり、リード13Aおよびリード部11Bに電氣的に接続された端子が高圧側端子を構成し、第2チップ15に電氣的に接続された端子が低圧側端子を構成している。

[0030] このように、高電圧発生部VTに電氣的に接続されたフレーム11のダイパッド部11Aは高圧側ダイパッドを構成し、ダイパッド12が低圧側ダイパッドを構成している。このため、端子P3～P5と基板30との絶縁耐圧は、端子P1、P2と基板30との絶縁耐圧よりも高い。一例では、端子P3～P5と基板30との絶縁耐圧は直流電圧で3850V程度であり、端子P1、P2と基板30との絶縁耐圧は直流電源で1400V程度である。

[0031] 次に、第1チップ14および第2チップ15内の回路構成について説明する。

図2に示すように、第1チップ14は、高電圧発生部VT（図1参照）の高電圧を降圧するための第1～第4抵抗回路14A～14Dを含む。第1抵

抗回路 1 4 A は抵抗値 R_A を含み、第 2 抵抗回路 1 4 B は抵抗値 R_B を含み、第 3 抵抗回路 1 4 C は抵抗値 R_C を含み、第 4 抵抗回路 1 4 D は抵抗値 R_D を含む。

[0032] 抵抗値 R_B は、抵抗値 R_A よりも小さい。抵抗値 R_A に対する抵抗値 R_B の比 (R_B/R_A) は、予め設定されている。抵抗値 R_C は、抵抗値 R_D よりも小さい。抵抗値 R_D に対する抵抗値 R_C の比 (R_C/R_D) は、予め設定されている。比 (R_B/R_A) および比 (R_C/R_D) は、同一の所定値 (たとえば $1/999$) に設定されている。

[0033] 第 1 ~ 第 4 抵抗回路 1 4 A ~ 1 4 D は、直列に接続されている。第 1 ~ 第 4 抵抗回路 1 4 A ~ 1 4 D の各々は、第 1 端部および第 2 端部を有する。第 1 抵抗回路 1 4 A の第 1 端部は端子 P 1 に電氣的に接続されており、第 1 抵抗回路 1 4 A の第 2 端部は第 2 抵抗回路 1 4 B の第 1 端部に電氣的に接続されている。第 1 抵抗回路 1 4 A と第 2 抵抗回路 1 4 B との接続点は、端子 P 3 に電氣的に接続されている。第 2 抵抗回路 1 4 B の第 2 端部は第 3 抵抗回路 1 4 C の第 1 端部に電氣的に接続されている。第 2 抵抗回路 1 4 B と第 3 抵抗回路 1 4 C との接続点は、端子 P 4 に電氣的に接続されている。第 3 抵抗回路 1 4 C の第 2 端部は第 4 抵抗回路 1 4 D の第 1 端部に電氣的に接続されている。第 3 抵抗回路 1 4 C と第 4 抵抗回路 1 4 D との接続点は、端子 P 5 に電氣的に接続されている。第 4 抵抗回路 1 4 D の第 2 端部は端子 P 2 に電氣的に接続されている。

[0034] 第 2 チップ 1 5 は、電圧検出回路 1 5 A を含む。電圧検出回路 1 5 A は、オペアンプを含む。電圧検出回路 1 5 A は、端子 Q 1 ~ Q 3 に電氣的に接続されている。端子 Q 1 はワイヤ W 3 によって第 1 チップ 1 4 の端子 P 3 に電氣的に接続され、端子 Q 2 はワイヤ W 4 によって第 1 チップ 1 4 の端子 P 4 に電氣的に接続され、端子 Q 3 はワイヤ W 5 によって第 1 チップ 1 4 の端子 P 5 に電氣的に接続されている。このため、電圧検出回路 1 5 A は、第 1 抵抗回路 1 4 A と第 2 抵抗回路 1 4 B との接続点と、第 2 抵抗回路 1 4 B と第 3 抵抗回路 1 4 C との接続点と、第 3 抵抗回路 1 4 C と第 4 抵抗回路 1 4 D

との接続点との間の電圧を検出する。端子Q4～Q9（リード13B～13G（図1参照））は、第2チップ15内のオペアンプに電源電圧を供給したり、電圧検出回路15Aの出力信号を出力したりするために用いられる。

[0035] [第1チップの概略的な平面構造]

図3は、以上説明した第1チップ14の第1～第4抵抗回路14A～14D（図2参照）を含む第1チップ14の概略的な平面構造を示している。

[0036] 図3に示すように、第1チップ14は、複数の単位半導体抵抗層（以下、「半導体抵抗層20」）を含む。各半導体抵抗層20は、X軸方向に沿って延びている。換言すると、各半導体抵抗層20は、第1チップ14の短手方向に延びている。複数の半導体抵抗層20は、X軸方向において互いに揃った状態でY軸方向において互いに離隔して配列されている。換言すると、複数の半導体抵抗層20は、第1チップ14の長手方向において互いに離隔して配列されている。

[0037] 複数の半導体抵抗層20は、第1～第4抵抗回路14A～14Dの構成要素として用いられている。複数の半導体抵抗層20は、複数の抵抗領域として第1～第4抵抗領域R1～R4に区分することができる。第1～第4抵抗領域R1～R4は、+Y方向から-Y方向に向けて抵抗領域R1, R2, R3, R4の順に並んでいる。第1抵抗領域R1は第1抵抗回路14Aを構成する領域であり、第2抵抗領域R2は第2抵抗回路14Bを構成する領域であり、第3抵抗領域R3は第3抵抗回路14Cを構成する領域であり、第4抵抗領域R4は第4抵抗回路14Dを構成する領域である。

[0038] 第1～第4抵抗領域R1～R4の各々の半導体抵抗層20の個数は、個別に設定されている。第1実施形態では、第1抵抗領域R1および第4抵抗領域R4の半導体抵抗層20の個数は互いに同じである。第2抵抗領域R2および第3抵抗領域R3の半導体抵抗層20の個数は互いに同じである。そして、第1および第4抵抗領域R1, R4の半導体抵抗層20の個数は、第2および第3抵抗領域R2, R3の半導体抵抗層20の個数よりも多い。なお、第1～第4抵抗領域R1～R4の各々の半導体抵抗層20の個数は第1実

施形態に限定されず、任意に変更可能である。

- [0039] より詳細には、第1～第4抵抗領域R1～R4においては、+Y方向の端から奇数行目の半導体抵抗層20の-X方向の端部の各々は、その半導体抵抗層20と-Y方向に隣接する偶数行目の半導体抵抗層20の-X方向の端部に電氣的に接続されている。また、+Y方向の端から偶数行目の半導体抵抗層20の+X方向の端部の各々は、その半導体抵抗層20と-Y方向に隣接する奇数行目の半導体抵抗層20の+X方向の端部に電氣的に接続されている。これにより、第1～第4抵抗領域R1～R4における全ての半導体抵抗層20が直列に接続されている。
- [0040] 第1抵抗領域R1の+Y方向の端から1行目の半導体抵抗層20と端子P1とは、配線21によって接続されている。配線21は、第1抵抗領域R1の+Y方向の端から1行目の半導体抵抗層20における+X方向の端部に接続されている。
- [0041] 第2抵抗領域R2の+Y方向の端から1行目の半導体抵抗層20と端子P3とは、配線22によって接続されている。配線22は、第2抵抗領域R2の+Y方向の端から1行目の半導体抵抗層20における+X方向の端部に接続されている。
- [0042] 第2抵抗領域R2の-Y方向の端から1行目の半導体抵抗層20および第3抵抗領域R3の+Y方向の端から1行目の半導体抵抗層20と、端子P4とは、配線23によって接続されている。配線23は、第2抵抗領域R2の-Y方向の端から1行目の半導体抵抗層20および第3抵抗領域R3の+Y方向の端から1行目の半導体抵抗層20における+X方向の端部に接続されている。
- [0043] 第3抵抗領域R3の-Y方向の端から1行目の半導体抵抗層20と端子P5とは、配線24によって接続されている。配線24は、第3抵抗領域R3の-Y方向の端から1行目の半導体抵抗層20における+X方向の端部に接続されている。
- [0044] 第4抵抗領域R4の-Y方向の端から1行目の半導体抵抗層20と端子P

2とは、配線25によって接続されている。配線25は、第4抵抗領域R4の-Y方向の端から1行目の半導体抵抗層20における+X方向の端部に接続されている。

[0045] [第1チップの断面構造]

図4～図7を参照して、第1チップ14の内部構成の一例について説明する。図4～図7の各々は、第1チップ14の断面構造を示している。図4は、第1抵抗領域R1におけるY軸方向に隣り合う4つの半導体抵抗層20が含まれる領域をYZ平面で切断した断面構造を示している。図5は、図4の4つの半導体抵抗層20およびその周辺の拡大構造を示している。図6は、第1抵抗領域R1におけるY軸方向に隣り合う4つの半導体抵抗層20が含まれる領域のうち+X方向の端部をYZ平面で切断した断面構造を示している。図7は、図3のF7-F7線で第1チップ14を切断した断面構造を示している。

[0046] 図4に示すように、第1チップ14は、基板30と、基板30上に形成された素子絶縁層40と、を含む。

基板30は、たとえば半導体基板によって形成されている。基板30の厚さは、たとえば300 μ m程度である。第1実施形態では、基板30は、Siを含む材料によって形成された半導体基板である。なお、基板30は、半導体基板として、ワイドバンドギャップ半導体または化合物半導体が用いられていてもよい。また、基板30は、半導体基板に代えて、ガラスを含む材料によって形成された絶縁基板、またはアルミナ等のセラミックスを含む材料によって形成された絶縁基板が用いられていてもよい。

[0047] ワイドバンドギャップ半導体は、2.0eV以上のバンドギャップを有する半導体基板である。ワイドバンドギャップ半導体は、SiC（炭化シリコン）であってもよい。化合物半導体は、III-V族化合物半導体であってもよい。化合物半導体は、AlN（窒化アルミニウム）、InN（窒化インジウム）、GaN（窒化ガリウム）、およびGaAs（ヒ化ガリウム）のうち少なくとも1つを含んでもよい。

[0048] 素子絶縁層40は、Z軸方向において互いに反対側を向く素子表面41および素子裏面42を有する。ここで、第1実施形態では、Z軸方向は「素子絶縁層の厚さ方向」に対応する。素子裏面42は、基板30と接している。素子表面41は、Z軸方向において基板30とは反対側の面である。

[0049] 素子絶縁層40上には、端子P1～P5（図3参照）と、パッシベーション膜43とが形成されている。

端子P1～P5は、素子絶縁層40の素子表面41上に形成されている。端子P1～P5は、Ti（チタン）、TiN（窒化チタン）、Ta（タンタル）、TaN（窒化タンタル）、Au（金）、Ag（銀）、Cu（銅）、Al（アルミニウム）、Ni（ニッケル）、Pd（パラジウム）、およびW（タングステン）のうち1つまたは複数が適宜選択される。第1実施形態では、端子P1～P5は、Alを含む材料によって形成されている。一例として、図7では、素子表面41上に端子P1が形成された構造が示されている。

[0050] 図7に示すように、端子P1は、パッシベーション膜43によって覆われている。一方、パッシベーション膜43は、端子P1を露出する開口部43Xを有する。なお、図示していないが、パッシベーション膜43は、図1～図3に示す端子P2～P5を露出する開口部43Xを有する。このため、端子P1～P5は、ワイヤW1～W5（図1参照）を接続するための露出面を含む。このように、端子P1～P5は、電極パッドを構成している。

[0051] 図4に示すように、パッシベーション膜43は、素子絶縁層40の素子表面41上に形成されている。パッシベーション膜43は、第1チップ14の表面保護膜であり、たとえばSiNを含む材料によって形成されている。なお、パッシベーション膜43を構成する材料は任意に変更可能であり、たとえばSiO₂を含む材料によって形成されていてもよい。また、パッシベーション膜43は、複数の膜の積層構造であってもよく、たとえばSiNを含む材料によって形成された膜とSiO₂を含む材料によって形成された膜との積層構造であってもよい。

[0052] 素子絶縁層40は、基板30上に設けられた基板側絶縁層50と、基板側

絶縁層 50 上に積層された配線側絶縁層 60 と、配線側絶縁層 60 上に積層された抵抗側絶縁層 70 と、を含む。

[0053] 基板側絶縁層 50 は、複数の第 1 基板側絶縁層 51 と、複数の第 1 基板側絶縁層 51 上に形成された第 2 基板側絶縁層 52 と、を含む。複数の第 1 基板側絶縁層 51 と複数の第 2 基板側絶縁層 52 は、Z 軸方向において 1 つずつ交互に積層されている。

[0054] 第 1 基板側絶縁層 51 は、SiN（窒化シリコン）、SiC、SiCN（窒素添加炭化シリコン）等を含む材料によって形成されている。第 1 基板側絶縁層 51 は、SiN 系絶縁膜であってもよい。第 1 実施形態では、第 1 基板側絶縁層 51 は、SiN を含む材料によって形成されている。また、第 1 基板側絶縁層 51 は、たとえば第 2 基板側絶縁層 52 とは組成の異なる絶縁層であり、第 2 基板側絶縁層 52 と逆のストレスを持つ膜である。第 1 基板側絶縁層 51 は、たとえば引っ張り応力をもつ窒化膜であってもよい。

[0055] 第 2 基板側絶縁層 52 は、SiO₂（酸化シリコン）を含む材料によって形成された酸化膜である。第 2 基板側絶縁層 52 の膜厚は、第 1 基板側絶縁層 51 の膜厚よりも厚い。第 1 基板側絶縁層 51 は、50 nm 以上 1000 nm 未満の厚さを有する。第 2 基板側絶縁層 52 は、500 nm 以上 5000 nm 以下の厚さを有する。第 1 実施形態では、第 1 基板側絶縁層 51 は 300 nm 程度の厚さを有し、第 2 基板側絶縁層 52 は 2000 nm 程度の厚さを有する。

[0056] 第 1 基板側絶縁層 51 と第 2 基板側絶縁層 52 とを交互に積層する理由は、第 2 基板側絶縁層 52 の成膜によって生じる基板 30 の反りを、第 1 基板側絶縁層 51 の成膜によってコントロールすることによって基板側絶縁層 50 を厚く成膜するためである。第 1 実施形態では、基板側絶縁層 50 は、1.5 μm 程度の厚さを有する。

[0057] なお、図面の見やすさの観点から、図面における第 1 基板側絶縁層 51 の膜厚と第 2 基板側絶縁層 52 の膜厚との比率は、実際の第 1 基板側絶縁層 51 の膜厚と第 2 基板側絶縁層 52 の膜厚との比率とは異なる。また、図 4 は

、第1基板側絶縁層51および第2基板側絶縁層52の構成を明示するため、第1基板側絶縁層51および第2基板側絶縁層52の双方の厚さを厚くしている。このため、図4に示される第1基板側絶縁層51および第2基板側絶縁層52の積層数は、第1基板側絶縁層51および第2基板側絶縁層52の実際の積層数を示すものではない。

[0058] 抵抗側絶縁層70は、半導体抵抗層20が埋め込まれた絶縁層である。抵抗側絶縁層70は、第1絶縁層71と、第1絶縁層71上に積層された第2絶縁層72と、第2絶縁層72上に積層された第3絶縁層73と、を含む。半導体抵抗層20は、第2絶縁層72上に積層されており、第3絶縁層73によって覆われている。このため、図4に示すとおり、複数の半導体抵抗層20は、Z軸方向において互いに同じ位置に配置されている。

[0059] 半導体抵抗層20は、Z軸方向を厚さ方向とする平板状に形成されている。半導体抵抗層20の厚さは、半導体抵抗層20の幅(X軸方向の長さ)よりも薄い。また、半導体抵抗層20は、第1～第3絶縁層71～73の各々よりも薄い厚さを有する。半導体抵抗層20の厚さは、たとえば1nm以上100nm以下である。第1実施形態では、半導体抵抗層20の厚さは、2.5nm程度である。半導体抵抗層20は、たとえばCrSi(クロムシリコン)を含む材料によって形成されている。

[0060] 図5に示すように、半導体抵抗層20は、Z軸方向において素子絶縁層40の素子裏面42を向く抵抗裏面27と、抵抗裏面27とは反対側の抵抗表面28と、抵抗裏面27と抵抗表面28とを繋ぐ抵抗側面29と、を含む。第1実施形態では、抵抗裏面27および抵抗表面28の双方は、XY平面に沿った面である。抵抗側面29は、抵抗裏面27と抵抗表面28との双方と交差する面である。第1実施形態では、抵抗側面29は、抵抗裏面27と抵抗表面28との双方と直交する面である。

[0061] 半導体抵抗層20は、抵抗裏面27が第2絶縁層72に接した状態で第3絶縁層73内に設けられている。つまり、半導体抵抗層20は、第2絶縁層72と第3絶縁層73とによって挟み込まれている。抵抗表面28および抵

抗側面 29 の双方は、第 3 絶縁層 73 に接している。

[0062] 図 6 に示すように、配線側絶縁層 60 は、複数の配線層 80 が埋め込まれた絶縁層である。配線側絶縁層 60 は、第 4 絶縁層 61 と、第 4 絶縁層 61 上に積層された第 5 絶縁層 62 と、第 5 絶縁層 62 上に積層された第 6 絶縁層 63 と、を含む。複数の配線層 80 は、第 5 絶縁層 62 上に積層されており、第 6 絶縁層 63 によって覆われている。図示された例においては、複数の配線層 80 は、Z 方向において互いに同じ位置に配置されている。

[0063] 配線層 80 は、たとえば図 3 に示す配線 21 ~ 25 を含む。配線層 80 は、配線側絶縁層 60 に埋め込まれているため、Z 軸方向において抵抗側絶縁層 70 に埋め込まれた半導体抵抗層 20 よりも基板 30 (図 4 参照) 寄りに配置されている。

[0064] 配線層 80 は、Z 軸方向を厚さ方向とする平板状に形成されている。配線層 80 の厚さは、配線層 80 の幅 (平面視で配線層 80 が延びる方向と直交する方向の長さ) よりも薄い。配線層 80 の厚さは、半導体抵抗層 20 の厚さよりも厚い。図 6 に示す例においては、配線層 80 の厚さは、第 5 絶縁層 62 および第 6 絶縁層 63 の各々の厚さよりも厚い。一方、配線層 80 の厚さは、第 4 絶縁層 61 の厚さよりも薄い。配線層 80 は、Ti、TiN、Ta、Ta₂N₅、Au、Ag、Cu、Al、および W のうち 1 つまたは複数が適宜選択される。第 1 実施形態では、配線層 80 は、Al を含む材料によって形成されている。

[0065] 図 6 に示す例においては、配線層 80 は、Y 軸方向に隣り合う 2 つの半導体抵抗層 20 を電氣的に接続している。より詳細には、配線層 80 は、2 つの半導体抵抗層 20 の双方と重なるように形成されている。各半導体抵抗層 20 と配線層 80 とは、2 つのビア 90 によって接続されている。ビア 90 は、素子絶縁層 40 の厚さ方向となる Z 軸方向に延びている。より詳細には、ビア 90 は、第 1 絶縁層 71、第 2 絶縁層 72、および第 6 絶縁層 63 を Z 軸方向に貫通することによって、半導体抵抗層 20 と配線層 80 との両方に接している。ビア 90 は、Ti、TiN、Ta、Ta₂N₅、Au、Ag、C

u、A l、およびWのうち1つまたは複数が適宜選択される。第1実施形態では、ビア90は、Wを含む材料によって形成されている。なお、ビア90の個数は任意に変更可能である。

[0066] 配線層80は、Z軸方向において素子絶縁層40の素子裏面42（図4参照）を向く配線裏面81と、配線裏面81とは反対側の配線表面82と、配線裏面81と配線表面82とを繋ぐ配線側面83と、を含む。図示された例においては、配線裏面81は、Z軸方向において半導体抵抗層20とは反対側を向いているといえる。第1実施形態では、配線裏面81および配線表面82の双方は、XY平面に沿った面である。配線側面83は、配線裏面81と配線表面82との双方と交差する面である。第1実施形態では、配線側面83は、配線裏面81と配線表面82との双方と直交する面である。

[0067] 配線層80は、配線裏面81が第5絶縁層62に接した状態で第6絶縁層63内に設けられている。つまり、配線層80は、第5絶縁層62と第6絶縁層63とによって挟み込まれている。配線表面82および配線側面83の双方は、第6絶縁層63に接している。

[0068] （半導体抵抗層の電界緩和構造）

図5に示すように、抵抗側絶縁層70および配線側絶縁層60を含む素子絶縁層40は、半導体抵抗層20に生じる電界について、電界集中を緩和する構造を含む。一例では、素子絶縁層40は、半導体抵抗層20の電界集中を緩和する構造として、第1絶縁層71、第2絶縁層72、および第6絶縁層63を含む。

[0069] 第1絶縁層71および第2絶縁層72の双方は、Z軸方向において半導体抵抗層20と配線層80との間に配置されている。第6絶縁層63は、第1絶縁層71および第2絶縁層72の双方よりも基板30寄りに配置されている。第1絶縁層71は、第6絶縁層63上に積層されている。第1絶縁層71は、第6絶縁層63と接している。

[0070] 半導体抵抗層20と接する第2絶縁層72は、たとえばSiNを含む材料によって形成されている。このため、第2絶縁層72の比誘電率は、7程度

である。図示された例においては、第2絶縁層72の厚さは、第1絶縁層71の厚さおよび第6絶縁層63の厚さの双方よりも薄い。

[0071] 第1絶縁層71は、第2絶縁層72を介して半導体抵抗層20に対してZ軸方向に離隔して配置されている。第1絶縁層71は、第6絶縁層63を介して配線層80に対してZ軸方向に離隔して配置されている。第1絶縁層71は、第2絶縁層72よりも低い比誘電率を有する。第1絶縁層71の比誘電率は、3.8よりも大きく7未満である。一例では、第1絶縁層71の比誘電率は、4よりも大きく7未満であってもよい。第1実施形態では、第1絶縁層71は、SiONを含む材料によって形成されている。このため、第1絶縁層71の比誘電率は、SiONのうちのN（窒素）の濃度に応じて調整される。第1絶縁層71は、第6絶縁層63よりも薄い厚さを有する。

[0072] 第6絶縁層63は、半導体抵抗層20に対してZ軸方向に離隔して配置されている。第6絶縁層63は、第1絶縁層71よりも低い比誘電率を有する。第1実施形態では、第6絶縁層63は、SiO₂を含む材料によって形成されている。このため、第6絶縁層63の比誘電率は、3.8程度である。このように、第6絶縁層63は、半導体抵抗層20の電界を緩和するとともに配線層80を覆う絶縁層である。第6絶縁層63のうち配線層80が配置されていない領域の厚さは、第1絶縁層71および第2絶縁層72の各々の厚さよりも厚い。ここで、第1実施形態では、第6絶縁層63は「低誘電率絶縁層」に対応している。

[0073] このように、半導体抵抗層20に対する電界集中を緩和する構造では、半導体抵抗層20から基板30に向かうにつれて、第2絶縁層72、第1絶縁層71、および第6絶縁層63の順に配置されている。つまり、半導体抵抗層20に対する電界集中を緩和する構造として、半導体抵抗層20から基板30に向けて比誘電率が低下するように構成されている。

[0074] また、半導体抵抗層20を覆う第3絶縁層73は、第2絶縁層72よりも低い比誘電率を有する。第3絶縁層73は、第1絶縁層71よりも低い比誘電率を有してもよい。第3絶縁層73は、SiON、SiC、SiO₂のいずれ

れかを含む材料によって形成されている。第1実施形態では、第3絶縁層73は、第1絶縁層71よりも低い比誘電率を有するため、 SiO_2 を含む材料によって形成されている。これにより、Y軸方向に隣り合う半導体抵抗層20間の絶縁性が高められる。

[0075] 図示された例においては、第3絶縁層73の厚さは、第1絶縁層71の厚さ、第2絶縁層72の厚さ、および第6絶縁層63の厚さの各々よりも厚い。

なお、第1絶縁層71、第2絶縁層72、第3絶縁層73、および第6絶縁層63の各々の厚さは任意に変更可能である。一例では、第1絶縁層71の厚さ、第2絶縁層72の厚さ、および第6絶縁層63の厚さは互いに等しくてもよい。また一例では、第1絶縁層71の厚さおよび第2絶縁層72の厚さは互いに等しく、かつ第6絶縁層63の厚さよりも薄くてもよい。また一例では、第1絶縁層71の厚さが第2絶縁層72の厚さよりも厚くてもよい。また一例では、第3絶縁層73の厚さが第6絶縁層63の厚さと等しくてもよい。また一例では、第3絶縁層73の厚さが第6絶縁層63の厚さよりも薄くてもよい。

[0076] (配線層の電界緩和構造)

図6に示すように、配線側絶縁層60および基板側絶縁層50を含む素子絶縁層40は、配線層80に生じる電界について、電界集中を緩和する構造を含む。一例では、素子絶縁層40は、配線層80の電界集中を緩和する構造として、第4絶縁層61、第5絶縁層62、および基板側絶縁層50の最上層となる第2基板側絶縁層52を含む。以下の説明においては、基板側絶縁層50の最上層となる第2基板側絶縁層52を「第7絶縁層52A」と称する。

[0077] 第4絶縁層61、第5絶縁層62、および第7絶縁層52Aの各々は、配線層80よりも基板30(図4参照)寄りに配置されている。第4絶縁層61、第5絶縁層62、および第7絶縁層52Aの各々は、Z軸方向において配線層80に対して半導体抵抗層20とは反対側に配置されているともいえ

る。第4絶縁層61は、第7絶縁層52A上に積層されている。第4絶縁層61は、第7絶縁層52Aに接している。

[0078] 配線層80に接する第5絶縁層62は、たとえばSiNを含む材料によって形成されている。このため、第5絶縁層62の比誘電率は、7程度である。図示された例においては、第5絶縁層62の厚さは、第4絶縁層61の厚さと等しい。ここで、第5絶縁層62の厚さと第4絶縁層61の厚さとの差がたとえば第5絶縁層62の厚さの20%以内であれば、第5絶縁層62の厚さが第4絶縁層61の厚さと等しいといえる。また、第5絶縁層62の厚さは、第7絶縁層52Aの厚さよりも薄い。

[0079] 図示された例においては、第5絶縁層62の厚さおよび第4絶縁層61の厚さの双方は、第1絶縁層71の厚さよりも薄い。また、第5絶縁層62の厚さおよび第4絶縁層61の厚さの双方は、第2絶縁層72の厚さよりも薄い。

[0080] 第4絶縁層61は、第5絶縁層62を介して配線層80に対してZ軸方向に離隔して配置されている。第4絶縁層61は、第5絶縁層62よりも低い比誘電率を有する。第4絶縁層61の比誘電率は、3.8よりも大きく7未満である。一例では、第4絶縁層61の比誘電率は、4よりも大きく7未満であってもよい。第1実施形態では、第4絶縁層61は、SiONを含む材料によって形成されている。このため、第4絶縁層61の比誘電率は、SiONのうちのN（窒素）の濃度に応じて調整される。第4絶縁層61は、第7絶縁層52Aよりも薄い厚さを有する。

[0081] 第7絶縁層52Aは、配線層80に対してZ軸方向に離隔して配置されている。第7絶縁層52Aは、第4絶縁層61よりも低い比誘電率を有する。第1実施形態では、第7絶縁層52Aは、SiO₂を含む材料によって形成されている。このため、第7絶縁層52Aの比誘電率は、3.8程度である。第7絶縁層52Aの厚さは、第1絶縁層71の厚さおよび第2絶縁層72の厚さの双方よりも厚い。また第7絶縁層52Aの厚さは、第6絶縁層63の厚さよりも厚い。

[0082] このように、配線層 80 に対する電界集中を緩和する構造では、配線層 80 から基板 30 に向かうにつれて、第 5 絶縁層 62、第 4 絶縁層 61、および第 7 絶縁層 52A の順に配置されている。つまり、配線層 80 に対する電界集中を緩和する構造として、配線層 80 から基板 30 に向けて比誘電率が低下するように構成されている。

[0083] また、配線層 80 を覆う第 6 絶縁層 63 は、第 5 絶縁層 62 よりも低い比誘電率を有する。第 6 絶縁層 63 は、第 4 絶縁層 61 よりも低い比誘電率を有してもよい。第 6 絶縁層 63 は、SiON、SiC、SiO₂ のいずれかを含む材料によって形成されている。第 1 実施形態では、第 6 絶縁層 63 は、第 4 絶縁層 61 よりも低い比誘電率を有するため、SiO₂ を含む材料によって形成されている。これにより、Y 軸方向に隣り合う配線層 80 間の絶縁性が高められる。

[0084] なお、第 4 絶縁層 61、第 5 絶縁層 62、および第 7 絶縁層 52A の各々の厚さは任意に変更可能である。一例では、第 4 絶縁層 61 の厚さは第 5 絶縁層 62 の厚さよりも薄くてもよい。また一例では、第 4 絶縁層 61 の厚さは第 5 絶縁層 62 の厚さよりも厚くてもよい。また一例では、第 4 絶縁層 61 の厚さ、第 5 絶縁層 62 の厚さ、および第 7 絶縁層 52A の厚さは互いに等しくてもよい。また一例では、第 4 絶縁層 61 の厚さおよび第 5 絶縁層 62 の厚さは互いに等しく、かつ第 7 絶縁層 52A の厚さよりも薄くてもよい。また一例では、第 7 絶縁層 52A の厚さが第 6 絶縁層 63 の厚さと等しくてもよい。また一例では、第 7 絶縁層 52A の厚さが第 6 絶縁層 63 の厚さよりも薄くてもよい。

[0085] (端子の電界緩和構造)

図 7 に示すように、素子絶縁層 40 は、端子 P1 に生じる電界について、電界集中を緩和する構造を含む。一例では、素子絶縁層 40 は、端子 P1 の電界集中を緩和する構造として、第 3 絶縁層 73、第 8 絶縁層 91、および第 9 絶縁層 92 を含む。第 1 実施形態の第 1 チップ 14 は、図 3 に示す端子 P1 ~ P5 を含む。端子 P2 ~ P5 についても、端子 P1 と同様に形成され

ている。図7では、端子P1を用いて、電界集中を緩和する構造について説明する。

[0086] 第8絶縁層91は、第3絶縁層73上に積層されている。第9絶縁層92は、第8絶縁層91上に積層されている。第9絶縁層92上には端子P1が配置されている。第8絶縁層91および第9絶縁層92の双方は、半導体抵抗層20に対してZ軸方向に離隔して配置されている。

[0087] 端子P1に接する第9絶縁層92は、たとえばSiNを含む材料によって形成されている。このため、第9絶縁層92の比誘電率は、7程度である。図示された例においては、第9絶縁層92の厚さは、第8絶縁層91の厚さよりも薄い。また、第9絶縁層92の厚さは、第3絶縁層73の厚さよりも薄い。

[0088] 図示された例においては、第9絶縁層92の厚さは、第2絶縁層72の厚さと等しい。ここで、第9絶縁層92の厚さと第2絶縁層72の厚さとの差がたとえば第2絶縁層72の厚さの20%以内であれば、第9絶縁層92の厚さが第2絶縁層72の厚さと等しいといえる。第9絶縁層92の厚さは、第1絶縁層71の厚さよりも薄い。第9絶縁層92の厚さは、第4絶縁層61の厚さおよび第5絶縁層62の厚さの双方よりも厚い。第9絶縁層92の厚さは、第6絶縁層63の厚さよりも薄い。

[0089] 第8絶縁層91は、第9絶縁層92を介して端子P1に対してZ軸方向に離隔して配置されている。第8絶縁層91は、第9絶縁層92よりも低い比誘電率を有する。第8絶縁層91の比誘電率は、3.8よりも大きく7未満である。一例では、第8絶縁層91の比誘電率は、4よりも大きく7未満であってもよい。第1実施形態では、第8絶縁層91は、SiONを含む材料によって形成されている。このため、第8絶縁層91の比誘電率は、SiONのうちのN（窒素）の濃度に応じて調整される。図示された例においては、第8絶縁層91は、第3絶縁層73よりも薄い厚さを有する。第8絶縁層91の厚さは、第1絶縁層71の厚さと等しい。ここで、第8絶縁層91の厚さと第1絶縁層71の厚さとの差がたとえば第1絶縁層71の厚さの20

%以内であれば、第8絶縁層91の厚さが第1絶縁層71の厚さと等しいといえる。

[0090] 第3絶縁層73は、端子P1に対してZ軸方向に離隔して配置されている。第3絶縁層73は、上述のとおりSiO₂を含む材料によって形成されているため、第8絶縁層91よりも低い比誘電率を有する。

[0091] このように、端子P1～P5に対する電界集中を緩和する構造では、端子P1～P5から基板30に向かうにつれて、第9絶縁層92、第8絶縁層91、および第3絶縁層73の順に配置されている。つまり、端子P1～P5に対する電界集中を緩和する構造として、端子P1～P5から基板30に向けて比誘電率が低下するように構成されている。

[0092] なお、第8絶縁層91、第9絶縁層92、および第3絶縁層73の各々の厚さは任意に変更可能である。一例では、第8絶縁層91の厚さと第9絶縁層92の厚さとは互いに等しくてもよい。また一例では、第8絶縁層91の厚さは第9絶縁層92の厚さよりも厚くてもよい。また一例では、第8絶縁層91の厚さ、第9絶縁層92の厚さ、および第3絶縁層73の厚さは互いに等しくてもよい。

[0093] 端子P1～P5と配線層80との各々は、ビア93によって電氣的に接続されている。ビア93は、素子絶縁層40の厚さ方向となるZ軸方向に延びている。より詳細には、図7に示すように、ビア93は、第9絶縁層92、第8絶縁層91、第3絶縁層73、第2絶縁層72、第1絶縁層71、および第6絶縁層63をZ軸方向に貫通することによって、端子P1と配線層80との両方に接している。なお、図示していないが、ビア93による端子P2～P5と配線層80との各々の接続構造も同様である。ビア93は、たとえばビア90と同じ材料によって形成されている。

[0094] [半導体装置の製造方法]

図8～図16を参照して、半導体装置10の製造方法の一例について説明する。なお、便宜上、以下の説明において、半導体装置10の製造過程においても半導体装置10と共通の構成要素には同一符号を付して説明する。

[0095] 図8に示すように、半導体装置10の製造方法は、基板30を用意する工程と、基板30上に基板側絶縁層50を形成する工程と、を含む。

まず、基板30が用意される。基板30は、たとえばSi基板である。続いて、基板30上に基板側絶縁層50を形成する工程が実施される。一例では、この工程では、基板30上に第2基板側絶縁層52が形成された後、第1基板側絶縁層51および第2基板側絶縁層52が交互に積層される。第1基板側絶縁層51および第2基板側絶縁層52は、たとえば化学気相蒸着法(chemical vapor deposition: CVD)によって形成される。第1実施形態では、第1基板側絶縁層51はSiN膜であり、第2基板側絶縁層52はSiO₂膜である。また、基板側絶縁層50の最上層となる第2基板側絶縁層52は、第7絶縁層52Aを構成する。

[0096] 図9に示すように、半導体装置10の製造方法は、配線側絶縁層60の一部を形成する工程を含む。より詳細には、半導体装置10の製造方法は、第4絶縁層61を形成する工程と、第5絶縁層62を形成する工程と、を含む。

[0097] 第4絶縁層61を形成する工程では、たとえばCVDによって第7絶縁層52Aとなる第2基板側絶縁層52上に堆積するように第4絶縁層61が形成される。続いて、第5絶縁層62を形成する工程では、たとえばCVDによって第4絶縁層61上に堆積するように第5絶縁層62が形成される。第1実施形態では、第4絶縁層61はSiON膜であり、第5絶縁層62はSiN膜である。

[0098] 図10に示すように、半導体装置10の製造方法は、配線層80を形成する工程を含む。より詳細には、この工程では、たとえばスパッタ法によって第5絶縁層62上に第5絶縁層62の表面全体にわたり配線層80の材料膜であるメタル膜(図示略)が形成される。メタル膜は、たとえばTi、TiN、Ta、Ta₂N₅、Au、Ag、Cu、Al、およびWのうち1つまたは複数が適宜選択される。続いて、たとえばリソグラフィおよびエッチングによってメタル膜をパターンニングすることによって配線層80が形成される。

[0099] 図11に示すように、半導体装置10の製造方法は、配線側絶縁層60の残りを形成する工程と、抵抗側絶縁層70の一部を形成する工程と、を含む。

配線側絶縁層60の残りを形成する工程は、第6絶縁層63を形成する工程を含む。この工程では、たとえばCVDによって第5絶縁層62上および配線層80上に堆積するように第6絶縁層63が形成される。これにより、配線層80は、第5絶縁層62および第6絶縁層63によって覆われている。第1実施形態では、第6絶縁層63は、SiO₂膜である。

[0100] 抵抗側絶縁層70の一部を形成する工程は、第1絶縁層71を形成する工程と、第2絶縁層72を形成する工程と、を含む。より詳細には、第1絶縁層71を形成する工程では、たとえばCVDによって第6絶縁層63上に堆積するように第1絶縁層71が形成される。第2絶縁層72を形成する工程では、たとえばCVDによって第1絶縁層71上に堆積するように第2絶縁層72が形成される。第1実施形態では、第1絶縁層71はSiON膜であり、第2絶縁層72はSiN膜である。

[0101] 図12に示すように、半導体装置10の製造方法は、ビア90を形成する工程を含む。より詳細には、この工程では、まずたとえばエッチングによってビア用開口部801が形成される。ビア用開口部801は、第1絶縁層71および第2絶縁層72の双方をZ軸方向に貫通するとともに第6絶縁層63に対して配線層80の一部が露出するように形成される。続いて、たとえばスパッタ法によってビア用開口部801内に金属材料が充填される。金属材料は、たとえばTi、TiN、Ta、Ta₂N₅、Au、Ag、Cu、Al、およびWのうち1つまたは複数が適宜選択される。これにより、ビア90が形成される。

[0102] 図13に示すように、半導体装置10の製造方法は、半導体抵抗層20を形成する工程を含む。より詳細には、この工程では、まず第2絶縁層72上に半導体抵抗層20の材料膜である抵抗材料膜が形成される。抵抗材料膜は、第2絶縁層72の表面全体にわたり形成されている。抵抗材料膜は、たと

例えばCrSiによって形成されている。続いて、たとえばリソグラフィおよびエッチングによって抵抗材料膜がパターンングされることによって半導体抵抗層20が形成される。これにより、ビア90の上端が半導体抵抗層20に接続される。

[0103] 図14に示すように、半導体装置10の製造方法は、抵抗側絶縁層70の残りを形成する工程と、第8絶縁層91を形成する工程と、第9絶縁層92を形成する工程と、を含む。抵抗側絶縁層70の残りを形成する工程は、第3絶縁層73を形成する工程を含む。

[0104] 第3絶縁層73を形成する工程では、たとえばCVDによって第2絶縁層72上および半導体抵抗層20上に堆積するように第3絶縁層73が形成される。第8絶縁層91を形成する工程では、たとえばCVDによって第3絶縁層73上に堆積するように第8絶縁層91が形成される。第9絶縁層92を形成する工程では、たとえばCVDによって第8絶縁層91上に堆積するように第9絶縁層92が形成される。第1実施形態では、第3絶縁層73はSiO₂膜であり、第8絶縁層91はSiON膜であり、第9絶縁層92はSiN膜である。

[0105] 図15に示すように、半導体装置10の製造方法は、ビア93を形成する工程を含む。より詳細には、この工程では、まずたとえばエッチングによってビア用開口部802が形成される。ビア用開口部802は、第9絶縁層92、第8絶縁層91、第3絶縁層73、第2絶縁層72、および第1絶縁層71をZ軸方向に貫通するとともに第6絶縁層63に対して配線層80の一部が露出するように形成される。続いて、たとえばスパッタ法によってビア用開口部802内に金属材料が充填される。金属材料は、たとえばTi、TiN、Ta、Ta₂N₅、Au、Ag、Cu、Al、およびWのうち1つまたは複数が適宜選択される。これにより、ビア93が形成される。

[0106] 図16に示すように、半導体装置10の製造方法は、端子P1~P5を形成する工程を含む。より詳細には、この工程では、たとえばスパッタ法によって第9絶縁層92上に第9絶縁層92の表面全体にわたり端子P1~P5

の材料膜であるメタル膜（図示略）が形成される。メタル膜は、たとえばTi、TiN、Ta、Ta₂N₅、Au、Ag、Cu、Al、Ni、PdおよびWのうち1つまたは複数が適宜選択される。続いて、たとえばリソグラフィおよびエッチングによってメタル膜をパターニングすることによって端子P1～P5が形成される。なお、図16では、便宜上、端子P1～P5のうち端子P1のみを示している。

[0107] 図示していないが、半導体装置10の製造方法は、パッシベーション膜43を形成する工程を含む。より詳細には、この工程では、まずたとえばCVDによって第9絶縁層92上および端子P1～P5上にパッシベーション膜43の材料膜であるパッシベーション材料膜が形成される。続いて、たとえばエッチングによってパッシベーション材料膜のうち端子P1～P5を覆う部分の一部が除去される。つまり、端子P1～P5の一部は、パッシベーション材料膜から露出する。パッシベーション材料膜は、たとえばSiN膜である。これにより、パッシベーション膜43が形成される。以上の工程を経て、第1チップ14が形成される。

[0108] そして、図示していないが、半導体装置10の製造方法は、第1チップ14および第2チップ15を用意する工程と、リードフレームを用意する工程と、第1チップ14および第2チップ15をリードフレームに実装する工程と、ワイヤW1～W11を形成する工程と、封止樹脂16を形成する工程と、個片化する工程と、を含む。

[0109] リードフレームを用意する工程では、フレーム11、ダイパッド12、およびリード13A～13G（ともに図1参照）を含むリードフレームが用意される。

第1チップ14および第2チップ15をリードフレームに実装する工程では、第1チップ14がフレーム11のダイパッド部11A（図1参照）にダイボンディングされ、第2チップ15がダイパッド12にダイボンディングされる。

[0110] ワイヤW1～W11を形成する工程では、ワイヤボンディング装置によっ

てW1～W11が形成される。つまり、W1～W11は、ボンディングワイヤである。

封止樹脂16を形成する工程では、フレーム11、ダイパッド12、およびリード13A～13G、第1チップ14、第2チップ15、およびワイヤW1～W11を封止する樹脂層がたとえばトランスファモードによって形成される。樹脂層は、たとえば黒色のエポキシ樹脂が用いられる。なお、樹脂層は、たとえばコンプレッションモードによって形成されてもよい。

[0111] 個片化する工程では、たとえばダイシングによってリードフレームおよび樹脂層が切断される。これにより、フレーム11およびリード13A～13Gが形成される。以上の工程を経て、半導体装置10が製造される。

[0112] [効果]

第1実施形態の半導体装置10によれば、以下の効果が得られる。

(1-1) 半導体装置10は、素子表面41、および素子表面41とは反対側の素子裏面42を有する素子絶縁層40と、素子絶縁層40内に設けられた複数の半導体抵抗層20と、を備える。各半導体抵抗層20は、素子絶縁層40の厚さ方向（Z軸方向）において素子裏面42を向く抵抗裏面27と、抵抗裏面27とは反対側の抵抗表面28と、抵抗裏面27と抵抗表面28とを繋ぐ抵抗側面29と、を含む。素子絶縁層40は、第1絶縁層71と、第1絶縁層71上に積層され、第1絶縁層71よりも比誘電率が高い第2絶縁層72と、第2絶縁層72上に積層され、第2絶縁層72よりも比誘電率が低い第3絶縁層73と、を含む。各半導体抵抗層20は、第2絶縁層72上に積層されている。各半導体抵抗層20は、抵抗裏面27が第2絶縁層72に接した状態で第3絶縁層73内に設けられている。

[0113] この構成によれば、第3絶縁層73よりも比誘電率が高い第2絶縁層72に半導体抵抗層20の抵抗裏面27が接しているため、抵抗裏面27から素子絶縁層40の素子裏面42に向かう電界強度を低減することができる。したがって、半導体抵抗層20における電界集中を緩和することができる。

[0114] 加えて、半導体抵抗層20から第2絶縁層72および第1絶縁層71の順

に比誘電率が低くなる。つまり、半導体抵抗層 20 から素子絶縁層 40 の素子裏面 42 に向かう方向において、半導体抵抗層 20 から離れるにつれて徐々に比誘電率が低下する。これにより、半導体抵抗層 20 から素子絶縁層 40 の素子裏面 42 に向かう電界強度をさらに低減することができる。したがって、半導体抵抗層 20 における電界集中をさらに緩和することができる。

[0115] (1-2) 複数の半導体抵抗層 20 は、素子絶縁層 40 の厚さ方向 (Z 軸方向) に揃った状態で、当該厚さ方向と直交する方向 (第 1 実施形態では Y 軸方向) に離隔して配列されている。

[0116] この構成によれば、複数の半導体抵抗層 20 に対して共通の第 1 絶縁層 71 および第 2 絶縁層 72 によって、各半導体抵抗層 20 の電界集中の緩和の構造を実現できる。したがって、複数の半導体抵抗層 20 が Z 軸方向において異なる位置に設けられた構成と比較して、各半導体抵抗層 20 の電界集中の緩和の構造を容易に実現できる。

[0117] (1-3) 半導体装置 10 は、半導体抵抗層 20 に対して素子絶縁層 40 の素子裏面 42 側に設けられ、半導体抵抗層 20 と電氣的に接続された配線層 80 を備える。配線層 80 は、素子絶縁層 40 の厚さ方向 (Z 軸方向) において半導体抵抗層 20 を向く配線表面 82 と、配線表面 82 とは反対側の配線裏面 81 と、配線表面 82 と配線裏面 81 とを繋ぐ配線側面 83 と、を含む。素子絶縁層 40 は、第 4 絶縁層 61 と、第 4 絶縁層 61 上に積層され、第 4 絶縁層 61 よりも比誘電率が高い第 5 絶縁層 62 と、を含む。配線層 80 は、第 5 絶縁層 62 上に積層されており、配線裏面 81 が第 5 絶縁層 62 に接している。

[0118] この構成によれば、第 4 絶縁層 61 よりも比誘電率が高い第 5 絶縁層 62 に配線層 80 の配線裏面 81 が接しているため、配線裏面 81 から素子絶縁層 40 の素子裏面 42 に向かう電界強度を低減することができる。したがって、配線層 80 における電界集中を緩和することができる。

[0119] 加えて、配線層 80 から第 5 絶縁層 62 および第 4 絶縁層 61 の順に比誘電率が低くなる。つまり、配線層 80 から素子絶縁層 40 の素子裏面 42 に

向かう方向において、配線層 80 から離れるにつれて徐々に比誘電率が低下する。これにより、配線層 80 から素子絶縁層 40 の素子裏面 42 に向かう電界強度をさらに低減することができる。したがって、配線層 80 における電界集中をさらに緩和することができる。

[0120] (1-4) 素子絶縁層 40 は、第 5 絶縁層 62 と第 1 絶縁層 71 との間に設けられ、第 5 絶縁層 62 よりも比誘電率が低い第 6 絶縁層 63 を含む。第 1 絶縁層 71 は、第 6 絶縁層 63 上に積層されている。第 6 絶縁層 63 は、第 1 絶縁層 71 よりも比誘電率が低い。

[0121] この構成によれば、半導体抵抗層 20 から第 2 絶縁層 72、第 1 絶縁層 71、および第 6 絶縁層 63 の順に比誘電率が低くなる。つまり、半導体抵抗層 20 から素子絶縁層 40 の素子裏面 42 に向かう方向において、半導体抵抗層 20 から離れるにつれて徐々に比誘電率が低下する。これにより、半導体抵抗層 20 から素子絶縁層 40 の素子裏面 42 に向かう電界強度をさらに低減することができる。したがって、半導体抵抗層 20 における電界集中をさらに緩和することができる。

[0122] (1-5) 素子絶縁層 40 は、第 4 絶縁層 61 よりも比誘電率が低い第 7 絶縁層 52A を含む。第 4 絶縁層 61 は、第 7 絶縁層 52A 上に積層されている。

この構成によれば、配線層 80 から第 5 絶縁層 62、第 4 絶縁層 61、および第 7 絶縁層 52A の順に比誘電率が低くなる。つまり、配線層 80 から素子絶縁層 40 の素子裏面 42 に向かう方向において、配線層 80 から離れるにつれて徐々に比誘電率が低下する。これにより、配線層 80 から素子絶縁層 40 の素子裏面 42 に向かう電界強度をさらに低減することができる。したがって、配線層 80 における電界集中をさらに緩和することができる。

[0123] (1-6) 素子絶縁層 40 は、第 3 絶縁層 73 上に積層され、第 3 絶縁層 73 よりも比誘電率が高い第 8 絶縁層 91 と、第 8 絶縁層 91 上に積層され、第 8 絶縁層 91 よりも比誘電率が高い第 9 絶縁層 92 と、を含む。半導体装置 10 は、第 9 絶縁層 92 上に形成された電極パッドとしての端子 P1 ~

P5をさらに備える。

[0124] この構成によれば、第3絶縁層73および第8絶縁層91よりも比誘電率が高い第9絶縁層92に端子P1～P5が接しているため、端子P1～P5から素子絶縁層40の素子裏面42に向かう電界強度を低減することができる。したがって、端子P1～P5における電界集中を緩和することができる。

[0125] 加えて、端子P1～P5から第9絶縁層92、第8絶縁層91、および第3絶縁層73の順に比誘電率が低くなる。つまり、端子P1～P5から素子絶縁層40の素子裏面42に向かう方向において、配線層80から離れるにつれて徐々に比誘電率が低下する。これにより、端子P1～P5から素子絶縁層40の素子裏面42に向かう電界強度をさらに低減することができる。したがって、端子P1～P5における電界集中をさらに緩和することができる。

[0126] (1-7)半導体装置10は、素子絶縁層40と、素子絶縁層40内に設けられた複数の半導体抵抗層20と、素子絶縁層40内において半導体抵抗層20と電氣的に接続され、素子絶縁層40の厚さ方向(Z軸方向)において半導体抵抗層20と対向配置された配線層80と、を備える。配線層80は、素子絶縁層40の厚さ方向において半導体抵抗層20を向く配線表面82と、配線表面82とは反対側の配線裏面81と、配線表面82と配線裏面81とを繋ぐ配線側面83と、を含む。素子絶縁層40は、第4絶縁層61と、第4絶縁層61上に積層され、第4絶縁層61よりも比誘電率が高い第5絶縁層62と、第5絶縁層62上に積層され、第5絶縁層62よりも比誘電率が低い第6絶縁層63と、を含む。配線層80は、第5絶縁層62上に積層されており、配線裏面81が第5絶縁層62に接した状態で第6絶縁層63内に設けられている。

[0127] この構成によれば、第6絶縁層63よりも比誘電率が高い第5絶縁層62に配線層80の配線裏面81が接しているため、配線裏面81から素子絶縁層40の素子裏面42に向かう電界強度を低減することができる。したがっ

て、配線層 80 における電界集中を緩和することができる。

[0128] 加えて、配線層 80 から第 5 絶縁層 62 および第 4 絶縁層 61 の順に比誘電率が低くなる。つまり、配線層 80 から素子絶縁層 40 の素子裏面 42 に向かう方向において、配線層 80 から離れるにつれて徐々に比誘電率が低下する。これにより、配線層 80 から素子絶縁層 40 の素子裏面 42 に向かう電界強度をさらに低減することができる。したがって、配線層 80 における電界集中をさらに緩和することができる。

[0129] <第 2 実施形態>

図 17～図 19 を参照して、第 2 実施形態の半導体装置 10 について説明する。第 2 実施形態の半導体装置 10 は、第 1 実施形態の半導体装置 10 と比較して、電界緩和構造が異なる。以下では、第 1 実施形態と異なる点を詳細に説明し、第 1 実施形態と共通する構成要素には同一符号を付し、その説明を省略する。

[0130] 図 17 に示すように、第 2 実施形態の半導体装置 10 において、素子絶縁層 40 は、配線側絶縁層 60 および抵抗側絶縁層 70（ともに図 5 参照）に代えて、表面側絶縁層 100 を含む。より詳細には、素子絶縁層 40 は、第 1 実施形態における第 6 絶縁層 63 と第 1 絶縁層 71 との積層構造（図 5 参照）に代えて、第 1 絶縁層 71 の単層構造を備える。また、素子絶縁層 40 は、第 1 実施形態における第 3 絶縁層 73 と第 8 絶縁層 91 との積層構造（図 5 参照）に代えて、第 3 絶縁層 73 の単層構造を備える。つまり、表面側絶縁層 100 は、第 1 絶縁層 71、第 2 絶縁層 72、第 3 絶縁層 73、第 4 絶縁層 61、第 5 絶縁層 62、第 7 絶縁層 52A、および第 9 絶縁層 92 を含む。表面側絶縁層 100 は、抵抗側絶縁層 70 を含むともいえる。ここで、第 2 実施形態では、第 1 絶縁層 71 は「低誘電率絶縁層」に対応している。

[0131] 第 2 実施形態の半導体抵抗層 20 の電界緩和構造は、第 1 絶縁層 71 および第 2 絶縁層 72 を含み、第 6 絶縁層 63 を含んでいない。このため、第 2 実施形態では、第 1 絶縁層 71 は、第 5 絶縁層 62 上に積層されている。第

1 絶縁層 7 1 は、第 5 絶縁層 6 2 に接している。

[0132] 第 1 絶縁層 7 1 の厚さは、第 1 実施形態の第 1 絶縁層 7 1 の厚さよりも厚い。第 1 絶縁層 7 1 の厚さは、第 2 基板側絶縁層 5 2（第 7 絶縁層 5 2 A）の厚さよりも厚い。第 1 絶縁層 7 1 は、第 2 絶縁層 7 2 よりも低い比誘電率を有する。第 1 絶縁層 7 1 の比誘電率は、3.8 よりも大きく 7 未満である。一例では、第 1 絶縁層 7 1 の比誘電率は、4 よりも大きく 7 未満であってもよい。第 1 絶縁層 7 1 は、第 1 実施形態と同様に、SiON を含む材料によって形成されている。このため、第 1 絶縁層 7 1 の比誘電率は、SiON のうちの N（窒素）の濃度に応じて調整される。

[0133] 第 2 絶縁層 7 2 は、第 1 実施形態と同様に、半導体抵抗層 2 0 の抵抗裏面 2 7 と接する絶縁層であり、SiN を含む材料によって形成されている。第 2 絶縁層 7 2 の厚さは、第 1 実施形態と同様である。

[0134] このように、半導体抵抗層 2 0 に対する電界集中を緩和する構造では、半導体抵抗層 2 0 から基板 3 0 に向かうにつれて、第 2 絶縁層 7 2 および第 1 絶縁層 7 1 の順に配置されている。つまり、半導体抵抗層 2 0 に対する電界集中を緩和する構造として、半導体抵抗層 2 0 から基板 3 0 に向けて比誘電率が低下するように構成されている。

[0135] また、半導体抵抗層 2 0 を覆う第 3 絶縁層 7 3 は、第 2 絶縁層 7 2 よりも低い比誘電率を有する。第 2 実施形態では、第 3 絶縁層 7 3 は、第 1 実施形態とは異なり、SiON または SiC を含む材料によって形成されている。第 2 実施形態では、第 3 絶縁層 7 3 は、第 1 絶縁層 7 1 と同じく SiON を含む材料によって形成されている。つまり、第 3 絶縁層 7 3 の比誘電率と第 1 絶縁層 7 1 の比誘電率とは互いに等しい。

[0136] 図示された例においては、第 3 絶縁層 7 3 の厚さは、第 1 実施形態の第 3 絶縁層 7 3 の厚さよりも厚い。第 3 絶縁層 7 3 の厚さは、第 1 絶縁層 7 1 の厚さおよび第 2 絶縁層 7 2 の厚さの双方よりも厚い。

[0137] なお、第 1 絶縁層 7 1、第 2 絶縁層 7 2、および第 3 絶縁層 7 3 の各々の厚さは任意に変更可能である。一例では、第 1 絶縁層 7 1 の厚さ、第 2 絶縁

層 7 2 の厚さ、および第 3 絶縁層 7 3 の厚さは互いに等しくてもよい。また一例では、第 1 絶縁層 7 1 の厚さおよび第 2 絶縁層 7 2 の厚さは互いに等しく、かつ第 3 絶縁層 7 3 の厚さよりも薄くてもよい。また一例では、第 2 絶縁層 7 2 の厚さが第 1 絶縁層 7 1 の厚さよりも厚くてもよい。

[0138] 図 1 8 に示すように、第 2 実施形態の配線層 8 0 の電界緩和構造は、第 1 実施形態の配線層 8 0 の電界緩和構造と同じである。つまり、配線層 8 0 の電界緩和構造は、第 4 絶縁層 6 1、第 5 絶縁層 6 2、および第 7 絶縁層 5 2 A を含む。

[0139] 図 1 9 に示すように、第 2 実施形態の半導体装置 1 0 は、第 1 実施形態の第 3 絶縁層 7 3 と第 8 絶縁層 9 1 の積層構造（図 5 参照）に代えて、第 3 絶縁層 7 3 の単層構造を備える。このため、第 2 実施形態の端子 P 1 ~ P 5 の電界緩和構造は、第 3 絶縁層 7 3 および第 9 絶縁層 9 2 を含む。

[0140] 第 9 絶縁層 9 2 は、第 3 絶縁層 7 3 上に積層されている。第 9 絶縁層 9 2 は、第 3 絶縁層 7 3 に接している。第 9 絶縁層 9 2 は、第 1 実施形態と同様に、SiN を含む材料によって形成されている。第 3 絶縁層 7 3 は、第 2 実施形態と同様に、SiON を含む材料によって形成されている。つまり、第 3 絶縁層 7 3 の比誘電率は、第 9 絶縁層 9 2 の比誘電率よりも低い。

[0141] このように、端子 P 1 ~ P 5 に対する電界集中を緩和する構造では、端子 P 1 ~ P 5 から基板 3 0 に向かうにつれて、第 9 絶縁層 9 2 および第 3 絶縁層 7 3 の順に配置されている。つまり、端子 P 1 ~ P 5 に対する電界集中を緩和する構造として、端子 P 1 ~ P 5 から基板 3 0 に向けて比誘電率が低下するように構成されている。

[0142] [効果]

第 2 実施形態の半導体装置 1 0 によれば、第 1 実施形態の (1-1) ~ (1-3)、(1-5)、および (1-8) の効果に加え、以下の効果が得られる。

[0143] (2-1) 半導体装置 1 0 は、素子絶縁層 4 0 と、素子絶縁層 4 0 内に設けられた複数の半導体抵抗層 2 0 と、素子絶縁層 4 0 内において半導体抵抗

層 20 と電氣的に接続され、素子絶縁層 40 の厚さ方向（Z 軸方向）において半導体抵抗層 20 と対向配置された配線層 80 と、を備える。配線層 80 は、素子絶縁層 40 の厚さ方向において半導体抵抗層 20 を向く配線表面 82 と、配線表面 82 とは反対側の配線裏面 81 と、配線表面 82 と配線裏面 81 とを繋ぐ配線側面 83 と、を含む。素子絶縁層 40 は、第 4 絶縁層 61 と、第 4 絶縁層 61 上に積層され、第 4 絶縁層 61 よりも比誘電率が高い第 5 絶縁層 62 と、第 5 絶縁層 62 上に積層され、第 5 絶縁層 62 よりも比誘電率が低い第 1 絶縁層 71 と、を含む。配線層 80 は、第 5 絶縁層 62 上に積層されており、配線裏面 81 が第 5 絶縁層 62 に接した状態で第 1 絶縁層 71 内に設けられている。

[0144] この構成によれば、第 1 絶縁層 71 よりも比誘電率が高い第 5 絶縁層 62 に配線層 80 の配線裏面 81 が接しているため、配線裏面 81 から素子絶縁層 40 の素子裏面 42 に向かう電界強度を低減することができる。したがって、配線層 80 における電界集中を緩和することができる。

[0145] 加えて、配線層 80 から第 5 絶縁層 62 および第 4 絶縁層 61 の順に比誘電率が低くなる。つまり、配線層 80 から素子絶縁層 40 の素子裏面 42 に向かう方向において、配線層 80 から離れるにつれて徐々に比誘電率が低下する。これにより、配線層 80 から素子絶縁層 40 の素子裏面 42 に向かう電界強度をさらに低減することができる。したがって、配線層 80 における電界集中をさらに緩和することができる。

[0146] (2-2) 素子絶縁層 40 は、第 3 絶縁層 73 上に積層され、第 3 絶縁層 73 よりも比誘電率が高い高誘電率絶縁層としての第 9 絶縁層 92 を含む。半導体装置 10 は、第 9 絶縁層 92 上に形成された電極パッドとしての端子 P1~P5 をさらに備える。

[0147] この構成によれば、第 3 絶縁層 73 よりも比誘電率が高い第 9 絶縁層 92 に端子 P1~P5 が接しているため、端子 P1~P5 から素子絶縁層 40 の素子裏面 42 に向かう電界強度を低減することができる。したがって、端子 P1~P5 における電界集中を緩和することができる。

[0148] 加えて、端子P1～P5から第9絶縁層92および第3絶縁層73の順に比誘電率が低くなる。つまり、端子P1～P5から素子絶縁層40の素子裏面42に向かう方向において、配線層80から離れるにつれて徐々に比誘電率が低下する。これにより、端子P1～P5から素子絶縁層40の素子裏面42に向かう電界強度をさらに低減することができる。したがって、端子P1～P5における電界集中をさらに緩和することができる。

[0149] <第3実施形態>

図20～図22を参照して、第3実施形態の半導体装置10について説明する。第3実施形態の半導体装置10は、第1実施形態の半導体装置10と比較して、電界緩和構造が異なる。以下では、第1実施形態と異なる点を詳細に説明し、第1実施形態と共通する構成要素には同一符号を付し、その説明を省略する。

[0150] 図20に示すように、第3実施形態の半導体装置10において、素子絶縁層40は、第1実施形態の半導体装置10の配線側絶縁層60および抵抗側絶縁層70（ともに図5参照）に代えて、表面側絶縁層100を備える。より詳細には、素子絶縁層40は、第1実施形態における第6絶縁層63と第1絶縁層71との積層構造（図5参照）に代えて、第1絶縁層71の単層構造を備える。また、素子絶縁層40は、第1実施形態における第3絶縁層73と第8絶縁層91と第9絶縁層92との積層構造（図5参照）に代えて、第3絶縁層73の単層構造を備える。つまり、表面側絶縁層100は、第1絶縁層71、第2絶縁層72、第3絶縁層73、第4絶縁層61、第5絶縁層62、および第7絶縁層52Aを含む。表面側絶縁層100は、抵抗側絶縁層70を含むともいえる。ここで、第3実施形態では、第1絶縁層71は「低誘電率絶縁層」に対応している。

[0151] 図20に示すように、第3実施形態では、半導体抵抗層20の電界緩和構造は、第2実施形態の半導体抵抗層20の電界緩和構造と同じである。

図21に示すように、第3実施形態では、配線層80の電界緩和構造は、第1および第2実施形態の配線層80の電界緩和構造と同じである。

[0152] 図22に示すように、第3実施形態では、端子P1～P5の電界緩和構造が省略されている。つまり、第3実施形態の半導体装置10は、第8絶縁層91および第9絶縁層92（ともに図7参照）の双方を含んでいない。

[0153] 端子P1～P5は、第3絶縁層73上に形成されている。端子P1～P5は、第3絶縁層73に接している。第3絶縁層73は、第1実施形態と同様に、SiO₂を含む材料によって形成されている。端子P1～P5は、第1実施形態と同様に、パッシベーション膜43によって覆われている。第3実施形態によれば、第1実施形態の(1-1)～(1-3)、(1-5)、および(1-8)の効果と第2実施形態の(2-1)の効果とを得ることができる。

[0154] <変更例>

上記各実施形態は、以下のように変更して実施することができる。また、上記各実施形態および以下の変更例は、技術的に矛盾しない範囲で互いに組み合わせ実施することができる。

[0155] ・上記各実施形態において、半導体抵抗層20と配線層80とのZ軸方向の位置関係は任意に変更可能である。

一例では、図23に示すように、配線層80は、半導体抵抗層20よりも素子絶縁層40の素子表面41寄りに配置されていてもよい。換言すると、配線層80は、半導体抵抗層20と端子P1～P5とのZ軸方向の間に配置されていてもよい。

[0156] 配線層80のZ軸方向の位置の変更にともない、第4絶縁層61、第5絶縁層62、および第6絶縁層63のZ軸方向の位置が変更される。第4絶縁層61、第5絶縁層62、および第6絶縁層63のZ軸方向の位置の変更にともない、第1絶縁層71、第2絶縁層72、および第3絶縁層73のZ軸方向の位置が変更される。つまり、図示された例においては、配線側絶縁層60のZ軸方向の位置と抵抗側絶縁層70とZ軸方向の位置とが入れ替わっているといえる。

[0157] より詳細には、第4絶縁層61は、第3絶縁層73上に積層されている。

第5絶縁層62は第4絶縁層61上に積層されている。配線層80は第5絶縁層62上に形成されている。第6絶縁層63は、第5絶縁層62上に積層され、かつ配線層80を覆っている。ここで、第1実施形態と同様に、第4絶縁層61はSiONを含む材料によって形成されており、第5絶縁層62はSiNを含む材料によって形成されており、第6絶縁層63はSiO₂を含む材料によって形成されている。

[0158] 第1絶縁層71は、第7絶縁層52A上に積層されている。第2絶縁層72は第1絶縁層71上に積層されている。半導体抵抗層20は第2絶縁層72上に形成されている。第3絶縁層73は、第2絶縁層72上に積層され、かつ半導体抵抗層20を覆っている。ここで、第1実施形態と同様に、第1絶縁層71はSiONを含む材料によって形成されており、第2絶縁層72はSiNを含む材料によって形成されており、第3絶縁層73はSiO₂を含む材料によって形成されている。また、第7絶縁層52Aは、SiO₂を含む材料によって形成されている。

[0159] ビア90は、第4絶縁層61、第5絶縁層62、および第3絶縁層73を貫通して半導体抵抗層20と配線層80とを接続している。ビア93は、第9絶縁層92、第8絶縁層91、および第6絶縁層63を貫通して配線層80と端子P1～P5とを接続している。ビア90、93を構成する材料はたとえば第1実施形態と同様である。

[0160] 配線層80に対する電界集中を緩和する構造は、第5絶縁層62、第4絶縁層61、および第3絶縁層73を含む。配線層80に対する電界集中を緩和する構造では、配線層80から基板30に向かうにつれて、第5絶縁層62、第4絶縁層61、および第3絶縁層73の順に配置されている。つまり、配線層80に対する電界集中を緩和する構造として、配線層80から基板30に向けて比誘電率が低下するように構成されている。

[0161] 半導体抵抗層20に対する電界集中を緩和する構造は、第2絶縁層72、第1絶縁層71、および第7絶縁層52Aを含む。半導体抵抗層20に対する電界集中を緩和する構造では、半導体抵抗層20から基板30に向かうに

つれて、第2絶縁層72、第1絶縁層71、および第7絶縁層52Aの順に配置されている。つまり、半導体抵抗層20に対する電界集中を緩和する構造として、半導体抵抗層20から基板30に向けて比誘電率が低下するように構成されている。

[0162] 第8絶縁層91は、第6絶縁層63上に積層されている。第9絶縁層92は、第8絶縁層91上に積層されている。端子P1～P5は、第9絶縁層92上に形成されている。ここで、第1実施形態と同様に、第8絶縁層91はSiONを含む材料によって形成されており、第9絶縁層92はSiNを含む材料によって形成されている。

[0163] 端子P1～P5に対する電界集中を緩和する構造は、第9絶縁層92、第8絶縁層91、および第6絶縁層63を含む。端子P1～P5に対する電界集中を緩和する構造では、端子P1～P5から基板30に向かうにつれて、第9絶縁層92、第8絶縁層91、および第6絶縁層63の順に配置されている。つまり、端子P1～P5に対する電界集中を緩和する構造として、端子P1～P5から基板30に向けて比誘電率が低下するように構成されている。

[0164] この構成によれば、第1実施形態と同様に、半導体抵抗層20、配線層80、および端子P1～P5の各々の電界強度を低減することができる。したがって、半導体装置10（第1チップ14）内における電界集中の緩和を図ることができる。

[0165] ・上記各実施形態において、配線層80が半導体抵抗層20よりも上方に配置されたうえで、配線層80が端子P1～P5を構成していてもよい。

一例では、図24に示すように、配線層80は、素子絶縁層40の素子表面41上に形成されている。換言すると、素子絶縁層40の素子表面41を含む絶縁層は、第5絶縁層62によって構成されている。第5絶縁層62は、第4絶縁層61上に積層されている。第4絶縁層61は、第3絶縁層73上に積層されている。このように、図24に示す変更例においては、半導体装置10から第8絶縁層91および第9絶縁層92の双方が省略されている

- 。
- [0166] パッシベーション膜43は、第5絶縁層62および配線層80の双方を覆っている。一方、パッシベーション膜43は、配線層80のうち端子P1～P5を構成する部分を露出する開口部43Xを含む。換言すると、配線層80のうちパッシベーション膜43から露出した部分は、端子P1～P5を構成している。
- [0167] ビア90は、第5絶縁層62、第4絶縁層61、および第3絶縁層73をZ軸方向に貫通することによって、半導体抵抗層20と配線層80とを接続している。ビア90は、たとえば第1実施形態のビア90と同じ材料によって形成されている。図24に示す変更例においては、半導体装置10からビア93が省略されている。
- [0168] 第1絶縁層71は、第7絶縁層52A上に積層されている。第2絶縁層72は第1絶縁層71上に積層されている。半導体抵抗層20は第2絶縁層72上に形成されている。第3絶縁層73は、第2絶縁層72上に積層され、かつ半導体抵抗層20を覆っている。ここで、第1実施形態と同様に、第1絶縁層71はSiONを含む材料によって形成されており、第2絶縁層72はSiNを含む材料によって形成されており、第3絶縁層73はSiO₂を含む材料によって形成されている。また、第7絶縁層52Aは、SiO₂を含む材料によって形成されている。
- [0169] 配線層80に対する電界集中を緩和する構造は、第5絶縁層62、第4絶縁層61、および第3絶縁層73を含む。配線層80に対する電界集中を緩和する構造では、配線層80から基板30に向かうにつれて、第5絶縁層62、第4絶縁層61、および第3絶縁層73の順に配置されている。つまり、配線層80に対する電界集中を緩和する構造として、配線層80から基板30に向けて比誘電率が低下するように構成されている。
- [0170] 半導体抵抗層20に対する電界集中を緩和する構造は、第2絶縁層72、第1絶縁層71、および第7絶縁層52Aを含む。半導体抵抗層20に対する電界集中を緩和する構造では、半導体抵抗層20から基板30に向かうに

つれて、第2絶縁層72、第1絶縁層71、および第7絶縁層52Aの順に配置されている。つまり、半導体抵抗層20に対する電界集中を緩和する構造として、半導体抵抗層20から基板30に向けて比誘電率が低下するように構成されている。

[0171] この構成によれば、第1実施形態と同様に、半導体抵抗層20および配線層80の各々の電界強度を低減することができる。したがって、半導体装置10（第1チップ14）内における電界集中の緩和を図ることができる。

[0172] ・各実施形態において、複数の半導体抵抗層20の配列態様は任意に変更可能である。一例では、複数の半導体抵抗層20は、X軸方向において互いに離隔して配列されていてもよい。換言すると、複数の半導体抵抗層20は、第1チップ14の短手方向において互いに離隔して配列されていてもよい。また、複数の半導体抵抗層20の少なくとも1つは、素子絶縁層40の厚さ方向（Y軸方向）において他の半導体抵抗層20に対して異なった位置に配置されていてもよい。

[0173] ・各実施形態において、複数の半導体抵抗層20の構成は任意に変更可能である。また、半導体抵抗層20の個数は任意に変更可能である。

・各実施形態において、基板側絶縁層50の構成は任意に変更可能である。一例では、基板側絶縁層50から第1基板側絶縁層51を省略してもよい。この場合、たとえば基板側絶縁層50は、第2基板側絶縁層52の積層構造によって構成されている。

[0174] ・各実施形態において、平面視における第1チップ14の形状は任意に変更可能である。一例では、平面視における第1チップ14の形状は正方形であってもよい。

本開示で使用される「～上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「～上に」と「～の上方に」との意味を含む。したがって、「第1層が第2層上に形成される」という表現は、或る実施形態では第1層が第2層に接触して第2層上に直接配置され得るが、他の実施形態では第1層が第2層に接触することなく第2層の上方に配置され得る

ことが意図される。すなわち、「～上に」という用語は、第1層と第2層との間に他の層が形成される構造を排除しない。

[0175] 本開示で使用されるZ軸方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。したがって、本開示による種々の構造（たとえば、図1に示される構造）は、本明細書で説明されるZ軸方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。たとえば、X軸方向が鉛直方向であってもよく、またはY軸方向が鉛直方向であってもよい。

[0176] <付記>

上記実施形態および各変更例から把握できる技術的思想を以下に記載する。なお、限定する意図ではなく理解の補助のために、付記に記載した構成について実施形態中の対応する符号を括弧書きで示す。符号は、理解の補助のために例として示すものであり、各符号に記載された構成要素は、符号で示される構成要素に限定されるべきではない。

[0177] [付記1]

表面(41)、および前記表面(41)とは反対側の裏面(42)を有する素子絶縁層(40)と、

前記素子絶縁層(40)内に設けられた1または複数の半導体抵抗層(20)と、を備え、

前記半導体抵抗層(20)は、

前記素子絶縁層(40)の厚さ方向(Z軸方向)において前記裏面(42)を向く抵抗裏面(27)と、

前記抵抗裏面(27)とは反対側の抵抗表面(28)と、

前記抵抗裏面(27)と前記抵抗表面(28)とを繋ぐ抵抗側面(29)と、を含み、

前記素子絶縁層(40)は、

第1絶縁層(71)と、

前記第1絶縁層(71)上に積層され、前記第1絶縁層(71)よりも比

誘電率が高い第2絶縁層(72)と、

前記第2絶縁層(72)上に積層され、前記第2絶縁層(72)よりも比誘電率が低い第3絶縁層(73)と、を含み、

前記半導体抵抗層(20)は、前記第2絶縁層(72)上に積層されており、前記抵抗裏面(27)が前記第2絶縁層(72)に接した状態で前記第3絶縁層(73)内に設けられている

半導体装置(10)。

[0178] [付記2]

前記半導体抵抗層(20)は、複数設けられており、前記素子絶縁層(40)の厚さ方向(Z軸方向)に揃った状態で、当該厚さ方向(Z軸方向)と直交する方向(Y軸方向)に離隔して配列されている

付記1に記載の半導体装置。

[0179] [付記3]

前記半導体抵抗層(20)に対して前記素子絶縁層(40)の前記裏面(42)側に設けられ、前記半導体抵抗層(20)と電氣的に接続された配線層(80)を備える

付記1または2に記載の半導体装置。

[0180] [付記4]

前記配線層(80)は、

前記素子絶縁層(40)の厚さ方向(Z軸方向)において前記半導体抵抗層(20)を向く配線表面(82)と、

前記配線表面(82)とは反対側の配線裏面(81)と、

前記配線表面(82)と前記配線裏面(81)とを繋ぐ配線側面(83)と、を含み、

前記素子絶縁層(40)は、

第4絶縁層(61)と、

前記第4絶縁層(61)上に積層され、前記第4絶縁層(61)よりも比誘電率が高い第5絶縁層(62)と、を含み、

前記配線層（８０）は、前記第５絶縁層（６２）上に積層されており、前記配線裏面（８１）が前記第５絶縁層（６２）に接している

付記３に記載の半導体装置。

[0181] [付記５]

前記素子絶縁層（４０）は、前記第５絶縁層（６２）と前記第１絶縁層（７１）との間に設けられ、前記第５絶縁層（６２）よりも比誘電率が低い第６絶縁層（６３）を含み、

前記配線層（８０）は、前記第６絶縁層（６３）内に設けられている

付記４に記載の半導体装置。

[0182] [付記６]

前記素子絶縁層（４０）は、前記第５絶縁層（６２）と前記第１絶縁層（７１）との間に設けられ、前記第５絶縁層（６２）よりも比誘電率が低い第６絶縁層（６３）を含み、

前記第１絶縁層（７１）は、前記第６絶縁層（６３）上に積層されており、

、

前記第６絶縁層（６３）は、前記第１絶縁層（７１）よりも比誘電率が低い

付記４または５に記載の半導体装置。

[0183] [付記７]

前記第１絶縁層（７１）は、前記配線層（８０）に対して前記素子絶縁層（４０）の厚さ方向（Ｚ軸方向）において離隔して配置されている

付記６に記載の半導体装置。

[0184] [付記８]

前記第１絶縁層（７１）は、前記第５絶縁層（６２）上に積層され、かつ前記第５絶縁層（６２）よりも比誘電率が低く、

前記配線層（８０）は、前記第１絶縁層（７１）内に設けられている

付記４～７のいずれか１つに記載の半導体装置。

[0185] [付記９]

前記素子絶縁層（４０）は、前記第４絶縁層（６１）よりも比誘電率が低い第７絶縁層（５２Ａ）を含み、

前記第４絶縁層（６１）は、前記第７絶縁層（５２Ａ）上に積層されている

付記４～８のいずれか１つに記載の半導体装置。

[0186] [付記１０]

前記素子絶縁層（４０）は、

前記第３絶縁層（７３）上に積層され、前記第３絶縁層（７３）よりも比誘電率が高い第８絶縁層（９１）と、

前記第８絶縁層（９１）上に積層され、前記第８絶縁層（９１）よりも比誘電率が高い第９絶縁層（９２）と、を含み、

前記第９絶縁層（９２）上に形成された電極パッド（Ｐ１～Ｐ５）をさらに備える

付記１～９のいずれか１つに記載の半導体装置。

[0187] [付記１１]

前記素子絶縁層（４０）は、前記第３絶縁層（７３）上に積層され、前記第３絶縁層（３７）よりも比誘電率が高い高誘電率絶縁層（９２）を含み、

前記高誘電率絶縁層（９２）上に形成された電極パッド（Ｐ１～Ｐ５）をさらに備える

付記１～８のいずれか１つに記載の半導体装置。

[0188] [付記１２]

前記素子絶縁層（４０）の厚さ方向（Ｚ軸方向）に延び、前記半導体抵抗層（２０）と前記配線層（８０）とを電氣的に接続するビア（９０）をさらに備える

付記３～９のいずれか１つに記載の半導体装置。

[0189] [付記１３]

前記半導体抵抗層（２０）は、前記配線層（８０）よりも薄い厚さを有する

付記3～9のいずれか1つに記載の半導体装置。

[0190] [付記14]

前記素子絶縁層(40)の前記表面(41)に設けられ、前記半導体抵抗層(20)と電氣的に接続された配線層(80)と、

前記素子絶縁層(40)の前記表面(41)に設けられ、前記配線層(80)の一部を露出するように前記配線層(80)を覆うパッシベーション膜(43)と、を備える

付記1～13のいずれか1つに記載の半導体装置。

[0191] [付記15]

素子絶縁層(40)と、

前記素子絶縁層(40)内に設けられた1または複数の半導体抵抗層(20)と、

前記素子絶縁層(40)内において前記半導体抵抗層(20)と電氣的に接続され、前記素子絶縁層(40)の厚さ方向(Z軸方向)において前記半導体抵抗層(20)と対向配置された配線層(80)と、を備え、

前記配線層(80)は、

前記素子絶縁層(40)の厚さ方向(Z軸方向)において前記半導体抵抗層(20)を向く配線表面(82)と、

前記配線表面(82)とは反対側の配線裏面(81)と、

前記配線表面(82)と前記配線裏面(81)とを繋ぐ配線側面(83)と、を含み、

前記素子絶縁層(40)は、

第4絶縁層(61)と、

前記第4絶縁層(61)上に積層され、前記第4絶縁層(61)よりも比誘電率が高い第5絶縁層(62)と、

前記第5絶縁層(62)上に積層され、前記第5絶縁層(62)よりも比誘電率が低い低誘電率絶縁層(63/71)と、を含み、

前記配線層(80)は、前記第5絶縁層(62)上に積層されており、前

記配線裏面（８１）が前記第５絶縁層（６２）に接した状態で前記低誘電率絶縁層（６３／７１）内に設けられている

半導体装置（１０）。

[0192] [付記１６]

前記素子絶縁層（４０）は、前記第５絶縁層（６２）よりも比誘電率が低い第６絶縁層（６３）をさらに含み、

前記第６絶縁層（６３）は、前記第５絶縁層（６２）上に積層された前記低誘電率絶縁層である

付記１５に記載の半導体装置。

[0193] [付記１７]

前記素子絶縁層（４０）は、

前記第５絶縁層（６２）よりも比誘電率が低い第１絶縁層（７１）と、

前記第１絶縁層（７１）上に積層され、前記第１絶縁層（７１）よりも比誘電率が高い第２絶縁層（７２）と、を含み、

前記半導体抵抗層（２０）は、前記第２絶縁層（７２）上に積層されており、

前記第１絶縁層（７１）は、前記第５絶縁層（６２）上に積層された前記低誘電率絶縁層である

付記１５に記載の半導体装置。

[0194] [付記１８]

前記素子絶縁層（４０）は、前記第４絶縁層（６１）よりも比誘電率が低い第７絶縁層（５２Ａ）を含み、

前記第４絶縁層（６１）は、前記第７絶縁層（５２Ａ）上に積層されている

付記１５～１７のいずれか１つに記載の半導体装置。

[0195] [付記１９]

表面（４１）と、前記表面（４１）とは反対側の裏面（４２）を有する素子絶縁層（４０）と、

前記素子絶縁層（４０）内に設けられた１または複数の半導体抵抗層（２０）と、

前記素子絶縁層（４０）の前記表面（４１）上に設けられた電極パッド（Ｐ１～Ｐ５）と、

前記素子絶縁層（４０）の前記表面（４１）上に設けられ、前記電極パッド（Ｐ１～Ｐ５）を覆うパッシベーション膜（４３）と、を備え、

前記素子絶縁層（４０）は、

第８絶縁層（９１）と、

前記第８絶縁層（９１）上に積層され、前記第８絶縁層（９１）よりも比誘電率が高い第９絶縁層（９２）と、を含み、

前記電極パッド（Ｐ１～Ｐ５）は、前記第９絶縁層（９２）上に積層されており、前記第９絶縁層（９２）に接した状態で前記パッシベーション膜（４３）内に設けられている

半導体装置（１０）。

[0196] [付記２０]

前記素子絶縁層（４０）内に設けられた１または複数の半導体抵抗層（２０）と、

前記素子絶縁層（４０）内において前記半導体抵抗層（２０）と電氣的に接続され、前記素子絶縁層（４０）の厚さ方向（Ｚ軸方向）において前記半導体抵抗層（２０）と対向配置された配線層（８０）と、を備え、

前記電極パッド（Ｐ１～Ｐ５）は、前記配線層（８０）を介して前記半導体抵抗層（２０）と電氣的に接続されている

付記１９に記載の半導体装置。

[0197] [付記２１]

前記素子絶縁層（４０）は、前記第８絶縁層（９１）よりも比誘電率が低い第３絶縁層（７３）を含み、

前記第８絶縁層（９１）は、前記第３絶縁層（７３）上に積層されている

付記１９または２０に記載の半導体装置。

[0198] [付記 2 2]

基板 (30) をさらに備え、
前記素子絶縁層 (40) は、
前記基板 (30) 上に設けられた基板側絶縁層 (50) と、
前記基板側絶縁層 (50) 上に積層された表面側絶縁層 (100) と、を
含み、

前記表面側絶縁層 (100) は、前記第 1 絶縁層 (71)、前記第 2 絶縁層 (72)、および前記第 3 絶縁層 (73) を含む
付記 1～4 のいずれか 1 つに記載の半導体装置。

[0199] [付記 2 3]

基板 (30) をさらに備え、
前記素子絶縁層 (40) は、
前記基板 (30) 上に設けられた基板側絶縁層 (50) と、
前記基板側絶縁層 (50) 上に積層された表面側絶縁層 (100) と、を
含み、

前記表面側絶縁層 (100) は、前記第 1 絶縁層 (71)、前記第 2 絶縁層 (72)、前記第 3 絶縁層 (73)、前記第 4 絶縁層 (74)、および前記第 5 絶縁層 (75) を含む
付記 4 に記載の半導体装置。

[0200] [付記 2 4]

基板 (30) をさらに備え、
前記素子絶縁層 (40) は、
前記基板 (30) 上に設けられた基板側絶縁層 (50) と、
前記基板側絶縁層 (50) 上に積層された配線側絶縁層 (60) と、
前記配線側絶縁層 (60) 上に積層された抵抗側絶縁層 (70) と、を含
み、

前記抵抗側絶縁層 (70) は、前記第 1 絶縁層 (71)、前記第 2 絶縁層 (72)、および前記第 3 絶縁層 (73) を含み、

前記配線側絶縁層（60）は、前記第4絶縁層（61）、前記第5絶縁層（62）、および前記第6絶縁層（63）を含む付記5～7のいずれか1つに記載の半導体装置。

[0201] [付記25]

前記基板側絶縁層（50）は、複数の第1基板側絶縁層（51）と、複数の第2基板側絶縁層（52）と、を含み、前記複数の第1基板側絶縁層（51）と前記複数の第2基板側絶縁層（52）とは、1つずつ交互に積層されている付記22～24のいずれか1つに記載の半導体装置。

[0202] [付記26]

前記第1基板側絶縁層（51）は、SiNを含む材料によって形成され、前記第2基板側絶縁層（52）は、SiO₂を含む材料によって形成されている付記25に記載の半導体装置。

[0203] [付記27]

基板（30）をさらに備え、前記配線層（80）は、前記素子絶縁層（40）の厚さ方向（Z軸方向）において前記基板（30）から離隔して配置されている付記3～9のいずれか1つに記載の半導体装置。

[0204] [付記28]

前記第1絶縁層（71）は、SiONを含む材料によって形成され、前記第2絶縁層（72）は、SiNを含む材料によって形成され、前記第3絶縁層（73）は、SiO₂を含む材料によって形成されている付記1～14のいずれか1つに記載の半導体装置。

[0205] [付記29]

前記第4絶縁層（61）は、SiONを含む材料によって形成され、前記第5絶縁層（62）は、SiNを含む材料によって形成されている

付記4に記載の半導体装置。

[0206] [付記30]

前記第4絶縁層(61)は、SiONを含む材料によって形成され、
前記第5絶縁層(62)は、SiNを含む材料によって形成され、
前記第6絶縁層(63)は、SiO₂を含む材料によって形成されている
付記5～7のいずれか1つに記載の半導体装置。

[0207] [付記31]

前記第7絶縁層(52A)は、SiO₂を含む材料によって形成されている
付記9に記載の半導体装置。

[0208] [付記32]

前記第8絶縁層(91)は、SiONを含む材料によって形成され、
前記第9絶縁層(92)は、SiNを含む材料によって形成されている
付記10に記載の半導体装置。

[0209] [付記33]

前記半導体抵抗層(20)は、CrSiを含む
付記1～32のいずれか1つに記載の半導体装置。

[0210] [付記34]

前記第1絶縁層(71)は、前記第3絶縁層(73)よりも薄い厚さを有する
付記1～14のいずれか1つに記載の半導体装置。

[0211] [付記35]

前記第2絶縁層(72)は、前記第1絶縁層(71)よりも薄い厚さを有する
付記1～14のいずれか1つに記載の半導体装置。

[0212] [付記36]

前記第5絶縁層(62)は、前記第2絶縁層(72)よりも薄い厚さを有する
付記4～8のいずれか1つに記載の半導体装置。

[0213] [付記 3 7]

前記第 4 絶縁層 (6 1) は、前記第 2 絶縁層 (7 2) よりも薄い厚さを有する

付記 4 ~ 8 のいずれか 1 つに記載の半導体装置。

[0214] [付記 3 8]

前記第 2 絶縁層 (7 2) の厚さは、前記配線層 (8 0) の厚さ以下である付記 3 ~ 9 のいずれか 1 つに記載の半導体装置。

[0215] [付記 3 9]

前記第 2 絶縁層 (7 2) は、前記半導体抵抗層 (2 0) よりも厚い厚さを有する

付記 1 ~ 1 4 のいずれか 1 つに記載の半導体装置。

[0216] [付記 4 0]

前記第 6 絶縁層 (6 3) は、前記第 4 絶縁層 (6 1) および前記第 5 絶縁層 (6 2) の双方よりも厚い厚さを有する

付記 6 または 7 に記載の半導体装置。

[0217] [付記 4 1]

前記第 6 絶縁層 (6 3) は、前記第 1 絶縁層 (7 1) よりも厚い厚さを有する

付記 6 または 7 に記載の半導体装置。

符号の説明

[0218] 1 0 …半導体装置

1 1 …フレーム

1 1 A …第 1 ダイパッド部

1 1 B …第 1 リード部

1 2 …ダイパッド

1 3 A ~ 1 3 G …リード

1 4 …第 1 チップ

1 4 A ~ 1 4 D …第 1 ~ 第 4 抵抗回路

1 5 …第2チップ
1 5 A …電圧検出回路
1 6 …封止樹脂
1 6 A ～ 1 6 D …第1 ～ 第4樹脂側面
2 0 …半導体抵抗層
2 1 ～ 2 5 …配線
2 7 …抵抗裏面
2 8 …抵抗表面
2 9 …抵抗側面
3 0 …基板
4 0 …素子絶縁層
4 1 …素子表面
4 2 …素子裏面
4 3 …パッシベーション膜
4 3 X …開口部
5 0 …基板側絶縁層
5 1 …第1基板側絶縁層
5 2 …第2基板側絶縁層
5 2 A …第7絶縁層
6 0 …配線側絶縁層
6 1 …第4絶縁層
6 2 …第5絶縁層
6 3 …第6絶縁層
7 0 …抵抗側絶縁層
7 1 …第1絶縁層
7 2 …第2絶縁層
7 3 …第3絶縁層
8 0 …配線層

- 8 1 …配線裏面
- 8 2 …配線表面
- 8 3 …配線側面
- 9 0 …ビア
- 9 1 …第8絶縁層
- 9 2 …第9絶縁層
- 9 3 …ビア
- 1 0 0 …表面側絶縁層
- 8 0 1, 8 0 2 …ビア用開口部
- W 1 ~ W 1 1 …ワイヤ
- P 1 ~ P 5 …端子
- Q 1 ~ Q 9 …端子

請求の範囲

- [請求項1] 表面、および前記表面とは反対側の裏面を有する素子絶縁層と、前記素子絶縁層内に設けられた1または複数の半導体抵抗層と、を備え、
前記半導体抵抗層は、
前記素子絶縁層の厚さ方向において前記裏面を向く抵抗裏面と、
前記抵抗裏面とは反対側の抵抗表面と、
前記抵抗裏面と前記抵抗表面とを繋ぐ抵抗側面と、
を含み、
前記素子絶縁層は、
第1絶縁層と、
前記第1絶縁層上に積層され、前記第1絶縁層よりも比誘電率が高い第2絶縁層と、
前記第2絶縁層上に積層され、前記第2絶縁層よりも比誘電率が低い第3絶縁層と、
を含み、
前記半導体抵抗層は、前記第2絶縁層上に積層されており、前記抵抗裏面が前記第2絶縁層に接した状態で前記第3絶縁層内に設けられている
半導体装置。
- [請求項2] 前記半導体抵抗層は、複数設けられており、前記素子絶縁層の厚さ方向に揃った状態で、当該厚さ方向と直交する方向に離隔して配列されている
請求項1に記載の半導体装置。
- [請求項3] 前記半導体抵抗層に対して前記素子絶縁層の前記裏面側に設けられ、前記半導体抵抗層と電氣的に接続された配線層を備える
請求項1または2に記載の半導体装置。
- [請求項4] 前記配線層は、

前記素子絶縁層の厚さ方向において前記半導体抵抗層を向く配線表面と、

前記配線表面とは反対側の配線裏面と、

前記配線表面と前記配線裏面とを繋ぐ配線側面と、

を含み、

前記素子絶縁層は、

第4絶縁層と、

前記第4絶縁層上に積層され、前記第4絶縁層よりも比誘電率が高い第5絶縁層と、

を含み、

前記配線層は、前記第5絶縁層上に積層されており、前記配線裏面が前記第5絶縁層に接している

請求項3に記載の半導体装置。

[請求項5]

前記素子絶縁層は、前記第5絶縁層と前記第1絶縁層との間に設けられ、前記第5絶縁層よりも比誘電率が低い第6絶縁層を含み、

前記配線層は、前記第6絶縁層内に設けられている

請求項4に記載の半導体装置。

[請求項6]

前記素子絶縁層は、前記第5絶縁層と前記第1絶縁層との間に設けられ、前記第5絶縁層よりも比誘電率が低い第6絶縁層を含み、

前記第1絶縁層は、前記第6絶縁層上に積層されており、

前記第6絶縁層は、前記第1絶縁層よりも比誘電率が低い

請求項4または5に記載の半導体装置。

[請求項7]

前記第1絶縁層は、前記配線層に対して前記素子絶縁層の厚さ方向において離隔して配置されている

請求項6に記載の半導体装置。

[請求項8]

前記第1絶縁層は、前記第5絶縁層上に積層され、かつ前記第5絶縁層よりも比誘電率が低く、

前記配線層は、前記第1絶縁層内に設けられている

請求項4～7のいずれか一項に記載の半導体装置。

[請求項9] 前記素子絶縁層は、前記第4絶縁層よりも比誘電率が低い第7絶縁層を含み、

前記第4絶縁層は、前記第7絶縁層上に積層されている
請求項4～8のいずれか一項に記載の半導体装置。

[請求項10] 前記素子絶縁層は、
前記第3絶縁層上に積層され、前記第3絶縁層よりも比誘電率が高い第8絶縁層と、

前記第8絶縁層上に積層され、前記第8絶縁層よりも比誘電率が高い第9絶縁層と、
を含み、

前記第9絶縁層上に形成された電極パッドをさらに備える
請求項1～9のいずれか一項に記載の半導体装置。

[請求項11] 前記素子絶縁層は、前記第3絶縁層上に積層され、前記第3絶縁層よりも比誘電率が高い高誘電率絶縁層を含み、

前記高誘電率絶縁層上に形成された電極パッドをさらに備える
請求項1～8のいずれか一項に記載の半導体装置。

[請求項12] 前記素子絶縁層の厚さ方向に延び、前記半導体抵抗層と前記配線層とを電氣的に接続するビアをさらに備える

請求項3～9のいずれか一項に記載の半導体装置。

[請求項13] 前記半導体抵抗層は、前記配線層よりも薄い厚さを有する

請求項3～9のいずれか一項に記載の半導体装置。

[請求項14] 前記素子絶縁層の前記表面に設けられ、前記半導体抵抗層と電氣的に接続された配線層と、

前記素子絶縁層の前記表面に設けられ、前記配線層の一部を露出するように前記配線層を覆うパッシベーション膜と、
を備える

請求項1～13のいずれか一項に記載の半導体装置。

[請求項15]

素子絶縁層と、
前記素子絶縁層内に設けられた1または複数の半導体抵抗層と、
前記素子絶縁層内において前記半導体抵抗層と電氣的に接続され、
前記素子絶縁層の厚さ方向において前記半導体抵抗層と対向配置された配線層と、
を備え、
前記配線層は、
前記素子絶縁層の厚さ方向において前記半導体抵抗層を向く配線表面と、
前記配線表面とは反対側の配線裏面と、
前記配線表面と前記配線裏面とを繋ぐ配線側面と、
を含み、
前記素子絶縁層は、
第4絶縁層と、
前記第4絶縁層上に積層され、前記第4絶縁層よりも比誘電率が高い第5絶縁層と、
前記第5絶縁層上に積層され、前記第5絶縁層よりも比誘電率が低い低誘電率絶縁層と、
を含み、
前記配線層は、前記第5絶縁層上に積層されており、前記配線裏面が前記第5絶縁層に接した状態で前記低誘電率絶縁層内に設けられている
半導体装置。

[請求項16]

前記素子絶縁層は、前記第5絶縁層よりも比誘電率が低い第6絶縁層をさらに含み、
前記第6絶縁層は、前記第5絶縁層上に積層された前記低誘電率絶縁層である
請求項15に記載の半導体装置。

[請求項17]

前記素子絶縁層は、

前記第5絶縁層よりも比誘電率が低い第1絶縁層と、

前記第1絶縁層上に積層され、前記第1絶縁層よりも比誘電率が高い第2絶縁層と、

を含み、

前記半導体抵抗層は、前記第2絶縁層上に積層されており、

前記第1絶縁層は、前記第5絶縁層上に積層された前記低誘電率絶縁層である

請求項15に記載の半導体装置。

図1

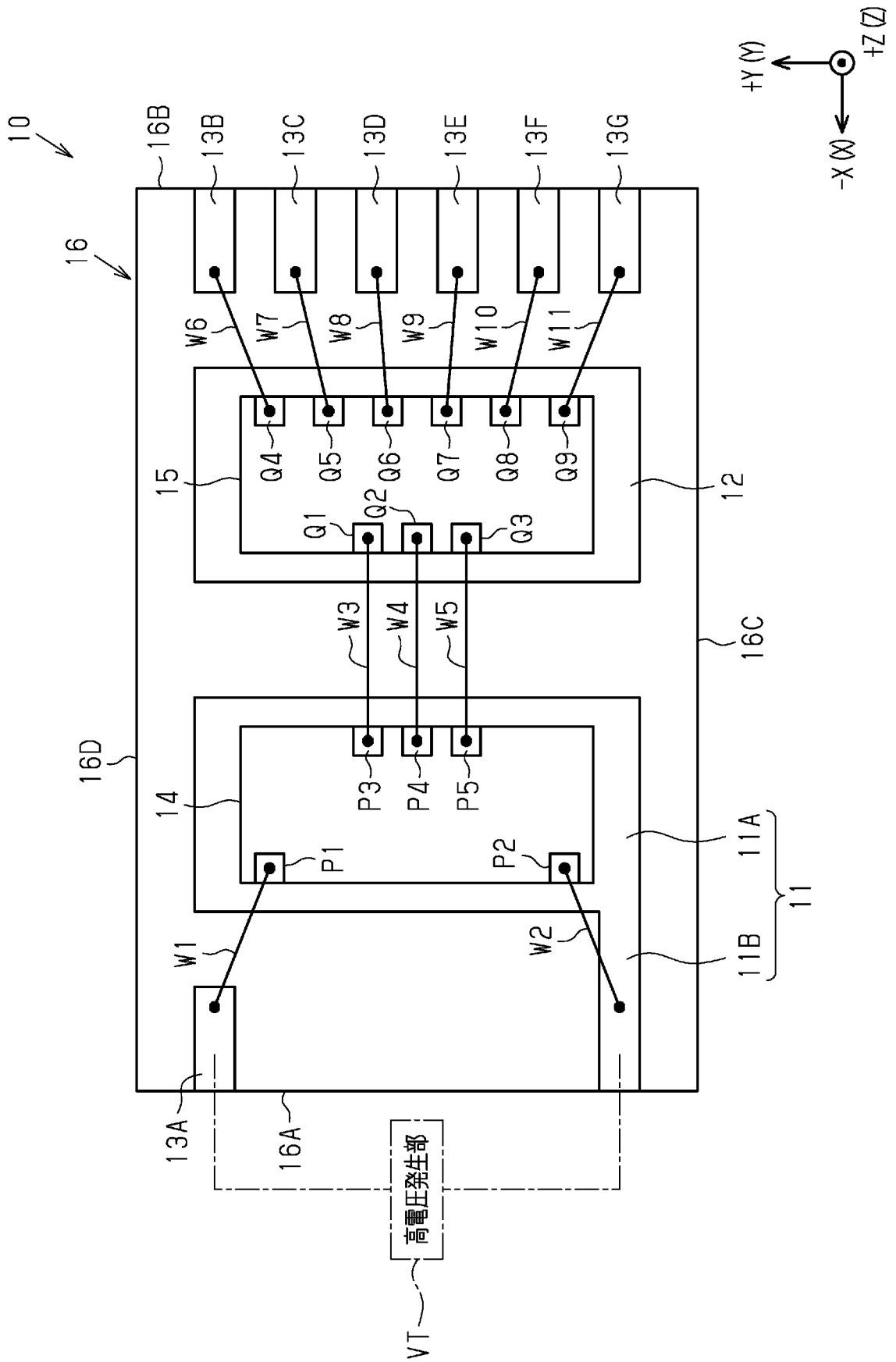
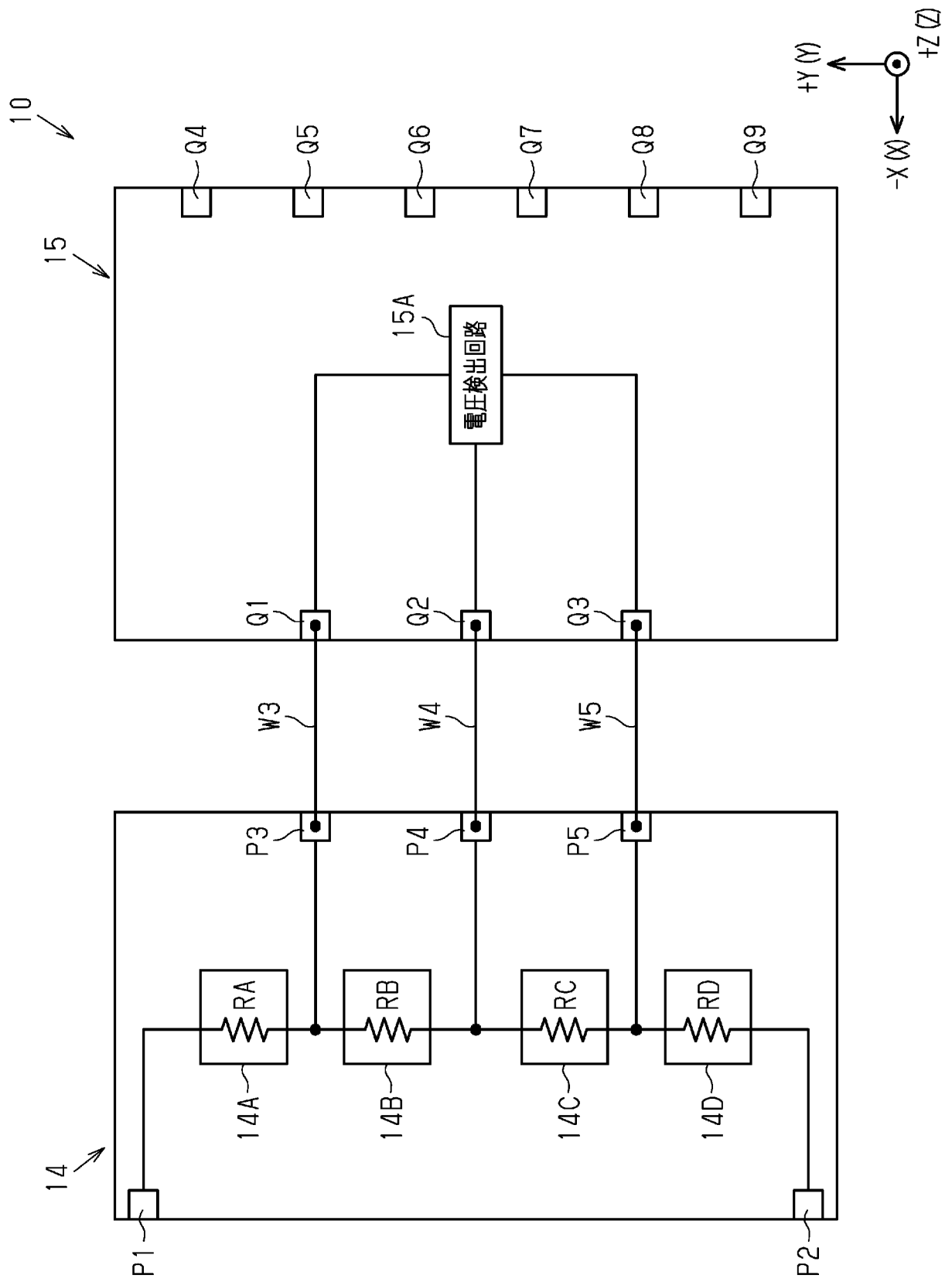


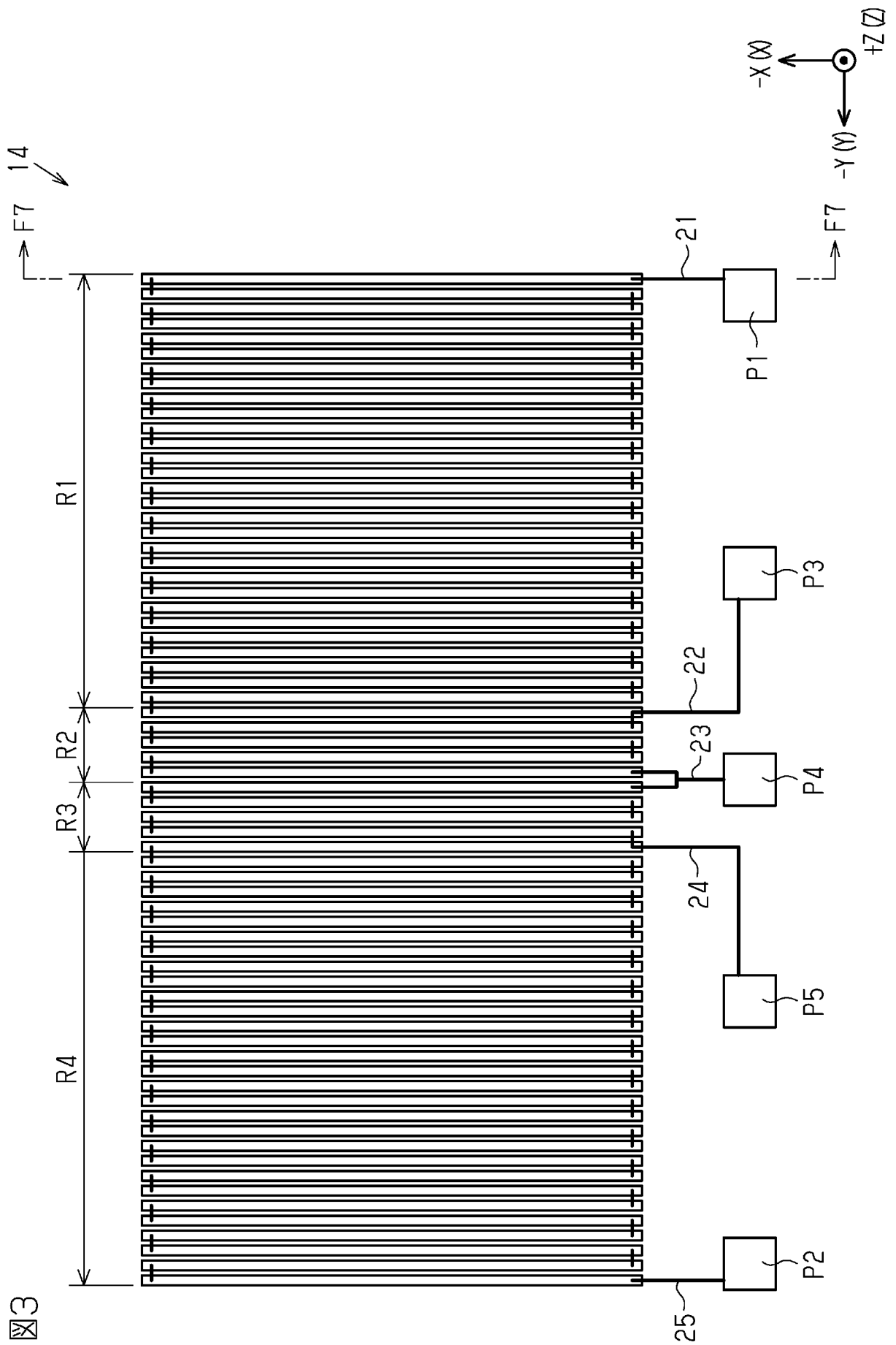
図1

[図2]



[図2]

[図3]



[図3]

[図4]

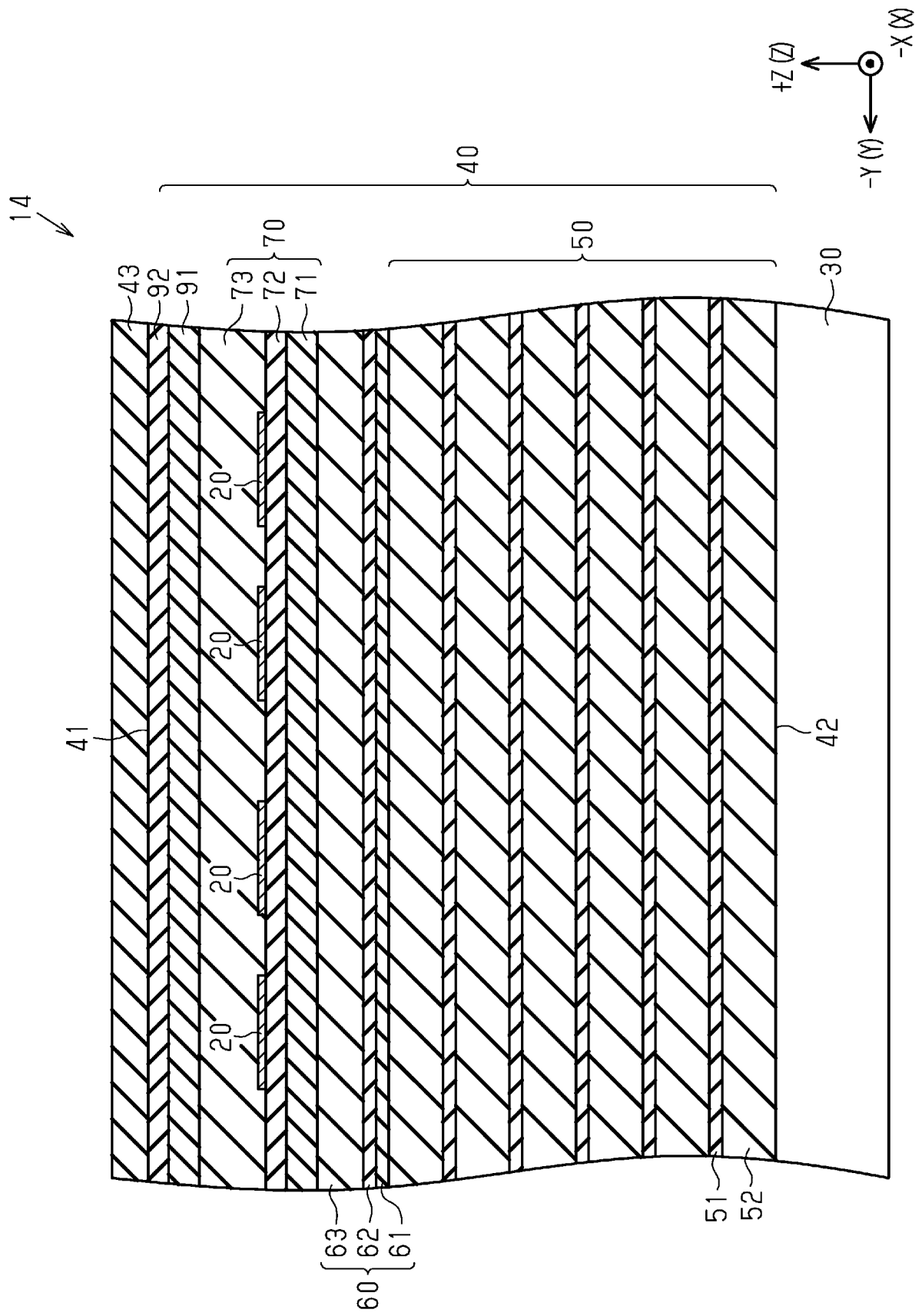


図4

[図5]

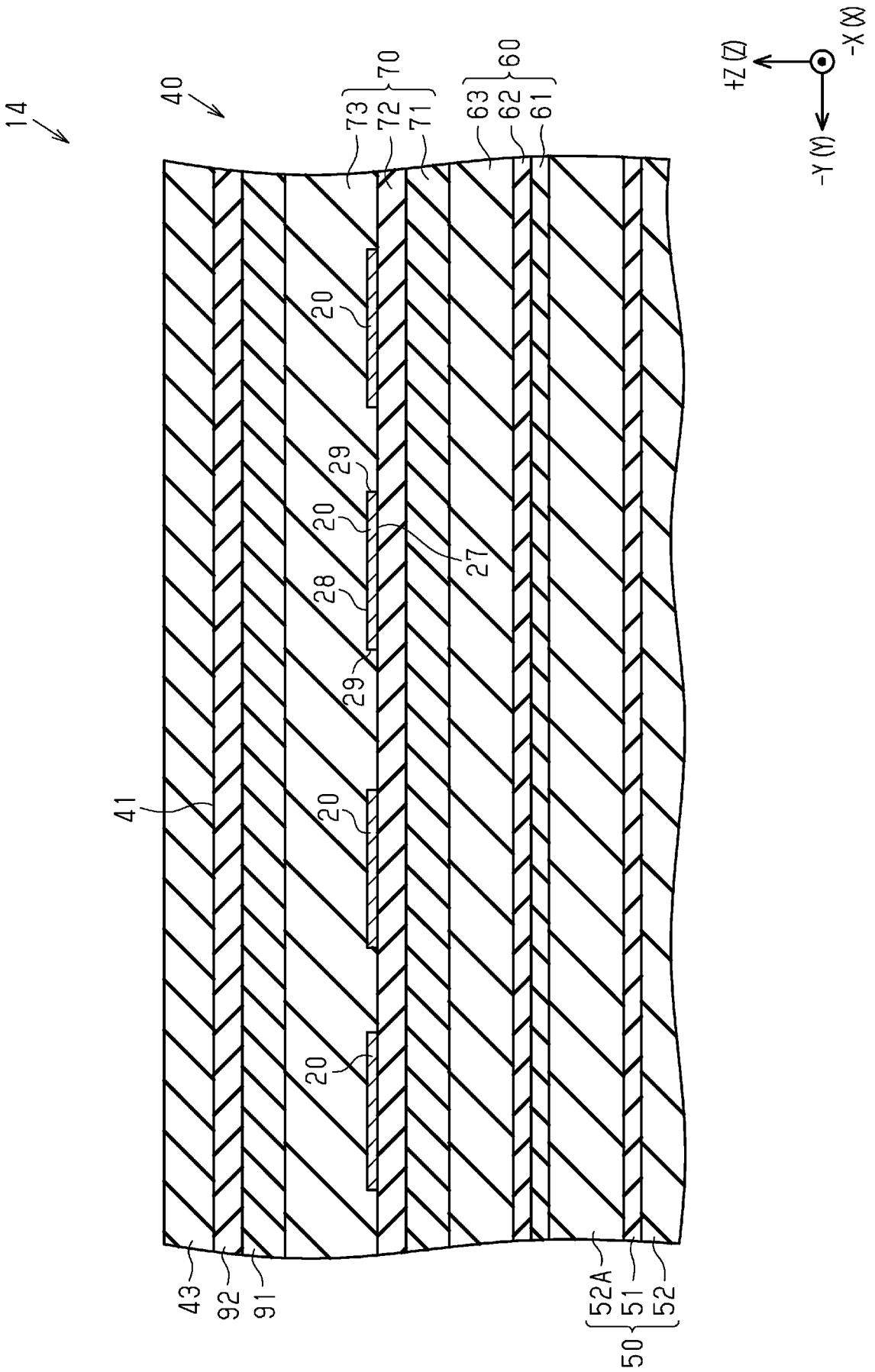
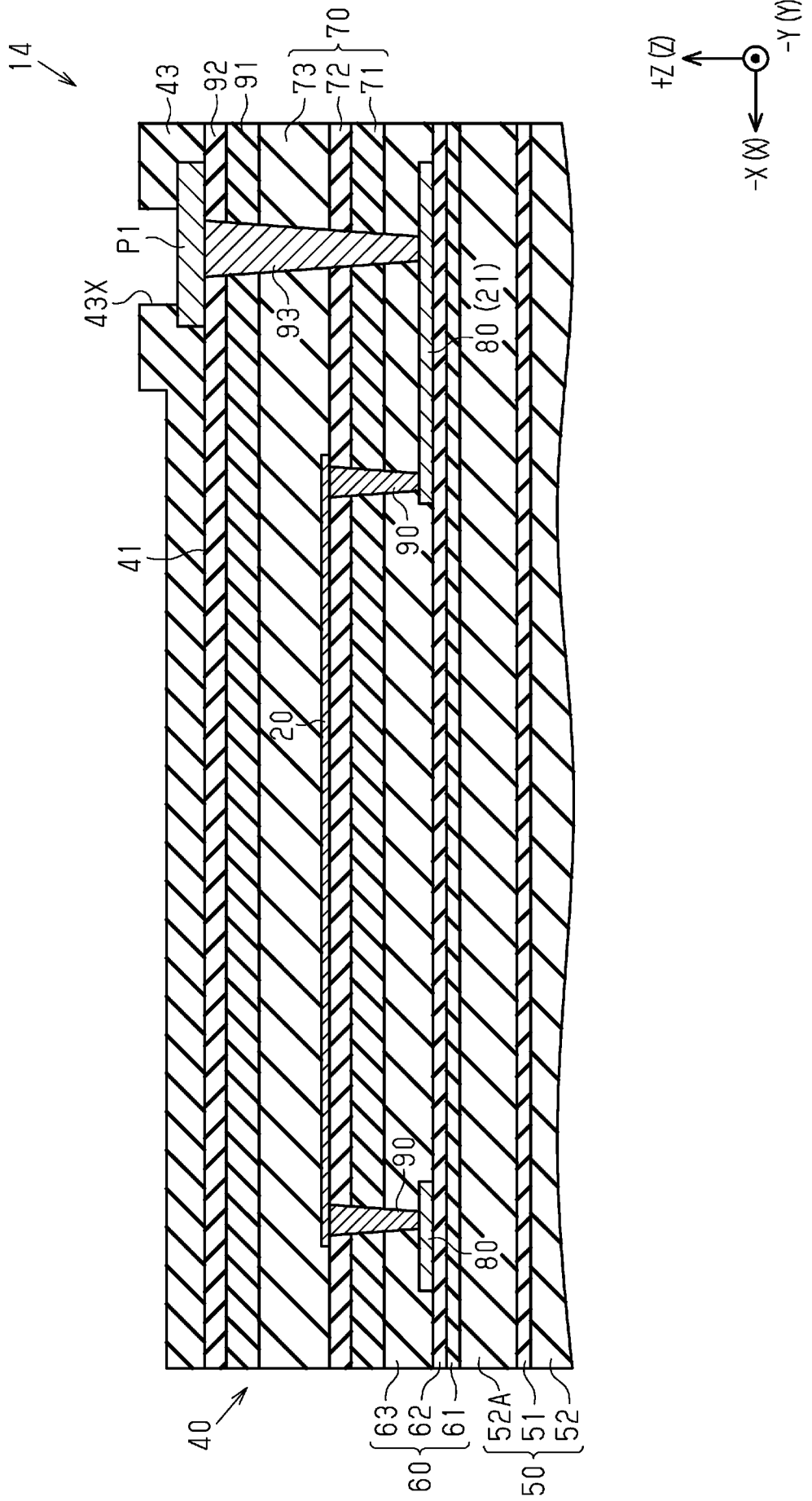


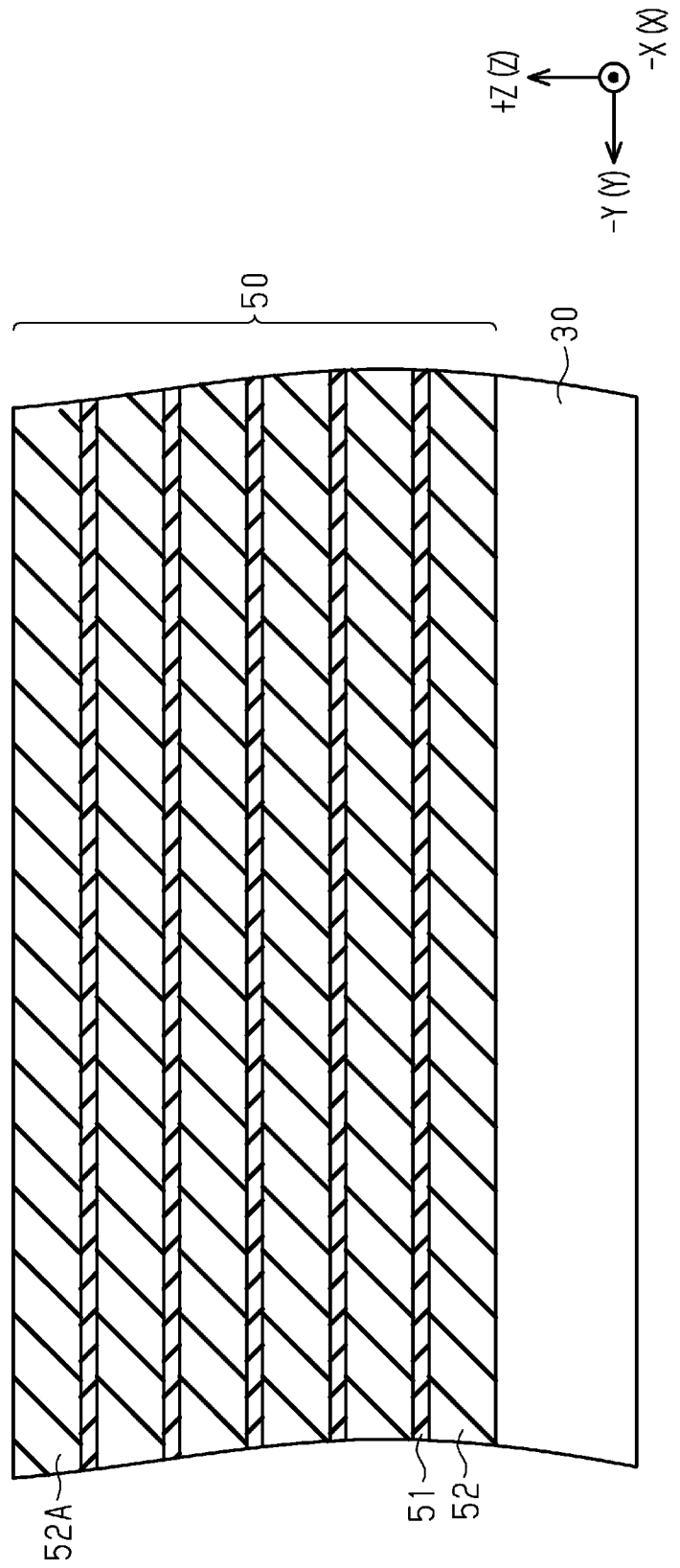
図5

[図7]

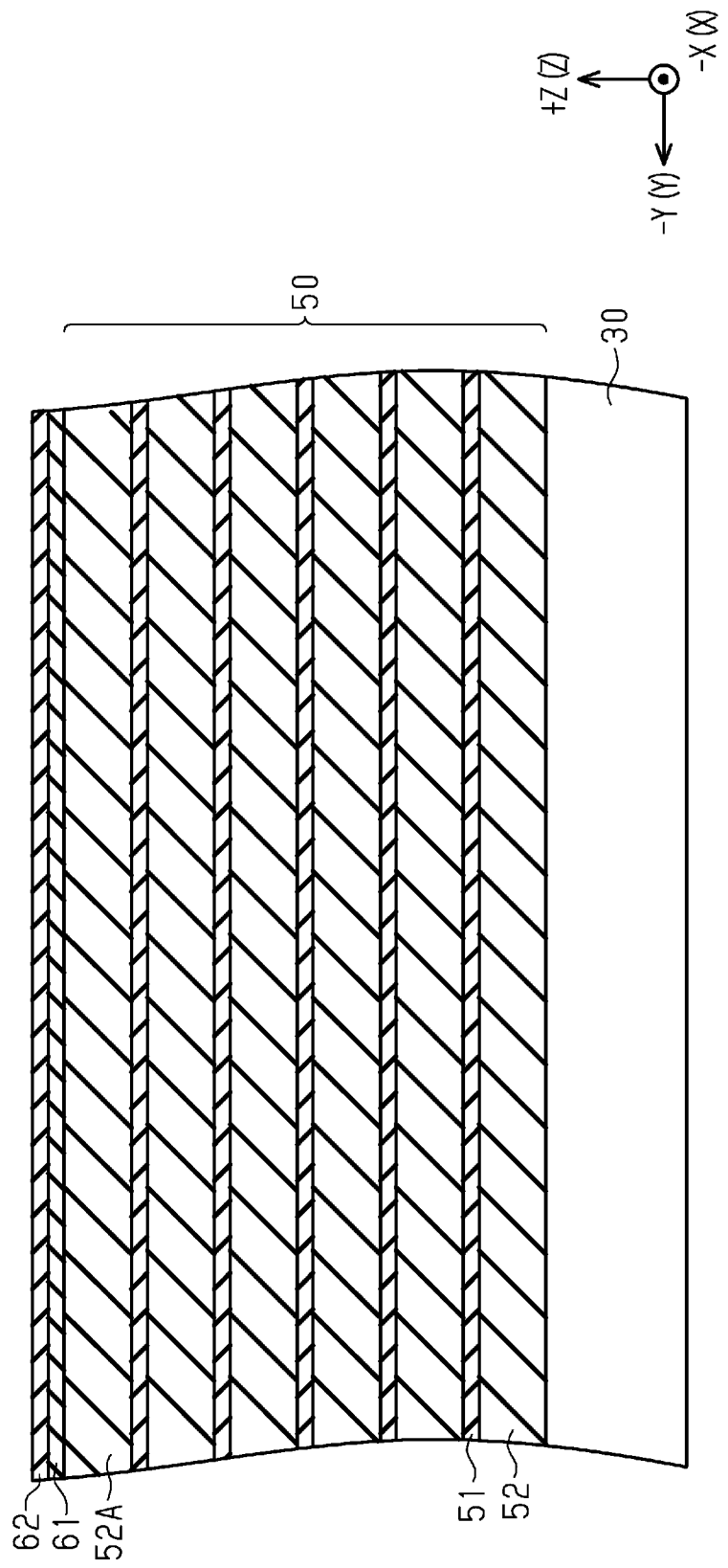
図7



[図8]



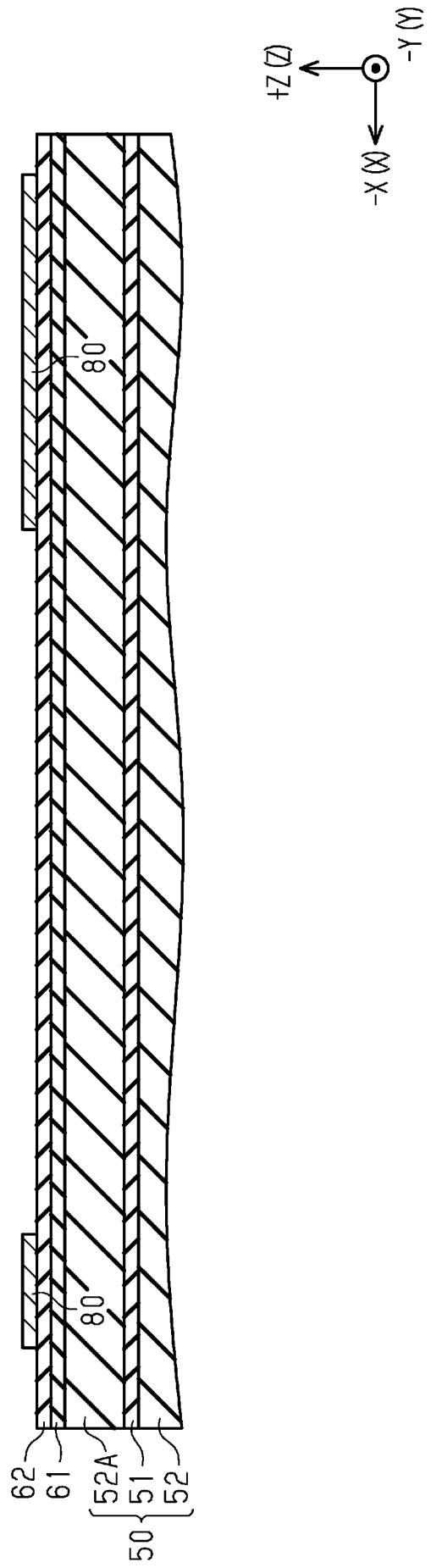
[図9]



[図9]

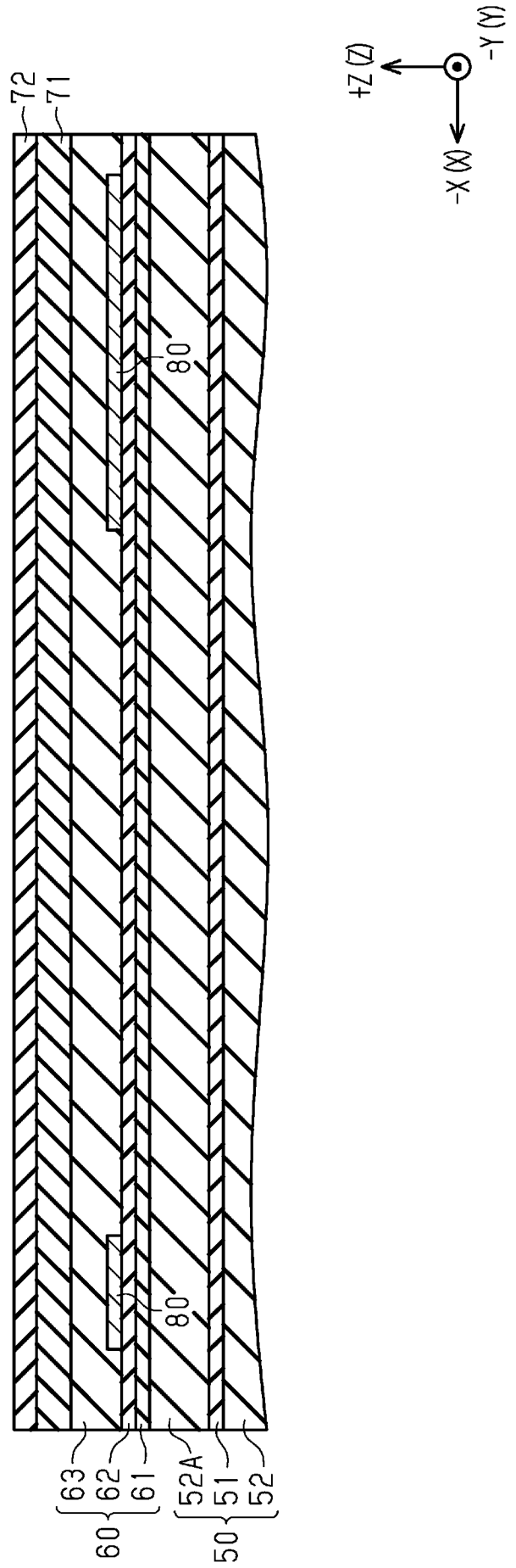
[図10]

図10



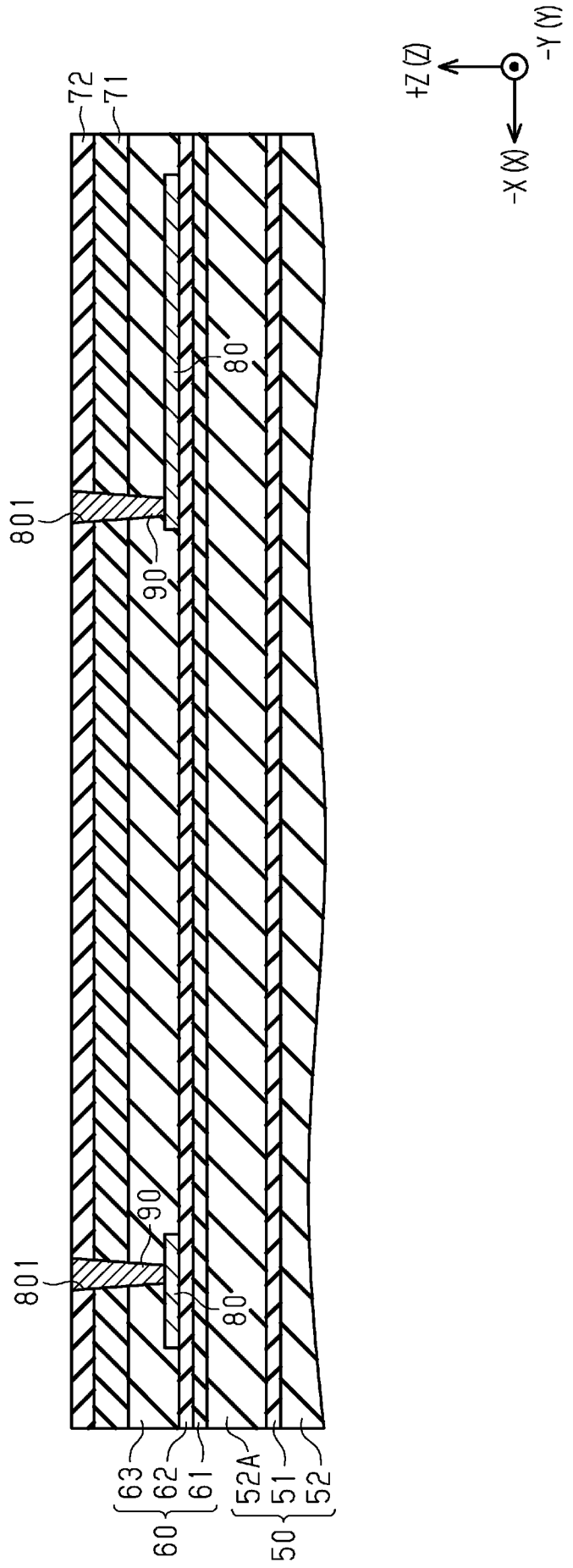
[図11]

図11



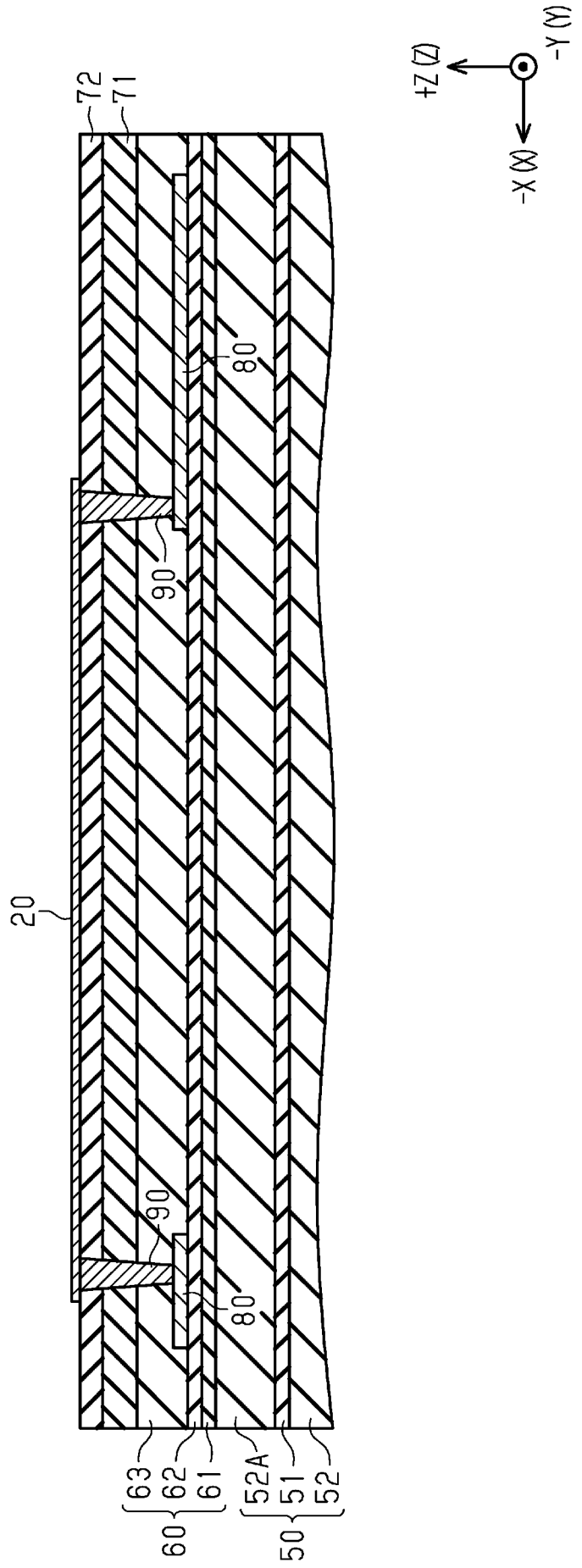
[図12]

図12



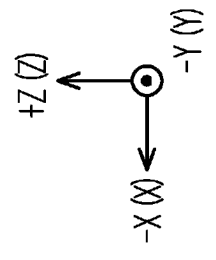
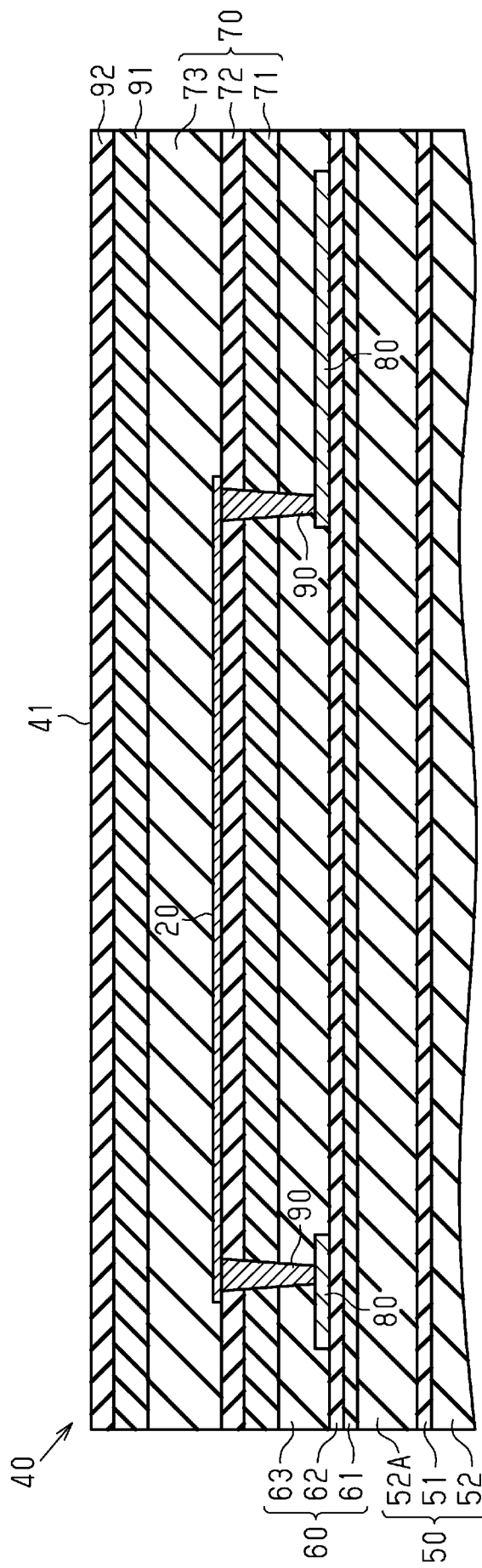
[図13]

図13



[図14]

図14



[図16]

図16

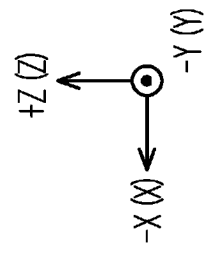
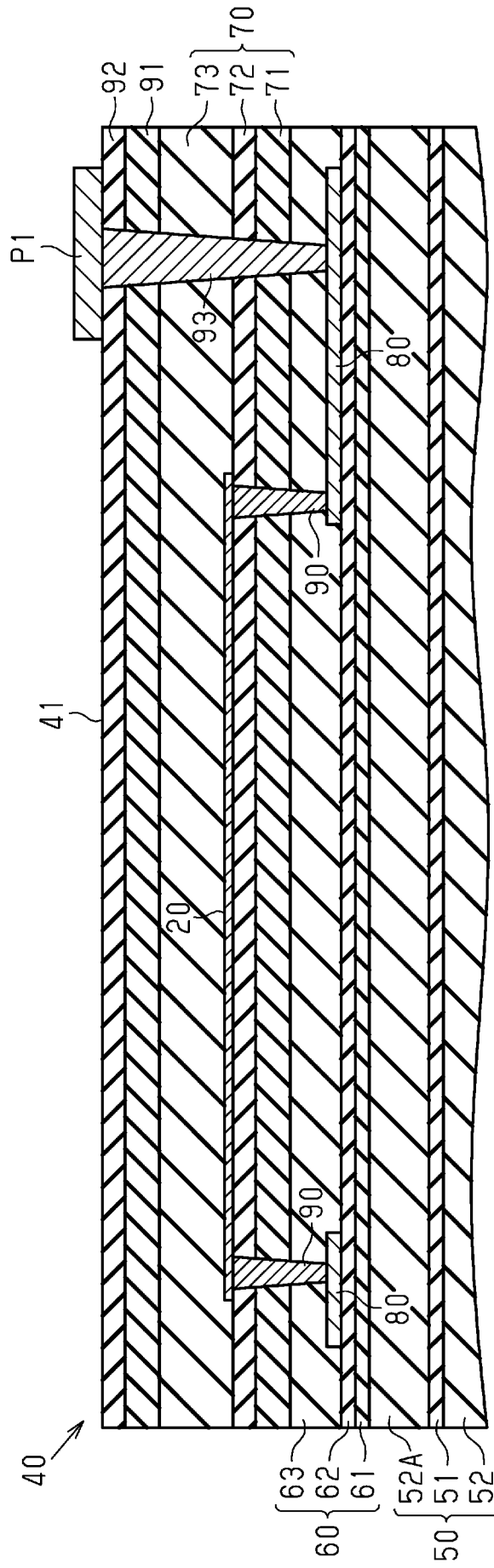
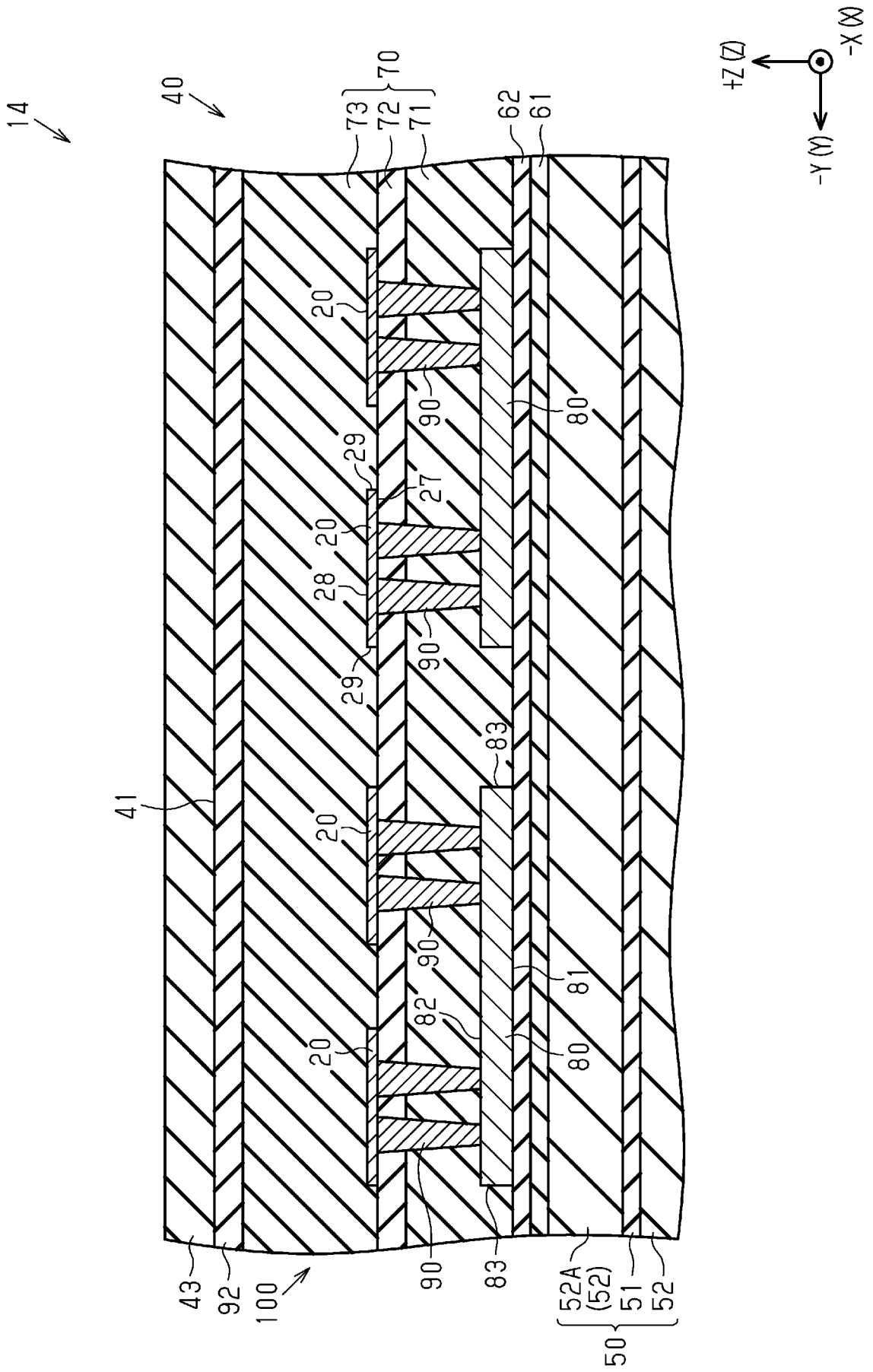


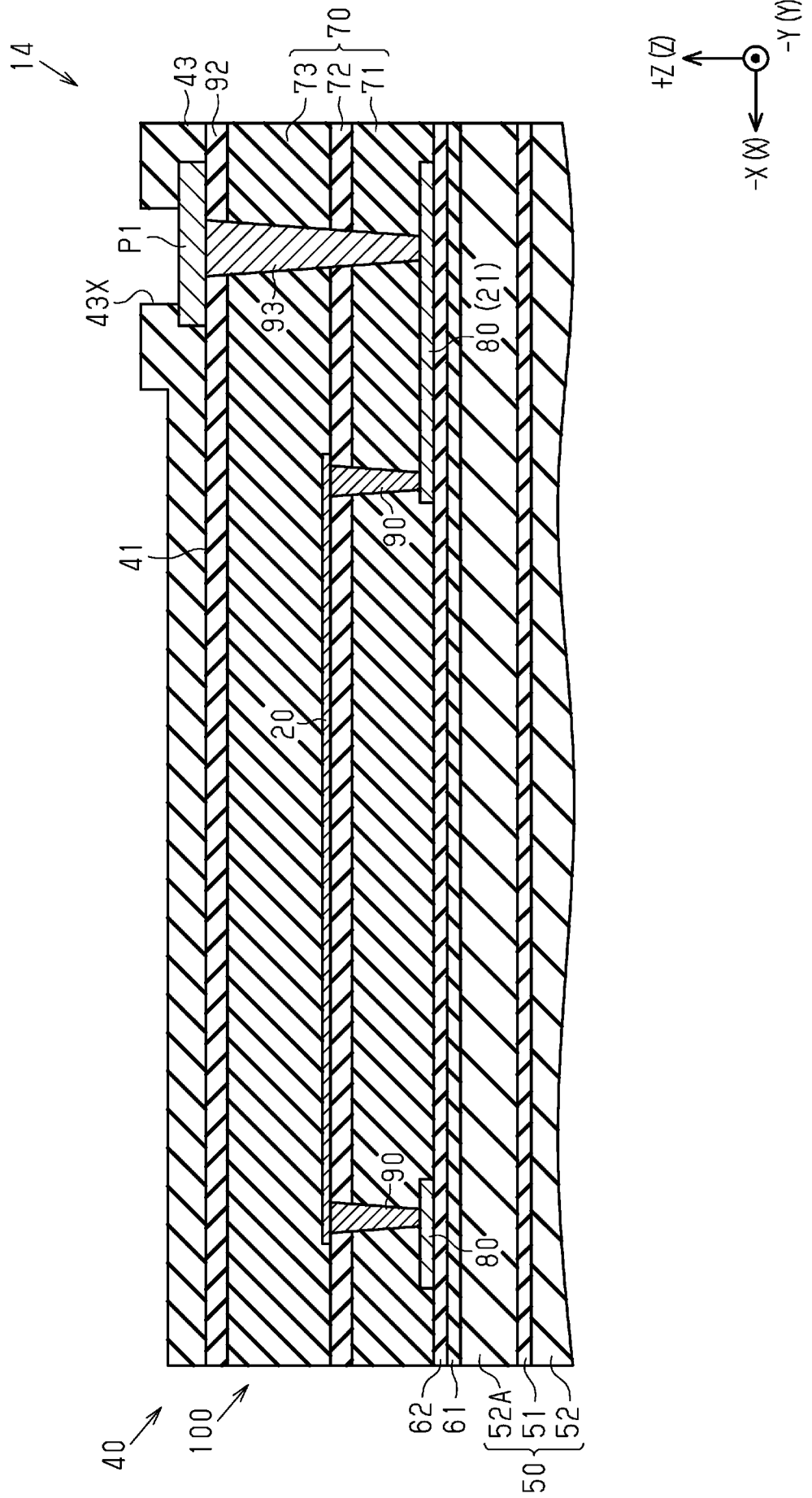
図18

図18



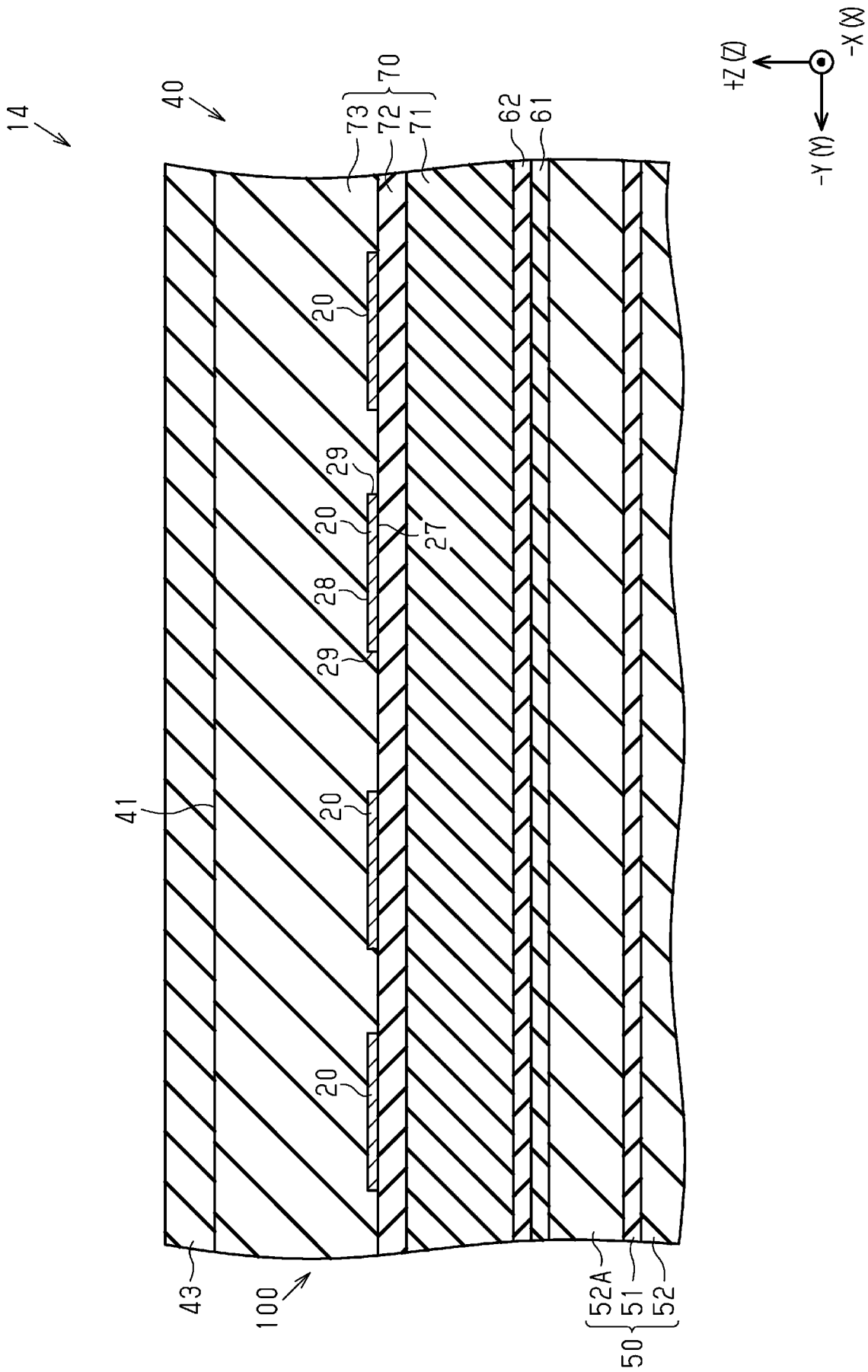
[図19]

図19



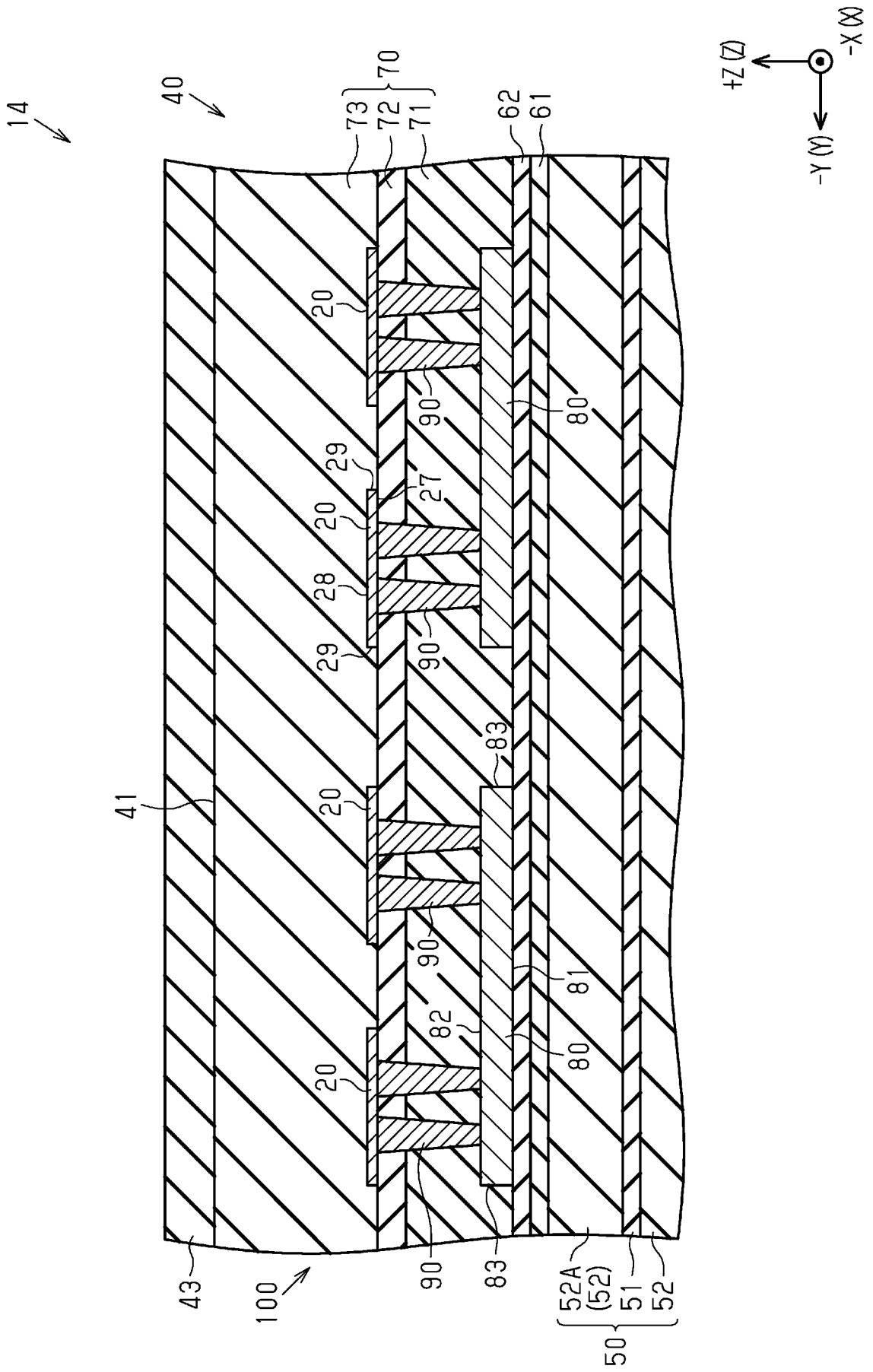
[図20]

図20



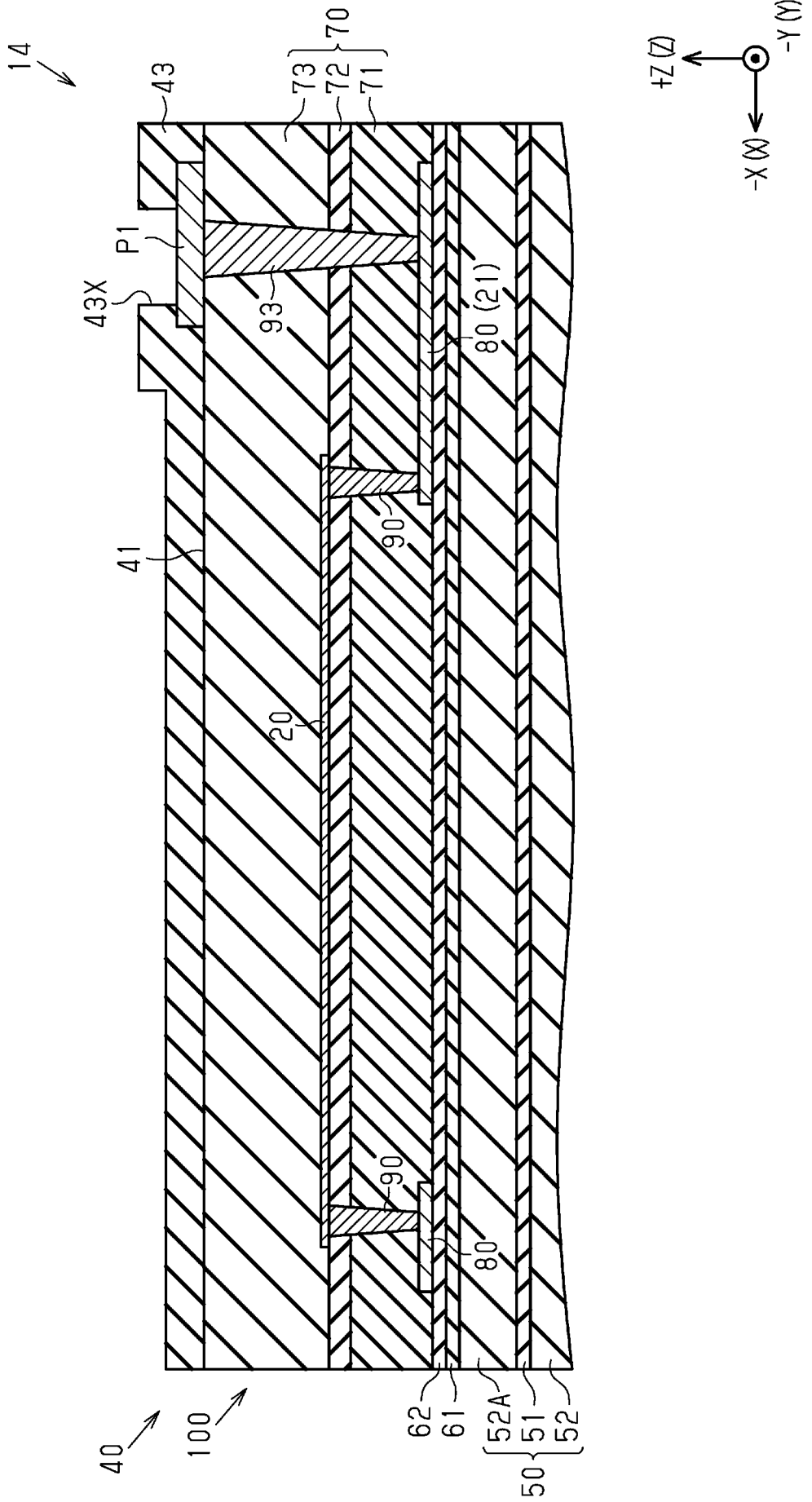
[図21]

図21



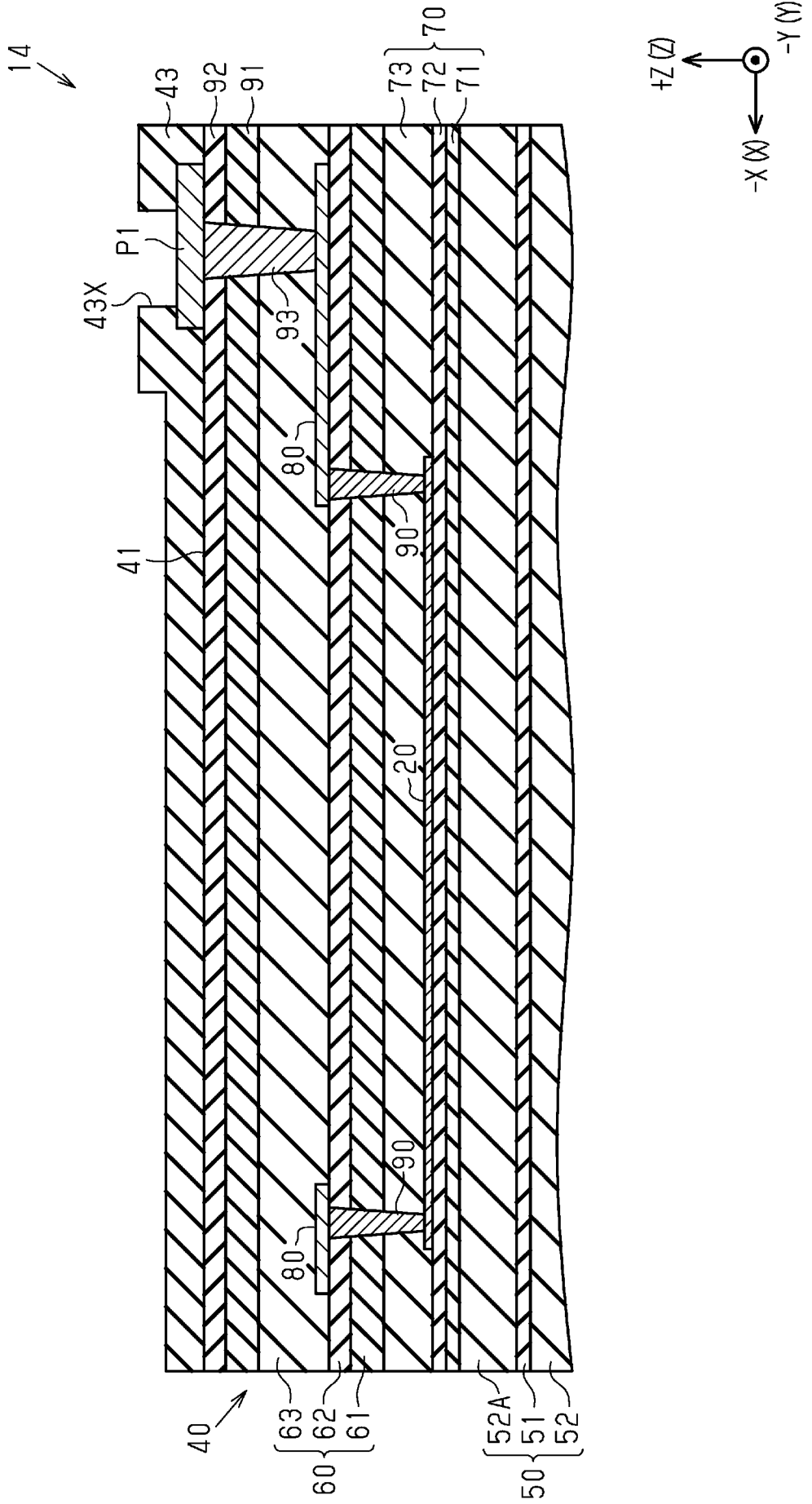
[22]

22



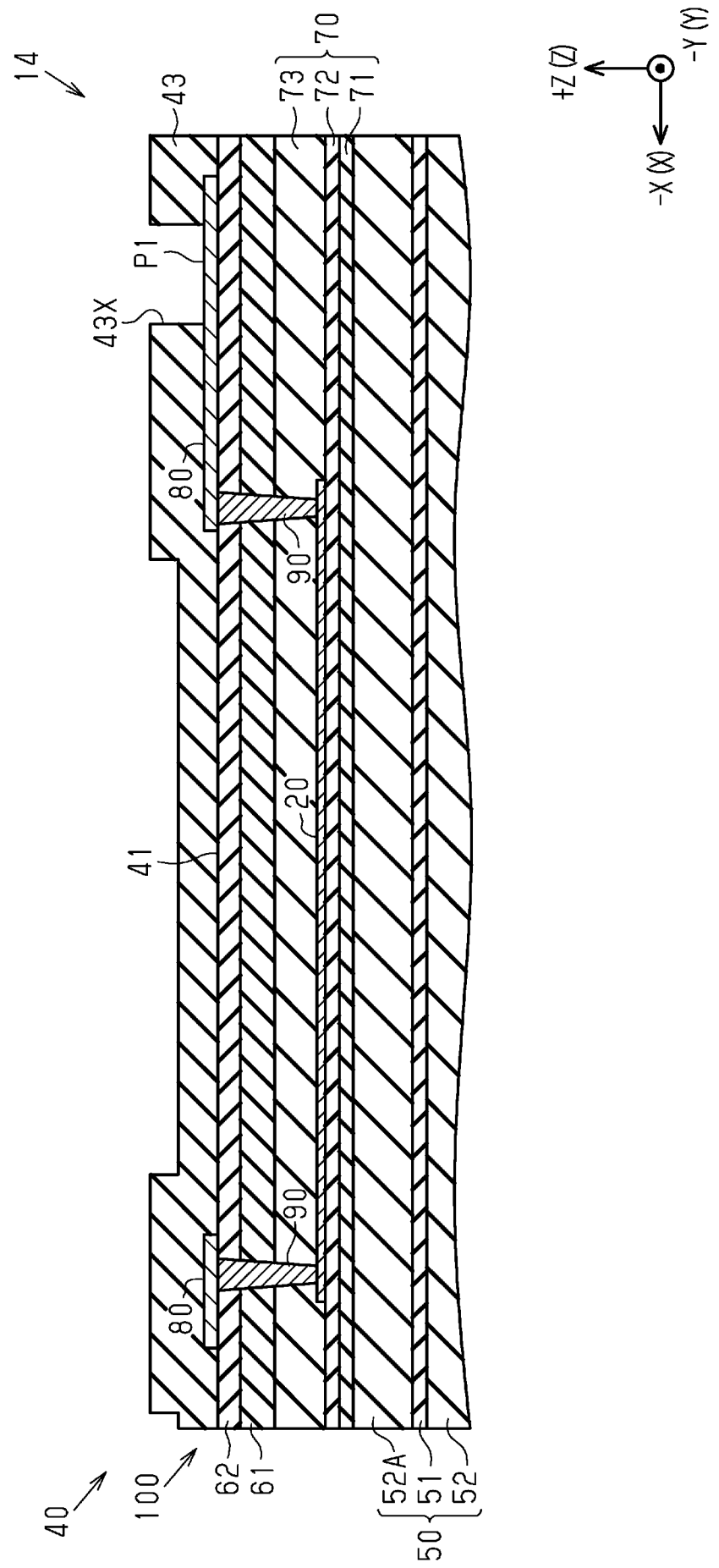
[23]

23



[図24]

図24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/025696

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/04 (2006.01)i; H01C 13/00 (2006.01)i; H01L 21/768 (2006.01)i; H01L 23/532 (2006.01)i FI: H01L27/04 P; H01C13/00 L; H01L21/90 A; H01L21/90 M		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/04; H01C13/00; H01L21/768; H01L23/532		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2022/149371 A1 (ROHM CO., LTD.) 14 July 2022 (2022-07-14) paragraphs [0030], [0048], [0053], [0191], fig. 10	1-5, 8, 11-17 6-7, 9-10
Y A	JP 2002-289609 A (TOSHIBA CORP) 04 October 2002 (2002-10-04) paragraphs [0001], [0003], [0028]-[0030], fig. 1	1-5, 8, 11-17 6-7, 9-10
Y A	JP 2017-502522 A (TEXAS INSTRUMENTS JAPAN LIMITED) 19 January 2017 (2017-01-19) paragraphs [0015]-[0016], fig. 2	1-5, 8, 11-17 6-7, 9-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 September 2023		Date of mailing of the international search report 26 September 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/025696

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2022/149371 A1	14 July 2022	(Family: none)	
JP 2002-289609 A	04 October 2002	(Family: none)	
JP 2017-502522 A	19 January 2017	US 2015/0187632 A1 paragraphs [0019]-[0020], fig. 2 CN 105874599 A WO 2015/103394 A2	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 27/04(2006.01)i; H01C 13/00(2006.01)i; H01L 21/768(2006.01)i; H01L 23/532(2006.01)i FI: H01L27/04 P; H01C13/00 L; H01L21/90 A; H01L21/90 M</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L27/04; H01C13/00; H01L21/768; H01L23/532</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>WO 2022/149371 A1 (ローム株式会社) 14.07.2022 (2022 - 07 - 14) 段落[0030], [0048], [0053], [0191], 図10</td> <td>1-5, 8, 11-17 6-7, 9-10</td> </tr> <tr> <td>Y A</td> <td>JP 2002-289609 A (株式会社東芝) 04.10.2002 (2002 - 10 - 04) 段落[0001], [0003], [0028]-[0030], 図1</td> <td>1-5, 8, 11-17 6-7, 9-10</td> </tr> <tr> <td>Y A</td> <td>JP 2017-502522 A (日本テキサス・インスツルメンツ株式会社) 19.01.2017 (2017 - 01 - 19) 段落[0015]-[0016], 図2</td> <td>1-5, 8, 11-17 6-7, 9-10</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	WO 2022/149371 A1 (ローム株式会社) 14.07.2022 (2022 - 07 - 14) 段落[0030], [0048], [0053], [0191], 図10	1-5, 8, 11-17 6-7, 9-10	Y A	JP 2002-289609 A (株式会社東芝) 04.10.2002 (2002 - 10 - 04) 段落[0001], [0003], [0028]-[0030], 図1	1-5, 8, 11-17 6-7, 9-10	Y A	JP 2017-502522 A (日本テキサス・インスツルメンツ株式会社) 19.01.2017 (2017 - 01 - 19) 段落[0015]-[0016], 図2	1-5, 8, 11-17 6-7, 9-10
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	WO 2022/149371 A1 (ローム株式会社) 14.07.2022 (2022 - 07 - 14) 段落[0030], [0048], [0053], [0191], 図10	1-5, 8, 11-17 6-7, 9-10												
Y A	JP 2002-289609 A (株式会社東芝) 04.10.2002 (2002 - 10 - 04) 段落[0001], [0003], [0028]-[0030], 図1	1-5, 8, 11-17 6-7, 9-10												
Y A	JP 2017-502522 A (日本テキサス・インスツルメンツ株式会社) 19.01.2017 (2017 - 01 - 19) 段落[0015]-[0016], 図2	1-5, 8, 11-17 6-7, 9-10												
国際調査を完了した日	07.09.2023	国際調査報告の発送日	26.09.2023											
名称及びあて先	日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）	脇水 佳弘 5F 2376 電話番号 03-3581-1101 内線 3516											

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/025696

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/149371 A1	14.07.2022	(ファミリーなし)	
JP 2002-289609 A	04.10.2002	(ファミリーなし)	
JP 2017-502522 A	19.01.2017	US 2015/0187632 A1 段落[0019]-[0020], 図2 CN 105874599 A WO 2015/103394 A2	