

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-49770  
(P2005-49770A)

(43) 公開日 平成17年2月24日(2005.2.24)

(51) Int. Cl.<sup>7</sup>  
G02F 1/155

F I  
G02F 1/155

テーマコード(参考)  
2K001

審査請求 未請求 請求項の数 11 O L (全 12 頁)

(21) 出願番号	特願2003-284037 (P2003-284037)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成15年7月31日(2003.7.31)	(71) 出願人	000214892 鳥取三洋電機株式会社 鳥取県鳥取市立川七丁目101番地
		(74) 代理人	100111383 弁理士 芝野 正雅
		(72) 発明者	森田 聡 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内
		(72) 発明者	山内 隆夫 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内
		Fターム(参考)	2K001 AA02 BA04 BA05 BA20 BB39

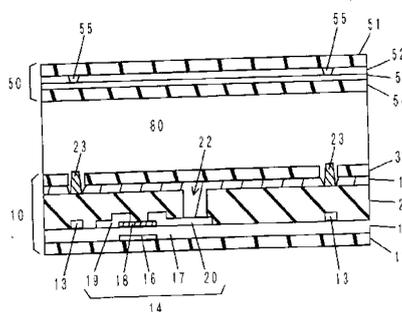
(54) 【発明の名称】 エレクトロクロミック表示装置

(57) 【要約】

【課題】本発明は、より高精細な表示が可能なエレクトロクロミック表示装置の提供を目的とする。

【解決手段】本発明のエレクトロクロミック表示装置は、画素電極15とエレクトロクロミック層30が形成されたアレイ側基板10と、対向電極53とエレクトロクロミック層54が形成されたカラーフィルタ側基板50と、アレイ側基板10とカラーフィルタ側基板50との間に注入された電解層80からなるエレクトロクロミック表示装置において、画素電極15及びエレクトロクロミック層30の周辺に隔壁23を設けることで、隣接する画素との間で、画素電極15同士の短絡や、エレクトロクロミック層30同士の短絡が生じないため、より高精細なエレクトロクロミック表示装置を提供することができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

画素電極と、対向電極と、前記画素電極と前記対向電極間に形成されるエレクトロクロミック層及び電解層で構成された画素を複数備えるエレクトロクロミック表示装置において、

前記画素電極の周辺には短絡防止手段が設けられていることを特徴とするエレクトロクロミック表示装置。

**【請求項 2】**

画素電極と、対向電極と、前記画素電極と前記対向電極間に形成されるエレクトロクロミック層及び電解層で構成された画素を複数備えるエレクトロクロミック表示装置において、

前記画素電極には前記エレクトロクロミック層がそれぞれ形成されており、該画素電極及びエレクトロクロミック層の周辺には短絡防止手段が設けられていることを特徴とするエレクトロクロミック表示装置。

**【請求項 3】**

前記短絡防止手段は、前記画素電極の周辺を囲う隔壁であることを特徴とする請求項 1 又は 2 に記載のエレクトロクロミック表示装置。

**【請求項 4】**

前記エレクトロクロミック層は、ナノ粒子薄膜を用いて形成されていることを特徴とする請求項 1 ~ 3 の何れか一項に記載のエレクトロクロミック表示装置。

**【請求項 5】**

前記隔壁の高さは、前記エレクトロクロミック層と略同じであることを特徴とする請求項 1 ~ 4 の何れか一項に記載のエレクトロクロミック表示装置。

**【請求項 6】**

前記エレクトロクロミック層の層厚は、大体  $10 \mu\text{m}$  であることを特徴とする請求項 1 ~ 5 の何れか一項に記載のエレクトロクロミック表示装置。

**【請求項 7】**

前記画素電極は、反射電極材料からなることを特徴とする請求項 1 ~ 6 の何れか一項に記載のエレクトロクロミック表示装置。

**【請求項 8】**

前記画素電極表面は、凹凸形状となっていることを特徴とする請求項 7 記載のエレクトロクロミック表示装置。

**【請求項 9】**

隣り合う前記画素電極間の距離は、大体  $5 \mu\text{m}$  から  $30 \mu\text{m}$  であることを特徴とする請求項 1 ~ 8 の何れか一項に記載のエレクトロクロミック表示装置。

**【請求項 10】**

前記電解層の層厚は、大体  $5 \mu\text{m}$  から  $50 \mu\text{m}$  であることを特徴とする請求項 1 ~ 9 の何れか一項に記載のエレクトロクロミック表示装置。

**【請求項 11】**

前記電解層には球状スペーサが位置していることを特徴とする請求項 1 ~ 10 の何れか一項に記載のエレクトロクロミック表示装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明はエレクトロクロミック現象を利用して画像表示を行うエレクトロクロミック表示装置に関する。

**【背景技術】****【0002】**

情報の保持エネルギーが不要、保存が確実、見やすい、手軽に読むことができる、など紙としての特性と、情報の書き換えができる、などの電子ディスプレイとしての特性を兼

10

20

30

40

50

ね備えた新たな表示メディアとして電子ペーパーが最近ますます注目されてきている。

【0003】

この電子ペーパーにおける表示原理としては、様々なものが知られている。例えばマイクロカプセル型電気泳動表示法と呼ばれているカプセルの中に+と-に帯電した黒と白の粒子を閉じ込めたものを電極間で移動させるもの。またツイストボール表示法と呼ばれる、白と黒に塗り分けられた球形粒子の向きを制御するもの。これらは何れも物理的な現象を利用して表示を行うものである。

【0004】

他方、化学的な現象を利用して表示を行うものも知られている。その中でも、電極間に電圧を印加して酸化還元反応により着色または消去を起すエレクトロクロミック現象を利用したものが知られている。これはたとえば特許文献1に記載されている。

【特許文献1】特開2002-258327号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

エレクトロクロミック現象を利用したエレクトロクロミック表示装置の場合、画素電極を形成した一方の基板と、対向電極を形成した他方の基板とを対向配置させ、両基板間にエレクトロクロミック層と電解層を形成する構造となっており、特許文献1に記載されているように画素電極上にエレクトロクロミック層が形成されている。

【0006】

しかしより高精細な表示を行うために画素数を増やし画素を小さくして行くと、隣接する画素電極同士の短絡や隣接する画素電極上のエレクトロクロミック層の短絡による画素電極の周辺での危険性がより高くなり、高精細化の妨げとなる。

【0007】

そこで本発明は、より高精細な表示が可能なエレクトロクロミック表示装置の提供を目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するために本発明のエレクトロクロミック表示装置は、画素電極と、対向電極と、前記画素電極と前記対向電極間に形成されるエレクトロクロミック層及び電解層で構成された画素を複数備えるエレクトロクロミック表示装置において、前記画素電極の周辺には短絡防止手段が設けられていることを特徴とする。

【0009】

また、画素電極と、対向電極と、前記画素電極と前記対向電極間に形成されるエレクトロクロミック層及び電解層で構成された画素を複数備えるエレクトロクロミック表示装置において、前記画素電極には前記エレクトロクロミック層がそれぞれ形成されており、該画素電極及びエレクトロクロミック層の周辺には短絡防止手段が設けられていることを特徴とする。

【0010】

また、短絡防止手段は画素電極の周辺を囲う隔壁であることを特徴とし、またエレクトロクロミック層はナノ粒子薄膜を用いて形成されていることを特徴とする。

【発明の効果】

【0011】

画素電極の周辺に設けられる短絡防止手段により、隣接する画素との間で、画素電極同士の短絡や、エレクトロクロミック層同士の短絡が生じないため、より高精細なエレクトロクロミック表示装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明を実施するための形態を図に基づいて説明する。本実施形態において、エレクトロクロミック表示装置は、8インチから10インチ程度のもので、画素ピッチが8

10

20

30

40

50

0 ~ 100  $\mu\text{m}$ のものについて示している。図1は本実施形態のエレクトロクロミック表示装置の画素の断面概略図、図2はその画素の平面図、図3はその画素の回路図を模式的に示した図である。なお図1と図2とでは各構成要素の大きさ、形状等が異なっている。

#### 【0013】

エレクトロクロミック表示装置は、アレイ側基板10と、カラーフィルタ側基板50と、両基板の間に挟まれた電解層80から構成されている。

#### 【0014】

アレイ側基板10には、ガラス基板11上に複数のゲート線12と、複数のソース線13とがマトリクス状に配線されている。このゲート線12とソース線13に囲まれた領域が一つの画素に相当する。各画素には、スイッチング用のTFT14と、TFT14に接続する画素電極15と、画素電極15上に積層されたエレクトロクロミック層30が形成されている。

#### 【0015】

ガラス基板11上には、複数のゲート線12が、AlとMoの積層により形成される。またゲート線12を形成するとき、TFT14のゲート電極16が同時に形成される(図1では図示せず)。このゲート電極16は図2に示すように、一画素の面積の65%程度の大きさを有しており、その形状も画素の形状と略同様の縦長の長方形をしている。スイッチング用のTFT14は、ON状態となったときに、できるだけ大きな電流を流せるほうが酸化還元反応するうえで好ましい。そのためゲート電極16をできるだけ大きく形成している。

#### 【0016】

ガラス基板11上には、SiNxからなるゲート絶縁膜17が積層され、このゲート絶縁膜17によってゲート線12やゲート電極16を覆っている。ゲート絶縁膜17上にはアモルファスシリコン層(以下、a-Siという)が積層され、フォトリソグラフィ法によりTFT14の半導体層18に該当する部分だけ残される(図2では破線で示す)。このとき半導体層18は、ゲート電極16の大部分を覆うような形状となっている。

#### 【0017】

ゲート絶縁膜17や半導体層18上には、AlとMoを積層した金属層が形成され、この金属層をフォトリソグラフィ法によりパターンニングして、ソース線13やTFT14のソース電極19、ドレイン電極20などを形成する。このときソース線13はゲート線12と直交して設けられ、ソース線13からはゲート線12との交差部付近でソース電極19が突出している。

#### 【0018】

ソース電極19は、外縁がゲート電極16の外縁に沿った形状をしていると共に、ソース線13に沿って長く伸びるU字状の凹部を有する形状となっており、図2においては2つからなる凹部を有する形状を示している。ドレイン電極20は、ソース電極13のU字状凹部の間に位置する細く長い棒状の凸部を有する形状となっており、ソース電極19の凹部に対応するように2つの凸部を有している。

#### 【0019】

スイッチング用のTFT14は、ON状態となったときに、できるだけ大きな電流を流せるほうが酸化還元反応するうえで好ましい。特に半導体層18にa-Siを用いたTFT14は、ポリシリコンを用いたものに比べて製造が容易などの利点を有するものの、ポリシリコンを用いたものよりも電流が流れ難いため、TFT14をできるだけ大きくする必要はある。電流を流しやすくするためには、チャンネル長を小さくしてチャンネル幅を大きくすればよいが、チャンネル長を小さくすることは製造時術上の限界があるため、TFT14をできるだけ大きくして、チャンネル幅を大きくした方が有効である。TFTの大きさは、一画素領域の半分以上、より好ましくは60%以上を占めているとよい。

#### 【0020】

そこで、ソース電極19、ドレイン電極20の形状を工夫して、TFT14がON状態になった際にソース・ドレイン間にできるだけ電流が流れるように工夫している。つまり

10

20

30

40

50

TFT14のゲート電極16を画素の形状に対応した縦長形状にして、ソース電極19とドレイン電極20を細長くすることで、限られたスペース内でチャンネル幅を大きく取ることができる。さらにソース電極19にU字状の凹部を設け、この凹部の間にドレイン電極20を配置することで、ドレイン電極20の両側にソース電極19が位置して、チャンネル幅が2倍になるため、少ないスペースで有効にチャンネル幅を大きくすることができる。

#### 【0021】

ソース線13やTFT14を覆うように絶縁膜21が形成されている。なお、図示していないが、絶縁膜21は二層からなっており、下層はSiNxなどの無機絶縁膜で形成されて、上層は感光性アクリル樹脂などの有機絶縁膜で形成されている。そして有機絶縁膜上に無数の凹凸を形成している(図示せず)。このように、絶縁膜21表面に凹凸を形成したのは、後述する画素電極15の材料に金属からなる反射電極材料を用いることで、外光を画素電極15で反射する画素電極反射型のエレクトロクロミック表示装置とするためである。

10

#### 【0022】

一般的なエレクトロクロミック表示装置の場合、コントラストを向上させるため、電解層80に着色剤が含有されている。この着色剤は着色用の白色粒子が用いられ、具体的には酸化カルシウム、酸化マグネシウム、二酸化チタンなどの無機粒子が挙げられる。このような無機粒子を用いる場合は、電解層80に一定の割合で混ぜなくてはならない。またそのような電解層80を用いる場合、必要以上に電解層80を薄くすると良好なコントラストを確保できなくなるため、電解層80の厚さもある程度必要になる。また電解層80

20

#### 【0023】

しかしながら画素電極反射型のエレクトロクロミック表示装置であれば、上記問題の恐れがないため、アレイ側基板10とカラーフィルタ側基板50との間を狭くすることができる。また、エレクトロクロミック表示装置の場合、電子書籍や街頭広告など、サイズや用途がある程度限られてくることが多く、その際の観察位置もある程度限定されてくるため、着色剤などを用いて広い視野角を確保するよりも、特定方向のコントラストを高くしたほうがよい。したがって画素電極表面に凹凸を設け、光の反射方向を一定方向に集約する画素電極反射型のエレクトロクロミック表示装置であれば任意の方向のコントラスト

30

#### 【0024】

ドレイン電極20の半導体層18と重ならない部分において、この絶縁膜21にコンタクトホール22が形成されている。また絶縁膜21上にAlからなる反射電極材料が積層され、この反射電極材料をフォトリソグラフィ法によりパターンニングして画素電極15が形成される。反射電極材料として、具体的には反射効率や導電率などの点から、AgやAlがよい。TFT14のドレイン電極20はコンタクトホール22を介して画素電極15と接続する。この画素電極15は下部に位置する絶縁膜21の影響によりその表面が凹凸状になる。またこの画素電極15の面積は一画素の面積より少し小さい程度であり、画素電極15の面積を大きくすることにより、表示として使える領域及び反射可能な領域を広くしている。画素電極15の端部は、隣接する画素電極15と接触しなければ、ゲート線12やソース線13と平面的に見て一部重なっていてもよい。

40

#### 【0025】

画素電極15の周りには隣接する画素電極15及び、隣接するエレクトロクロミック層30同士が短絡するのを防止する短絡防止手段が設けられている。具体的には、画素電極15を囲むように形成された隔壁23である。この隔壁23はゲート線12とソース線13上の絶縁膜21の上にノボラック樹脂で形成されている。その高さは、エレクトロクロミック層30の厚さと略同様となっており、本実施形態においては10 $\mu$ m程度となっている。より高精細な表示を行おうとすると、一画素の大きさがより小さくなると共に、画

50

素と画素との間も狭くなり、隣接する画素との間で画素電極 15 の短絡が発生する恐れがある。特に今後より高精細化が進んでくると、隣接する画素間、この場合画素電極 15 と画素電極 15 との間の距離は大体  $5\ \mu\text{m}$  から  $30\ \mu\text{m}$  となり、短絡が発生する恐れがますます高くなる。

#### 【0026】

しかし、このように短絡防止手段を設けることにより、隣接する画素電極 15 同士の短絡を防止することができ、また画素電極 15 上に形成されるエレクトロクロミック層 30 が隣接するエレクトロクロミック層 30 と短絡するのを防止することもできる。なお隔壁 23 は絶縁体であればよく、ノボラック樹脂以外の有機樹脂または無機樹脂で形成してもよい。また隔壁 23 以外の短絡防止手段としては、例えば隣接する画素との間において絶縁膜 21 に溝を形成してもよい。

10

#### 【0027】

画素電極 15 上で隔壁 23 に囲まれた領域にはエレクトロクロミック層 30 が形成される。エレクトロクロミック層 30 は、電気化学的な酸化または還元反応によって、着色、消色を示す物質からなり、一般的なエレクトロクロミック表示装置に用いられるものであれば使用できる。例えば酸化タングステン、酸化チタン、酸化モリブデン、酸化イリジウム、酸化ニッケル、酸化バナジウム、窒化スズ、窒化インジウム、ポリチオフェン、ポリピロール、金属フタロシアニン、ピオロゲン、などが挙げられる。また国際公開第 97/35227 号などに記載されているような、ナノ粒子薄膜状のものを用いてもよい。ナノ粒子薄膜状のものを用いることで、酸化還元反応を早め表示応答の高速化を図ったり、コントラストの向上を図ることができる。本実施形態においても、このナノ粒子薄膜状のものを用いており、本実施形態において具体的には、Sb をドーブした  $\text{SnO}_2$  からなるナノ粒子薄膜を用いている。

20

#### 【0028】

エレクトロクロミック層 30 の形成方法は、公知の方法、例えば真空蒸着法、スパッタリング法、などにより画素電極 15 上に直接形成してもよいが、本実施形態におけるナノ粒子薄膜の形成方法は、Sb をドーブした  $\text{SnO}_2$  からなるナノ粒子をスクリーン印刷法により各画素電極 15 上にまず形成する。このようにスクリーン印刷法によることで生産性を高めることができる。また本実施形態においては、画素電極 15 の外縁を囲う隔壁 21 が形成されているため、この隔壁 21 を利用することでナノ粒子薄膜を画素電極 15 上に高精度に形成できる。とくに、ナノ粒子薄膜の形成方法がスクリーン印刷法によるものであれば、この隔壁 21 により形成された画素電極 15 上のスペースに、高さ、面積等極めて正確にナノ粒子薄膜を形成できる。そしてこの後、ナノ粒子薄膜を焼結、また酸化或いは還元された化合物を吸着させるなどの工程を経て、エレクトロクロミック層 30 を形成する。

30

#### 【0029】

カラーフィル側基板 50 には、ガラス基板 51 上に各画素に対応して設けられたカラーフィルタ 52 と、対向電極 53 と、対向電極 53 上に積層されたエレクトロクロミック層 54 が形成されている。

#### 【0030】

ガラス基板 51 上には、各画素を区切るようにブラックマトリクス 55 が形成され、ブラックマトリクス 55 の開口部には各画素に対応したカラーフィルタ 52 が形成されている。カラーフィルタ 52 は例えば、赤色 (R)、緑色 (G)、青色 (B) の 3 色からなり、各画素に対応して 3 色のうち何れか 1 色が配置されている。カラーフィルタ 52 上には例えばITO やIZO などからなる対向電極 53 が積層される。

40

#### 【0031】

対向電極 53 上にはエレクトロクロミック層 54 が形成される。このエレクトロクロミック層 54 はアレイ側基板 10 と同様にナノ粒子薄膜からなるものを用いて形成している。本実施形態において具体的には、 $\text{TiO}_2$  からなるナノ粒子薄膜を用いている。ナノ粒子薄膜を対向電極 53 上に形成した後、ナノ粒子薄膜を焼結、また酸化或いは還元された

50

化合物を吸着させるなどの工程を経て、エレクトロクロミック層 54 を形成する。そしてアレイ側基板 10 とカラーフィルタ側基板 50 とを対向配置させる。

【0032】

電解層 80 は、溶媒中に含まれるイオンにより電荷を運ぶ役割を果たすものである。電解層 80 としては、一般的なエレクトロクロミック表示装置に用いられているものであればよく、構成物質や形成方法などに特に限定はない。液体の電解層、ゲル系の電解層、或は固体系の電解層でも構わない。

【0033】

液体の電解層としては、溶媒に電解質を溶かしたものをを用いることができる。具体的なものとしては、溶媒として、水、プロピレンカーボネート、エチレンカーボネート、ブチロラクトン、などが挙げられる。具体的な電解質としては、酸類は硫酸、塩酸、などが挙げられる。アルカリ類としては、水酸化ナトリウム、水酸化カリウム、水酸化リチウム、などが挙げられる。塩類は、過塩素酸リチウム、過塩素酸ナトリウム、過塩素酸銀などのアルカリ（土類）金属塩等の無機イオン塩や 4 級アンモニウム塩や環状 4 級アンモニウム塩、などが挙げられる。

10

【0034】

ゲル系の電解層としては、具体的には、アセトニトリルやエチレンカーボネート、プロピレンカーボネートもしくはその混合物に対して、ポリアクリロニトリル、ポリアクリルアミドなどのポリマーを混入して重合させたものが挙げられる。

【0035】

固体系の電解層としては、具体的には、ポリエチレンオキサイドなどの高分子側鎖にスルホンイミド塩やアルキルイミダゾリウム塩、テトラシアノキノジメタン塩などの塩を持つものが挙げられる。

20

【0036】

電解層 80 が液体の電解層であれば、アレイ側基板 10、或いはカラーフィルタ側基板 50 の周縁部にシール材を塗布する。その際電解層 80 の材料を注入するための注入口を形成するようにシール材を塗布しておく。そして両基板を貼り合せ、両基板間に生じる一定のギャップの中に、注入口を介して電解層 80 の材料が注入される。なお両基板間に生じる一定のギャップが後述する電解層 80 の層厚となるように、シール材は塗布されている。また電解質層 80 の材料の注入方法は、例えば真空注入法など、公知の方法を用いればよい。

30

【0037】

電解層 80 の層厚は、約 5  $\mu\text{m}$  から約 50  $\mu\text{m}$  の間であり、好ましくは約 7  $\mu\text{m}$  から約 30  $\mu\text{m}$  の間が好ましい。電解層 80 の層厚があまり広くなってくると、観察者が表示装置を観察した際に、1つの画素を通して、隣接する画素の表示状態までもが認識されてしまう恐れがあるため、できるだけ電解層 80 の層厚は狭い方が好ましい。他方電解層 80 の層厚があまり狭くなってしまうと、その役割を不十分となったり、アレイ側基板 10 とカラーフィルタ側基板 50 との間が異物によりショートする恐れが高くなったり、また製造技術上の問題などが考えられるため、上記の層厚が適当なものである。

【0038】

なお、本実施形態においては、図示していないが、球状スペーサをアレイ側基板 10 に散布している。これにより電解層 80 の層厚をエレクトロクロミック表示装置全体で一定に保つことができ、安定した表示が可能となると共に、アレイ側基板 10 上に柱状スペーサを形成するのに比べ簡単に行える。この球状スペーサの数は、例えば液晶表示装置におけるセルギャップを厳密に制御するための球状スペーサのように、一画素に数個の割合で存在する必要はなく、複数の画素に一個の割合で散布してあればよい。したがって球状スペーサが表示に与える影響はほとんどない。

40

【0039】

エレクトロクロミック表示装置には、各画素を選択するためのゲート線駆動回路とソース線駆動回路（共に図示せず）がそれぞれゲート線 12 の端部側とソース線 13 の端部側

50

に設けられ、このゲート線駆動回路とソース線駆動回路を制御する信号制御部（図示せず）が設けられている。信号制御部により制御されたゲート線駆動回路により、所定のゲート線12にゲート信号が加えられる。このゲート信号がスイッチング用のTFT14のゲート電極16に加わり、TFT14がON状態となる。所定のソース線13に加えられたソース信号が、TFT14のソース電極19からドレイン電極20を経て画素電極15へ加えられ、表示素子90で表示が行われる。

#### 【0040】

他の実施形態であるエレクトロクロミック表示装置の回路図を模式的に示したものを図4、図5、図6、図7、図8に示す。なお、図3と同様のものを示している場合には同様の符号を付している。

10

#### 【0041】

図4は図3の電圧駆動回路によるものと異なり、電流駆動回路により表示を行うものである。スイッチング用のTFT14の他に、ソース配線13に沿って形成された電力供給線(Vdd)、表示素子90にこの電力供給線(Vdd)より電流を供給するためのTFT101が各画素に形成されている。TFT101のゲート電極はTFT14のドレイン電極20に、TFT101のソース電極は電力供給線(Vdd)に、TFT101のドレイン電極は表示素子90にそれぞれ接続する。

#### 【0042】

このような電流駆動回路により、図3のものに比べ、表示素子90へより大きな電流を供給することができ、酸化還元反応をより高速に行うことができる。なお本実施形態の場合、電力供給線(Vdd)には例えば黒表示用の10Vと白表示用の0Vのように、2種類に振り分けた電力供給を行うのがよい。また階調表示を行う場合には、フレームレート階調法が適している。

20

#### 【0043】

なお、TFT14とTFT101は共にN型のTFT、つまり電子をキャリアとするTFTからなるため、共に半導体層にa-Siを用いることができ、同一工程で作成できる。また電力供給線(Vdd)は必ずしもソース配線13に沿って形成されている必要はなく、ゲート線12に沿って形成されていてもよく、何れにしろ、各画素に電力を供給できるようになっていればよい。

#### 【0044】

図5は、前記の実施形態のような電流駆動回路において、各画素にスイッチング手段と、電位制御手段とを設けたものを示している。具体的には、スイッチング手段としてN型のスイッチング用TFT14を用い、電位制御手段としてP型TFTとN型TFTからなるCMOS102を用いている。CMOS102の入力端はTFT14のドレイン電極20と接続し、CMOS102の出力端は表示素子90へ接続している。このようにすることで、酸化還元反応をより高速に行うことができ、電位制御手段により電圧階調法による階調表示も行うことができる。なお本実施形態においてCMOS102を用いているため、TFTの半導体層にポリシリコンを用いることになる。したがって、消費電力を抑えたり、周辺の駆動回路を一体に形成することが可能となるなどの効果を有する。またスイッチング用TFT14の半導体層18もポリシリコンで作成することができる。

30

40

#### 【0045】

図6は、図5と同様に各画素にスイッチング手段と電位制御手段を設けたものを示している。図5と異なる点は、電位制御手段としてCMOS102ではなく、P型或はN型のTFT103を2つ用いている点である（図ではN型のものを示している）。したがってTFTの半導体層にポリシリコンを用いなくともa-Siを用いて製造することができるので、製造が容易などの効果を有する。なお画素ごとに形成されたこれらTFTが総てN型のTFTであるため、共に半導体層にa-Siを用いければよいので、各画素にP型、N型のTFTが混在するものに比べ製造工程の増加を抑えることができる。

#### 【0046】

図7は、前記の実施形態のような電流駆動回路において、各画素にスイッチング手段と

50

、書き換え指定手段と、電位制御手段と、電源遮断手段とを設けたものを示している。具体的には、スイッチング手段としてスイッチング用TFT14を用い、書き換え指定手段としてN型のTFT104とコンデンサ105、電位制御手段としてCMOS106、電力遮断手段として2つのN型TFT107を用いている。TFT104のゲート電極はゲート線12と平行に走るワード線108に接続し、TFT104のソース電極はソース線13に接続し、TFT104のドレイン電極はコンデンサ105に接続すると共に、TFT107のそれぞれのゲート電極に接続する。TFT107のソース電極は、2本の電力供給線(Vdd)(Vss)の何れかと各々接続している。TFT107のドレイン電極は、CMOS106を構成するP型TFTとN型TFTの何れかと各々接続し、CMOS106の入力端はTFT14のドレイン電極20と接続し、CMOS106の出力端は表示素子90へ接続する。これにより、ワード線108とソース線13により選択された各画素において、書き換えが必要か否かが指定され、書き換えが必要と指定された画素においては、電力供給が行われ、書き換えが不要と指定された画素においては、電力供給が行われないこととなる。

10

#### 【0047】

エレクトロクロミック表示装置の場合、所謂表示のメモリ性を有しているため、対応する画素の表示が前回の選択時と同じであれば、そのままの表示を保持しておいた方が消費電力の低減につながる。そこで各画素に書き換え指定手段と、電力遮断手段とを設けることで、前回選択時の表示状態と今回選択時の表示状態に変化がなければ、書き換え指定手段により、書き換え不要と指示し、電力遮断手段において電力の供給を遮断する。前回選択時の表示状態と今回選択時の表示状態に変化があれば、書き換え指定手段により、書き換え必要と指示し、電力遮断手段において電力の供給を遮断しない。このようにすれば、エレクトロクロミック表示装置における消費電力の低減を図ることができる。なお本実施形態においてもCMOS106を用いているため、TFTの半導体層にポリシリコンを用いることになる。

20

#### 【0048】

図8は、図7と同様に各画素にスイッチング手段と、書き換え指定手段と、電位制御手段と、電源遮断手段とを設けたものを示している。図7と異なる点は、電位制御手段としてCMOS106ではなく、P型或はN型のTFT109を用いている点である(図ではN型のものを示している)。したがってTFTの半導体層にポリシリコンを用いなくともa-Siを用いて製造することができるので、製造が容易などの効果を有する。なお画素ごとに形成されたこれらTFTが総てN型のTFTであるため、共に半導体層にa-Siを用いればよいので、各画素にP型、N型のTFTが混在するものに比べ製造工程の増加を抑えることができる。

30

#### 【0049】

なお、図4から図8に示した回路図において、電力供給線(Vdd)、(Vss)が示されており、この電力供給線の端部は電源へと接続する。この場合電源から遠ざかるほど配線抵抗により電力供給能力が低下する恐れがある。そこで電力供給線の両端を電源へ接続したり、隣り合う電力供給線同士を1箇所以上の結線ポイントを介して互いに接続したりして、電力供給能力の低下を防止してもよい。その際結線ポイントを梯子状にしておけば、電力供給線のうちの1本が断線したとしても、電力供給が可能となる。

40

#### 【0050】

なお、本発明の用紙を逸脱しない範囲であれば上記実施形態以外の形態も可能である。例えば、ガラス基板11の他に、プラスチック基板等、他の絶縁性基板を用いても構わない。また絶縁性基板は可撓性を持ったフィルム状のもでも構わない。

#### 【図面の簡単な説明】

#### 【0051】

【図1】本発明の実施形態のエレクトロクロミック表示装置の画素の断面概略図を示す。

【図2】本発明の実施形態のエレクトロクロミック表示装置の画素の平面図を示す。

【図3】本発明の実施形態のエレクトロクロミック表示装置の画素の回路図を示す。

50

- 【図4】他の実施形態における画素の回路図を示す。
- 【図5】他の実施形態における画素の回路図を示す。
- 【図6】他の実施形態における画素の回路図を示す。
- 【図7】他の実施形態における画素の回路図を示す。
- 【図8】他の実施形態における画素の回路図を示す。

【符号の説明】

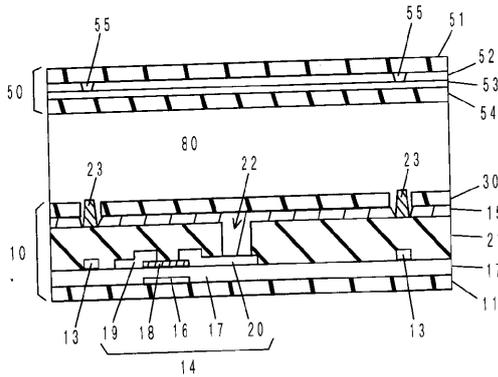
【0052】

- 10 アレイ側基板
- 11、51 ガラス基板
- 12 ゲート線
- 13 ソース線
- 14 TFT
- 15 画素電極
- 16 ゲート電極
- 18 半導体層
- 21 絶縁膜
- 23 隔壁
- 30、54 エレクトロクミック層
- 50 カラーフィルタ側基板
- 52 カラーフィルタ
- 53 対向電極
- 80 電解層

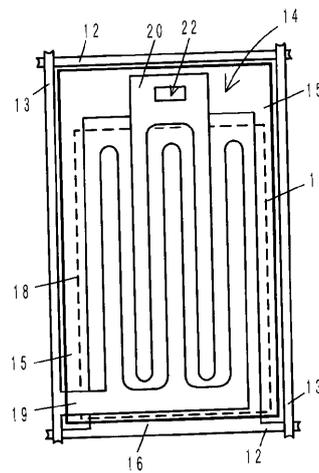
10

20

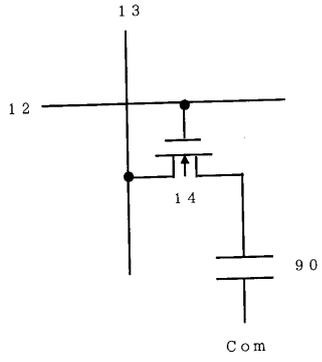
【図1】



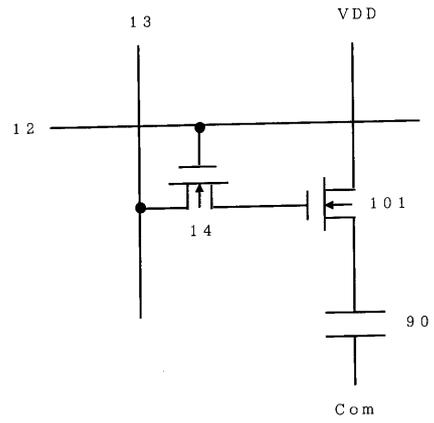
【図2】



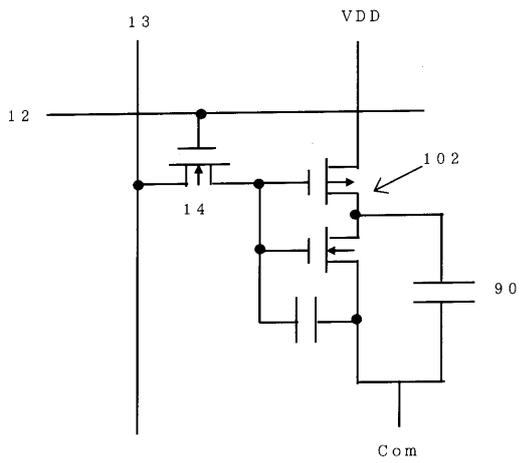
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

