

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5231179号
(P5231179)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年3月29日 (2013. 3. 29)

(51) Int. Cl. F I
 HO 4 N 5/374 (2011. 01) HO 4 N 5/335 7 4 O
 HO 1 L 27/146 (2006. 01) HO 1 L 27/14 A

請求項の数 6 (全 29 頁)

(21) 出願番号	特願2008-290334 (P2008-290334)	(73) 特許権者	311015207
(22) 出願日	平成20年11月12日 (2008. 11. 12)		ペンタックスリコーイメージング株式会社
(65) 公開番号	特開2010-118874 (P2010-118874A)		東京都板橋区前野町二丁目35番7号
(43) 公開日	平成22年5月27日 (2010. 5. 27)	(74) 代理人	100090169
審査請求日	平成23年11月1日 (2011. 11. 1)		弁理士 松浦 孝
		(74) 代理人	100124497
			弁理士 小倉 洋樹
		(74) 代理人	100147762
			弁理士 藤 拓也
		(72) 発明者	杉谷 和夫
			東京都新宿区中落合2丁目7番5号 HO
			YA株式会社内
		(72) 発明者	佐藤 公一
			東京都新宿区中落合2丁目7番5号 HO
			YA株式会社内

最終頁に続く

(54) 【発明の名称】 撮像素子

(57) 【特許請求の範囲】

【請求項1】

受光量に応じた信号電荷を発生する光電変換素子と、
 前記光電変換素子から転送されてくる前記信号電荷を蓄積し、蓄積した前記信号電荷に応じて電位の変わる第1のキャパシタと、
 前記第1のキャパシタを介して前記光電変換素子から転送されてくる前記信号電荷を蓄積し、蓄積した前記信号電荷に応じて電位の変わる第2のキャパシタと、
 前記第1、第2のキャパシタの間に接続され、ONのときに前記第1、第2のキャパシタ間を導通させ、OFFのときに前記第1、第2のキャパシタ間を電氣的に遮断する分断トランジスタと、
 前記第2のキャパシタの電位に基づいた画素信号を生成する増幅トランジスタと、
 前記第1のキャパシタに接続され、ONのときに前記第1のキャパシタに蓄積された前記信号電荷および前記第1のキャパシタと前記分断トランジスタとを介して前記第2のキャパシタに蓄積された信号電荷をリセットするリセットトランジスタとを備え、
前記リセットトランジスタをOFFにしているときの電位障壁が前記分断トランジスタをOFFにしているときの電位障壁より低くなるように、前記リセットトランジスタと前記分断トランジスタが形成される

ことを特徴とする撮像素子。

【請求項2】

前記光電変換素子から前記信号電荷を前記第1のキャパシタに転送する転送トランジスタ

タ、前記光電変換素子、前記第1、第2のキャパシタ、前記分断トランジスタ、前記増幅トランジスタ、および前記リセットトランジスタを有し、受光面上に配置される複数の画素を備え、

前記転送トランジスタ、前記分断トランジスタ、および前記リセットトランジスタは基板上に半導体および電極を積層させることにより形成されるMOSFETであり、

前記転送トランジスタのゲート配線が延ばされ、前記転送トランジスタに前記信号電荷の転送を実行させる転送制御信号を流す制御線として前記ゲート配線が用いられる

ことを特徴とする請求項1に記載の撮像素子。

【請求項3】

前記光電変換素子から前記信号電荷を前記第1のキャパシタに転送する転送トランジスタおよび前記光電変換素子を有する4つの画素、前記4つの画素の前記転送トランジスタが並列に接続される単一の前記第1のキャパシタ、単一の前記第2のキャパシタ、単一の前記分断トランジスタ、単一の前記リセットトランジスタ、単一の前記増幅トランジスタ、および前記増幅トランジスタが生成した前記画素信号を出力する単一の選択トランジスタを有する複数の画素ブロックが、受光面上に配置されることを特徴とする請求項1に記載の撮像素子。

10

【請求項4】

単一の前記画素ブロックが占める領域を4分割した4つの画素領域それぞれに、前記分断トランジスタ、前記リセットトランジスタ、前記増幅トランジスタ、および前記選択トランジスタが分散されて配置されることを特徴とする請求項3に記載の撮像素子。

20

【請求項5】

前記分断トランジスタ、前記リセットトランジスタ、前記増幅トランジスタ、および前記選択トランジスタは同じ方向に揃えられることを特徴とする請求項4に記載の撮像素子。

【請求項6】

前記画素ブロック内において4つの前記画素は一列に並ぶように配置され、前記画素ブロック内の連続する3つの画素に前記分断トランジスタ、前記増幅トランジスタ、および前記選択トランジスタの順番に配置されることを特徴とする請求項5に記載の撮像素子。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、強い光が入射しても相関二重サンプリング後の信号レベルが黒レベルになることを防ぐXYアドレス方式の撮像素子に関する。

【背景技術】

【0002】

従来の撮像素子には、リセットノイズを除去するために相関二重サンプリング/サンプルホールド(CDS/SH)回路が設けられている。CDS/SH回路では受光前に保持したリセット時の信号レベルを受光後の画素信号の信号レベルから引くことにより、ノイズ成分が除去される。したがって、ノイズを除去するためには、取得したリセット時の信号レベルが相関二重サンプリングに用いられるまで変動すること無く保持されることが必要である。

40

【0003】

CMOS撮像素子などのXYアドレス方式の撮像素子における相関二重サンプリングについて図27を用いて説明する。CMOS撮像素子の受光面には2次元状に画素20"が設けられる。各画素20"にはフォトダイオード(PD)21"、フローティングディフュージョン(FD)22"、転送トランジスタ23"、リセットトランジスタ25"、増幅トランジスタ26"、および行選択トランジスタ27"が設けられる。

【0004】

PD21"により、受光量に応じた信号電荷が生成され、蓄積される。蓄積された信号電荷は転送トランジスタ23"を介してFD22"に転送される。FD22"の電位は、

50

転送された信号電荷により変化する。FD22"に蓄積される信号電荷はリセットトランジスタ25"により、電圧源V_{dd}に排出可能である。FD22"のリセット時に、FD22"の電位もリセットされる。

【0005】

FD22"は増幅トランジスタ26"のゲートに接続され、FD22"の電位が電位信号である画素信号として増幅トランジスタ26"によって出力される。増幅トランジスタ26"は行選択トランジスタ27"に接続され、画素信号が画素から垂直出力線28"に出力される。

【0006】

垂直出力線28"は、下端においてCDS/SH回路13"に接続される。CDS/SH回路13"では、図28に示すように各トランジスタが駆動されて、リセットノイズが除去される。

【0007】

タイミングt₁において、読出す画素を選択する前にリセットトランジスタ25"がONになっており(r参照)、FD22"がリセットされる。タイミングt₂において、画素信号を読出す画素の行選択トランジスタ27"がONに切替えられ(s₁参照)、選択された画素20"から垂直出力線28"を介してCDS/SH回路13"までの間が導通される。

【0008】

タイミングt₃において、リセット時の電位信号であるリセット画素信号がCDS/SH回路13"にサンプルホールドされる(s_{hp}参照)。タイミングt₄において、転送トランジスタがONに切替えられ(t参照)、PD21"に蓄積された信号電荷がFD22"に転送される。

【0009】

信号電荷のFD22"への転送が終わった後のタイミングt₅において、信号電荷を保持したFD22"の電位信号である混入画素信号がCDS/SH回路13"にサンプルホールドされる(s_{hd}参照)。CDS/SH回路13"ではサンプルホールドしているリセット画素信号を混入画素信号から減じることにより、相関二重サンプリングを実行し、混入画素信号からリセットノイズを除去したデータ画素信号が生成される。

【0010】

このようなCMOS撮像素子において、PD21"において発生する信号電荷は転送トランジスタ23"をONにするまでの間PD21"に蓄積され、保持される。しかし、PD21"に入射する光の光量が極めて大きい場合に、転送トランジスタ23"をOFFにした状態において信号電荷がFD22"に漏れることがある。

【0011】

信号電荷がFD22"に漏れると、本来のリセット画素信号に漏れた信号電荷による電位が混入するため、リセット画素信号の信号レベルが本来の信号レベルより大きくなる。この場合、本来の信号レベルより大きなリセット画素信号が混入画素信号から減じられるため、本来飽和レベルであるはずのデータ画素信号の信号レベルが本来の信号レベルより低下してゼロレベルになる黒化現象が発生することが問題であった。

【0012】

このような問題に対して、リセット時の電位信号の信号レベルに応じてリセット画素信号を補正する構成が提案されている(特許文献1~特許文献3参照)。しかし、リセット時の電位信号を監視する回路や補正する回路を設ける必要があるため、撮像素子が大型化または構成が複雑化することが問題であった。

【特許文献1】特開2000-287131号公報

【特許文献2】特開2001-24949号公報

【特許文献3】特開2005-57612号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 1 3 】

したがって、本発明では、簡易な構成で黒化現象の発生を抑える撮像素子の提供を目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

本発明の撮像素子は、受光量に応じた信号電荷を発生する光電変換素子と、光電変換素子から転送されてくる信号電荷を蓄積し蓄積した信号電荷に応じて電位の変わる第1のキャパシタと、第1のキャパシタを介して光電変換素子から転送されてくる信号電荷を蓄積し蓄積した信号電荷に応じて電位の変わる第2のキャパシタと、第1、第2のキャパシタの間に接続されONのときに第1、第2のキャパシタ間を導通させOFFのときに第1、第2のキャパシタ間を電氣的に遮断する分断トランジスタと、第2のキャパシタの電位に基づいた画素信号を生成する増幅トランジスタと、第1のキャパシタに接続されONのときに第1のキャパシタに蓄積された信号電荷および第1のキャパシタと分断トランジスタとを介して第2のキャパシタに蓄積された信号電荷をリセットするリセットトランジスタとを備えることを特徴としている。

10

【 0 0 1 5 】

なお、リセットトランジスタをOFFにしているときの電位障壁が分断トランジスタをOFFにしているときの電位障壁より低くなるように、リセットトランジスタと分断トランジスタが形成されることが好ましい。

【 0 0 1 6 】

また、光電変換素子から信号電荷を第1のキャパシタに転送する転送トランジスタ、光電変換素子、第1、第2のキャパシタ、分断トランジスタ、増幅トランジスタ、およびリセットトランジスタを有し受光面上に配置される複数の画素を備え、転送トランジスタ、分断トランジスタ、およびリセットトランジスタは基板上に半導体および電極を積層させることにより形成されるMOSFETであり、転送トランジスタのゲート配線が延ばされ転送トランジスタに信号電荷の転送を実行させる転送制御信号を流す制御線としてゲート配線が用いられることが好ましい。

20

【 0 0 1 7 】

あるいは、光電変換素子から信号電荷を第1のキャパシタに転送する転送トランジスタおよび光電変換素子を有する4つの画素、4つの画素の転送トランジスタが並列に接続される単一の第1のキャパシタ、単一の第2のキャパシタ、単一の分断トランジスタ、単一のリセットトランジスタ、単一の増幅トランジスタ、および増幅トランジスタが生成した画素信号を出力する単一の選択トランジスタを有する複数の画素ブロックが受光面上に配置されることが好ましい。

30

【 0 0 1 8 】

また、単一の前記画素ブロックが占める領域を4分割した4つの画素領域それぞれに、分断トランジスタ、リセットトランジスタ、増幅トランジスタ、および選択トランジスタが分散されて配置されることが好ましい。

【 0 0 1 9 】

また、分断トランジスタ、リセットトランジスタ、増幅トランジスタ、および選択トランジスタは同じ方向に揃えられることが好ましい。

40

【 0 0 2 0 】

また、画素ブロック内において4つの前記画素は一行に並ぶように配置され、画素ブロック内の連続する3つの画素に分断トランジスタ、増幅トランジスタ、および選択トランジスタの順番に配置されることが好ましい。

【発明の効果】

【 0 0 2 1 】

本発明によれば、強い光を受光する場合であっても、第2のキャパシタに電荷が漏れ込まないのでリセット画素信号の信号レベルを本来の信号レベルのまま維持することが可能になる。したがって、黒化現象を防止することが可能になる。

50

【発明を実施するための最良の形態】**【0022】**

以下、本発明の実施形態について図面を参照して説明する。

図1は、本発明の第1の実施形態を適用したCMOS撮像素子の全体構成を模式的に示す構成図である。

【0023】

CMOS撮像素子10は、受光部11、垂直シフトレジスタ12、相関二重サンプリング/サンプルホールド(CDS/SH)回路13、水平シフトレジスタ14、水平出力線15によって構成される。受光部11と垂直シフトレジスタ12は直接接続され、水平出力線15はCDS/SH回路13を介して受光部11に接続される。

10

【0024】

受光部11の撮像面には複数の画素20がマトリックス状に配列される。個々の画素20において信号電荷が生成される。被写体像全体の画像信号は撮像面すべての画素20の信号電荷に相当する画素信号の集合により構成される。生成した画素信号の読出しは画素20毎に行われる。読出しを行う画素20は垂直シフトレジスタ12及び水平シフトレジスタ14により直接的あるいは間接的に選択される。

【0025】

垂直シフトレジスタ12により画素20の行が選択される。選択された画素20から出力される画素信号が、垂直出力線(図1において図示せず)を介してCDS/SH回路13により相関二重サンプリングされる。

20

【0026】

さらにCDS/SH回路13に保持される画素信号は水平シフトレジスタ14により選択され、水平出力線15に出力される。水平出力線15に出力された画素信号は、例えば、信号処理を行う信号処理回路(図示せず)に送られ、所定の処理が行われて被写体像全体の画像信号に加工される。

【0027】

画素の構成についてさらに詳細に説明する。図2は受光部11における画素20の構成を示す回路図である。画素20にはPD21(光電変換素子)、第1、第2のFD22a、22b(第1、第2のキャパシタ)、転送トランジスタ23、分断トランジスタ24、リセットトランジスタ25、増幅トランジスタ26、および行選択トランジスタ27が設けられる。

30

【0028】

PD21は、転送トランジスタ23を介して第1のFD22aに接続される。また、第1のFD22aは、分断トランジスタ24を介して第2のFD22bに接続される。第2のFD22bは増幅トランジスタ26のゲートに接続される。増幅トランジスタ26のソースは、行選択トランジスタ27を介して垂直出力線28に接続される。

【0029】

PD21では画素20毎の受光量に応じて電荷が発生し、発生した電荷が蓄積される。転送トランジスタ23がONになるときに、PD21に蓄積された信号電荷が第1のFD22aに転送される。また、分断トランジスタ24がONになるときに、第1のFD22aに転送された信号電荷の一部が第2のFD22bに転送される。

40

【0030】

なお、第1、第2のFD22a、22bの電位は蓄積する電荷に応じて変わる。また、分断トランジスタ24がONになるときに、第1のFD22aに転送または蓄積されていた信号電荷の一部が第2のFD22bに転送され、第1、第2のFD22a、22bは等電位となる。

【0031】

増幅トランジスタ26によって、第2のFD22bの電位に応じた信号電位が画素信号として出力可能となる。行選択トランジスタ27がONになるときに、増幅トランジスタ26によって出力可能となった画素信号が、垂直出力線28に出力される。

50

【 0 0 3 2 】

転送トランジスタ 2 3、分断トランジスタ 2 4、および行選択トランジスタ 2 7 のゲートは、それぞれ転送制御線（図 2 において図示せず）、分断制御線（図 2 において図示せず）、および行選択制御線（図 2 において図示せず）に接続される。転送制御線、分断制御線、および行選択制御線それぞれには、垂直シフトレジスタ 1 2 から HIGH、LOW が切替わる転送信号 t 、分断信号 sp 、および行選択信号 sl が流される。

【 0 0 3 3 】

なお、転送制御線、分断制御線、および行選択制御線は、画素 2 0 が並ぶ行毎にそれぞれ設けられる。同じ行に配置される画素 2 0 の転送トランジスタ 2 3、分断トランジスタ 2 4、および行選択トランジスタ 2 7 のゲートは、それぞれ同じ転送制御線、分断制御線、および行選択制御線に接続され、同じタイミングで ON / OFF が切替えられる。

10

【 0 0 3 4 】

第 1 の FD 2 2 a は、リセットトランジスタ 2 5 を介して電圧源 V_{dd} に接続される。リセットトランジスタ 2 5 が ON になるときに、第 1 の FD 2 2 a に蓄積された電荷は電圧源 V_{dd} に掃出されてリセットされる。また、分断トランジスタ 2 4 を ON にしながらリセットトランジスタ 2 5 を ON にすることにより、第 2 の FD 2 2 b に蓄積された電荷も電圧源 V_{dd} に掃出されてリセットされる。

【 0 0 3 5 】

第 1、第 2 の FD 2 2 a、2 2 b がリセットされることにより、第 1、第 2 の FD 2 2 a、2 2 b の電位は電圧源 V_{dd} の電位からリセットトランジスタ 2 5 の閾値電圧を引いた電位にリセットされる。

20

【 0 0 3 6 】

リセットトランジスタ 2 5 の OFF 状態での電位障壁は、分断トランジスタ 2 4 の OFF 状態での電位障壁より低くなるように、形成される。なお、電位障壁の調整は、ゲート電極に対向する p 型半導体にドーピングする不純物の濃度を変えることにより調整される。

【 0 0 3 7 】

リセットトランジスタ 2 5 のゲートは、リセット信号線（図 2 において図示せず）に接続される。リセット信号線には、HIGH、LOW の切替わるリセット信号 r が垂直シフトレジスタ 1 2 から流される。

【 0 0 3 8 】

リセット信号線は、画素 2 0 が並ぶ行毎に設けられる。同じ行に配置される画素 2 0 のリセットトランジスタ 2 5 のゲートは、同じリセット信号線に接続され、同じタイミングで ON / OFF が切替えられる。

30

【 0 0 3 9 】

垂直出力線 2 8 は、受光部 1 1 を垂直に延びる線であり、同じ列の複数の画素 2 0 の行選択トランジスタ 2 7 に接続される。垂直出力線 2 8 は、受光面の上方において電流源 I_{ss} に接続される。各行の垂直出力線 2 8 は、受光面の下方において別々に CDS / SH 回路 1 3 に接続される。

【 0 0 4 0 】

CDS / SH 回路 1 3 には、リセット時の画素信号であるリセット画素信号と信号電荷蓄積時の画素信号である混入画素信号を保持する別々のキャパシタ（図示せず）が設けられる。

40

【 0 0 4 1 】

CDS / SH 回路 1 3 に入力されるプレホールド信号 shp が HIGH であるときに、リセット画素信号を保持するキャパシタ（図示せず）に垂直出力線 2 8 の電位に相当する画素信号が保持される。CDS / SH 回路 1 3 に入力されるデータホールド信号 shd が HIGH であるときに、混入画素信号を保持するキャパシタ（図示せず）に垂直出力線 2 8 の電位に相当する画素信号が保持される。なお、プレホールド信号 shp およびデータホールド信号 shd は垂直シフトレジスタ 1 2 から出力される。

【 0 0 4 2 】

50

CDS / SH回路13の出力端子からは、混入画素信号からリセット画素信号を減じたデータ画素信号が出力される。CDS / SH回路13の出力端子は、列選択トランジスタ16を介して水平出力線15に接続される。したがって、列選択トランジスタ16をONにすることにより、データ画素信号が水平出力線15を介してCMOS撮像素子10から出力される。

【0043】

なお、列選択トランジスタ16のゲートは、列選択信号線（図示せず）に接続される。列選択信号線にはHIGH、LOWが切替わる列選択信号 s_c が接続される。各列選択トランジスタ16には、水平シフトレジスタ14から定められたタイミングで列選択信号 s_c が流される。

10

【0044】

上述のような構成であるCMOS撮像素子10の撮像時の動作を図3のタイミングチャートを用いて説明する。併せて、各タイミングにおいてPD21、および第1、第2のFD22a、22bに蓄積される電荷を図4～図7のポテンシャルイメージを用いて説明する。

【0045】

なお、図4～図7において、PD21と第1のFD22aとを隔てる第1の壁部W1は転送トランジスタ23のゲートを表している。また、第1のFD22aと第2のFD22bとを隔てる第2の壁部W2は分断トランジスタ24のゲートを表している。また、第1のFD22aと電圧源Vddとを隔てる第3の壁部W3はリセットトランジスタ25のゲートを表している。

20

【0046】

なお、図4は各トランジスタをOFFにして受光していない状態におけるPD21、第1、第2のFD22a、22bに蓄積される電荷を示している。前述のように、リセットトランジスタ25の電位障壁が分断トランジスタ24の電位障壁より低いことは、図4において第2の壁部W2が第3の壁部W3より高いことにより表される。

【0047】

画素20が選択される前、即ち行選択信号 s_1 がLOWであるt1のタイミングにおいて、リセット信号 r および分断信号 s_p がHIGHに維持される（図3参照）。この状態において、第1、第2のFD22a、22bはリセットされ第1、第2のFD22a、22bに蓄積されていた信号電荷は電圧源Vddに排出される（図5参照）。このとき、第1、第2のFD22a、22bの電位は電圧源Vddの電位と略等電位である。なお、図5においてPD21は受光により生ずる信号電荷SCを蓄積中である。

30

【0048】

タイミングt2において、行選択信号 s_1 がHIGHに切替えられ、画素信号を出力させる画素20が選択される（図3参照）。なお、行選択信号 s_1 は、相関二重サンプリングが終了するまでHIGHに維持される。また、リセット信号 r および分断信号 s_p がLOWに切替えられ、第1、第2のFD22a、22bの電位は電圧源Vddの電位からリセットノイズに相当する電位を減じた電位となる（図6ノイズ電荷成分NC参照）。

40

【0049】

タイミングt3において、プレホールド信号 s_{hp} がHIGHに切替えられる（図3参照）。分断トランジスタ24はOFFであるので、第2のFD22bの電位に応じた電位信号がノイズ画素信号としてCDS / SH回路13に入力され、サンプルホールドされる。

【0050】

タイミングt4において、分断信号 s_p がHIGHに切替えられ、第1、第2のFD22a、22b間が導通される。また、転送信号 t がHIGHに切替えられ、PD21に蓄積された信号電荷SCが第1のFD22a、および第1のFD22aを介して第2のFD22bに転送される（図7参照）。

50

【 0 0 5 1 】

タイミング t_5 において、データホールド信号 s_{hd} が HIGH に切替えられ（図 3 参照）、第 2 の FD 2 2 b の電位に応じた電位信号が混入画素信号として CDS / SH 回路 1 3 に入力されサンプルホールドされる。CDS / SH 回路 1 3 により、サンプルホールドされた混入画素信号からノイズ画素信号が減じられ、データ画素信号が生成される。

【 0 0 5 2 】

タイミング t_6 では、1 列目の列選択信号 s_c が HIGH に切替えられ、データ画素信号が CDS / SH 回路 1 3 から読出され、CMOS 撮像素子 1 0 から出力される。また、 t_6 のタイミングの前に、行選択信号 s_l は LOW に切替えられる。以後、2、3、...、最終列の列選択信号 s_c が順番に HIGH に切替えられ、データ画素信号が順番に CMOS 撮像素子 1 0 から出力される。

10

【 0 0 5 3 】

上述の図 5 のポテンシャルイメージは、PD 2 1 が飽和しない程度の光量の光を受光したときの PD 2 1、第 1、第 2 の FD 2 2 a、2 2 b の電荷の蓄積状態を示している。ところで、PD 2 1 に光量の極めて大きな光が入射するときの PD 2 1 および第 1、第 2 の FD 2 2 a、2 2 b に蓄積される電荷について、図 8 を用いて説明する。

【 0 0 5 4 】

大きな光量の光を受光すると、PD 2 1 から飽和する信号電荷 S_C が転送トランジスタ 2 3 から漏れ、すなわち第 1 の壁部 W_1 を超えて、第 1 の FD 2 2 a に侵入する。上述のタイミング t_1 では、第 1 の FD 2 2 a に侵入する信号電荷はそのまま電圧源 V_{dd} に排出されるので、第 1、第 2 の FD 2 2 a、2 2 b の電位は電圧源 V_{dd} と等電位となる。

20

【 0 0 5 5 】

次に t_2 においてリセット信号 r を LOW に切替えると、転送トランジスタ 2 3 から漏れてくる信号電荷が排出されないので、第 1 の FD 2 2 a に信号電荷が蓄積されていく。前述のように OFF の状態におけるリセットトランジスタ 2 5 の電位障壁が分断トランジスタ 2 4 の電位障壁より低いので、第 1 の FD 2 2 a に蓄積された信号電荷 S_C は、分断トランジスタ 2 4 から漏れることと無く、リセットトランジスタ 2 5 から電圧源 V_{dd} に漏れ出される（図 9 参照）。

【 0 0 5 6 】

したがって、第 2 の FD 2 2 b の電位は、通常の光を受光するときと同様に、電圧源 V_{dd} の電位からリセットノイズに相当する電位を減じた電位となる。したがって、リセット終了後の第 2 の FD 2 2 b の電位は受光する光の光量に影響されない。前述のようにリセット画素信号は第 2 の FD 2 2 b の電位信号なので、リセット画素信号も受光する光の光量に影響されずに、本来のリセット時の信号レベルのまま CDS / SH 回路 1 3 に送信される。

30

【 0 0 5 7 】

以上のように第 1 の実施形態の CMOS 撮像素子 1 0 によれば、リセット画素信号はリセット時の信号レベルを維持したまま CDS / SH 回路 1 3 に送信されるので、黒化現象の発生が防止される。

【 0 0 5 8 】

また、従来の CMOS 撮像素子では、PD から信号電荷が転送される FD は 1 つであり、転送ゲート電極を挟んで PD に隣接させる必要があった。一方、本実施形態では、電位が画素信号として出力される第 2 の FD 2 2 b を、後述するように、PD 2 1 に隣接しない構造で製造することが可能である。また、第 2 の FD 2 2 b の表面積を単一の FD を用いるときに比べて小さくすることが出来る。PD 2 1 からの第 2 の FD 2 2 b の離間、および第 2 の FD 2 2 b の小型化により、第 2 の FD 2 2 b への光漏れが防がれる。

40

【 0 0 5 9 】

次に、図 1 0 ~ 図 1 5 を用いて、画素 2 0 の構造について説明する。図 1 0 は受光部 1 1 の厚さ方向の断面を示す。基板層 BL の受光面側に、第 1、第 2 の配線層 L 1、L 2 を順番に重ねることによって、受光部 1 1 が形成される。

50

【 0 0 6 0 】

基板層 B L は、基板 3 0、ゲート G によって構成される。基板 3 0 は、p 型半導体層 3 1、n 型半導体層 3 2、および素子分離領域 3 3 によって構成される。p 型半導体層 3 1 の受光面側の表面の一部に、複数の領域に分かれた n 型半導体層 3 2 が埋設される。一つの領域の n 型半導体層 3 2 の表面を p 型半導体層 3 1 によって覆うことにより、埋込み P D 2 1 が形成される。

【 0 0 6 1 】

また、2 つの別の領域の n 型半導体層 3 2 の間における基板 3 0 の表面が、S i O₂ などの絶縁膜 (図示せず) を介してゲート G に接合される。2 つの異なる n 型半導体層 3 2、これらの n 型半導体層 3 2 に挟まれる p 型半導体層 3 1、及びゲート G によって M O S F E T が形成される。

10

【 0 0 6 2 】

また、p 型半導体層 3 1 は、受光面側から見て P D 2 1、n 型半導体層 3 2、及びゲート G が接合される領域以外の領域において素子分離領域 3 3 に接合される。

【 0 0 6 3 】

図 1 1 は単位画素に相当する基板 3 0 の平面を示す。基板 3 0 には画素 2 0 毎に、埋込み P D 2 1、および p 型半導体層 3 1 に n 型半導体層 3 2 を埋設させて形成される第 1 ~ 第 6 の n 型半導体領域 3 4 n 1 ~ 3 4 n 6 が設けられる。P D 2 1 及び第 1 ~ 第 6 の n 型半導体領域 3 4 n 1 ~ 3 4 n 6 は互いに離間するように配置される。なお、第 2 の n 型半導体領域 3 4 n 2 は隣接する第 6 の n 型半導体領域 3 4 n 6 と一体的に形成される。

20

【 0 0 6 4 】

なお、P D 2 1 と第 1 の n 型半導体領域 3 4 n 1 に挟まれる第 1 の p 型半導体領域 3 5 p 1、第 1、第 2 の n 型半導体領域 3 4 n 1、3 4 n 2 に挟まれる第 2 の p 型半導体領域 3 5 p 2、第 1、第 3 の n 型半導体領域 3 4 n 1、3 4 n 3 に挟まれる第 3 の p 型半導体領域 3 5 p 3、第 4、第 5 の n 型半導体領域 3 4 n 4、3 4 n 5 に挟まれる第 4 の p 型半導体領域 3 5 p 4、および第 5、第 6 の n 型半導体領域 3 4 n 5、3 4 n 6 に挟まれる第 5 の p 型半導体領域 3 5 p 5 では p 型半導体層 3 1 が露出しており、後述するようにゲート G が設けられる領域である。また、基板 3 0 において、P D 2 1、第 1 ~ 第 6 の n 型半導体領域 3 4 n 1 ~ 3 4 n 6、および第 1 ~ 第 5 の p 型半導体領域 3 5 p 1 ~ 3 5 p 5 以外の領域は、素子分離領域 3 3 である (図 1 0 参照) 。

30

【 0 0 6 5 】

図 1 2 は基板 3 0 に対するゲートの配置を示す。なお、図 1 1 において示した P D 2 1、および第 1 ~ 第 6 の n 型半導体領域 3 4 n 1 ~ 3 4 n 6 は、図 1 2 において破線を用いて表示する。

【 0 0 6 6 】

第 1 ~ 第 5 の p 型半導体領域 3 5 p 1 ~ 3 5 p 6 それぞれに、S i O₂ などの絶縁膜を介して転送ゲート T G、リセットゲート R G、分断ゲート S P G、行選択ゲート S L G、および増幅ゲート A M P G を配置することにより、転送トランジスタ 2 3、リセットトランジスタ 2 5、分断トランジスタ 2 4、行選択トランジスタ 2 7、および増幅トランジスタ 2 6 が形成される。

40

【 0 0 6 7 】

なお、図 1 3 に示すように、転送ゲート T G は垂直シフトレジスタ 1 2 から行方向に沿って延ばされる。同じ行のすべての画素 2 0 には同じ転送ゲート T G が配置される。転送ゲート T G は転送制御線として用いられ、前述の転送信号 t が流される。

【 0 0 6 8 】

なお、第 1、第 3 の n 型半導体領域 3 4 n 1、3 4 n 3 は、転送され蓄積される電荷に応じて電位が変わり、第 1、第 2 の F D 2 2 a、2 2 b として機能する。

【 0 0 6 9 】

図 1 4 は、第 1 の配線層 L 1 を構成する配線の配置を示す。なお、図 1 2 において示した P D 2 1、第 1 ~ 第 6 の n 型半導体領域 3 4 n 1 ~ 3 4 n 6、転送ゲート T G、リセッ

50

トゲートRG、分断ゲートSPG、行選択ゲートSLG、および増幅ゲートAMPG、は、図14において破線を用いて表示する。

【0070】

第1の配線層L1は、垂直出力線28、電源線36、および第1～第3の層内接続線37s1～37s3によって構成される。

【0071】

垂直出力線28は前述のように受光部11の垂直方向に延びる出力線であって、各画素20の行選択トランジスタ27のソースである第4のn型半導体領域34n4に接続される。なお、垂直出力線28と第4のn型半導体領域34n4とは、受光部11の厚さ方向に延びる第1の層間接続線38t1によって接続される。

10

【0072】

また、以下の説明における第2～第9の層間接続線38t2～38t9は、第1の層間接続線38t1と同様に、受光部11の厚さ方向に延びる接続線であり、基板層BL、および第1、第2の配線層L1、L2を接続するために用いられる。

【0073】

また、電源線36は各列において垂直に延びるように設けられる。電源線36は第2の層間接続線38t2によって第2のn型半導体領域34n2または第6のn型半導体領域34n6に接続される。なお、電源線36の電位はVddに維持され、画素20に対する電圧源Vddとして用いられる。

【0074】

また、第1の層内接続線37s1は、第3の層間接続線38t3によって第3のn型半導体領域34n3に、第4の層間接続線38t4によって増幅ゲートAMPGに接続される。

20

【0075】

また、第2の層内接続線37s2は、第5の層間接続線38t5によってリセットゲートRGに接続される。なお、後述するように、第2の層内接続線37s2は、第2の配線層L2を構成するリセット制御線(図14において図示せず)に接続される。

【0076】

また、第3の層内接続線37s3は、第6の層間接続線38t6によって行選択ゲートSLGに接続される。なお、後述するように、第3の層内接続線37s3は、第2の配線層L2を構成する行選択制御線(図14において図示せず)に接続される。

30

【0077】

図15は、第2の配線層L2に設けられる配線の配置を示す。なお、図14において示したPD21、第1～第6のn型半導体領域34n1～34n6、転送ゲートTG、リセットゲートRG、分断ゲートSPG、行選択ゲートSLG、増幅ゲートAMPG、垂直出力線28、電源線36、および第1～第3の層内接続線37s1～37s3は、図15において破線を用いて表示する。

【0078】

第2の配線層L2は、リセット制御線39r、分断制御線39sp、および行選択制御線39s1によって構成される。なお、リセット制御線39r、分断制御線39sp、および行選択制御線39s1は、リセットトランジスタ25、分断トランジスタ24、および行選択トランジスタ27それぞれに、前述のリセット信号r、分断信号sp、および行選択信号s1を送信するための制御線である。

40

【0079】

リセット制御線39rは、第7の層間接続線38t7によって第2の層内接続線37s2に接続される。したがって、リセット制御線39rは、第2の層内接続線37sを介してリセットゲートRGに接続される。

【0080】

また、分断制御線39spは、第8の層間接続線38t8によって分断ゲートSPGに接続される。

50

【0081】

また、行選択制御線 39s1 は、第9の層間接続線 38t9 によって第3の層内接続線 37s3 に接続される。したがって、行選択制御線 39s1 は、第3の層内接続線 37s3 を介して行選択ゲート SLG に接続される。

【0082】

以上のような CMOS 撮像素子 10 の構造上の効果について、以下に説明する。通常の CMOS 撮像素子の各画素には、スイッチに用いられるトランジスタとして転送トランジスタ、リセットトランジスタ、および行選択トランジスタの3種類のトランジスタが設けられる。それゆえ、それぞれのトランジスタの ON/OFF の切替をするための信号を流す制御線は1行毎に3本必要である。

10

【0083】

一方、本実施形態では、上述のトランジスタに加えて、分断トランジスタ 24 が各画素 20 に設けられるため、分断トランジスタ 24 の分断信号 sp を流す制御線が必要となるため、1行毎に4本必要である。

【0084】

受光面上に形成する制御線の太さおよび制御線同士の間隔は製造上の下限値がある。4本の制御線をすべて第2の配線層 L2 に配置すると、図16に示すように、1本の制御線 39 を PD21 の上に設けざるを得なくなり、PD21 に十分な光量の光を受光させられなくなる点で問題となる。

【0085】

しかし、第1の実施形態では、基板層 BL に形成される転送ゲート TG をそのまま転送制御線として用いるので、第2の配線層 L2 に設ける制御線を減らすことが可能であって、PD21 が光を受光する領域を広く維持することが可能となる。

20

【0086】

次に、本発明の第2の実施形態を適用した CMOS 撮像素子について説明する。第2の実施形態では、第1、第2の FD、リセットトランジスタ、分断トランジスタ、増幅トランジスタ、および行選択トランジスタを垂直方向に連続して並ぶ4画素に共用させる構成において、第1の実施形態と異なる。以下に、第1の実施形態と異なる点を中心に説明する。なお、第1の実施形態と同じ機能を有する部位には、同じ符号を付する。

【0087】

図17に示すように、第1の実施形態と異なり、第2の実施形態の CMOS 撮像素子 100 には、受光部 11 の受光面には複数の画素ブロック 200B がマトリックス状に配列される。また、各画素ブロック 200b の内部には4つの画素が配置される。

30

【0088】

第1の実施形態と異なり、第2の実施形態では全画素読出しだけでなく、加算読出しも可能である。なお、全画素読出しとは、生成した画素信号を画素 200 毎に読出すことである。また、加算読出しとは、同じ画素ブロック 200B 内の画素 200 の画素信号を加算し、加算された画素信号を画素ブロック 200B 毎に読出すことである。

【0089】

読出しを行う画素 200 は垂直シフトレジスタ 12 および水平シフトレジスタ 14 により選択される。また、加算読出しを行うときの加算動作および読出しを行なう画素ブロック 200B の選択も垂直シフトレジスタ 12 および水平シフトレジスタ 14 により実行される。

40

【0090】

受光部 11 の構成についてさらに詳細に説明する。図18は画素ブロック 200B の回路構成を示す回路図である。前述のように、受光部 11 には、複数の画素ブロック 200B がマトリックス状に配置される。

【0091】

また、画素ブロック 200B 内部には、4個の画素 200 が1列に並ぶように配置される。さらに、画素ブロック 200B には、第1、第2の FD 22a、22b、リセットト

50

ランジスタ 25、分断トランジスタ 24、増幅トランジスタ 26、および行選択トランジスタ 27 が設けられる。

【0092】

各画素 200 には、PD 21 と転送トランジスタ 23 とが設けられる。転送トランジスタ 23 を制御するための転送制御線（図示せず）は行毎に設けられる。例えば、上から 1、2、3、4 行目の画素 200 の転送トランジスタ 23 には、転送信号 t1、t2、t3、t4 が入力される。

【0093】

同じ画素ブロック 200B の各画素 200 の 4 つの転送トランジスタ 23 は FD 線 29 に並列に接続される。FD 線 29 は、第 1 の FD 22a に接続される。また、第 1 の FD 22a は、分断トランジスタ 24 を介して第 2 の FD 22b に接続される。第 2 の FD 22b は増幅トランジスタ 26 のゲートに接続される。増幅トランジスタ 26 のソースは、行選択トランジスタ 27 を介して垂直出力線 28 に接続される。

10

【0094】

同じ画素ブロック 200B の各画素 200 における PD 21 が蓄積する信号電荷が、転送トランジスタ 23 により第 1 の FD 22a に転送される。なお、転送トランジスタ 23 を導通させる時期を調整することにより、各画素 200 の信号電荷の個別読出しまたは加算読出しのいずれかを実行可能である。

【0095】

なお、第 1 の実施形態と同様に、分断トランジスタ 24 が導通するとき、第 1 の FD 22a に転送された信号電荷の一部が、第 2 の FD 22b に転送される。また、第 1 の実施形態と同様に、第 1、第 2 の FD 22a、22b の電位は蓄積する電荷に応じて変わる。

20

【0096】

増幅トランジスタ 26 によって、第 2 の FD 22b の電位に応じた信号電位が画素信号として出力可能となる。行選択トランジスタ 27 が ON になるときに、増幅トランジスタ 26 によって出力可能となった画素信号が、垂直出力線 28 に出力される。

【0097】

分断トランジスタ 24 および行選択トランジスタ 27 のゲートは、それぞれ分断制御線（図示せず）および行選択制御線（図示せず）に接続される。分断制御線、および行選択制御線それぞれには、垂直シフトレジスタ 12 から HIGH、LOW が切替わる分断信号 sp、および行選択信号 sl が流される。

30

【0098】

なお、分断制御線および行選択制御線は、画素ブロック 200B が並ぶ行毎にそれぞれ設けられる。同じ行に配置される画素ブロック 200B の分断トランジスタ 24 および行選択トランジスタ 27 のゲートは、それぞれ同じ分断制御線および行選択制御線に接続され、同じタイミングで ON/OFF が切替えられる。

【0099】

FD 線 29 は、リセットトランジスタ 25 を介して電圧源 Vdd に接続される。第 1 の実施形態と同様に、リセットトランジスタ 25 が ON になるときに、第 1 の FD 22a に蓄積された電荷は電圧源 Vdd に掃き出されてリセットされる。また、第 1 の実施形態と同様に、分断トランジスタ 24 を ON にしながらリセットトランジスタ 25 を ON にすることにより、第 2 の FD 22b に蓄積された電荷も電圧源 Vdd に吐き出されてリセットされる。

40

【0100】

なお、第 1 の実施形態と同様に、リセットトランジスタ 25 の電位障壁は、分断トランジスタ 24 の電位障壁より低くなるように、形成される。

【0101】

リセットトランジスタ 25 のゲートは、リセット制御線（図示せず）に接続される。リセット制御線には、HIGH、LOW の切替わるリセット信号 r が垂直シフトレジスタ

50

12から流される。リセット制御線は、画素ブロック200Bが並ぶ行毎に設けられる。同じ行に配置される画素ブロック200Bのリセットトランジスタ15のゲートは、同じリセット制御線に接続され、同じタイミングでON/OFFが切替えられる。

【0102】

垂直出力線28は、受光部11を垂直に延びる線であり、同じ列の複数の画素ブロック200Bにおける行選択トランジスタ27に接続される。垂直出力線28は、受光面の上方において電流源Isに接続される。各行の垂直出力線28は、受光面の下方において別々にCDS/SH回路13に接続される。

【0103】

第1の実施形態と同様に、CDS/SH回路13により、リセット画素信号と混入画素信号とに対して相関二重サンプリングが施される。相関二重サンプリングにより、データ画素信号が出力可能となる。第1の実施形態と同様に、データ画素信号は、列選択トランジスタ16および水平出力線15を介してCMOS撮像素子100から出力される。

10

【0104】

上述のような構成であるCMOS撮像素子100の全画素読出し時の動作を図19のタイミングチャートを用いて説明する。

【0105】

画素ブロック200Bが選択される前、即ち行選択信号s1がLOWであるt1のタイミングにおいて、リセット信号rおよび分断信号spがHIGHに維持される。第1の実施形態と同じく、この状態において第1、第2のFD22a、22bはリセットされ第1、第2のFD22a、22bに蓄積されていた信号電荷は電圧源Vddに排出される。

20

【0106】

タイミングt2において、行選択信号s1がHIGHに切替えられ、画素信号を出力させる画素ブロック200Bが選択される。なお、行選択信号s1は、相関二重サンプリングが終了するまでHIGHに維持される。また、リセット信号rおよび分断信号spがLOWに切替えられる。

【0107】

タイミングt3において、プレホールド信号shpがHIGHに切替えられる。分断トランジスタ24はOFFであるので、第2のFD22bの電位に応じた電位信号がノイズ画素信号としてCDS/SH回路13に入力され、サンプルホールドされる。

30

【0108】

タイミングt4において、分断信号spがHIGHに切替えられ、第1、第2のFD22a、22b間が導通される。また、画素ブロック200Bの第1行目の転送信号t1がHIGHに切替えられ、画素ブロック200Bの第1行目の画素200のPD21に蓄積された信号電荷が第1のFD22a、および第1のFD22aを介して第2のFD22bに転送される。

【0109】

タイミングt5において、データホールド信号shdがHIGHに切替えられ、第2のFD22bの電位に応じた電位信号が混入画素信号としてCDS/SH回路13に入力されサンプルホールドされる。CDS/SH回路13により、サンプルホールドされた混入画素信号からノイズ画素信号が減じられ、データ画素信号が生成される。

40

【0110】

タイミングt6では、1列目の列選択信号scがHIGHに切替えられ、データ画素信号がCDS/SH回路13から読出され、CMOS撮像素子100から出力される。また、t6のタイミングの前に、行選択信号s1は一旦LOWに切替えられる。以後、2、3、...、最終列の列選択信号scが順番にHIGHに切替えられ、データ画素信号が順番にCMOS撮像素子100から出力される。

【0111】

最終列の列選択信号scがHIGHからLOWに切替えられた後のタイミングt7で

50

は、タイミング t_2 で選択された行と同じ画素ブロック $200B$ の行の行選択信号 s_1 が HIGH に、リセット信号 r および分断信号 s_p が LOW に切替えられる。タイミング t_8 では、タイミング t_3 と同じく、プレホールド信号 s_{hp} が HIGH に切替えられる。

【0112】

タイミング t_9 では、タイミング t_4 と同じく、分断信号 s_p が HIGH に切替えられる。一方、タイミング t_4 と異なり、画素ブロック $200B$ の第2行目の転送信号 t_2 が HIGH に切替えられ、画素ブロック $200B$ の第2行目の画素 200 の PD21 に蓄積された信号電荷が第1の FD22a、および第1の FD22a を介して第2の FD22b に転送される。

10

【0113】

以後は、タイミング t_5 、タイミング t_6 と同様にして、データ画素信号が順番に CMOS 撮像素子 100 から出力される。

【0114】

以後タイミング $t_2 \sim t_6$ と同様の動作を実行しながら、第3、第4行目の転送信号を HIGH に切替える（タイミング t_{10} 、タイミング t_{11} 参照）ことにより、単一の行の画素ブロック $200B$ の4行に並ぶ画素 200 からデータ画素信号が出力される。

【0115】

上述のような構成である CMOS 撮像素子 200 の加算読出し時の動作を図20のタイミングチャートを用いて説明する。

20

【0116】

加算読出しにおいては、同じ画素ブロック $200B$ の1、3行目の画素 200 の信号電荷が同時に第1、第2の FD22a、22b に転送され、1、3行目の画素 200 の信号電荷の合計に応じたデータ画素信号が出力される。また、同じ画素ブロック $200B$ の2、4行目の画素 200 の信号電荷が第1、第2の FD22a、22b に転送され、2、4行目の画素 200 の信号電荷の合計に応じたデータ画素信号が出力される。

【0117】

プレホールド信号を HIGH に切替えるまでは（図19タイミング $t_1 \sim t_3$ 参照）、全画素読出しとまったく同じ動作が実行される。

【0118】

30

プレホールド信号を HIGH に切替えた後のタイミング t_1 （図20参照）において、分断信号 s_p が HIGH に切替えられ、第1、第2の FD22a、22b 間が導通される。また、画素ブロック $200B$ の第1、第3行目の転送信号 t_1 、 t_3 が HIGH に切替えられ、画素ブロック $200B$ の第1、第3行目の画素 200 の PD21 に蓄積された信号電荷が第1、第2の FD22a、22b に転送される。

【0119】

以後は、全画素読出しとまったく同じ動作が実行され、全列における加算されたデータ画素信号が順番に CMOS 撮像素子 100 から出力される。同じ行の画素ブロック $200B$ 内の第1、第3行目の画素 200 からの加算した画素信号の出力が終わると、またプレホールド信号を HIGH に切替えるまで、全画素読出しとまったく同じ動作が実行される（図19タイミング t_7 、タイミング t_8 参照）。

40

【0120】

プレホールド信号を HIGH に切替えた後のタイミング t_2 において、分断信号 s_p が HIGH に切替えられ、第1、第2の FD22a、22b 間が導通される。また、画素ブロック $200B$ の第2、第4行目の転送信号 t_2 、 t_4 が HIGH に切替えられ、画素ブロック $200B$ の第2、第4行目の画素 200 の PD21 に蓄積された信号電荷が第1、第2の FD22a、22b に転送される。

【0121】

以後は、全画素読出しとまったく同じ動作が実行され、全列における加算されたデータ画素信号が順番に CMOS 撮像素子 100 から出力される。

50

【 0 1 2 2 】

以上のような構成である第2の実施形態のCMOS撮像素子100によっても、リセット画素信号はリセット時の信号レベルを維持したままCDS/SH回路13に送信されるので、黒化現象の発生が防止される。

【 0 1 2 3 】

また、リセットトランジスタ25、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27を4つの画素200に対して、一つずつ共用させる構成なので、受光部11の表面積に占めるPD21の開口の面積の割合を増加させることが可能である。

【 0 1 2 4 】

また、第1の実施形態と異なり、CMOS撮像素子100に全画素読出し、または加算読出しを実行させることが可能となる。

【 0 1 2 5 】

次に、図21～図24を用いて、画素ブロック200Bの構造について説明する。第2の実施形態のCMOS撮像素子100の受光部11も、第1の実施形態と同様に、基板層BL上に、第1、第2の配線層L1、L2を重ねることによって形成される(図10参照)。

【 0 1 2 6 】

また、第1の実施形態と同じく、基板層BLはp、n型半導体層31、32および素子分離領域33を有する基板30とゲートGとによって構成される。また、第1の実施形態と同じく、基板30には埋込みPD21が形成される。

【 0 1 2 7 】

図21は、画素ブロック200Bに相当する基板30の平面図である。画素ブロック200Bは、列方向に連続する4つの単位画素領域40上に形成される。単位画素領域40内に単一の画素200が形成される。

【 0 1 2 8 】

画素200毎に埋込みPD21、およびp型半導体層31にn型半導体層32を埋設させて形成される第1のn型半導体領域340n1が設けられる。また、PD21と第1のn型半導体領域340p1とに挟まれる第1のp型半導体領域350p1はp型半導体層31が露出しており、転送ゲート(図21において図示せず)が設けられる。

【 0 1 2 9 】

また、画素ブロック200Bにおける上から1行目の単位画素領域40内には、第2、第3のn型半導体領域340n2、340n3、2行目の単位画素領域40内には、第4、第5のn型半導体領域340n4、340n5、3行目の単位画素領域40内には、第6、第7のn型半導体領域340n6、340n7、4行目の単位画素領域40内には、第8、第9のn型半導体領域340n8、340n9が設けられる。

【 0 1 3 0 】

なお、第2～第9のn型半導体領域340n2～340n9は、画素200の列方向に平行となるように配置される。また、第2、第4、第6、および第8のn型半導体領域340n2、340n4、340n6、340n8は、それぞれの単位画素領域40の中で相対的に同じ位置に設けられる。また、第3、第5、第7、第9のn型半導体領域340n3、340n5、340n7、340n9は、それぞれの単位画素領域40の中で相対的に同じ位置に設けられる。

【 0 1 3 1 】

また、第2、第3のn型半導体領域340n2、340n3に挟まれる第2のp型半導体領域350p2、第4、第5のn型半導体領域340n4、340n5に挟まれる第3のp型半導体領域350p3、第6、第7のn型半導体領域340n6、340n7に挟まれる第4のp型半導体領域350p4、第8、第9のn型半導体領域340n8、340n9に挟まれる第5のp型半導体領域350p5にはp型半導体層が露出しており、後述のようにゲートGが設けられる。

10

20

30

40

50

【 0 1 3 2 】

基板 3 0 表面において、P D 2 1、第 1 ~ 第 9 の n 型半導体領域 3 4 0 n 1 ~ 3 4 0 n 9、および第 1 ~ 第 5 の p 型半導体領域 3 5 0 p 1 ~ 3 5 0 p 5 以外の領域は素子分離領域 3 3 である。

【 0 1 3 3 】

図 2 2 は、基板 3 0 に対するゲートの配置を示す。前述のように、第 1 の p 型半導体領域 3 5 0 p 1 には、S i O 2 などの絶縁膜を介して転送ゲート T G が設けられる。また、第 2、第 3、第 4、第 5 の p 型半導体領域 3 5 0 p 2、3 5 0 p 3、3 5 0 p 4、3 5 0 p 5 それぞれには、絶縁膜を介してリセットゲート R G、分断ゲート S P G、増幅ゲート A M P G、および行選択ゲート S L G が配置される。

10

【 0 1 3 4 】

図 2 3 は、第 1 の配線層 L 1 を構成する配線の配置を示す。第 1 の配線層 L 1 は、F D 線 2 9、垂直出力線 2 8、第 1 ~ 第 6 の層内接続線 3 7 0 s 1 ~ 3 7 0 s 6 によって構成される。

【 0 1 3 5 】

F D 線 2 9 は、列方向に延びる線であって、同じ画素ブロック 2 0 0 B の 4 つの画素 2 0 0 の転送トランジスタ 2 3 のソースである第 1 の n 型半導体領域 3 4 0 n 1 に接続される。なお、F D 線 2 9 と第 1 の n 型半導体領域 3 4 0 n 1 は、第 1 の層間接続線 3 8 0 t 1 によって接続される。

【 0 1 3 6 】

また、以下の説明における第 2 ~ 第 1 6 の層間接続線 3 8 0 t 2 ~ 3 8 0 t 1 6 は、第 1 の層間接続線 3 8 0 t 1 と同様に、受光部 1 1 の厚さ方向に延びる接続線であり、基板層 B L、および第 1、第 2 の配線層 L 1、L 2 を接続するために用いられる。また、F D 線 2 9 は、第 2 の層間接続線 3 8 0 t 2 によりリセットトランジスタ 2 5 のソースである第 3 の n 型半導体領域 3 4 0 n 3 に接続される。

20

【 0 1 3 7 】

垂直出力線 2 8 も列方向に延びる線であって、同じ列に配置される画素ブロック 2 0 0 B の行選択トランジスタ 2 7 のソースである第 9 の n 型半導体領域 3 4 0 n 9 に第 3 の層間接続線 3 8 0 t 3 によって接続される。また、垂直出力線 2 8 は、同じ列に配置される画素ブロック 2 0 0 B の分断トランジスタ 2 4 のドレインである第 4 の n 型半導体領域 3 4 0 n 4 に第 4 の層間接続線 3 8 0 t 4 によって接続される。

30

【 0 1 3 8 】

第 1 の層内接続線 3 7 0 s 1 は、第 5 の層間接続線 3 8 0 t 5 によって分断トランジスタ 2 4 のソースである第 5 の n 型半導体領域 3 4 0 n 5 に、また第 6 の層間接続線 3 8 0 t 6 によって増幅ゲート A M P G に接続される。

【 0 1 3 9 】

第 2 の層内接続線 3 7 0 s 2 は、第 7 の層間接続線 3 8 0 t 7 によって増幅トランジスタ 2 6 のソースである第 7 の n 型半導体領域 3 4 0 n 7 に、また第 8 の層間接続線 3 8 0 t 8 によって行選択トランジスタ 2 7 のドレインである第 8 の n 型半導体領域 3 4 0 n 8 に接続される。

40

【 0 1 4 0 】

第 3 の層内接続線 3 7 0 s 3 は、第 9 の層間接続線 3 8 0 t 9 によって各画素 2 0 0 の転送ゲート T G に接続される。第 4 の層内接続線 3 7 0 s 4 は、第 1 0 の層間接続線 3 8 0 t 1 0 によってリセットゲート R G に接続される。第 5 の層内接続線 3 7 0 s 5 は、第 1 1 の層間接続線 3 8 0 t 1 1 によって分断ゲート S P G に接続される。第 6 の層内接続線 3 7 0 s 6 は、第 1 2 の層間接続線 3 8 0 t 1 2 によって行選択ゲート S L G に接続される。

【 0 1 4 1 】

図 2 4 は、第 2 の配線層 L 2 を構成する配線の配置を示す。第 2 の配線層 L 2 は、転送制御線 3 9 t、リセット制御線 3 9 r、分断制御線 3 9 s p、および行選択制御線 3 9 s

50

1によって構成される。なお、基板30を接地するための接地線39g、およびFD線29と垂直出力線28との間を遮光するための遮光板39shも第2の配線層L2に配置される。

【0142】

転送制御線39tは行方向に延びる制御線であり、画素200が並ぶ行毎に設けられ、第13の層間接続線380t13によって第3の層内接続線370s3に接続される。したがって、転送制御線39tは第3の層内接続線370s3を介して、転送ゲートTGに接続される。

【0143】

リセット制御線39rは行方向に延びる制御線であり、画素ブロック200Bの1行目の画素200が並ぶ行毎に設けられ、第14の層間接続線380t14によって第4の層内接続線370s4に接続される。したがって、リセット制御線39rは第4の層内接続線370s4を介してリセットゲートRGに接続される。

【0144】

分断制御線39spは行方向に延びる制御線であり、画素ブロック200Bの2行目の画素200が並ぶ行毎に設けられ、第15の層間接続線380t15によって第5の層内接続線370s5に接続される。したがって、分断制御線39spは第5の層内接続線370s5を介して分断ゲートSPGに接続される。

【0145】

行選択制御線39slは行方向に延びる制御線であり、画素ブロック200Bの4行目の画素200が並ぶ行毎に設けられ、第16の層間接続線380t16によって第6の層内接続線370s6に接続される。したがって、行選択制御線39slは第6の層内接続線370s6を介して行選択ゲートSLGに接続される。

【0146】

なお、前述の接地線39gは行方向に延び、画素ブロック200Bの3行目の画素200が並ぶ行毎に設けられる。基板30と接地線39gとを接続することにより、基板30が接地される。

【0147】

以上のような第2の実施形態のCMOS撮像素子100の構造によれば、リセットトランジスタ25、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27を4つの画素200で共用しながら、単位画素領域40に設けられるトランジスタの個数を一致させることが可能になる。

【0148】

例えば、画素ブロック200Bの1行目の単位画素領域40には転送トランジスタ23とリセットトランジスタ25とが、2行目の単位画素領域40には転送トランジスタ23と分断トランジスタ24とが、3行目の単位画素領域40には転送トランジスタ23と増幅トランジスタ26とが、4行目の単位画素領域40には転送トランジスタ23と行選択トランジスタ27とが設けられる。

【0149】

このように、単位画素領域40に設けられるトランジスタの個数を一致させることにより、PD21の開口率を増加させることが可能である。一部の単位画素領域40に多くのトランジスタが形成されると、当該単位画素領域40においてPD21を形成する領域が狭くなる。一方で、本実施形態では、共用するトランジスタが分散されるので、PD21の開口率を増加可能となる。

【0150】

また、単位画素領域40に設けられるトランジスタの個数を一致させることにより、全画素200に対して規則的なトランジスタの配置が可能となるため、各画素200の特性のバラつきが改善される。

【0151】

また、以上のような第2の実施形態のCMOS撮像素子100の構造によれば、第2～

10

20

30

40

50

第9のn型半導体領域340n2~340n9が画素200の列方向に平行となるように配置されることにより、4つの画素200で共用されるリセットトランジスタ25、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27は同じ向きになるように、形成される。

【0152】

CMOS撮像素子の製造においては、層毎に異なるフォトマスクを用いて露光することにより各層が形成される。半導体基板形成時とゲート電極形成時との間にフォトマスクの位置ズレが生じるが、これらのトランジスタの向きが同じであれば位置ズレの影響も同じとなる。それゆえ、画素信号のばらつきを防ぐことが可能になる。

【0153】

また、以上のような第2の実施形態のCMOS撮像素子100の構造によれば、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27が順番に連続して並ぶように形成されるので、PD21の開口率が改善される。

【0154】

前述のように、増幅トランジスタ26は分断トランジスタ24と行選択トランジスタ27とに接続されるので、第1の配線層L1に増幅トランジスタ26と分断トランジスタ24とを接続する接続線および増幅トランジスタ26と行選択トランジスタ27とを接続する接続線が形成される必要がある。

【0155】

したがって、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27の配置の順番の変更する場合には、図25に示すように、増幅トランジスタ26と分断トランジスタ24とを接続する層内接続線370'、および増幅トランジスタ26と行選択トランジスタ27とを接続する層内接続線370"が2列に並ぶため、PD21'の行方向の長さが短くなる。

【0156】

また、これらの間にリセットトランジスタ25などを配置する場合には、図26に示すように、リセットトランジスタ25とFD線29との接続点41'、および増幅トランジスタ26と分断トランジスタ37と接続する層内接続線370"を重ねないようにするためにFD線29と垂直出力線28との間隔を広げる必要がある。したがって、PD21'の行方向の長さが短くなる。

【0157】

一方、本実施形態では、前述のように分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27が順番に連続して並ぶので、PD21を行方向に長くすることが可能であり、開口率の増加が可能である。

【0158】

なお、第1、第2の実施形態では、OFFにしているときの電位障壁がリセットトランジスタ25より分断トランジスタ24の方が低くなるように形成される。しかし、分断トランジスタ24をOFFにしているときの電位障壁をどのように定めてもよい。分断トランジスタ24をOFFにしているときの電位障壁は、リセットトランジスタ25と同じでも、高くてもよい。

【0159】

PD21から漏れ出た信号電荷がさらに第1のFD22aから溢れる前に、第2のFD22bからリセット画素信号を出力できれば黒化現象を防止することは可能である。ただし、PD21から信号電荷が漏れ出す場合には、第1、第2のFD22a、22bのリセット後からリセット画素信号を出力する前に第1のFD22aから信号電荷が溢れる可能性が高い。したがって、第1、第2の実施形態のように、OFFにしているときの電位障壁がリセットトランジスタ25より低くなるように、分断トランジスタ24を形成することが好ましい。

【0160】

また、第1の実施形態では転送ゲートTGを転送制御線として用いる構成であるが、図

10

20

30

40

50

16に示すように、転送制御線を第2の配線層L2に設ける構成であってもよい。転送制御線を第2の配線層L2に設けても、黒化現象を防ぐことは可能である。ただし、第1の実施形態のように転送ゲートTGを転送制御線として用いることが、開口率を増加させるために好ましい。

【0161】

また、第2の実施形態では、リセットトランジスタ25、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27が同じ画素ブロック200Bの4つの画素200に別々に分散させて配置される構成であるが、分散させなくてもよい。分散させなくても、黒化現象を防ぐことは可能である。ただし、第2の実施形態のように、4つのトランジスタを画素ブロック200Bの中で分散させて配置させることが、開口率を増加させるために好ましい。

10

【0162】

また、第2の実施形態では、リセットトランジスタ25、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27が同じ向きとなるように形成される構成であるが、同じ向きでなくてもよい。同じ向きでなくても、黒化現象を防止することは可能である。ただし、第2の実施形態のように、同じ向きを向くようにリセットトランジスタ25、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27を形成することが、画素信号のバラつきを防ぐために好ましい。

【0163】

また、第2の実施形態において、分断トランジスタ24、増幅トランジスタ26、および行選択トランジスタ27が順番に連続して並ぶように配置される構成であるが、順番が異なってもよいし、連続していなくてもよい。このような順番で連続して並ぶように配置されなくても、黒化現象を防ぐことは可能である。ただし、第2の実施形態のように、これらのトランジスタを順番に連続して並ぶように配置することが、開口率の増加のために好ましい。

20

【0164】

また、第1、第2の実施形態において、画素20、200に第1、第2のFD22a、22bを形成したが、フローティングゲートであってもよく、転送された信号電荷に応じて電位が変わるいかなるキャパシタであってもよい。

【0165】

また、第1、第2の実施形態において、受光部11の各トランジスタはMOSFETであるが、他のいかなるトランジスタであってもよい。さらに、本実施形態において、受光部11に設けられたトランジスタはnチャンネル型であるが、pチャンネル型であってもよい。ただし、pチャンネル型である場合は、各トランジスタの接続において電圧の高低を入れ替える必要がある。

30

【0166】

また、第1、第2の実施形態における撮像素子はCMOS撮像素子であるが、他のXYアドレス方式の撮像素子にも適用可能である。

【図面の簡単な説明】

【0167】

【図1】本発明の第1の実施形態を適用したCMOS撮像素子の全体構成を模式的に示す構成図である。

40

【図2】第1の実施形態の画素の構成を示す回路図である。

【図3】第1の実施形態のCMOS撮像素子の読出し時の動作について説明するためのタイミングチャートである。

【図4】各トランジスタをOFFにしたまま、光を受光していない状態におけるPD、第1、第2のFDに蓄積される電荷を示す概念図である。

【図5】タイミングt1におけるPD、第1、第2のFDに蓄積される電荷を示す概念図である。

【図6】タイミングt2におけるPD、第1、第2のFDに蓄積される電荷を示す概念図

50

である。

【図7】タイミング t_4 における PD、第1、第2のFDに蓄積される電荷を示す概念図である。

【図8】タイミング t_1 において、PDに光量の極めて大きな光が入射するときのPD、第1、第2のFDに蓄積される電荷を示す概念図である。

【図9】タイミング t_2 において、PDに光量の極めて大きな光が入射するときのPD、第1、第2のFDに蓄積される電荷を示す概念図である。

【図10】受光部の厚さ方向の断面図である。

【図11】単位画素に相当する基板の平面図である。

【図12】図11の基板に対するゲートの配置図である。

【図13】転送ゲートの形状を示す図である。

【図14】第1の実施形態における第1の配線層を構成する配線の配置図である。

【図15】第1の実施形態における第2の配線層を構成する配線の配置図である。

【図16】第2の配線層に4本の制御線を設ける場合におけるそれぞれの制御線の配置図である。

【図17】本発明の第2の実施形態を適用したCMOS撮像素子の全体構成を模式的に示す構成図である。

【図18】第2の実施形態の画素ブロックの回路構成を示す回路図である。

【図19】全画素読出しを行うときのCMOS撮像素子の動作を説明するためのタイミングチャートである。

【図20】加算読出しを行うときのCMOS撮像素子の動作を説明するためのタイミングチャートである。

【図21】画素ブロックに相当する基板の平面図である。

【図22】図21の基板に対するゲートの配置図である。

【図23】第2の実施形態における第1の配線層を構成する配線の配置図である。

【図24】第2の実施形態における第2の配線層を構成する配線の配置図である。

【図25】分断トランジスタ、増幅トランジスタ、行選択トランジスタの順番で配置しなかった場合の第1の配線層を構成する配線の配置図である。

【図26】分断トランジスタと増幅トランジスタとの間にリセットトランジスタを配置した場合の第1の配線層を構成する配線の配置図である。

【図27】従来のCMOS撮像素子における画素の構成を示す回路図である。

【図28】従来のCMOS撮像素子の撮像時の動作を説明するためのタイミングチャートである。

【符号の説明】

【0168】

10、100 CMOS撮像素子

20、200、20" 画素

200B 画素ブロック

21、21" フォトダイオード(PD)

22a、22b 第1、第2のフローティングディフュージョン(FD)

24 分断トランジスタ

25、25" リセットトランジスタ

26、26" 増幅トランジスタ

27、27" 行選択トランジスタ

28、28" 垂直出力線

29 FD線

34n1~34n6 第1~第6のn型半導体領域

340n1~340n9 第1~第9のn型半導体領域

35p1~35p6 第1~第5のp型半導体領域

350p1~350p6 第1~第5のp型半導体領域

10

20

30

40

50

39r、39s1、39sp、39t リセット制御線、行選択制御線、分断制御線、転送制御線

40 単位画素領域

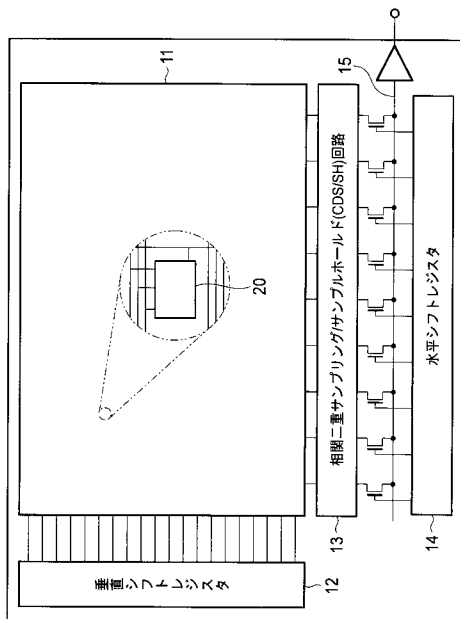
AMP G、R G、T G、S L G、S P G 増幅ゲート、リセットゲート、転送ゲート、行選択ゲート、分断ゲート

S C 信号電荷

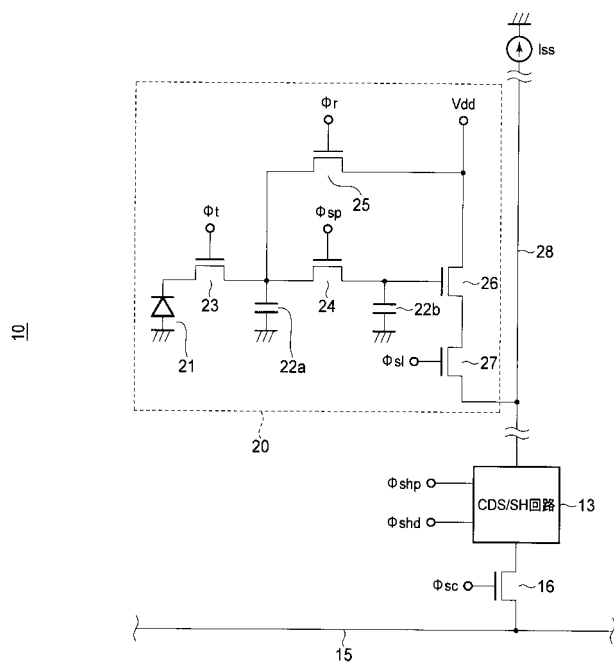
V d d 電源線

W 1、W 2、W 3 第 1、第 2、第 3 の壁部

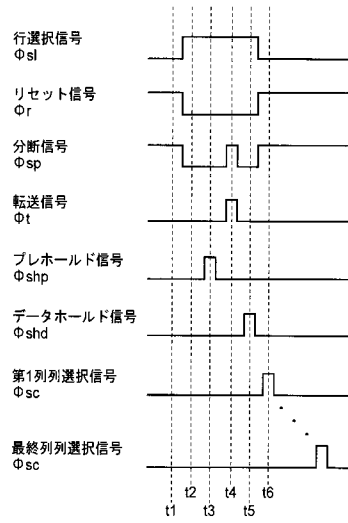
【図 1】



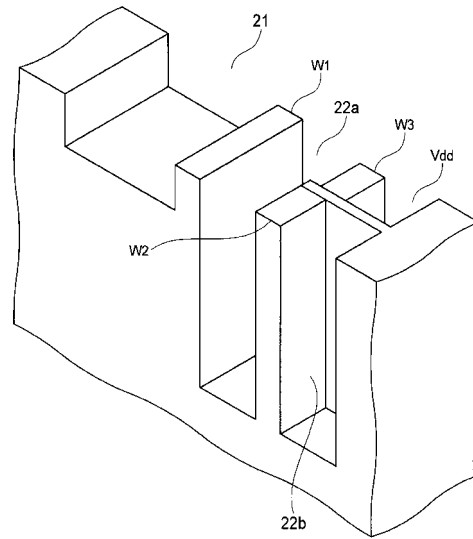
【図 2】



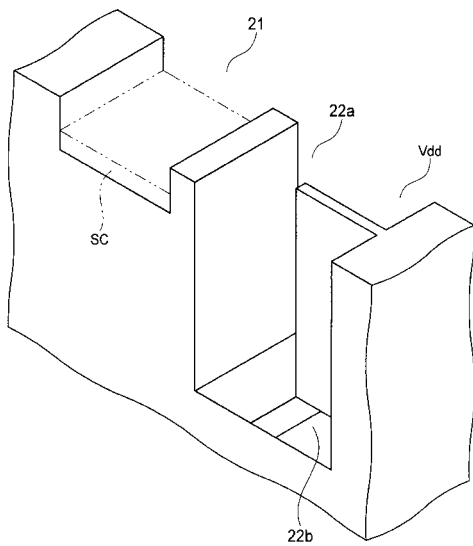
【図3】



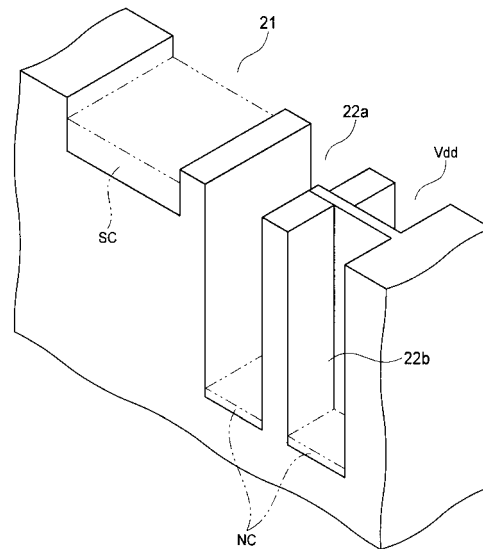
【図4】



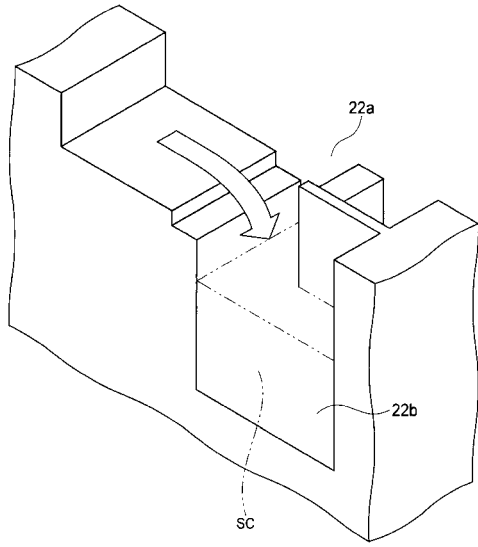
【図5】



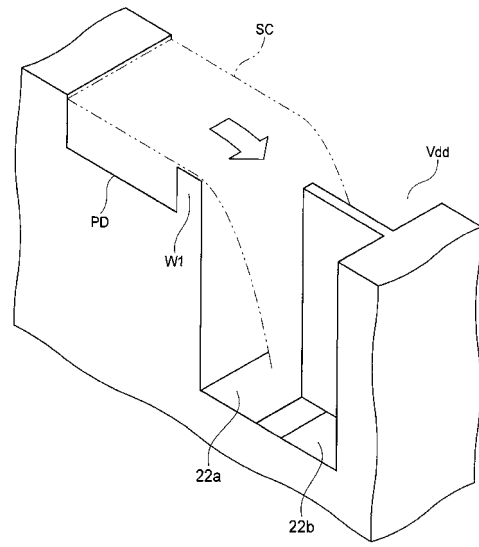
【図6】



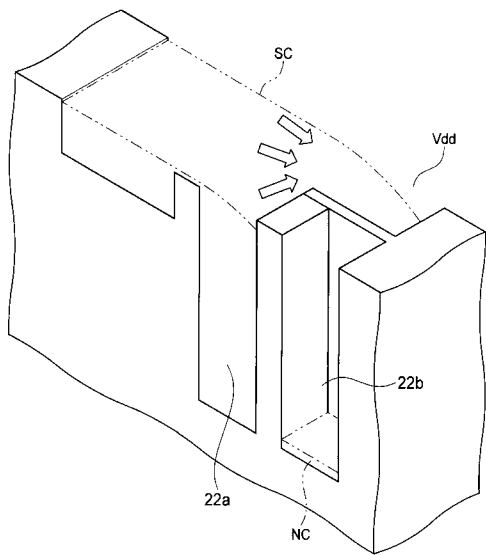
【図7】



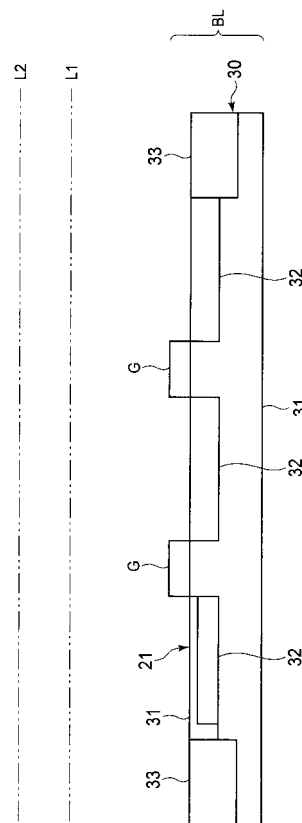
【図8】



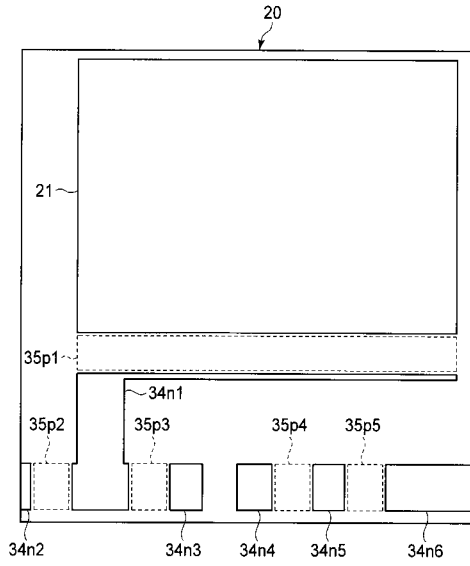
【図9】



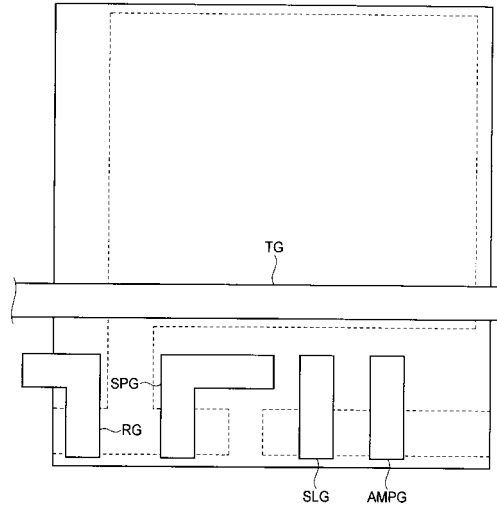
【図10】



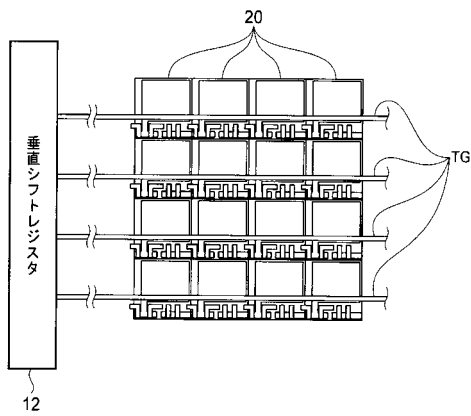
【図 1 1】



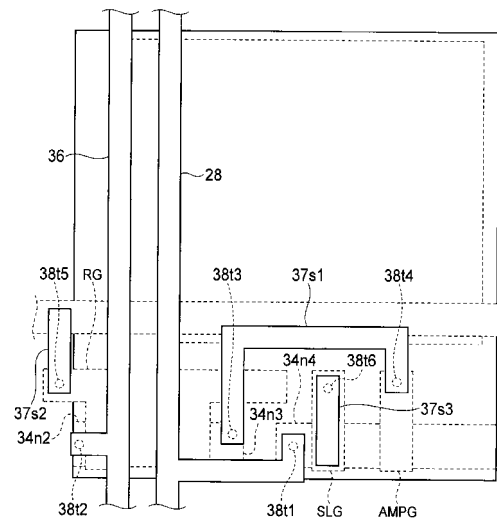
【図 1 2】



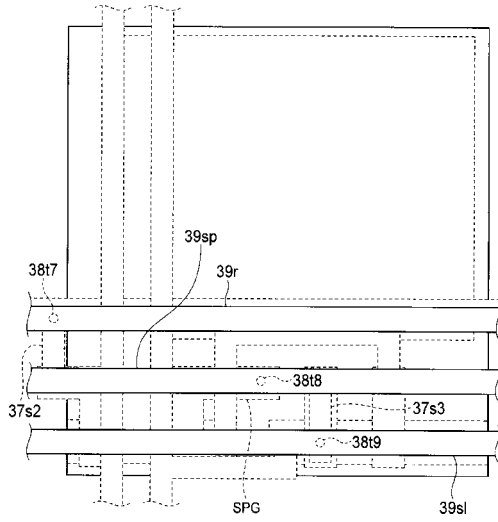
【図 1 3】



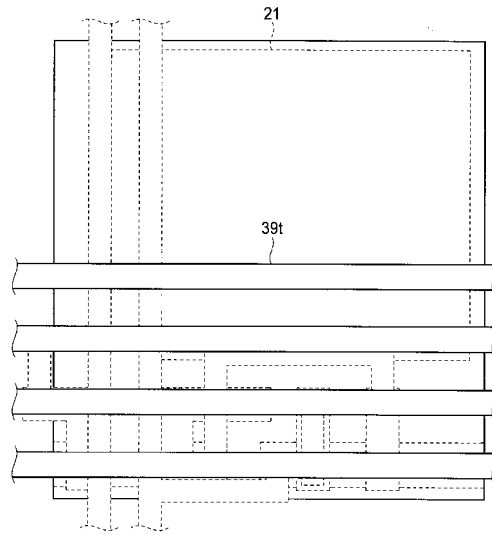
【図 1 4】



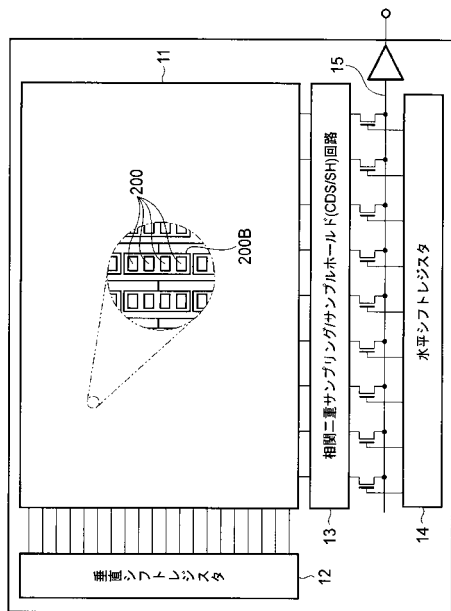
【図15】



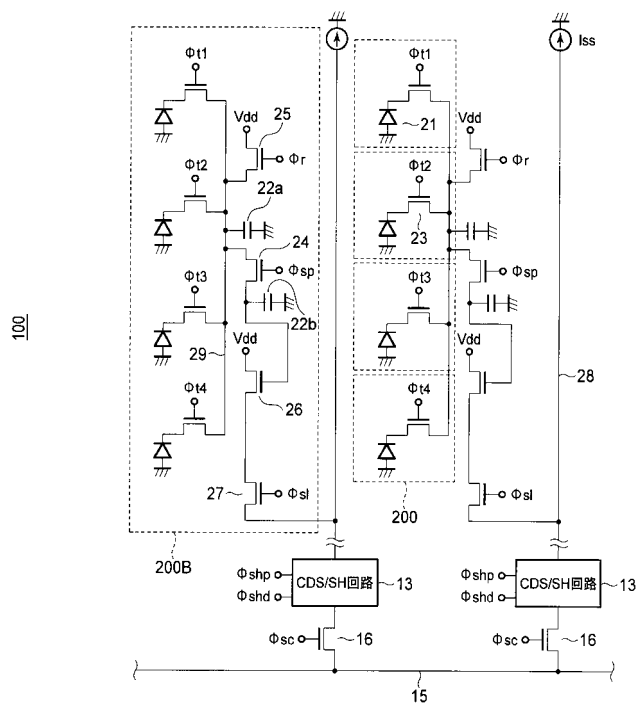
【図16】



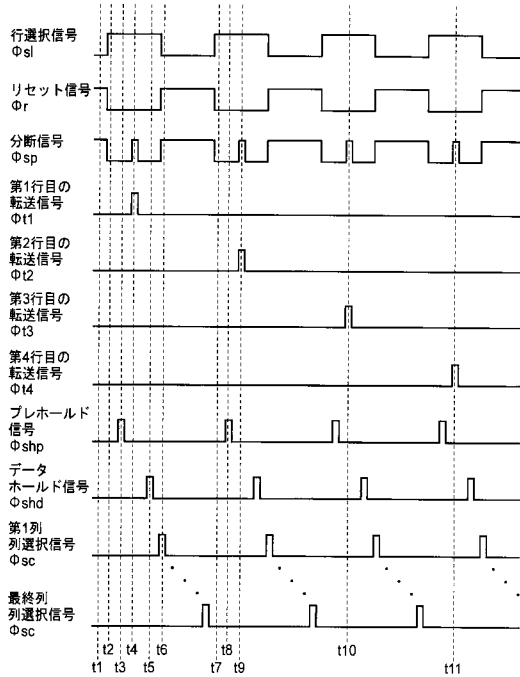
【図17】



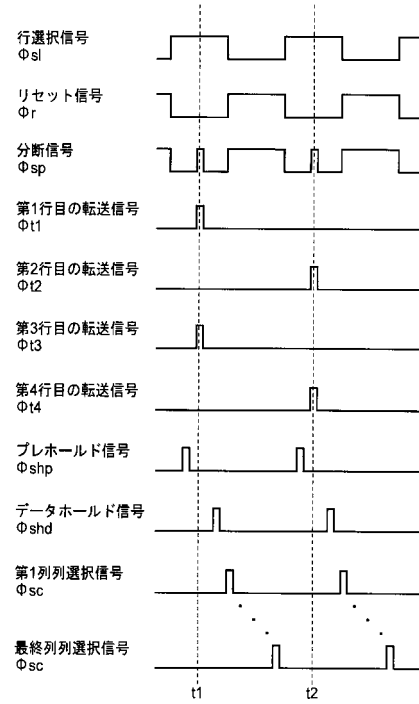
【図18】



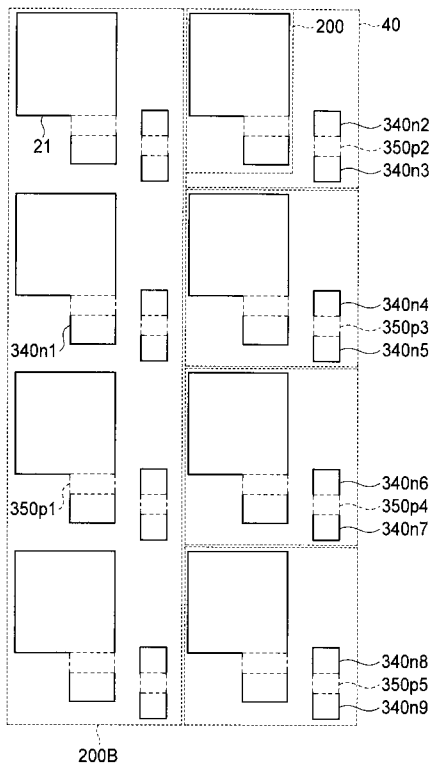
【図19】



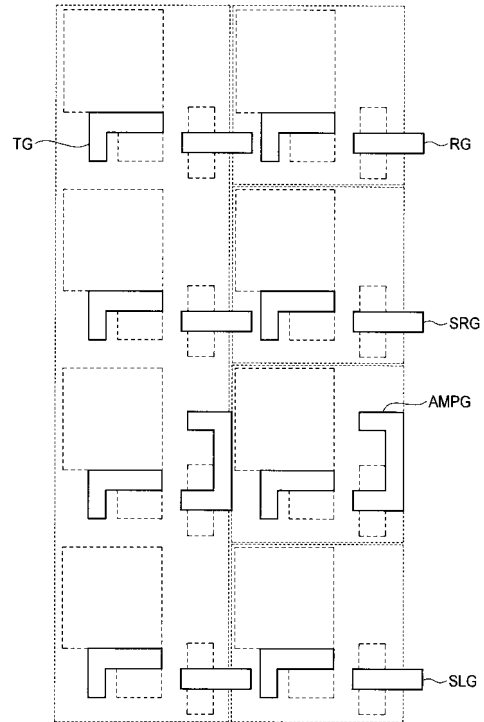
【図20】



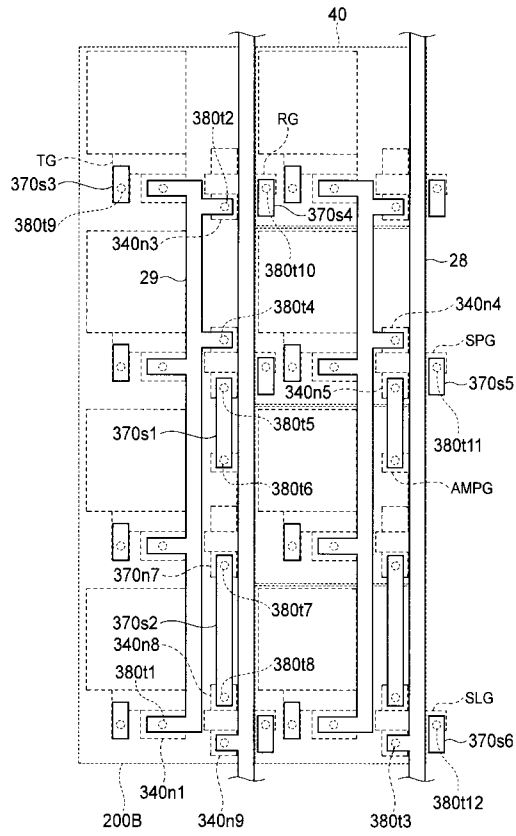
【図21】



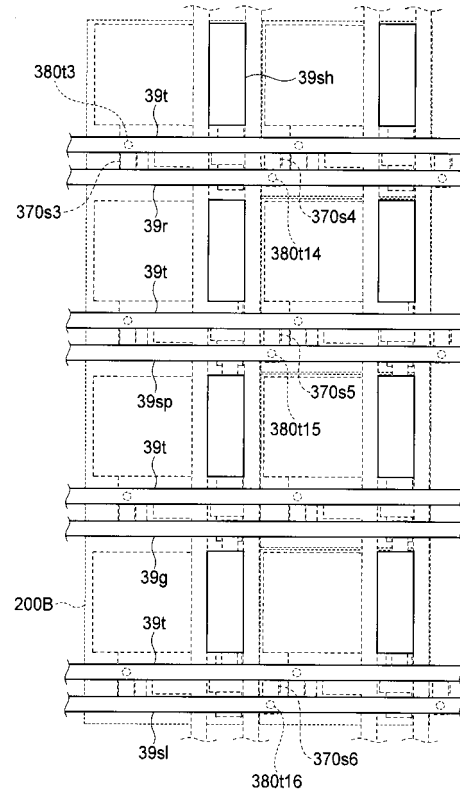
【図22】



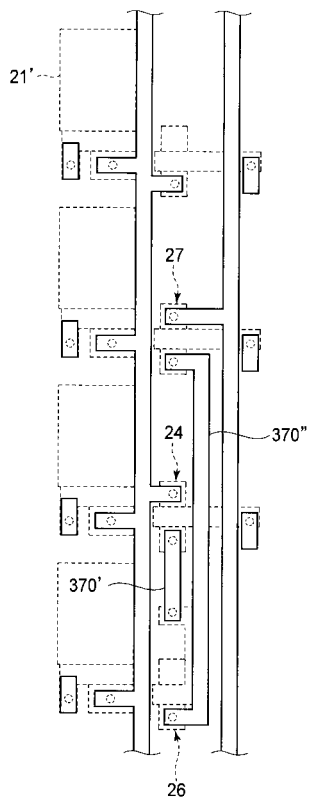
【 図 2 3 】



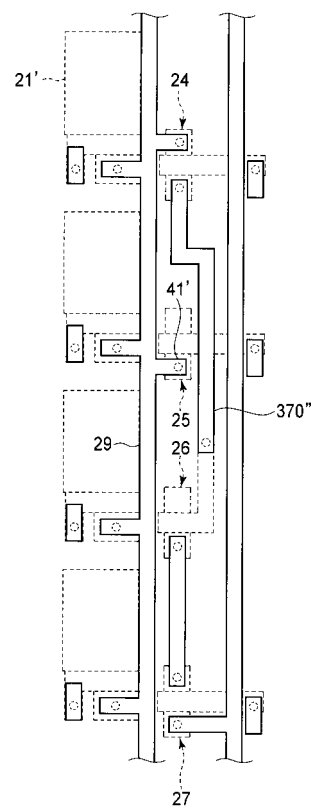
【 図 2 4 】



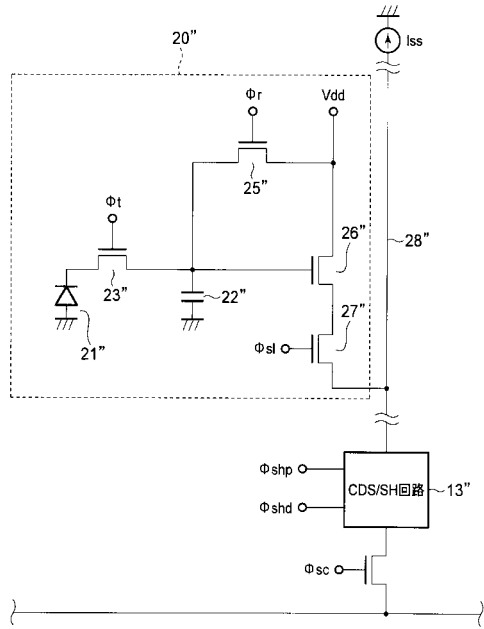
【 図 2 5 】



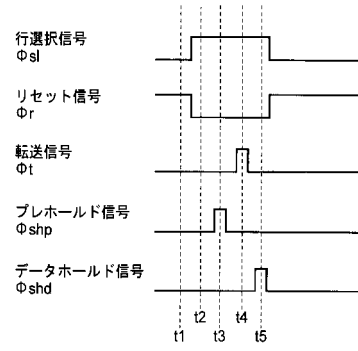
【 図 2 6 】



【図 27】



【図 28】



フロントページの続き

審査官 若林 治男

(56)参考文献 特開2007-150818(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/30	- 5/378
H04N	5/222	- 5/257
H01L	27/146	