

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/0175 (2006.01)

H03K 19/0185 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810175841.0

[43] 公开日 2009年7月29日

[11] 公开号 CN 101494453A

[22] 申请日 2008.11.5

[21] 申请号 200810175841.0

[30] 优先权

[32] 2008.1.23 [33] US [31] 12/018,205

[71] 申请人 联发科技股份有限公司

地址 中国台湾新竹科学工业园区新竹市笃行一路一号

[72] 发明人 赵冠华 徐哲祥

[74] 专利代理机构 北京万慧达知识产权代理有限公司

代理人 葛强 张一军

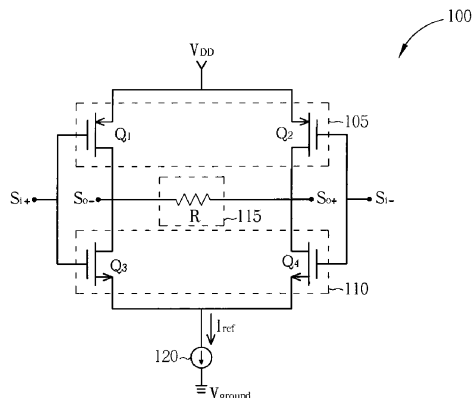
权利要求书 3 页 说明书 5 页 附图 2 页

[54] 发明名称

可操作于低电压环境且不需共模参考电压的差分驱动电路

[57] 摘要

本发明提供一种可操作于低电压环境且不需共模参考电压的差分驱动电路，其包含有一对输入端口、一对差分输出端口、一第一差分对、一第二差分对、一负载单元与一电流源。第一差分对是直接连接于第一电压电平并耦接至该对输入端口与该对差分输出端口，而第二差分对耦接至该对输入端口与该对差分输出端口。负载单元耦接至该对差分输出端口，而电流源耦接于该第二差分对与一第二电压电平之间。本发明可以工作于低供应电压环境下，不需使用共模参考电压，且可在不增加额外功率消耗下提供相同输出电压摆幅。



1. 一种驱动电路，其特征在于包含：

一对输入端口；

一对差分输出端口；

一第一差分对，直接连接于一第一电压电平，该第一差分对具有耦接于该对输入端口中一输入端口的一第一输入端，耦接于该对输入端口中另一输入端口的一第二输入端，耦接于该对差分输出端口中一输出端口的一第一输出端以及耦接于该对差分输出端口中另一输出端口的一第二输出端；

一第二差分对，具有耦接于该对输入端口中一输入端口的一第一输入端，耦接于该对输入端口中另一输入端口的一第二输入端，耦接于该对差分输出端口中一输出端口的一第一输出端以及耦接于该对差分输出端口中另一输出端口的一第二输出端；

一负载单元，耦接于该对差分输出端口；以及

一电流源，耦接于该第二差分对与一第二电压电平之间。

2. 根据权利要求1所述的驱动电路，其特征在于，该第一差分对包含：

一第一晶体管，具有直接连接至该第一电压电平的一源极端，耦接于该对差分输出端口中一输出端口的一漏极端与耦接至该对输入端口中一输入端口的一栅极端；以及

一第二晶体管，具有直接连接至该第一电压电平的一源极端，耦接于该对差分输出端口中另一输出端口的一漏极端与耦接至该对输入端口中另一输入端口的一栅极端。

3. 根据权利要求2所述的驱动电路，其特征在于，该第二差分对包含：

一第三晶体管，具有耦接于该对差分输出端口中一输出端口的一漏极端与耦接于该对输入端口中一输入端口的一栅极端；以及

一第四晶体管，具有耦接至该对差分输出端口中另一输出端口的一漏极端与耦接至该对输入端口中另一输入端口的一栅极端。

4. 根据权利要求3所述的驱动电路，其特征在于，该第一电压电平高于该第二电压电平。

5. 根据权利要求4所述的驱动电路，其特征在于，该第一晶体管与该第二

晶体管是 P 沟道互补金属氧化物半导体晶体管，以及该第三晶体管与该第四晶体管是 N 沟道互补金属氧化物半导体晶体管。

6. 根据权利要求 3 所述的驱动电路，其特征在于，该第二电压电平高于该第一电压电平。

7. 根据权利要求 6 所述的驱动电路，其特征在于，该第一晶体管与该第二晶体管是 N 沟道互补金属氧化物半导体晶体管，以及该第三晶体管与该第四晶体管是 P 沟道互补金属氧化物半导体晶体管。

8. 根据权利要求 1 所述的驱动电路，其特征在于，该负载单元是一电阻元件。

9. 一种驱动电路，其特征在于，包含：

一对输入端口；

一对差分输出端口；

一第一晶体管，具有直接连接至一第一电压电平的一源极端，耦接至该对差分输出端口中一输出端口的一漏极端与耦接于该对输入端口中一输入端口的一栅极端；

一第二晶体管，具有直接连接至该第一电压电平的一源极端，耦接至该对差分输出端口中另一输出端口的一漏极端与耦接于该对输入端口中另一输入端口的一栅极端；

一第三晶体管，具有耦接至该对差分输出端口中一输出端口的一漏极端与耦接于该对输入端口中一输入端口的一栅极端；

一第四晶体管，具有耦接至该对差分输出端口中另一输出端口的一漏极端与耦接于该对输入端口中另一输入端口的一栅极端；

一负载单元，耦接于该对差分输出端口；以及

一电流源，耦接于一第二电压电平与该第三、第四晶体管的源极端之间。

10. 根据权利要求 9 所述的驱动电路，其特征在于，该第一电压电平高于该第二电压电平。

11. 根据权利要求 10 所述的驱动电路，其特征在于，该第一晶体管与该第二晶体管是 P 沟道互补金属氧化物半导体晶体管，以及该第三晶体管与该第四晶体管是 N 沟道互补金属氧化物半导体晶体管。

12. 根据权利要求 9 所述的驱动电路，其特征在于，该第二电压电平高于该第一电压电平。

13. 根据权利要求 12 所述的驱动电路, 其特征在于, 该第一晶体管与该第二晶体管是 N 沟道互补金属氧化物半导体晶体管, 以及该第三晶体管与该第四晶体管是 P 沟道互补金属氧化物半导体晶体管。

14. 根据权利要求 9 所述的驱动电路, 其特征在于, 该负载单元是一电阻元件。

可操作于低电压环境且不需共模参考电压的差分驱动电路

技术领域

本发明涉及一种驱动电路，尤其涉及一种可操作于低供应电压环境且不需使用到共模参考电压的差分驱动电路。

背景技术

一般现有的差分驱动电路包含有多个差分对及多个电流源，这种差分驱动电路可稳定地操作于高供应电压环境下，然而，由于较低的电压供应会造成多个电流源（例如两电流源、一 P 沟道互补金属氧化物半导体晶体管与一 N 沟道互补金属氧化物半导体晶体管）分不到足够的电压余量（head room），因而现有的差分驱动电路无法操作于低供应电压环境下。

此外，对于现有的差分驱动电路，必须使用一共模参考电压（common mode reference voltage），以避免产生的差分输出信号的直流电压电平因为噪声或其它因素而发生直流偏移。然而，若采用一共模反馈电路来产生所需共模参考电压，则会增加额外的电路成本。

再者，在另一现有差分驱动电路中，包含一差分对与一电流源；此现有的差分驱动电路适合操作于低供应电压环境下。然而，该差分驱动电路的缺点是电流源需要提供两倍于上述差分驱动电路中多个电流源所提供的电流，以达到提供相同输出电压摆幅（voltage swing）的目的，而在此现有设计中，由该电流源提供较多电流量所造成的功率消耗会多于上述差分驱动电路中多个电流源所造成的总功率消耗。于是，提供一种能操作于低供应电压环境，并且在不增加额外功率消耗的情况下提供相同输出电压摆幅的差分驱动电路就非常重要。

发明内容

因此，本发明的目的之一在于提供一种能操作于低供应电压环境下，不需使用一共模参考电压，以及可在不增加额外功率消耗下提供相同输出电压摆幅的差分驱动电路，以解决上述问题。

依据本发明的一实施例，公开一种驱动电路。此驱动电路包含一对输入端口、一对差分输出端口、一第一差分对、一第二差分对、一负载单元与一电流源。第一差分对是直接连接至一第一电压电平，且其具有耦接于该对输入端口之其中一输入端口的一第一输入端、耦接于该对输入端口中另一输入端口的一第二输入端、耦接于该对差分输出端口之其中一输出端口的一第一输出端以及耦接于该对差分输出端口中另一输出端口的一第二输出端。第二差分对具有耦接于该对输入端口之其中一输入端口的一第一输入端、耦接于该对输入端口中另一输入端口的一第二输入端、耦接于该对差分输出端口之其中一输出端口的一第一输出端以及耦接于该对差分输出端口中另一输出端口的一第二输出端。负载单元耦接至该对差分输出端口，而电流源耦接于该第二差分对与一第二电压电平之间。

依据本发明的另一实施例，另公开一驱动电路。此驱动电路包含有一对输入端口、一对差分输出端口、一第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管、一负载单元与一电流源。第一晶体管具有直接连接至一第一电压电平的一源极端，耦接于该对差分输出端口之其中一输出端口的一漏极端以及耦接于该对输入端口之其中一输入端口的一栅极端。第二晶体管具有直接连接至该第一电压电平的一源极端，耦接于该对差分输出端口中另一输出端口的一漏极端以及耦接于该对输入端口中另一输入端口的一栅极端。第三晶体管具有耦接于该对差分输出端口之其中一输出端口的一漏极端以及耦接于该对输入端口之其中一输入端口的一栅极端。第四晶体管具有耦接于该对差分输出端口中另一输出端口的一漏极端以及耦接于该对输入端口中另一输入端口的一栅极端。负载单元耦接至该对差分输出端口，而电流源耦接于一第二电压电平与第三、第四晶体管的源极端之间。

本发明和现有技术相比，有益效果在于，可以工作于低供应电压环境下，不需使用一共模参考电压，而且可在不增加额外功率消耗下提供相同输出电压摆幅。

附图说明

图1为本发明第一实施例一驱动电路的示意图。

图2为本发明第二实施例一驱动电路的示意图。

具体实施方式

在说明书及上述权利要求书当中使用了某些词汇来指称特定的元件。所属领域中具有通常知识者应可理解，制造商可能会用不同的名词来称呼同样的元件。本说明书及上述权利要求书并不以名称的差异来作为区分元件的标准，而是以元件在功能上的差异来作为区分的标准。在通篇说明书及上述权利要求书当中所提及的“包含”是一开放式的用语，故应解释成“包含但不限于”。另外，“耦接”一词在此是包含任何直接及间接的电气连接手段。因此，若文中描述一第一装置耦接于一第二装置，则代表该第一装置可直接电气连接于该第二装置，或通过其它装置或连接手段间接地电气连接至该第二装置。

请参照图 1，图 1 是本发明第一实施例驱动电路 100 的示意图。驱动电路 100 包含两差分对 105 与 110、一负载单元 115 以及一电流源 120，其中差分对 105 直接连接至一第一电压电平(例如供应电压 V_{DD})，并耦接至驱动电路 100 的差分输出端口与输入端口，而差分对 105 包含两晶体管 Q_1 与 Q_2 ，且会依据由驱动电路 100 的输入端口所接收的输入信号 S_{i+} 与 S_{i-} 来选择性地导通晶体管 Q_1 与 Q_2 的其中之一。差分对 110 则包含两晶体管 Q_3 与 Q_4 ，且依据由驱动电路 100 的输入端口所接收的输入信号 S_{i+} 与 S_{i-} 来选择性地导通晶体管 Q_3 与 Q_4 的其中之一。在本实施例中，负载单元 115 是以一电阻元件(例如电阻器)来加以实现，该电阻元件耦接至驱动电路 100 的差分输出端口而其阻值是 R 。电流源 120 耦接至差分对 110 与一第二电压电平，例如接地电平 V_{ground} 。

具体来说，晶体管 Q_1 与 Q_2 是 P 沟道互补金属氧化物半导体 (PMOS) 晶体管，而晶体管 Q_3 与 Q_4 是 N 沟道互补金属氧化物半导体 (NMOS) 晶体管。晶体管 Q_1 具有直接连接至供应电压 V_{DD} 的一源极端、耦接至差分输出信号 S_o 所在的差分输出端口的一漏极端以及耦接至输入信号 S_{i+} 所在的输入端口的一栅极端，而晶体管 Q_2 则具有直接连接至供应电压 V_{DD} 的一源极端、耦接至差分输出信号 S_{o+} 所在的差分输出端口的一漏极端以及耦接至输入信号 S_{i-} 所在的输入端口的一栅极端。晶体管 Q_3 具有耦接至差分输出信号 S_o 所在的差分输出端口的一漏极端、耦接至电流源 120 的一源极端与耦接至输入信号 S_{i+} 所在的输入端口的一栅极端。晶体管 Q_4 具有耦接至差分输出信号 S_{o+} 所在的差分输出端口的一漏极端、耦接至电流源 120 的一源极端与耦接至输入信号 S_{i-} 所在的输入端口的一栅极端。驱动电路 100 的操作是如下所述。

输入信号 S_{i+} 与 S_{i-} 具有不同的逻辑电平，因此，在每一差分对 105 或 110 中

的两晶体管的其中一个将会被导通，而另一个则会被关闭。电流源 120 用来提供一参考电流 I_{ref} ，而参考电流 I_{ref} 会通过上述被导通的晶体管。

举例来说，当输入信号 S_{i+} 导通晶体管 Q_1 而输入信号 S_{i-} 导通晶体管 Q_4 时，电流源 120 所提供的参考电流 I_{ref} 会通过晶体管 Q_1 、负载单元 115 与晶体管 Q_4 。由于跨过晶体管 Q_1 的电压降相当低而可被忽略，因此，驱动电路 100 之差分输出端口上的差分输出信号 S_{o-} 的电压电平会近似于电压电平 V_{DD} ，而驱动电路 100 之差分输出端口上的差分输出信号 S_{o+} 的电压电平会近似于 $V_{DD}-I_{ref} \times R$ 的数值。同样地，当输入信号 S_{i+} 导通晶体管 Q_3 而输入信号 S_{i-} 导通晶体管 Q_2 时，电流源 120 所提供的参考电流 I_{ref} 会流过晶体管 Q_2 、负载单元 115 与晶体管 Q_3 。且由于跨过晶体管 Q_2 的电压降相当低而可被忽略。所以，差分输出信号 S_{o+} 的电压电平会近似于电压电平 V_{DD} ，而差分输出信号 S_{o-} 的电压电平会近似于 $V_{DD}-I_{ref} \times R$ 的数值。

另外，请参照图 2，图 2 是本发明第二实施例驱动电路 200 的示意图。驱动电路 200 包含两差分对 205 与 210、一负载单元 215 以及一电流源 220。差分对 205 包含晶体管 Q_3 与 Q_4 ，而差分对 210 包含晶体管 Q_1 与 Q_2 。在本实施例中，负载单元 215 是以一电阻元件（例如电阻器）加以实现，该电阻元件耦接至驱动电路 200 的差分输出端口，其阻值等于 R 。

差分对 205 与 210、负载单元 215 与电流源 220 的操作与功能和上述差分对 105 与 110、负载单元 115 与电流源 120 的操作与功能相似；为简化篇幅，进一步的说明不另赘述。然而，驱动电路 100 与驱动电路 200 实质上具有某些差异，举例来说，电流源 120 直接连接至差分对 110，且耦接至一第一电压（例如接地电平 V_{ground} ），而电流源 220 则耦接于一第二电压电平（例如供应电压 V_{DD} ）与差分对 205 之间。因此，在第二实施例中，当输入信号 S_{i+} 导通晶体管 Q_3 ，且输入信号 S_{i-} 导通晶体管 Q_2 时，电流源 220 所提供的参考电流 I_{ref} 会流过晶体管 Q_3 、负载单元 215 与晶体管 Q_2 。由于跨过晶体管 Q_2 上的电压降相当低而可被忽略，因此，驱动电路 200 一差分输出端口上差分输出信号 S_{o+} 的电压电平会近似于接地电平 V_{ground} ，例如，差分输出信号 S_{o+} 的电压电平近似于零，而驱动电路 200 另一差分输出端口上一差分输出信号 S_{o-} 的电压电平会近似于 $I_{ref} \times R$ 的数值。同样地，当输入信号 S_{i+} 导通晶体管 Q_1 且输入信号 S_{i-} 导通晶体管 Q_4 时，电流源 220 所提供的参考电流 I_{ref} 会流过晶体管 Q_4 、负载单元 215 与晶体管 Q_1 。由于跨过晶体管 Q_1 上的电压降相当低且可被忽略，因此，差分输出信号 S_{o-} 的电压电平会

近似于零，而差分输出信号 S_{o+} 的电压电平会近似于 $I_{ref} \times R$ 的数值。此外，在阅读本说明书之后，熟悉此领域之技术人员应了解可依据本发明的精神将电路设计成不同的组态，这也属于本发明的范畴。

承上所述，通过将一驱动电路中一差分对直接连接至一电压电平，例如在第一实施例中将差分对 105 直接连接至供应电压 V_{DD} ，或在第二实施例中将差分对 210 直接连接至接地电平 V_{ground} ，驱动电路 100/200 仅需使用一电流源即可达到使驱动电路 100/200 操作在低供应电压环境的目的。经由上述实施例的电路，电流会流过所有电阻而非只流过一半电阻，以便减少功率损耗。另外，由于在差分对中直接连接至一电压电平的导通晶体管上所跨过的电压降相当小而可被忽略（例如第一、第二实施例中晶体管 Q_1 、 Q_2 上所跨过的电压降），因此，上述公开的驱动电路 100/200 不需使用一共模参考电压。

以上所述仅为本发明的较佳实施例，凡依本发明上述权利要求书所做的均等变化与修饰，皆应属本发明的覆盖范围。

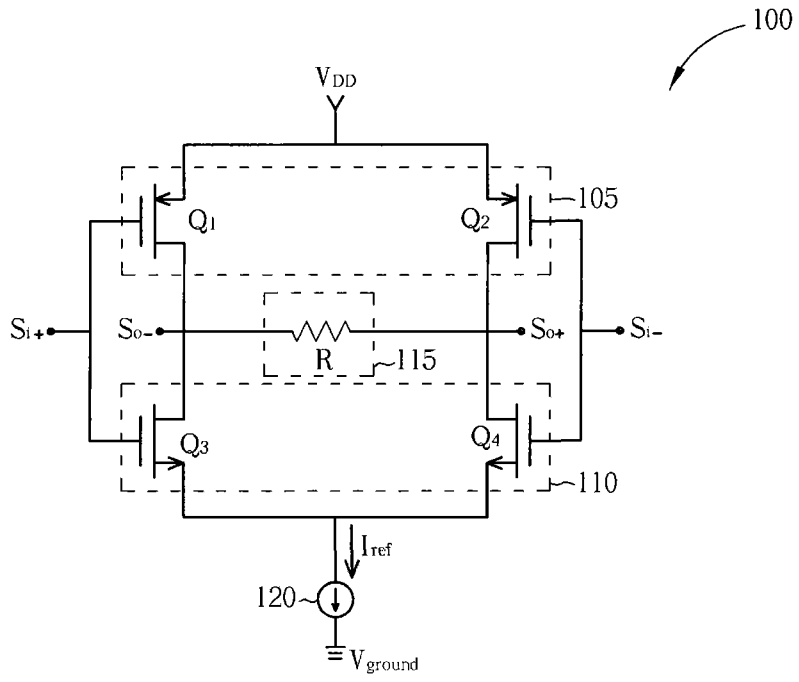


图 1

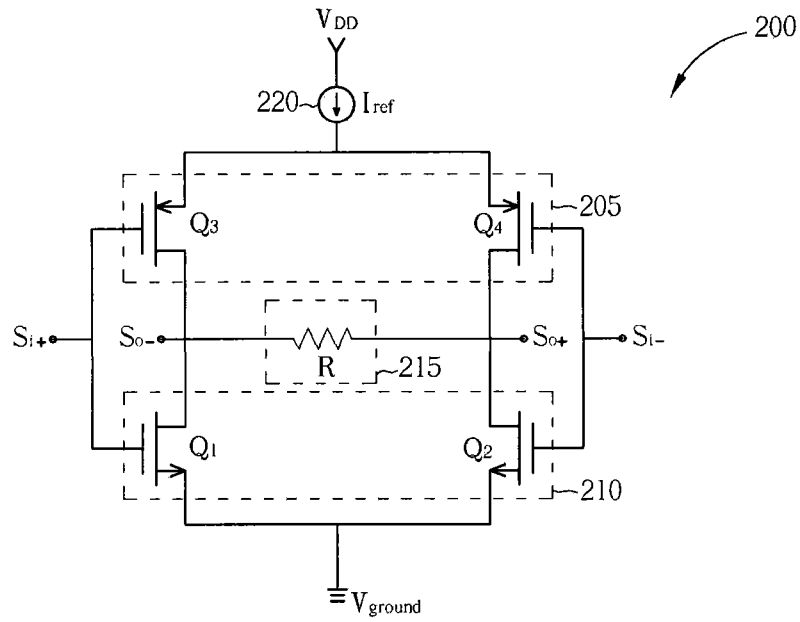


图 2