



# (12) 发明专利申请

(10) 申请公布号 CN 105322027 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201510307050. 9

(22) 申请日 2015. 06. 05

(30) 优先权数据

10-2014-0090126 2014. 07. 17 KR

(71) 申请人 东部HITEK株式会社

地址 韩国首尔市江南区德黑兰路 432

(72) 发明人 金勇晟

(74) 专利代理机构 上海和跃知识产权代理事务  
所(普通合伙) 31239

代理人 胡艳

(51) Int. Cl.

H01L 29/872(2006. 01)

H01L 21/329(2006. 01)

H01L 21/318(2006. 01)

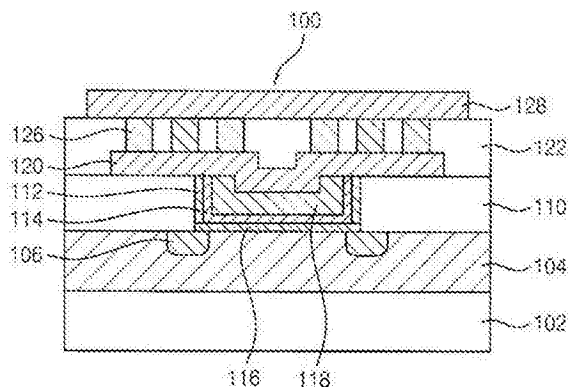
权利要求书2页 说明书6页 附图4页

(54) 发明名称

肖特基二极管及其制造方法

(57) 摘要

肖特基二极管包括在衬底的表面部分形成的第一导电型的漂移区,设置在衬底上并具有使漂移区的一部分暴露出来的开口的绝缘层,以及设置在漂移区由开口暴露出来的部分上的硅化钛层。



1. 肖特基二极管,包括:  
在衬底的表面部分形成的第一导电型的漂移区;  
设置在所述衬底上的绝缘层,所述绝缘层具有使所述漂移区的一部分暴露出来的开口;以及  
设置在所述漂移区由所述开口暴露出来的所述一部分上的硅化钛层。
2. 根据权利要求1所述的肖特基二极管,还包括设置在所述硅化钛层的边缘部分下的第二导电型的保护环。
3. 根据权利要求1所述的肖特基二极管,还包括:  
设置在所述硅化钛层和所述绝缘层上的连接焊盘;  
设置在所述连接焊盘上的第二绝缘层;  
设置在所述第二绝缘层上的金属布线;以及  
至少一个连接所述连接焊盘和所述金属布线的通孔触点。
4. 根据权利要求3所述的肖特基二极管,还包括设置在所述硅化钛层和所述连接焊盘之间的接触焊盘。
5. 根据权利要求4所述的肖特基二极管,其中所述接触焊盘沿所述硅化钛层的上表面和所述开口的内侧表面延伸。
6. 根据权利要求1所述的肖特基二极管,还包括:  
设置在所述开口的内侧表面上的钛层;以及  
设置在所述硅化钛层和所述钛层上的氮化钛层。
7. 制造肖特基二极管的方法,所述方法包括:  
在衬底的表面部分形成第一导电型的漂移区;  
在所述衬底上形成绝缘层,所述绝缘层具有使所述漂移区的一部分暴露出来的开口;  
以及  
在所述漂移区由所述开口暴露出来的所述一部分上形成硅化钛层。
8. 根据权利要求7所述的方法,还包括在所述漂移区的表面部分形成第二导电型的保护环,其中所述保护环的内部由所述开口暴露出来。
9. 根据权利要求7所述的方法,其中形成所述硅化钛层包括:  
在所述绝缘层和所述漂移区的表面上形成钛层;以及  
热处理所述钛层从而在所述漂移区的所述一部分上形成所述硅化钛层。
10. 根据权利要求9所述的方法,还包括在所述钛层上形成氮化钛层。
11. 根据权利要求7所述的方法,还包括:  
在所述硅化钛层和所述绝缘层上形成连接焊盘;  
在所述连接焊盘上形成第二绝缘层;  
形成至少一个穿透所述第二绝缘层的通孔触点;以及  
在所述第二绝缘层上形成金属布线,所述金属布线与所述通孔触点相连接。
12. 根据权利要求11所述的方法,还包括在所述硅化钛层上形成接触焊盘,其中所述连接焊盘通过所述接触焊盘与所述硅化钛层电连接。
13. 根据权利要求12所述的方法,其中形成所述接触焊盘包括:  
在所述绝缘层和所述硅化钛层的表面上形成金属层;以及

在所述金属层上执行平坦化工艺直至使所述绝缘层的上表面暴露出来从而在所述开口中获得所述接触焊盘。

14. 根据权利要求 12 所述的方法, 其中在形成所述接触焊盘时, 同时形成至少一个接触插塞, 其与所述衬底上的至少一个 MOS 晶体管相连接。

## 肖特基二极管及其制造方法

### 技术领域

[0001] 本发明的实施方式涉及有源固态器件,更特别地,涉及由多个半导体或其他固态组件(他们在公同衬底中或公同衬底上形成)构成的器件,诸如可作为较大双极 CMOS 或 DMOS 系统的一部分的肖特基二极管(Schottky diode)。

### 背景技术

[0002] 本发明涉及肖特基二极管及其制造方法,更特别地,涉及包括在半导体衬底上形成的金属硅化物层的肖特基二极管及其制造方法。

[0003] 肖特基二极管利用了金属-半导体结,其提供了肖特基势垒并在金属层和掺杂半导体层之间形成。就具有 n 型半导体层的肖特基二极管而言,金属层用作阳极,n 型半导体层用作阴极。通常,由于正向偏置方向的电流容易通过而阻塞了反向偏置方向的电流,肖特基二极管像传统 p-n 二极管那样起作用。

[0004] 肖特基二极管可具有较低的正向偏压和较高的切换速度。然而,当足够的反向偏压施加到肖特基二极管上时,击穿电压和反向偏置漏电流特性可能恶化。为了解决以上提及的问题,例如,韩国公开专利公告第 10-2014-0074930 号公开了一种肖特基二极管,其通过使用由钽(Ta)形成的肖特基层和由碳化硅(SiC)形成的漂移层,降低了反向偏置漏电流并提高了反向偏压额定值。然而,仍然需要进一步提高肖特基器件的性能,也要降低这些器件的成本。

### 发明内容

[0005] 本发明提供一种提高了正向偏压和反向偏置漏电流特性的肖特基二极管,及其制造方法。

[0006] 根据请求保护的本发明一方面,肖特基二极管可包括在衬底的表面部分形成的第一导电型的漂移区,设置在衬底上并具有使漂移区的一部分暴露出来的开口的绝缘层,以及设置在漂移区由开口暴露出来的部分上的硅化钛层。

[0007] 根据一些示例性实施方式,肖特基二极管还可包括设置在硅化钛层的边缘部分下的第二导电型的保护环。

[0008] 根据一些示例性实施方式,肖特基二极管还可包括设置在硅化钛层和绝缘层上的连接焊盘,设置在连接焊盘上的第二绝缘层,设置在第二绝缘层上的金属布线,以及至少一个连接该连接焊盘和金属布线的通孔触点。

[0009] 根据一些示例性实施方式,肖特基二极管还可包括设置在硅化钛层和连接焊盘之间的接触焊盘。

[0010] 根据一些示例性实施方式,接触焊盘可沿硅化钛层的上表面和开口的内侧表面延伸。

[0011] 根据一些示例性实施方式,肖特基二极管还可包括设置在开口的内侧表面上的钛层和设置在硅化钛层和钛层上的氮化钛层。

[0012] 根据请求保护的本发明另一方面,制造肖特基二极管的方法可包括在衬底的表面部分形成第一导电型的漂移区,在衬底上形成绝缘层,该绝缘层具有使漂移区的一部分暴露出来的开口,以及在漂移区由开口暴露出来的部分上形成硅化钛层。

[0013] 根据一些示例性实施方式,该方法还可包括在漂移区的表面部分形成第二导电型的保护环。此时,保护环的内部可由开口暴露出来。

[0014] 根据一些示例性实施方式,形成硅化钛层可包括在绝缘层和漂移区的表面上形成钛层,以及热处理钛层从而在漂移区的部分上形成硅化钛层。

[0015] 根据一些示例性实施方式,该方法还可包括在钛层上形成氮化钛层。

[0016] 根据一些示例性实施方式,该方法还可包括在硅化钛层和绝缘层上形成连接焊盘,在连接焊盘上形成第二绝缘层,形成至少一个穿透第二绝缘层的通孔触点,以及在第二绝缘层上形成金属布线,该金属布线与通孔触点相连接。

[0017] 根据一些示例性实施方式,该方法还可包括在硅化钛层上形成接触焊盘。此时,连接焊盘可通过接触焊盘与硅化钛层电连接。

[0018] 根据一些示例性实施方式,形成接触焊盘可包括在绝缘层和硅化钛层的表面上形成金属层,以及在金属层上执行平坦化工艺直至使绝缘层的上表面暴露出来从而在开口中获得接触焊盘。

[0019] 根据一些示例性实施方式,在形成接触焊盘时,可同时形成至少一个接触插塞,其与衬底上的至少一个 MOS 晶体管相连接。

## 附图说明

[0020] 根据以下说明连同附图,可更详细地了解示例性实施方式,其中:

[0021] 图 1 是根据请求保护的本发明一示例性实施方式的肖特基二极管的截面图;和

[0022] 图 2 至 11 是制造图 1 中所示肖特基二极管的方法的截面图。

## 具体实施方式

[0023] 以下,参照附图更详细地描述具体实施方式。然而,请求保护的本发明可以以不同的形式体现,不应当理解为局限于本文提出的实施方式。

[0024] 作为本申请中使用的明确定义,当提及层、薄膜、区域或板在另一个“之上”时,它可以直接在另一个之上,或者也可以存在一个或多个介于其间的层、薄膜、区域或板。与此不同,也应当认识到,当提及层、薄膜、区域或板“直接在另一个之上”时,它直接在另一个之上,并且不存在一个或多个介于其间的层、薄膜、区域或板。而且,尽管在请求保护的发明的各种实施方式中使用了像是第一、第二和第三的术语来描述不同的组件、组分、区域和层,但其并不局限于这些术语。

[0025] 在以下描述中,技术术语仅用于解释具体实施方式,而不是限制请求保护的发明。除非在本文中另外定义,否则本文中使用的的所有术语,包括技术或科技术语,可具有与本领域技术人员通常理解的相同的含义。

[0026] 参照请求保护的发明理想的实施方式的示意图来描述请求保护的发明的实施方式。于是,图形形状的变化,例如,制造工艺和 / 或容许误差的变化,是充分预期的。于是,请求保护的发明的实施方式不会描述成局限于用图形描述的区域的具体形状,包括

形状的偏差,并且附图描绘的区域也是完全示意的,他们的形状并不代表准确的形状,也不限制请求保护的发明的范围。

[0027] 图 1 是根据请求保护的发明一示例性实施方式的肖特基二极管的截面图。

[0028] 参照图 1,根据请求保护的发明一示例性实施方式,肖特基二极管 100 可在诸如硅晶圆的半导体衬底 102 上形成,并可用做诸如双极 CMOS 和 DMOS (BCD) 器件的集成电路器件的元件。

[0029] 肖特基二极管 100 可包括在衬底 102 的表面部分上形成的第一导电型的漂移区 104,具有使漂移区 104 的一部分暴露出来的开口 108 (见图 4) 的第一绝缘层 110,以及在漂移区 104 由开口 108 暴露出来的部分上形成的硅化钛层 116。

[0030] 例如,漂移区 104 可以是 n 型杂质区。漂移区 104 可与 BCD 器件的 MOS 晶体管的 n 型阱区同时形成。

[0031] 硅化钛层 116 可在开口 108 暴露出来的漂移区 104 的部分上形成。特别地,硅化钛层 116 可起到肖特基二极管 100 阳极的作用,而漂移区 104 可起到肖特基二极管 100 阴极的作用。

[0032] n 型漂移区 104 和硅化钛层 116 可相对降低肖特基二极管 100 的势垒。这样,正向偏压额定值可降低,正向偏流可增加。而且,反向偏置漏电流可通过 n 型漂移区 104 和硅化钛层 116 来降低,因此肖特基二极管 100 可具有较高的反向偏压额定值。

[0033] 肖特基二极管 100 可包括在硅化钛层 116 的边缘部分之下形成的第二导电型的保护环 106,如图 1 所示。保护环 106 可用来防止或降低电场集中在肖特基二极管 100 的接触边缘部分,这样可提高肖特基二极管 100 的击穿电压。例如,p 型杂质区可用作保护环 106。

[0034] 钛层 112 可设置在开口 108 的内侧表面上,氮化钛层 114 可设置在硅化钛层 116 和钛层 112 上。而且,接触焊盘 (contact pad) 118 可在氮化钛层 114 上形成。

[0035] 根据请求保护的发明一示例性实施方式,接触焊盘 118 可沿着开口 108 的内侧表面和硅化钛层 116 的上表面延伸,并可具有均匀的厚度。例如,接触焊盘 118 可由钨形成,并且可以与 BCD 器件的接触插塞同时形成。

[0036] 肖特基二极管 100 可包括通过接触焊盘 118 与硅化钛层 116 电连接的连接焊盘 (landing pad) 120。而且,肖特基二极管可包括在连接焊盘 120 上形成的第二绝缘层 122,在第二绝缘层 122 上形成的金属布线 128,以及至少一个穿透第二绝缘层 122 以连接连接焊盘 120 和金属布线 128 的通孔触点 126。

[0037] 特别地,连接焊盘 120 可在接触焊盘 118 和第一绝缘层 110 上形成。也就是说,连接焊盘 120 可具有比硅化钛层 116 的上表面宽的上表面,并且金属布线 128 可通过多个通孔触点 126 与连接焊盘 120 相连接,如图 1 所示。这样,金属布线 128 和硅化钛层 116 之间的电阻可降低。结果,肖特基二极管 100 的阈值电压可降低,并且进一步地正向偏流可提高。

[0038] 如图 1 所示,接触焊盘 118 沿着开口 108 的内侧表面和硅化钛层 116 的上表面形成,这样凹部可在连接焊盘 120 的中心部分形成。在这种情况下,通孔触点 126 可围绕连接焊盘 120 的凹部设置。

[0039] 同时,氮化钛层 114 可起到硅化钛层 116 和接触焊盘 118 之间粘合层的作用。

[0040] 连接焊盘 120 可与 BCD 器件的第一布线层同时形成,并且金属布线 128 可与 BCD

器件的第二布线层同时形成。而且,通孔触点 126 可通过通孔触点工艺形成以使 BCD 器件的第一布线层与第二布线层相连接。

[0041] 图 2 至 11 是制造图 1 中所示肖特基二极管的方法的截面图。

[0042] 参照图 2,第一导电型的漂移区 104 可在衬底 102 的表面部分上形成。特别地,漂移区 104 可以是 n 型杂质区,并且可以与 BCD 器件的 MOS 晶体管的 n 型阱区(未示出)同时形成。

[0043] 例如,尽管未在图中示出,第一光刻胶图案(未示出)可在衬底 102 上形成以形成漂移区 104 和 n 型阱区,然后可执行使用 n 型掺杂物(诸如砷和磷)的离子注入工艺。在形成漂移区 104 和 n 型阱区的离子注入工艺过程中,第一光刻胶图案可用作掩模。

[0044] 参照图 3,第二导电型的保护环 106 可在漂移区 104 的表面部分中形成。例如,保护环 106 可以是 p 型杂质区,并可用来提高肖特基二极管 100 的击穿电压。特别地,保护环 106 可与 BCD 器件的 PMOS 晶体管的源区/漏区同时形成。

[0045] 例如,尽管未在图中示出,第二光刻胶图案(未示出)可在衬底 102 上形成以形成保护环 106 和 PMOS 晶体管的源区/漏区,然后可执行使用 p 型掺杂物(诸如硼和锗)的离子注入工艺。在形成保护环 106 和 PMOS 晶体管的源区/漏区的离子注入工艺过程中,第二光刻胶图案可用作掩模。

[0046] 参照图 4,具有使漂移区 104 部分暴露出来的开口 108 的第一绝缘层 110 可在衬底 102 上形成。第一绝缘层 110 可由硅氧化物形成。例如,第一绝缘层 110 可由无掺杂硅玻璃(undoped silica glass, USG),氟化硅玻璃(fluorinated silica glass, FSG),硼磷硅酸盐玻璃(borophosphosilicate glass, BPSG)等制成。

[0047] 开口 108 可使漂移区 104 的一部分和保护环 106 的内部暴露出来,如图 4 所示。

[0048] 开口 108 可与接触孔(未示出)同时形成以形成 BCD 器件的接触插塞(未示出)。例如,第三光刻胶图案可在第一绝缘层 110 上形成,然后可执行使用第三光刻胶图案作为蚀刻掩模的各向异性刻蚀工艺以便形成开口 108 和接触孔。

[0049] 参照图 5,钛层 112 可形成在第一绝缘层 110 的上表面、开口 108 的内侧表面和漂移区 104 由开口 108 暴露出来的部分的上表面上。例如,钛层 112 可通过化学蒸汽沉积(CVD)工艺形成,具有近似  $100\text{\AA}$  的厚度。

[0050] 然后,氮化钛层 114 可在钛层 112 上形成。例如,氮化钛层 114 可通过化学蒸汽沉积(CVD)工艺形成,具有近似  $200\text{\AA}$  的厚度。

[0051] 参照图 6,在形成钛层 112 和氮化钛层 114 之后,可在近似  $650^{\circ}\text{C}$  至近似  $750^{\circ}\text{C}$  的温度下执行热处理工艺,以便使漂移区 104 上钛层 112 的一部分形成硅化钛层 116。

[0052] 硅化钛层 116 可起到肖特基二极管 100 阳极的作用,硅化钛层 116 下的漂移区 104 可起到肖特基二极管 100 阴极的作用。

[0053] 参照图 7,具有均匀厚度的第一金属层(未示出)可在氮化钛层 114 上形成,然后可在开口 108 中执行诸如化学机械抛光(CMP)工艺的平坦化工艺以便获得接触焊盘 118。

[0054] 例如,第一金属层可由钨形成。而且,第一金属层可通过化学蒸汽沉积(CVD)工艺或物理蒸汽沉积(PVD)工艺形成,厚度近似  $3000\text{\AA}$  至近似  $4000\text{\AA}$ 。可执行平坦化工艺直到使第一绝缘层 110 的上表面暴露出来,这样可去除第一绝缘层 110 上钛层 112、氮化钛层

114 和第一金属层的部分。

[0055] 接触焊盘 118 可与 BCD 器件的接触插塞同时形成。特别地,在第一绝缘层 110 中形成的接触孔可用第一金属层填满,并且接触插塞可通过平坦化工艺获得。此时,钛层 112 和氮化钛层 114 可起到粘合层的作用。

[0056] 参照图 8,连接焊盘 120 可在接触焊盘 118 和第一绝缘层 110 上形成。例如,诸如铝层的第二金属层(未示出)可通过化学蒸汽沉积(CVD)工艺或物理蒸汽沉积(PVD)工艺在接触焊盘 118 和第一绝缘层 110 上形成,然后可使第二金属层图案化以便获得连接焊盘 120。

[0057] 连接焊盘 120 可与 BCD 器件的第一布线层同时形成。例如,第四光刻胶图案(未示出)可在第二金属层上形成,然后可执行使用第四光刻胶图案作为蚀刻掩模的各向异性刻蚀工艺以便获得连接焊盘 120 和 BCD 器件的第一布线层,他们分别与 BCD 器件的接触焊盘 118 和接触插塞相连接。

[0058] 根据请求保护的本发明的另一个示例性实施方式,连接焊盘 120 可通过双大马士革工艺形成。在这种情况下,可省略接触焊盘 118。

[0059] 同时,第二 n 型杂质区(未示出)可在漂移区 104 的边缘部分形成。第二 n 型杂质区可具有高于漂移区 104 的杂质浓度。而且,第二金属布线(未示出)可在第一绝缘层 110 上形成。第二金属布线可与第二 n 型杂质区通过接触插塞(未示出)相连接。此时,第二 n 型杂质区可用来电连接漂移区 104 与第二金属布线。

[0060] 参照图 9,第二绝缘层 122 可在连接焊盘 120 和第一绝缘层 110 上形成。第二绝缘层 122 可由硅氧化物形成。例如,第二绝缘层 122 可由无掺杂硅玻璃(USG),氟化硅玻璃(FSG),硼磷硅酸盐玻璃(BPSG)等形成。

[0061] 然后,可在第二绝缘层 122 中形成多个通路孔 124 以使连接焊盘 120 暴露出来。特别地,可在所述的通路孔 124 形成的同时,形成用于使 BCD 器件的第一布线层暴露出来的通路孔(未示出)。

[0062] 参照图 10,可在第二绝缘层 122 上形成第三金属层(未示出)以填满通路孔 124。例如,第三金属层可包括钨,并可通过化学蒸汽沉积(CVD)工艺或物理蒸汽沉积(PVD)工艺形成。

[0063] 然后,可执行诸如化学机械抛光(CMP)工艺的平坦化工艺直到使第二绝缘层 122 暴露出来,这样可分别在通路孔 124 中获得通孔触点 126。同时,与 BCD 器件的第一布线层相连接的通孔触点(未示出)可与通孔触点 126 同时形成。

[0064] 参照图 11,诸如铝层的第四金属层(未示出)可在第二绝缘层 122 和通孔触点 126 上形成。可使第四金属层图案化以便形成金属布线 128,其通过通孔触点 126 与连接焊盘 120 电连接。同时,与 BCD 器件的第一布线层电连接的第二布线层可与金属布线 128 同时形成。

[0065] 根据请求保护的本发明的上述实施方式,肖特基二极管 100 可包括 n 型漂移区 104 和在 n 型漂移区 104 上形成的硅化钛层 116。n 型漂移区 104 和硅化钛层 116 的结可提供较低的势垒。这样,肖特基二极管 100 的正向偏压额定值和/或阈值电压可降低,肖特基二极管 100 的正向偏流可增加。

[0066] 而且, n 型漂移区 104 和硅化钛层 116 的结可提供较高的反向偏压额定值和击穿



电压,这样可降低肖特基二极管 100 的反向偏置漏电流。

[0067] 更进一步,硅化钛层 116 可通过使用比硅化钛层 116 大的连接焊盘 120 与金属布线 128 连接,因此可降低硅化钛层 116 和金属布线 128 之间的电阻。结果,可更多地减小肖特基二极管 100 的正向偏压额定值,进一步可更多地增加肖特基二极管 100 的正向偏置电流。

[0068] 尽管已参照具体实施方式描述了肖特基二极管 100 及其制造方法,但他们并不限于此。因此,本领域技术人员容易认识到,在不脱离请求保护的发明的实质和范围的情况下,可做出各种改型和变化。

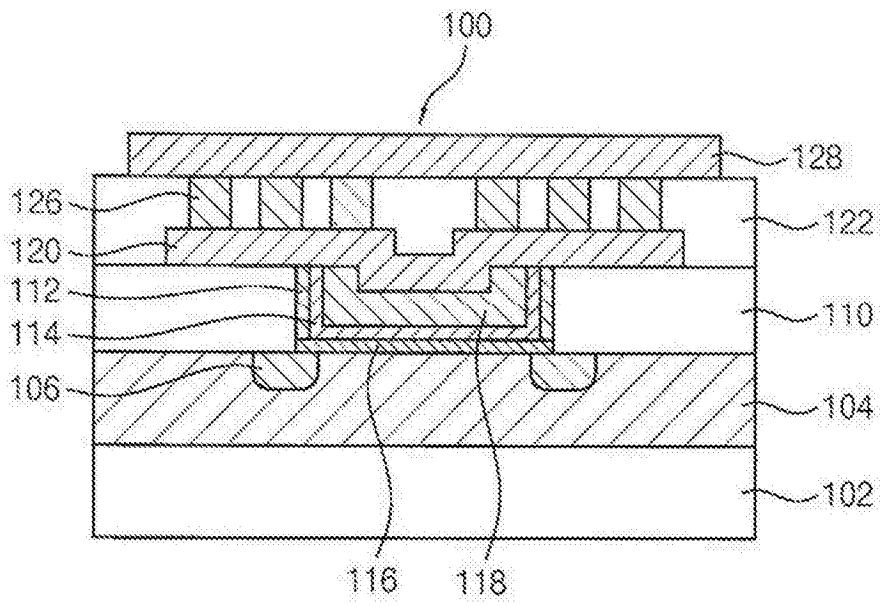


图 1

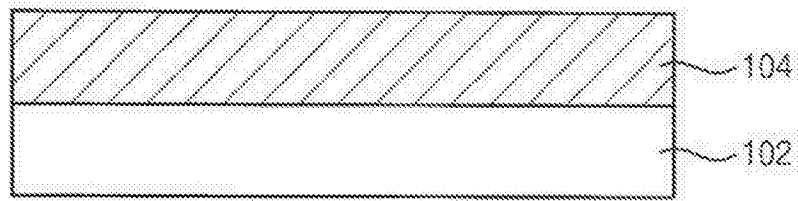


图 2

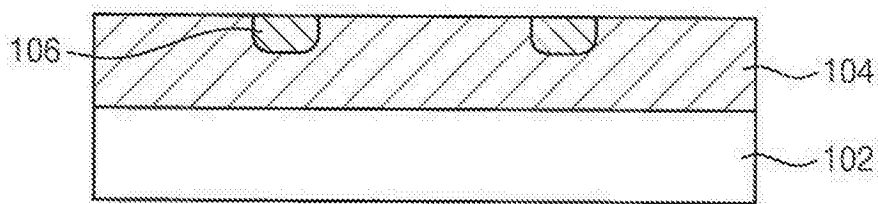


图 3

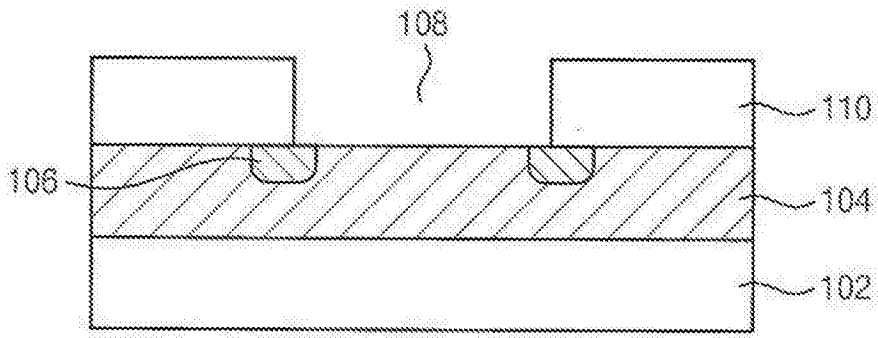


图 4

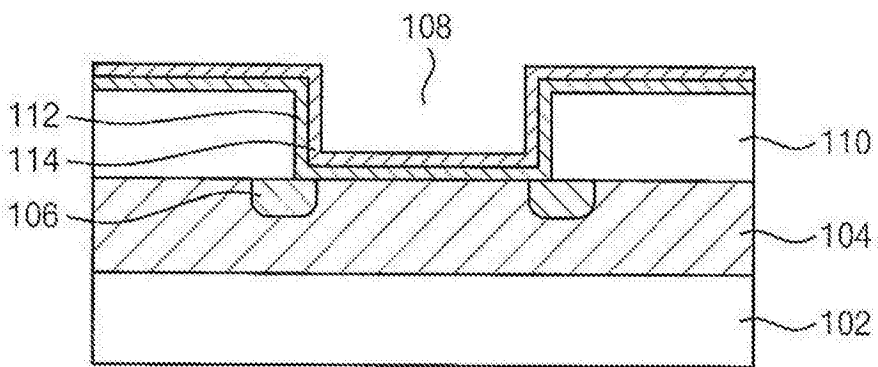


图 5

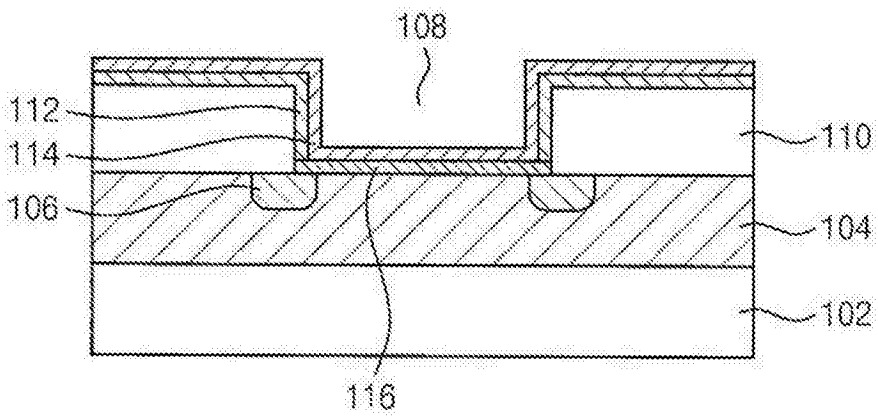


图 6

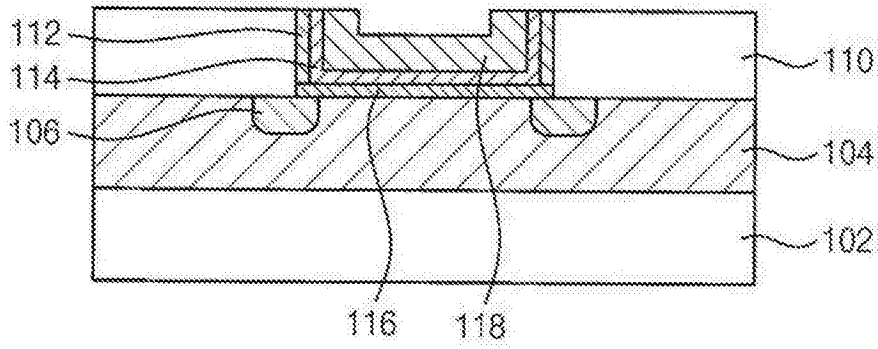


图 7

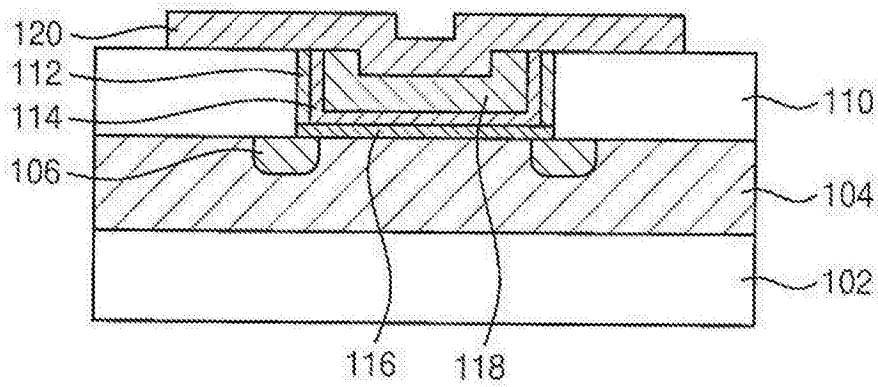


图 8

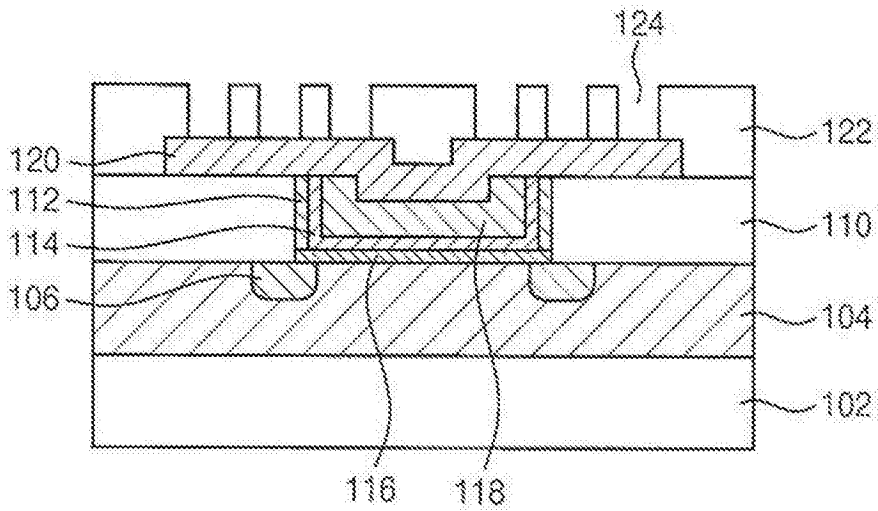


图 9

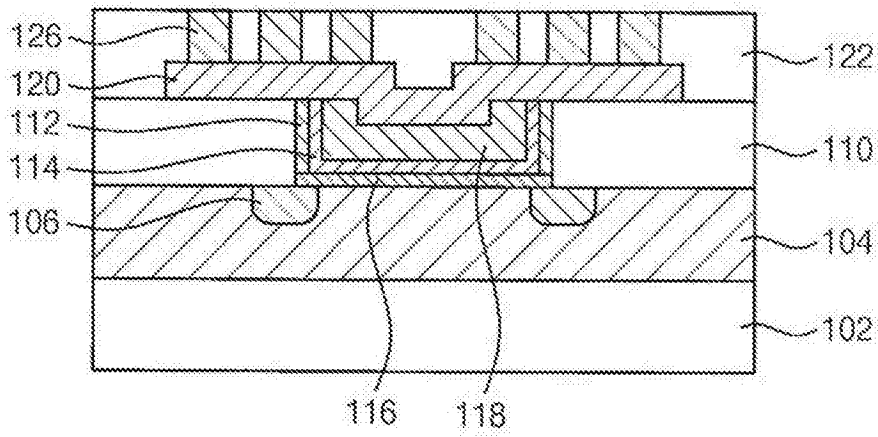


图 10

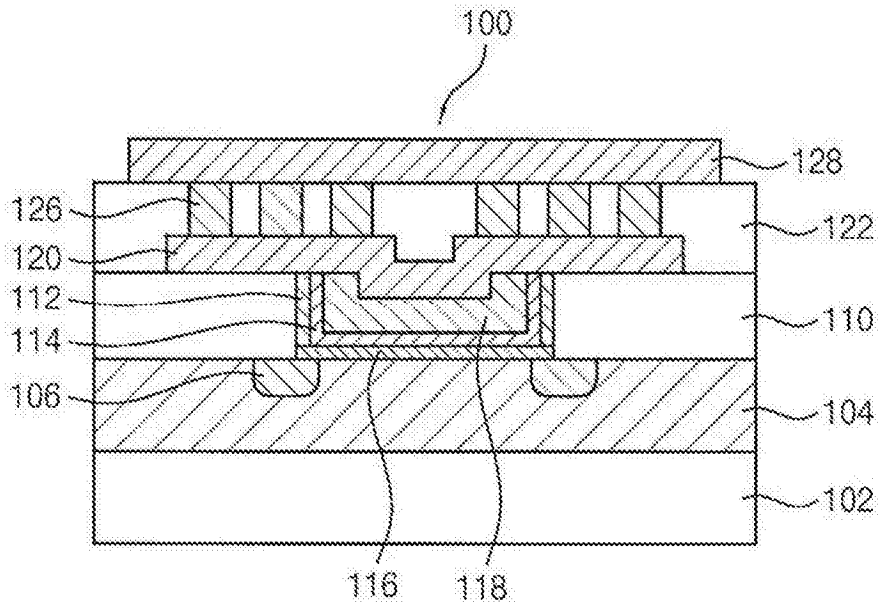


图 11