

(12) 发明专利

(10) 授权公告号 CN 101282116 B

(45) 授权公告日 2012. 11. 14

(21) 申请号 200810086983. X

CN 1682446 A, 2005. 10. 12,

(22) 申请日 2008. 04. 03

US 6049233 A, 2000. 04. 11,

(30) 优先权数据

审查员 赵天奇

11/696, 575 2007. 04. 04 US

(73) 专利权人 阿尔特拉公司

地址 美国加利福尼亚州

(72) 发明人 T·T·黄 S·舒马拉耶夫 章万里

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H03K 3/00 (2006. 01)

H03L 7/085 (2006. 01)

H03L 7/089 (2006. 01)

H03K 5/04 (2006. 01)

(56) 对比文件

EP 1693967 A1, 2006. 08. 23,

US 6285225 B1, 2001. 09. 04,

US 6946887 B2, 2005. 09. 20,

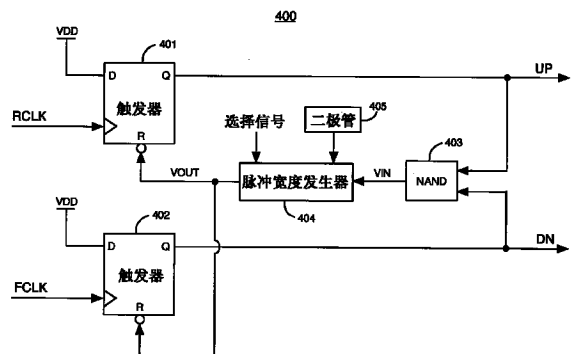
权利要求书 3 页 说明书 9 页 附图 10 页

(54) 发明名称

生成最小脉冲宽度的相位频率检测器

(57) 摘要

相位频率检测器比较基准时钟信号和反馈时钟信号从而在一个或多个输出信号中生成脉冲。所述一个或多个输出信号具有最小脉冲宽度。所述相位频率检测器具有温度感测电路。所述相位频率检测器用所述温度感测电路调整所述一个或多个输出信号的最小脉冲宽度,从而补偿所述相位频率检测器的温度变化。



1. 一种相位频率检测器电路,其比较第一和第二时钟信号从而在所述相位频率检测器电路的第一输出信号中生成脉冲,其中所述相位频率检测器电路响应于所述第一时钟信号和所述第二时钟信号的相位和频率差来调节所述第二时钟信号的相位和频率,从而减少所述第一时钟信号和所述第二时钟信号的相位和频率差,以及

其中所述相位频率检测器电路包括温度感测电路,且所述相位频率检测器电路用所述温度感测电路调整所述第一输出信号的最小脉冲宽度,从而减少所述第一输出信号的所述最小脉冲宽度的变化,所述变化因所述相位频率检测器电路的温度改变而产生。

2. 如权利要求 1 所述的相位频率检测器电路,其中所述温度感测电路包括二极管,且所述相位频率检测器电路响应二极管两端电压的变化来调整所述第一输出信号的所述最小脉冲宽度。

3. 如权利要求 2 所述的相位频率检测器电路,其中所述温度感测电路包括模拟数字转换器电路,该模拟数字转换器电路将所述二极管两端电压转换为数字输出信号。

4. 如权利要求 3 所述的相位频率检测器电路,其中所述相位频率检测器电路进一步包括:

第一可编程电流镜电路,其被耦合以从所述模拟数字转换器电路接收所述数字输出信号;和

第二可编程电流镜电路,其被耦合以从所述模拟数字转换器电路接收所述数字输出信号。

5. 如权利要求 4 所述的相位频率检测器电路,其中所述相位频率检测器电路进一步包括:

第一延迟电路;

其中所述第一可编程电流镜电路响应所述数字输出信号来控制供应到所述第一延迟电路的电流,和

所述第二可编程电流镜电路响应所述数字输出信号来控制从所述第一延迟电路流出的电流。

6. 如权利要求 1 所述的相位频率检测器电路,其中所述相位频率检测器电路比较所述第一和第二时钟信号从而在所述相位频率检测器电路的第二输出信号中生成脉冲,且所述相位频率检测器电路用所述温度感测电路调整所述第二输出信号的最小脉冲宽度。

7. 如权利要求 6 所述的相位频率检测器电路,其中所述相位频率检测器电路包含:

第一触发器,其被耦合以接收所述第一时钟信号,所述第一触发器产生所述第一输出信号;

第二触发器,其被耦合以接收所述第二时钟信号,所述第二触发器产生所述第二输出信号;

逻辑门,其被耦合以接收所述第一输出信号和所述第二输出信号;

第一延迟路径,其包含第一组延迟电路,所述第一延迟路径接收所述逻辑门的输出信号;

第二延迟路径,其包含第二组延迟电路,所述第二延迟路径接收所述逻辑门的输出信号;以及

乘法器,其具有耦合到所述第一延迟路径的第一输入和耦合到所述第二延迟路径的第

二输入。

8. 如权利要求 6 所述的相位频率检测器电路,其中所述相位频率检测器电路保持所述第一输出信号的所述最小脉冲宽度和所述第二输出信号的所述最小脉冲宽度在所述相位频率检测器电路的温度范围上处于近似同一宽度。

9. 如权利要求 6 所述的相位频率检测器电路,其中所述相位频率检测器电路是锁相环的一部分,所述锁相环进一步包括:

电荷泵,其被耦合以接收所述第一输出信号和所述第二输出信号;以及

环路滤波器,其被耦合到所述电荷泵,其中所述电荷泵提供电荷给所述环路滤波器以响应所述相位频率检测器电路的所述第一输出信号中的脉冲,并且所述电荷泵从所述环路滤波器流出电荷以响应所述相位频率检测器电路的第二输出信号中的脉冲。

10. 一种生成相位频率检测器的第一输出信号的方法,所述方法包括:

比较第一时钟信号和第二时钟信号从而在所述相位频率检测器的所述第一输出信号中生成脉冲;

响应于所述第一时钟信号和所述第二时钟信号的相位和频率差来调节所述第二时钟信号的相位和频率,从而减少所述第一时钟信号和所述第二时钟信号的相位和频率差;

感测所述相位频率检测器的温度;以及

调整所述第一输出信号的最小脉冲宽度从而补偿所述相位频率检测器的温度变化。

11. 如权利要求 10 所述的方法,其中比较所述第一时钟信号和所述第二时钟信号从而在所述相位频率检测器的所述第一输出信号中生成脉冲进一步包括比较所述第一时钟信号和所述第二时钟信号从而在所述相位频率检测器的第二输出信号中生成脉冲,以及

其中调整所述第一输出信号的最小脉冲宽度从而补偿所述相位频率检测器的温度变化进一步包括调整所述第二输出信号的最小脉冲宽度从而补偿所述相位频率检测器的温度变化。

12. 如权利要求 11 所述的方法,其中调整所述第一输出信号的最小脉冲宽度和所述第二输出信号的最小脉冲宽度从而补偿温度变化进一步包括测量二极管两端的电压。

13. 如权利要求 12 所述的方法,其中调整所述第一输出信号的最小脉冲宽度和所述第二输出信号的最小脉冲宽度从而补偿温度变化进一步包括基于所述二极管两端测量的电压用模拟数字转换器生成数字信号。

14. 如权利要求 13 所述的方法,其中调整所述第一输出信号的最小脉冲宽度和所述第二输出信号的最小脉冲宽度从而补偿温度变化进一步包括响应于所述数字信号使用第一可编程电流镜电路生成供应到第一延迟电路的第一电流,和响应于所述数字信号使用第二可编程电流镜电路生成从所述第一延迟电路流出的第二电流。

15. 如权利要求 14 所述的方法,其中响应于所述数字信号使用所述第一可编程电流镜电路产生提供给所述第一延迟电路的所述第一电流进一步包括使用所述数字信号以确定从第一组电流源提供给第一晶体管的电流的量,从而控制第一组传输门的导电状态,以及

其中响应于所述数字信号使用所述第二可编程电流镜电路产生从所述第一延迟电路流出的所述第二电流进一步包括使用所述数字信号以确定从第二组电流源提供给第二晶体管的电流的量,从而控制第二组传输门的导电状态。

16. 如权利要求 11 所述的方法,其中调节所述第一输出信号的最小脉冲宽度和所述第

二输出信号的最小脉冲宽度以补偿温度变化进一步包含使用乘法器选择第一延迟电路产生的第一延迟信号和第二延迟电路产生的第二延迟信号中的一个。

17. 如权利要求 11 所述的方法,其中所述相位频率检测器是锁相环电路的一部分,所述锁相环电路进一步包括电荷泵和环路滤波器,并且其中所述电荷泵响应于所述相位频率检测器的所述第一输出信号中的脉冲提供电荷给所述环路滤波器,并且所述电荷泵响应于所述相位频率检测器的所述第二输出信号中的脉冲从所述环路滤波器吸收电荷。

## 生成最小脉冲宽度的相位频率检测器

### 技术领域

[0001] 本发明涉及电子电路,更具体地,涉及生成具有最小脉冲宽度信号的相位频率检测器。

### [0002] 背景技术

[0003] 锁相环 (PLL) 是具有电压或电路驱动的振荡器的电子电路,该振荡器通常被调整到与基准时钟信号相匹配(且因此被锁定在)基准时钟信号的频率上。除了通过保持其被设置在特定频率上以稳定特定的通信信道,PLL 还可用来生成信号、调制或解调信号、重构低噪声信号或对频率执行乘或除操作。

[0004] 除了振荡器外,PLL 通常包括相位频率检测器 (PFD),电荷泵和环路滤波器。PFD 响应于基准时钟信号和来自振荡器的反馈时钟信号之间的相位和频率差在输出信号中生成脉冲。当基准和反馈时钟信号的相位和频率相同时,PLL 处于锁定模式,且 PFD 输出信号中不生成脉冲。当 PFD 在锁定模式中不生成脉冲时,电荷泵不提供电荷给环路滤波器。结果,电荷泄漏出环路滤波器,且环路滤波器上的控制电压漂移偏离稳定值。

[0005] 为了防止控制电压漂移,多数 PLL 在 PFD 的输出信号中提供良好定义的最小短脉冲宽度。然而,在锁定模式中生成最小脉冲宽度的 PFD 对基准时钟信号和反馈时钟信号中小的相位差更敏感。

[0006] 如果 PFD 的最小脉冲太窄,则 PLL 具有较大静态相位误差。如果 PFD 的最小脉冲太宽,则 PLL 具有较长的锁定时间。如果上下电荷泵电流源不相等,则来自 PFD 的较宽的最小脉冲可放大电荷中的任何差异,当 PLL 处于锁定模式时,该差异被提供给环路滤波器并从其中除去。结果,太宽的最小脉冲可引入更大的偏移到 PLL 环中。

[0007] 因此,需要提供具有可控制最小脉冲宽度的相位频率检测器。

### [0008] 发明内容

[0009] 相位频率检测器比较基准时钟信号和反馈时钟信号从而在一个或更多个输出信号中生成脉冲。该一个或更多个输出信号具有最小脉冲宽度。

[0010] 依照本发明的某些实施例,相位频率检测器包括温度感测电路。相位频率检测器用温度感测电路调整一个或更多个输出信号的最小脉冲宽度从而补偿温度变化。

[0011] 依照本发明的其它实施例,相位频率检测器感测二极管两端的电压,并响应于二极管两端电压的变化来调整相位频率检测器输出信号的最小脉冲宽度。依照本发明进一步的实施例,提供了用于感测相位频率检测器温度并调整相位频率检测器输出信号的最小脉冲宽度从而补偿温度变化的方法。

[0012] 本发明其它的目的、特征和优点会在考虑了下面详细说明和附图后变得明显。

### [0013] 附图说明

[0014] 图 1 图示说明可以包括本发明技术的锁相环 (PLL) 的示例。

[0015] 图 2 是图示说明响应于由相位频率检测器生成的 UP 和 DN 脉冲 PLL 控制电压变化的曲线。

[0016] 图 3 是依照本发明实施例的时序图,其图示说明相位频率检测器的 DN 输出信号中

最小脉冲宽度的示例。

[0017] 图 4 图示说明依照本发明的实施例可调整 UP 和 DN 输出信号的最小脉冲宽度的相位频率检测器。

[0018] 图 5 图示说明依照本发明的另一实施例具有两个交替延迟路径的脉冲宽度发生器的示例。

[0019] 图 6A 图示说明依照本发明进一步的实施例包括温度敏感二极管的脉冲宽度发生器的示例。

[0020] 图 6B 图示说明依照本发明另一个实施例的可编程电流镜的第一示例。

[0021] 图 6C 图示说明依照本发明又一个实施例的可编程电流镜的第二示例。

[0022] 图 7 是可体现本发明技术的现场可编程门阵列 (FPGA) 的简化框图。

[0023] 图 8 是可执行本发明实施例的电子系统的框图。

[0024] 具体实施方式

[0025] 图 1 图示说明可包括本发明实施例的锁相环 (PLL) 100 的示例。PLL 100 包括相位频率检测器 (PFD) 101、电荷泵 (CP) 102、环路滤波器 (LF) 103、电压控制振荡器 (VCO) 104、反馈除法器 (feedback divider) 105 和锁定检测电路 (LD) 106。VCO 104 生成 VCO 输出时钟信号。反馈除法器 105 包括计数器电路, 该计数器电路将 VCO 输出时钟信号的频率细分从而生成反馈时钟信号 (FCLK)。

[0026] PFD 101 比较基准时钟信号 (RCLK) 的相位和频率与反馈时钟信号 (FCLK) 的相位和频率。PFD 101 响应于 RCLK 和 FCLK 的相位和频率差来改变其 UP 和 DN 输出信号中的脉冲宽度, 直到 FCLK 和 RCLK 的相位和频率相同。通常, 在数字信号处于逻辑高电平状态时, 脉冲指时间周期。然而, 依照本发明可替换实施例, 在数字信号处于逻辑低电平状态时, 脉冲也可指时间周期。

[0027] PFD 101 的 UP 和 DN 输出信号被传输给电荷泵 102 的输入。电荷泵 102 响应于 UP 信号中的脉冲来发送电荷给环路滤波器 103 中的电容器, 使得电压 VCTR 增加。电荷泵 102 响应于 DN 信号中脉冲来耗尽来自环路滤波器 103 中电容器的电荷, 从而使得电压 VCTR 降低。VCO 104 根据 VCTR 的电压选择 VCO 输出时钟信号的频率。

[0028] 如果 FCLK 的频率小于 RCLK 的频率, 则 PFD 101 增加输入到电荷泵 102 的 UP 脉冲的持续时间。响应于 UP 脉冲, 电荷泵 102 输送更多电荷给环路滤波器 103, 从而使电压 VCTR 增加, 并使 VCO 104 增加 VCO 输出时钟信号的频率, 直到 FCLK 和 RCLK 的频率匹配。

[0029] 如果 FCLK 的频率大于 RCLK 的频率, 则 PFD 101 增加输入到电荷泵 102 的 DN 脉冲的持续时间。响应于 DN 脉冲, 电荷泵 102 从环路滤波器 103 中除去电荷, 从而使电压 VCTR 降低, 并使 VCO 104 减小 VCO 输出时钟信号的频率, 直到 FCLK 和 RCLK 的频率匹配。

[0030] 【0026】当 FCLK 和 RCLK 的相位和频率相同时, PLL 100 处于锁定模式。锁定检测电路 106 监视 UP 和 DN 输出信号从而判断 FCLK 的相位和频率是否被锁定在 RCLK 的相位和频率上。当 PLL 100 处于锁定模式时, 电压 VCTR 理想地处于稳定值。然而, 即使 PLL 100 处于锁定模式, 过程失配和其他因素也可能引起 RCLK 相位和 FCLK 相位之间小的相位差。锁定模式中的相位偏差被称为静态相位误差。

[0031] 【0027】图 2 是曲线图, 其图示说明响应于 PFD 101 所生成的 UP 和 DN 信号中的脉冲, 控制电压 VCTR 变化的曲线图。垂直轴表示控制电压变化 ( $\Delta VCTR$ )。如果 UP 脉冲和 DN

脉冲之间的差为零,则控制电压 VCTR 理想地在图 2 中实线 201 上的原点处保持恒定。

【0032】 【0028】然而,实际上,当 PFD 在一定时间段上不生成 UP 或 DN 脉冲时,或 UP 和 DN 脉冲太小以至电荷泵 102 无法检测时,电荷会泄漏或离开环路滤波器 103 中的电容器,而使电压 VCTR 改变。随着电压 VCTR 改变, VCO 104 改变 VCO 输出信号的频率,使得当 PLL 100 处于锁定模式时引起脉冲偏移和增大的输出抖动,如图中虚线 202 所示。该类行为被称为死区 (dead-band)。

【0033】 【0029】为了防止死区,PFD 101 可在 UP 和 DN 输出信号中生成良好定义的最小短脉冲宽度。防止控制电压漂移的脉冲宽度最小值主要是通过电荷泵最小输入脉冲宽度和 PFD 输出信号的电平升降特征判断的。

【0034】 【0030】图 3 是时序图,其图示说明 PFD 101 的 DN 输出信号中最小脉冲宽度的示例。在图 3 中,基准时钟信号 RCLK 引导反馈时钟信号 FCLK,在 DN 信号中生成系列脉冲,在 UP 信号中生成较长的脉冲。图 3 中 DN 脉冲宽度是 DN 信号中最小脉冲宽度的例子。UP 和 DN 脉冲间持续时间差等于 RCLK 和 FCLK 上升沿之间的时序差。

【0035】 【0031】电荷泵 102 对环路滤波器 103 中的电容器充电,该充电量 ( $Q_{UP}$ ) 等于 UP 脉冲宽度 ( $P_w$ ) 乘以电荷泵 102 响应 UP 脉冲输送给环路滤波器 103 的电流 ( $I_{CU}$ ),即 ( $Q_{UP} = P_w * I_{CU}$ )。电荷泵 102 对环路滤波器 103 中的电容器放电,该放电量 ( $Q_{DN}$ ) 等于 DN 脉冲宽度 ( $P_w$ ) 乘以电荷泵 102 响应 DN 脉冲从环路滤波器流出的电流 ( $I_{CD}$ ),即 ( $Q_{DN} = P_w * I_{CD}$ )。在该例子中,在锁定模式中,UP 和 DN 信号的宽度 ( $P_w$ ) 具有相同的持续时间。进出电荷泵 102 的总电荷 ( $\Delta Q$ ) 由等式 (1) 给出。

$$\Delta Q = Q_{UP} - Q_{DN} = P_w \times (I_{CU} - I_{CD}) = C_{LOOP} \times \Delta V \quad (1)$$

【0037】 【0032】在等式 (1) 中,  $C_{LOOP}$  是环路滤波器 103 的电容,  $\Delta V$  是控制电压 VCTR 中的变化。如果  $I_{CU}$  等于  $I_{CD}$ ,则环路滤波器 103 上 VCTR 的  $\Delta V$  为零,且 VCO 输出时钟信号的频率不变。然而,在锁定模式中  $I_{CU}$  和  $I_{CD}$  通常不相等,这引起控制电压 VCTR 从所需的值偏移。如果 UP 和 DN 信号的最小脉冲宽度太大,则 VCTR 中的偏移会导致 VCO 输出信号的抖动。正常情形下,UP 和 DN 信号的最小脉冲宽度被设定得尽可能小。例如,最小脉冲宽度的最大值可约为基准时钟信号 RCLK 周期的 1/10。

【0038】 【0033】在某些现场可编程门阵列 (FPGA) 中 PLL 支持一个以上的电源电压 (如常态电源模式和低电压电源模式)。然而,提供给 PLL 的电源电压的变化可改变 PFD 生成的 UP 和 DN 信号的最小脉冲宽度。而且,集成电路上不同工艺角和温度变化可改变 UP 和 DN 信号的最小脉冲宽度。最小脉冲宽度的变化可能不利地影响 PLL 的静态相位偏移和性能特征。

【0039】 【0034】图 4 图示说明依照本发明实施例可调整 UP 和 DN 输出信号最小脉冲宽度的相位频率检测器 400。相位频率检测器 (PFD) 400 是图 1 中 PFD 101 的示例。PLL 100 仅是可包括本发明 PFD 实施例的一个示例性 PLL。PFD 400 也可用在具有其他配置的 PLL 中。

【0040】 【0035】PFD 400 包括 D 触发器 401、D 触发器 402、NAND 逻辑门 403、脉冲宽度发生器 404 和二极管 405。触发器 401 的 D 输入被耦合以接收电源电压 VDD。触发器 402 的 D 输入也被耦合以接收电源电压 VDD。触发器 401 的时钟输入被耦合以接收基准输入时钟信号 RCLK。触发器 402 的时钟输入被耦合以接收来自反馈环路 (例如,反馈除法器 105) 的反馈时钟信号 FCLK。触发器 401 的复位输入 R 被耦合以接收脉冲宽度发生器 404 的输出信号 VOUT。触发器 402 的复位输入 R 也被耦合以接收脉冲宽度发生器 404 的输出信号 VOUT。

**[0041]** **【0036】**触发器 401 的 Q 输出生成 PFD400 的 UP 输出信号。在基准时钟信号 RCLK 上升沿在触发器 401 的时钟输入端被接收后,该 UP 输出信号转换为逻辑高电平,如图 3 所示。逻辑信号从逻辑低电平到逻辑高电平的转换被称为上升沿。

**[0042]** **【0037】**触发器 402 的 Q 输出生成 PFD 400 的 DN 输出信号。在反馈时钟信号 FCLK 上升沿在触发器 402 的时钟输入端被接收后, DN 输出信号转换到逻辑高电平,如图 3 所示。

**[0043]** **【0038】**NAND 门 403 是对 UP 和 DN 信号执行 NAND 布尔逻辑功能以生成电压信号 VIN 的逻辑门。NAND 403 的输出信号 VIN 被提供给脉冲宽度发生器 404 的输入。当 UP 和 DN 信号中的一个为逻辑低电平时 VIN 是逻辑高电平。当 UP 和 DN 信号同时都为逻辑高电平时 VIN 是逻辑低电平。

**[0044]** **【0039】**脉冲宽度发生器 404 延迟 NAND 门 403 的输出信号 VIN 从而生成输出信号 VOUT。脉冲宽度发生器 404 可包括例如一个或更多个延迟电路。在 UP 和 DN 信号同时都变为逻辑高电平后, NAND 门 403 产生 VIN 的下降沿。逻辑信号从高电平到低电平的转换被称为下降沿。在 VIN 下降沿后的延迟时间周期中,脉冲宽度发生器 404 产生 VOUT 的下降沿。因此,脉冲宽度发生器 404 在 VIN 下降沿和随后的 VOUT 下降沿之间产生延迟。

**[0045]** **【0040】**当来自脉冲宽度发生器 404 的 VOUT 信号的下降沿在触发器 401 的复位输入端 R 被接收后,触发器 401 在 UP 信号中生成下降沿。当来自脉冲宽度发生器 404 的 VOUT 信号下降沿在触发器 402 的复位输入端 R 接收后,触发器 402 在 DN 信号中生成下降沿。一般地, UP 和 DN 信号中的下降沿同时出现,如图 3 所示。

**[0046]** **【0041】**NAND 门 403 在 VIN 中生成下降沿的时间延迟 (T1) 加上 VIN 中的下降沿通过脉冲宽度发生器 404 传递到 VOUT 的时间延迟 (T2) 再加上触发器 401 和 402 在 VOUT 中的下降沿后在 UP 和 DN 信号中生成下降沿的时间延迟 (T3) 等于 UP 和 DN 信号的最小脉冲宽度 (MPW), 即  $(T1+T2+T3 = MPW)$ 。在 UP 和 DN 信号转换到逻辑低电平后, NAND 门 403 在 VIN 中生成上升沿,且脉冲宽度发生器 404 在延迟时间段后在 VOUT 中生成上升沿。

**[0047]** **【0042】**脉冲宽度发生器 404 接收来自二极管 405 的信号和选择信号。脉冲宽度发生器 404 提供给信号 VIN 的延迟响应来自二极管 405 的信号和选择信号的变化而改变。脉冲宽度发生器 404 的进一步细节在下面参考图 5, 6A, 6B 和 6C 进行说明。

**[0048]** **【0043】**图 5 示出依照本发明另一个实施例的脉冲宽度发生器 404 的示例。图 5 的脉冲宽度发生器包括 6 个反相器 501-506、乘法器 510 和电路 515。反相器 501-506 用作延迟电路。反相器 501-504 在 NAND 门 403 的 VIN 和乘法器 510 的第一输入端之间串联耦合到一起从而形成第一延迟路径。反相器 505 和 506 在 NAND 门 403 的 VIN 和乘法器 510 的第二输入端之间串联耦合到一起从而形成第二延迟路径。

**[0049]** **【0044】**乘法器 510 是通过从电路 515 传输过来的选择信号控制的。电路 515 传输选择信号给乘法器 510 的选择输入端。该选择信号通过反相器 501-504 选择第一延迟路径或通过反相器 505-506 选择第二延迟路径。当选择信号为逻辑高电平 (1) 时,乘法器 510 传输反相器 504 的输出信号给发生器 404 的输出作为输出信号 VOUT。当选择信号为逻辑低电平 (0) 时,乘法器 510 传输反相器 506 的输出信号给发生器 404 的输出作为输出信号 VOUT。VIN 的上升和下降沿通过反相器 501-504 的时间要比通过反相器 505-506 的时间要多。因此,乘法器 510 被设定来选择通过反相器 501-504 的路径以增加提供给 VOUT 的延迟,乘法器 510 被设定来选择通过反相器 505-506 的路径以减小提供给 VOUT 的延迟。



[0050] 【0045】图 5 仅图示说明可用来实现脉冲宽度发生器 404 的延迟路径的两个示例。依照本发明进一步的实施例,脉冲宽度发生器 404 可具有 3,4,5,6 或更多个分离的延迟路径。每个延迟路径可具有任何合适数目的反相器或任何合适数目的其它类型延迟电路。

[0051] 【0046】依照图 5 中一个实施例,电路 515 是存储选择信号的静止状态的存储器电路。选择信号的状态可通过在存储器中存储选择信号的新值而改变。例如,存储器电路 515 可在现场可编程门阵列中存储配置位,其中一个配置位用于生成选择信号。在包括 3 个或更多延迟路径的本发明实施例中,电路 515 传输多个选择信号给乘法器以选择适当的延迟路径。

[0052] 【0047】选择信号的逻辑状态可以例如响应于集成电路的温度变化而改变。作为另一个示例,选择信号的逻辑状态可响应于提供给脉冲频率检测器的电源电压的变化而改变。现场可编程门阵列芯片通常支持两个或更多个电源电压,以允许用户在所支持的电源电压之间切换。

[0053] 【0048】例如,当提供给反相器 501-506 的电源电压减小时,VIN 中的边缘通过反相器 501-506 的时间增加。如果电源电压减小,则选择信号的状态从逻辑高改变为逻辑低。结果,乘法器 510 选择较短的路径通过反相器 505-506 从而补偿 VIN 边缘通过反相器 501-506 增加的时间,以便保持 UP 和 DN 信号的最小脉冲宽度为常数或近似常数。

[0054] 【0049】作为另一个示例,当提供给反相器 501-506 的电源电压增加时,VIN 边缘通过反相器 501-506 的时间减小。如果电源电压增加,则选择信号的状态从逻辑低改变为逻辑高。结果,乘法器 510 选择较长的路径通过反相器 501-504 从而补偿 VIN 边缘通过反相器 501-506 减小的时间,以便保持 UP 和 DN 信号的最小脉冲宽度为常数或近似常数。

[0055] 【0050】依照本发明另一个实施例,电路 515 是状态机。该状态机生成控制乘法器 510 的选择信号。状态机 515 可动态改变控制乘法器 510 的选择信号的状态以调整 UP 和 DN 信号的最小脉冲宽度。例如,状态机 515 可响应于提供给 PLL 的基准时钟信号 RCLK 的频率变化来改变选择信号的状态,从而保持 UP 和 DN 信号的最小脉冲宽度为 RCLK 周期的预定百分比(或百分比范围内)。状态机可以例如在软可编程逻辑块中执行。

[0056] 【0051】当基准时钟信号 RCLK 的频率增加时,状态机 515 通过选择通过反相器 505 和 506 的路径减小脉冲宽度发生器 404 的延迟。当基准时钟信号 RCLK 的频率减小时,状态机 515 通过选择通过反相器 501-504 的路径增加脉冲宽度发生器 404 的延迟。

[0057] 【0052】图 6A 图示说明依照本发明进一步实施例的脉冲宽度发生器 404 的另一个示例。图 6A 的脉冲宽度发生器包括二极管 601、模拟数字(A/D)转换器电路 602、可编程电流镜 603、可编程电流镜 604、p 沟道 MOS 场效应晶体管 605-606、n 沟道 MOS 场效应晶体管 607-608 和额外的延迟级 610。

[0058] 【0053】二极管 601 可以是 PN 结二极管、连接为二极管的双极型晶体管(即基极短接到集电极)、肖特基二极管或任何其它类型的二极管。二极管 601 的阈值电压与二极管温度成反比。随着二极管温度增加,二极管阈值电压减小。随着二极管温度减小,二极管阈值电压增加。因为二极管的温度和阈值电压间的关系在宽温度范围上是可预测的,所以可以测量二极管的阈值电压从而确定二极管的温度。二极管的温度通常指示相位频率检测器和二极管制造在其中的整个集成电路管芯的温度。

[0059] 【0054】A/D 转换器电路 602 在节点 N1 和 N2 耦合到二极管 601 上。A/D 转换器 602

具有驱动电流穿过二极管 601 的电流驱动器。当二极管 601 两端的电压在阈值电压以上时，二极管 601 导通电流。A/D 转换器 602 也具有测量二极管 601 两端电压的电压测量电路。

**[0060] 【0055】**A/D 转换器电路 602 将二极管 601 两端测得的模拟电压转换为一组 N 位数字输出信号。A/D 转换器电路 602 响应于二极管 601 两端的电压变化而改变其 N 位数字输出信号的逻辑状态。N 位数字输出信号的逻辑状态是二极管 601 的温度指示。二极管 601 和 A/D 转换器 602 形成温度感测电路。

**[0061] 【0056】**A/D 转换器 602 的 N 位数字输出信号被并行传输给可编程电流镜电路 603 和可编程电流镜电路 604 的 N 个输入端。可编程电流镜 603 在节点 N3 处生成控制电压以便控制流经 p 沟道晶体管 605 和额外延迟级 610 中其他晶体管的电流。节点 N3 被耦合到晶体管 605 的栅极。可编程电流镜 604 在节点 N4 处生成控制电压以便控制流经 n 沟道晶体管 608 和额外延迟级 610 中其他晶体管的电流。节点 N4 被耦合到晶体管 608 的栅极。

**[0062] 【0057】**晶体管 605-608 被串联耦合在一起。P 沟道晶体管 606 和 n 沟道晶体管 607 被耦合在一起以形成反相器。由晶体管 606 和 607 形成的反相器是图 6A 的脉冲宽度发生器的第一延迟电路。图 6A 的脉冲宽度发生器包括由额外延迟级 610 表示的额外延迟电路。延迟电路通常被串联耦合在一起。级 610 中的每个额外延迟电路可具有例如 4 个晶体管，这 4 个晶体管以与晶体管 605-608 相同的配置耦合在一起，其中两个晶体管被耦合为反相器。

**[0063] 【0058】**晶体管 606-607 的栅极被耦合以接收来自 NAND 门 403 的输入电压信号 VIN。晶体管 606-607 的输出信号被传输给额外延迟级 610 中下一个延迟电路的输入端。VIN 中的上升和下降沿传播通过反相器 606/607 和级 610 中的额外延迟电路到达 VOUT。输出电压信号 VOUT 是延迟形式的 VIN。

**[0064] 【0059】**图 6B 图示说明依照本发明另一个实施例的可编程电流镜 604 的示例。图 6B 中可编程电流镜包括电流源 631-633、传输门 (pass gate) 641-643 和 n 沟道 MOS 场效应晶体管 608 和 651。电流源 631-633 被分别耦合到传输门 641-643。电流源 631-633 也被耦合以接收电源电压 VDD。

**[0065] 【0060】**当传输门 641-643 导通时，其导通电流，并在截止时阻止电流流过。当传输门 641 导通时，电流源 631 驱动电流（如 5 微安）通过晶体管 651。当传输门 642 导通时，电流源 632 驱动电流（如 5 微安）通过晶体管 651。当传输门 643 导通时，电流源 633 驱动电流（如 5 微安）通过晶体管 651。

**[0066] 【0061】**A/D 转换器 602 的三个数字输出信号被传输给传输门 641-643 的输入端。来自 A/D 转换器 602 的数字输出信号通过选择性导通或关闭传输门 641-643 来控制流经 n 沟道晶体管 651 的电流。例如，A/D 转换器 602 可通过导通更多传输门 641-643 来增加流经晶体管 651 的电流，且 A/D 转换器 602 可通过关闭更多传输门 641-643 而减小流经晶体管 651 的电流。可编程电流镜 604 也可包括额外的电流源和由来自 A/D 转换器 602 的额外输出信号控制的传输门。

**[0067] 【0062】**晶体管 651 和 608 以电流镜配置进行耦合。流经晶体管 608 的电流与流经晶体管 651 的电流成比例。流经晶体管 608 的电流由晶体管 608 和 651 的沟道宽长比 (W/L) 决定。一般地，当流经晶体管 651 的电流增加时，流经晶体管 608 的电流也增加，且当流经晶体管 651 的电流减小时，流经晶体管 608 的电流也减小。

**[0068]** **[0063]**图 6C 图示说明依照本发明另一个实施例的可编程电流镜 603 的示例。图 6C 的可编程电流镜包括 p 沟道 MOS 场效应晶体管 652 和 605、传输门 661-663 和电流源 671-673。电流源 671-673 被分别耦合到传输门 661-663 和地。

**[0069]** **[0064]**来自 A/D 转换器 602 的数字输出信号通过选择性地导通或关闭传输门 661-663 而控制流经 p 沟道晶体管 652 的电流。例如, A/D 转换器 602 可通过导通多个传输门 661-663 来增加流经晶体管 652 的电流, 且 A/D 转换器 602 可通过关闭多个传输门 661-663 而减小流经晶体管 652 的电流。可编程电流镜 603 也可包括额外电流源和由来自 A/D 转换器 602 的额外输出信号控制的传输门。

**[0070]** **[0065]**电流源 631-633 和 671-673 可以是恒流源。在某些实施例中, 电流源 631-633 每个都生成同量的电流, 且电流源 671-673 每个都生成同量的电流。依照可替换实施例, 电流源 631-633 和 671-673 可生成二进制加权的电流 ( $1x$ 、 $x/2$ 、 $x/4$  等)。

**[0071]** **[0066]**晶体管 652 和 605 以电流镜配置进行。流经晶体管 605 的电流与流经晶体管 652 的电流成比例。流经晶体管 605 的电流由晶体管 605 和 652 的沟道宽长比 ( $W/L$ ) 决定。一般地, 当流经晶体管 652 的电流增加时, 流经晶体管 605 的电流也增加, 且当流经晶体管 652 的电流减小时, 流经晶体管 605 的电流也减小。

**[0072]** **[0067]**一般地, 电路温度的增加引起电路操作更慢, 且信号的上升和下降沿更长。在二极管 601 的阈值电压响应于温度增加而减小后, A/D 转换器 602 促使可编程电流镜 603 和 604 输送更多电流流经晶体管 605-608。结果, 反相器 606/607 和其它延迟电路更快地操作从而补偿温度的增加。特别地, 在二极管 601 和 PFD 的温度增加后, 图 6A 中脉冲宽度发生器减小反相器 606/607 和额外延迟级 610 中延迟电路的输出信号的上升沿和下降沿持续时间。

**[0073]** **[0068]**一般地, 电路温度的降低引起电路操作更快, 且信号的上升和下降沿更短。在二极管 601 的阈值电压响应于温度降低而增加后, A/D 转换器 602 促使可编程电流镜 603 和 604 输送更少电流流经晶体管 605-608。结果, 反相器 606/607 和其他延迟级 610 更慢地操作从而补偿温度的降低。特别地, 在二极管 601 和 PFD 的温度降低后, 图 6A 中脉冲宽度发生器增加反相器 606/607 和额外延迟级 610 中延迟电路的输出信号的上升沿和下降沿持续时间。

**[0074]** **[0069]**图 6A 中脉冲宽度发生器还响应于二极管 601 的阈值电压变化来改变额外延迟级 610 中延迟电路的延迟。因此, 图 6A 的脉冲宽度发生器可被用于响应利用温度感测电路测得的二极管 601 的温度变化, 以调整 UP 和 DN 信号最小脉冲宽度的持续时间。图 6A 的脉冲宽度发生器可以例如被配置为保持 UP 和 DN 信号最小脉冲宽度在温度范围上处于近似同一宽度。例如, 图 4 和图 6A/6B/6C 的相位频率检测器可引起 UP 和 DN 信号的最小脉冲宽度变化在温度范围上小于最小脉冲宽度的 5%。

**[0075]** **[0070]**依照图 4 中的一个实施例, 脉冲宽度发生器 404 包括图 5、6A、6B 和 6C 中所示的架构。特别地, 图 5 中每个反相器 501-506 被耦合到由可编程电流镜电路 603-604、A/D 转换器 602 和二极管 601 控制的不同组晶体管 605 和 608, 如图 6A 所示。依照图 4 中其他实施例, 脉冲宽度发生器 404 包括图 5 中的架构或图 6A/6B/6C 的架构。

**[0076]** **[0071]**如上所述, 图 4、5、6A、6B 和 6C 的架构可改变 PFD 的最小脉冲宽度。这些电路架构可改变 UP 和 DN 信号的最小脉冲宽度达到显著减小 PLL 静态相位偏移的程度, 从而

满足某些规范中的严格要求,而不会在 PLL 处于锁定时影响其特征。

[0077] 【0072】图 7 是可包含本发明各方面的 FPGA 700 的简化局部框图。FPGA 700 仅是可包括本发明特征的集成电路的示例。应该理解的是本发明实施例可用于多种类型的集成电路中,如现场可编程门阵列 (FPGA)、可编程逻辑器件 (PLD)、复杂可编程逻辑器件 (CPLD)、可编程逻辑阵列 (PLA) 和专用集成电路 (ASIC)。

[0078] 【0073】FPGA 700 包括可编程逻辑阵列块 (或 LAB) 702 的二维阵列,这些 LAB 由长度和速度变化的列和行互连导体的网络进行互连。LAB702 包括多个 (如 10 个) 逻辑元件 (或 LE)。

[0079] 【0074】LE 是用于有效执行用户定义的逻辑功能的可编程逻辑块。FPGA 具有无数逻辑元件,其可被配置为执行多种组合和时序功能。逻辑元件可访问可编程互连结构。可编程互连结构可被编程从而以几乎任意所需配置来互连逻辑元件。

[0080] 【0075】FPGA 700 还包括分布式存储器结构,该存储器结构包括在整个阵列内所提供的大小可变的 RAM 块。RAM 块包括例如块 704、块 706 和块 708。这些存储器块也可包括移位寄存器和 FIFO 缓冲器。

[0081] 【0076】FPGA 700 进一步包括数字信号处理 (DSP) 块 710,其可执行例如具有加或减特征的乘法器。在该示例中,I/O 块 (IO) 712 位于支持各种单端差动输入 / 输出标准的芯片外围。IO 块 712 包含 IO 缓冲器且通常被分到 IO 组中。应该理解这里 FPGA 700 仅被用于示例性目的进行描述,而本发明可以在许多不同类型的 PLD, FPGA 等中实现。

[0082] 【0077】本发明也可以在几个组件中有一个是 FPGA 的系统中实现。图 8 示出可体现本发明技术的示例性数字系统 800 的框图。系统 800 可以是编程的数字计算机系统、数字信号处理系统、专用数字开关网络或其他处理系统。而且,这类系统可被设计用于多种不同的应用,如电信系统、自动化系统、控制系统、消费类电子、个人计算机、因特网通信和网络等等。进一步地,系统 800 可提供在单个板上、在多个板上或在多个封装体内。

[0083] 【0078】系统 800 包括通过一个或更多个总线互连的处理单元 802、存储器单元 804 和 I/O 单元 806。依照该示例性实施例,FPGA 808 嵌入在处理单元 802 中。FPGA 808 可用于图 8 中系统内的许多不同目的。FPGA 808 可以例如是处理单元 802 的逻辑构造块,支撑其内部和外部操作。FPGA 808 被编程以执行实现系统操作中其特定作用所必须的逻辑功能。FPGA 808 可特别地经连接 810 耦合到存储器 804 和经连接 812 耦合到 I/O 单元 806。

[0084] 【0079】处理单元 802 可将数据引导到适当的系统元件进行处理或存储,执行存储在存储器 804 中的程序,或经 I/O 单元 806 接收并传输数据,或其他类似功能。处理单元 802 可以是中央处理单元 (CPU)、微处理器、浮点协处理器、图形协处理器、硬件控制器、微控制器、被编程用作控制器的现场可编程门阵列、网络控制器或任何类型的处理器或控制器。此外,在许多实施例中通常不需要 CPU。

[0085] 【0080】例如,不用 CPU,一个或多个 FPGA 808 可以控制系统的逻辑操作。作为另一个示例,FPGA 808 用作可再配置处理器,其可按需要再编程以处理特殊计算任务。可替换地,FPGA 808 自身可包括嵌入式微处理器。存储器单元 804 可以是随机存取存储器 (RAM)、只读存储器 (ROM)、硬盘或软盘介质、闪存、磁带或任何其他存储装置,或这些存储装置的任意组合。

[0086] 【0081】上面本发明示例性实施例的说明书是为示例和说明的目的给出的。该说明

书不穷举也不限制本发明为具体公开的形式。大量修改、不同变化和替换都包括在本发明范围内。在某些情形中,本发明的特征可采用且无需使用上面所述的其他相应特征。考虑了上面的教导,许多不偏离本发明的修改和变化都是可能的。本发明的范围不受本详细说明书限制,而是由权利要求界定。

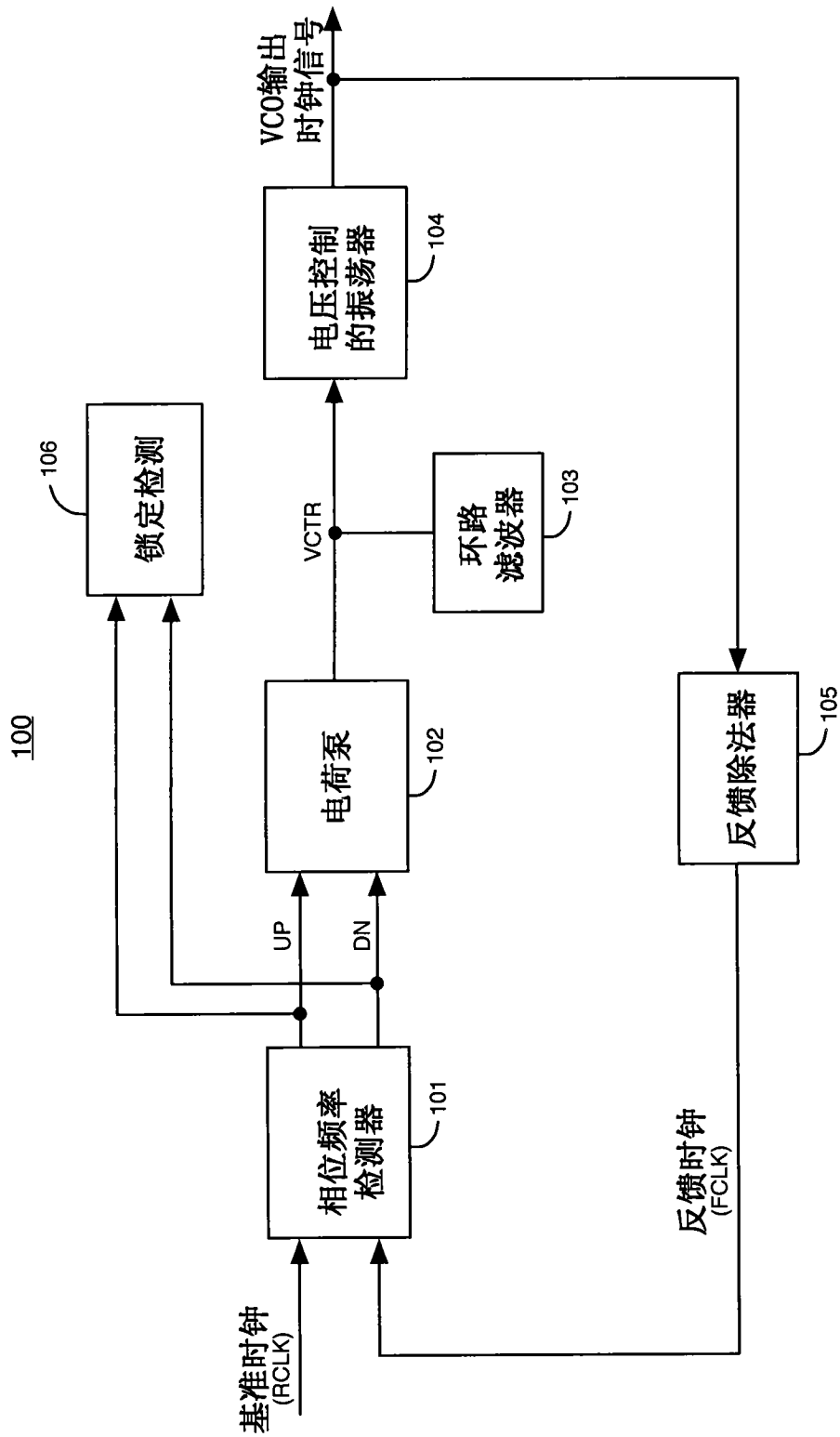


图1

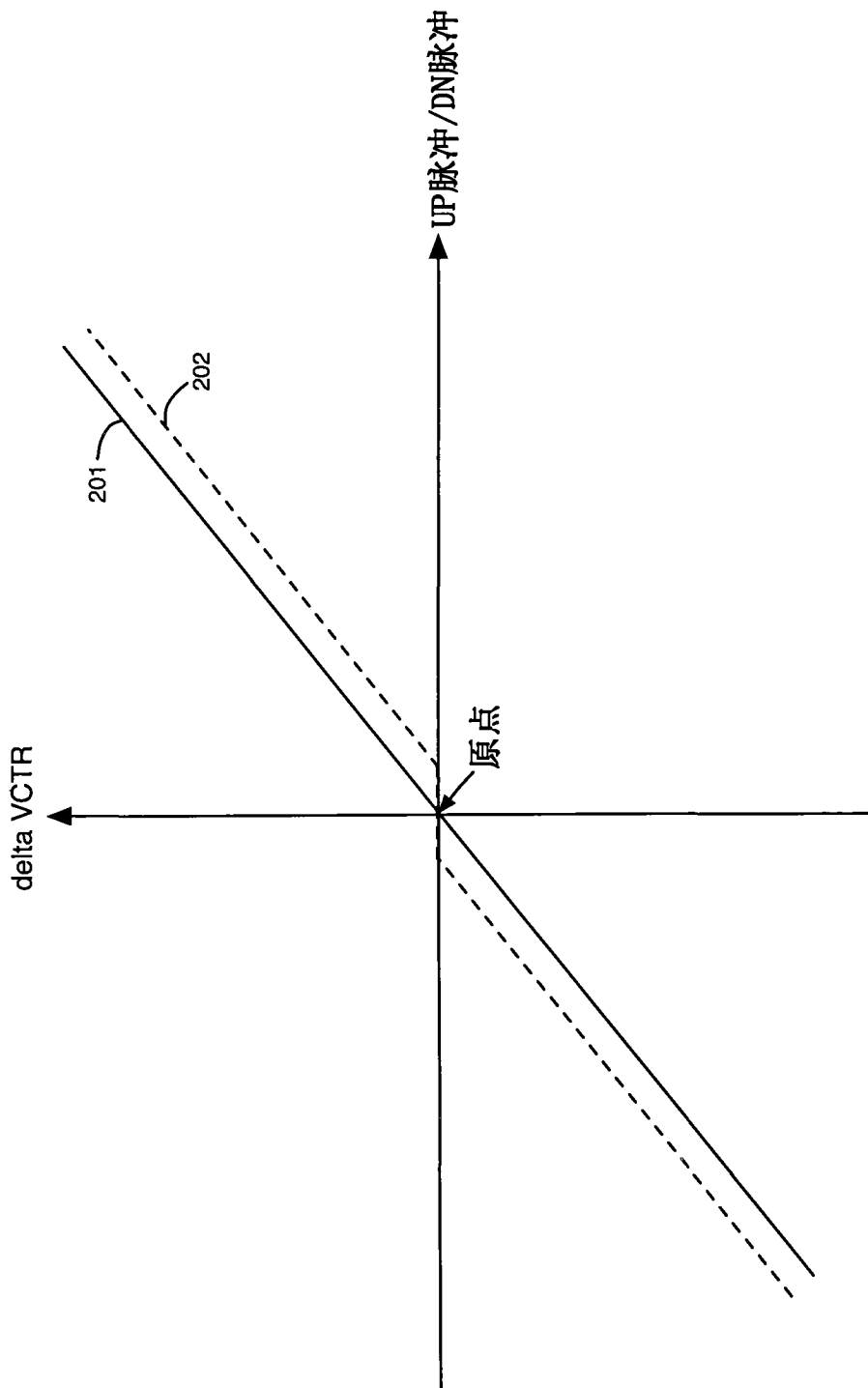


图2

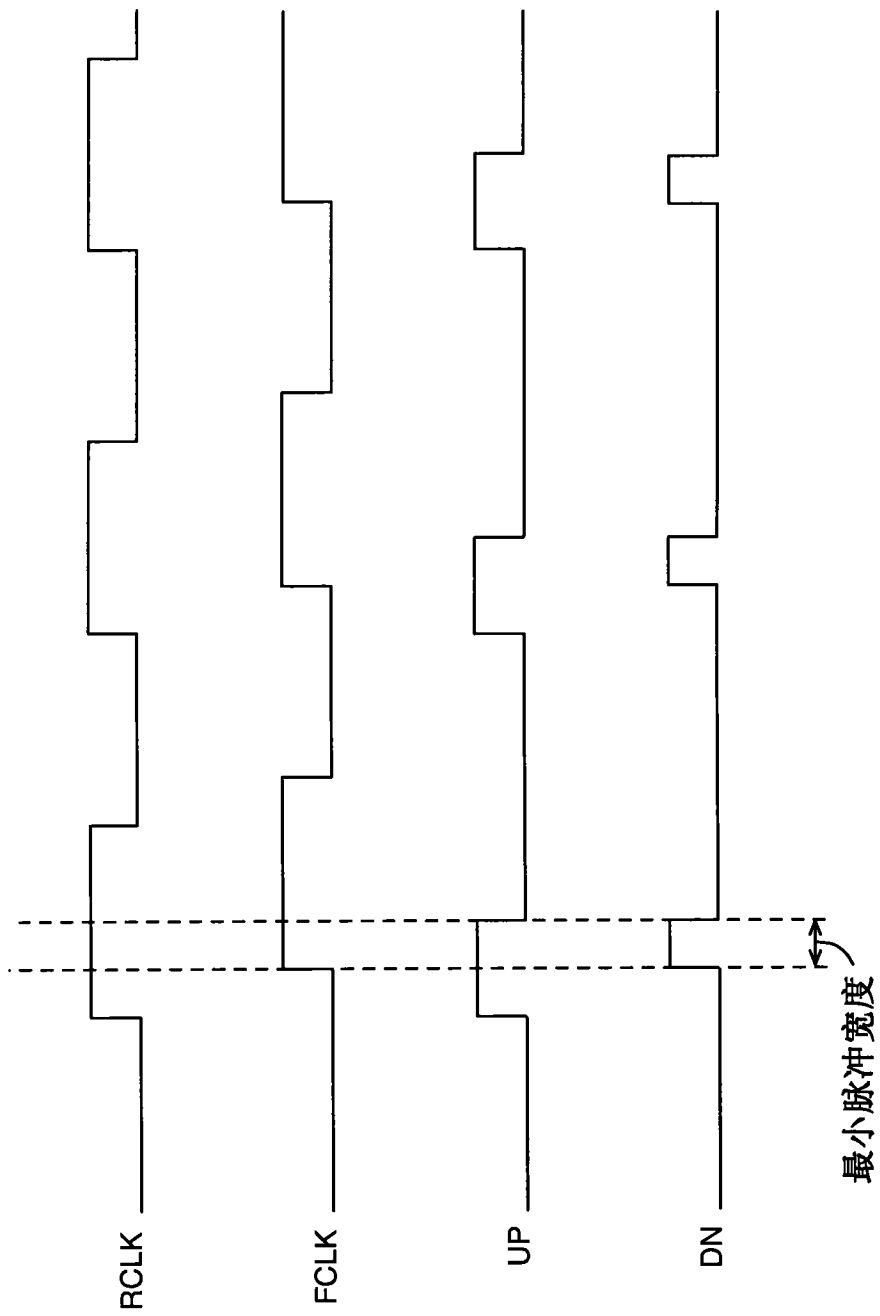


图3



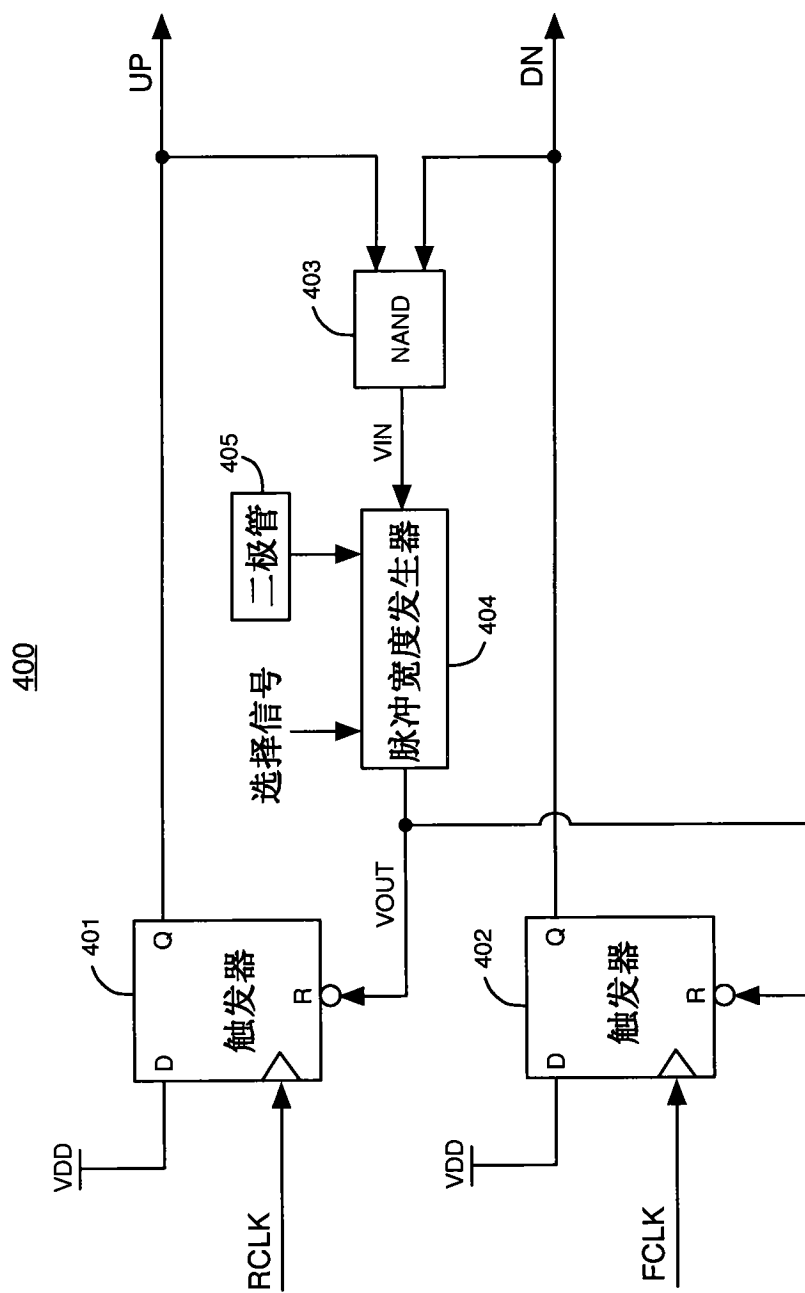


图4

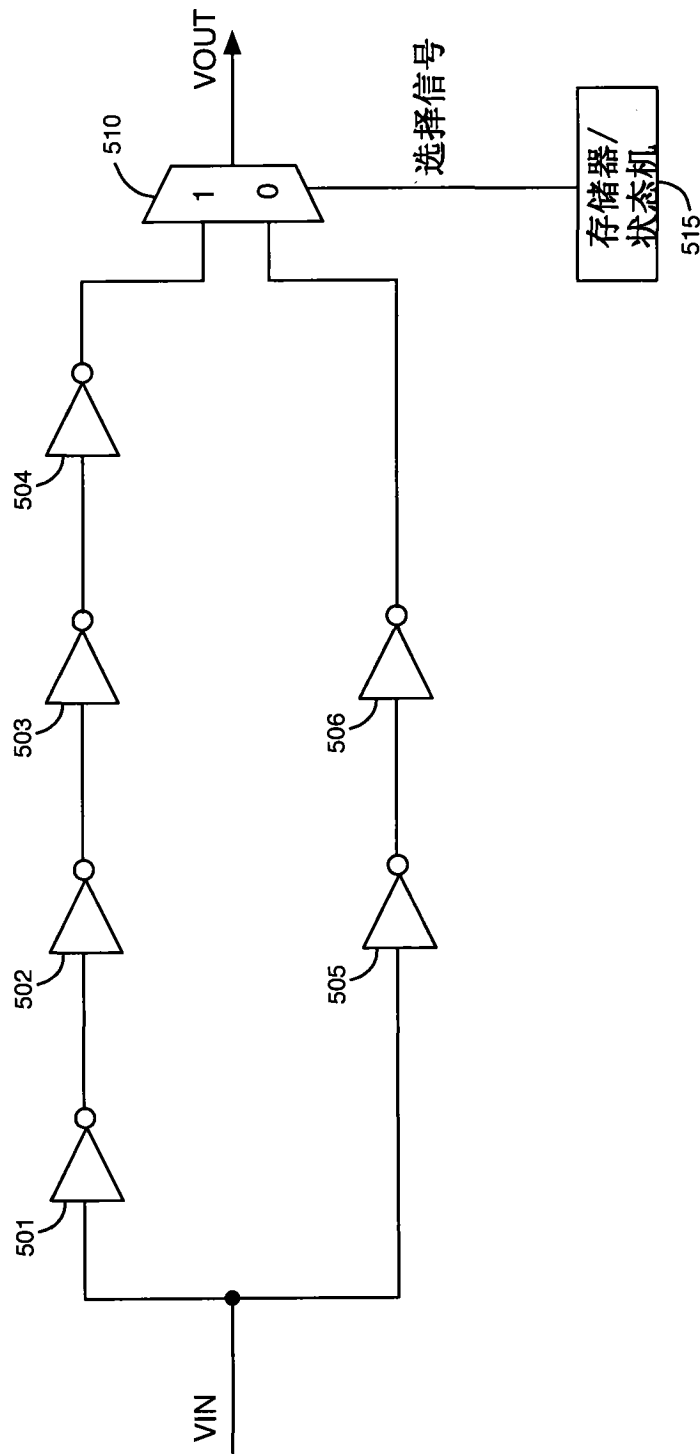


图5

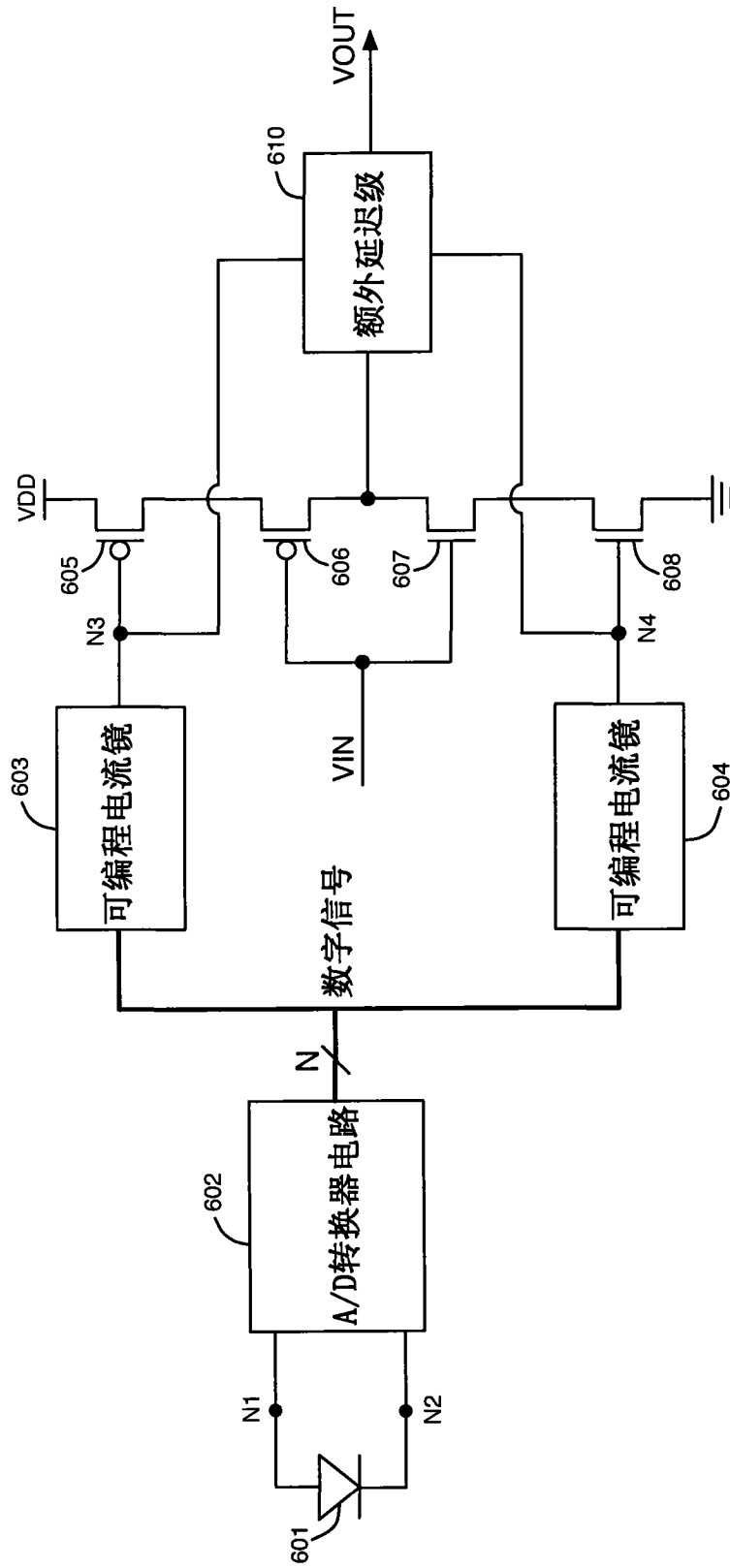


图6A

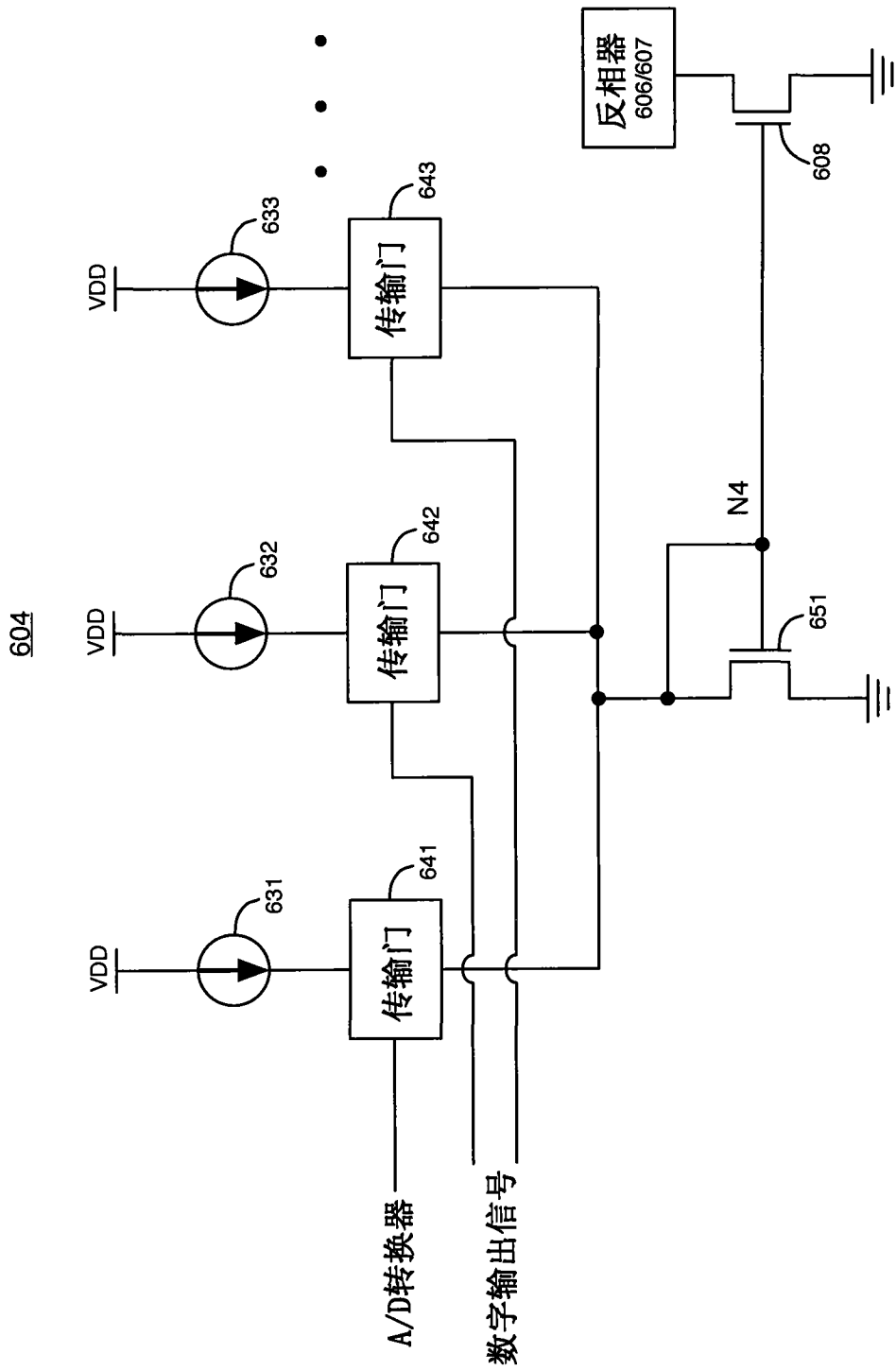


图6B

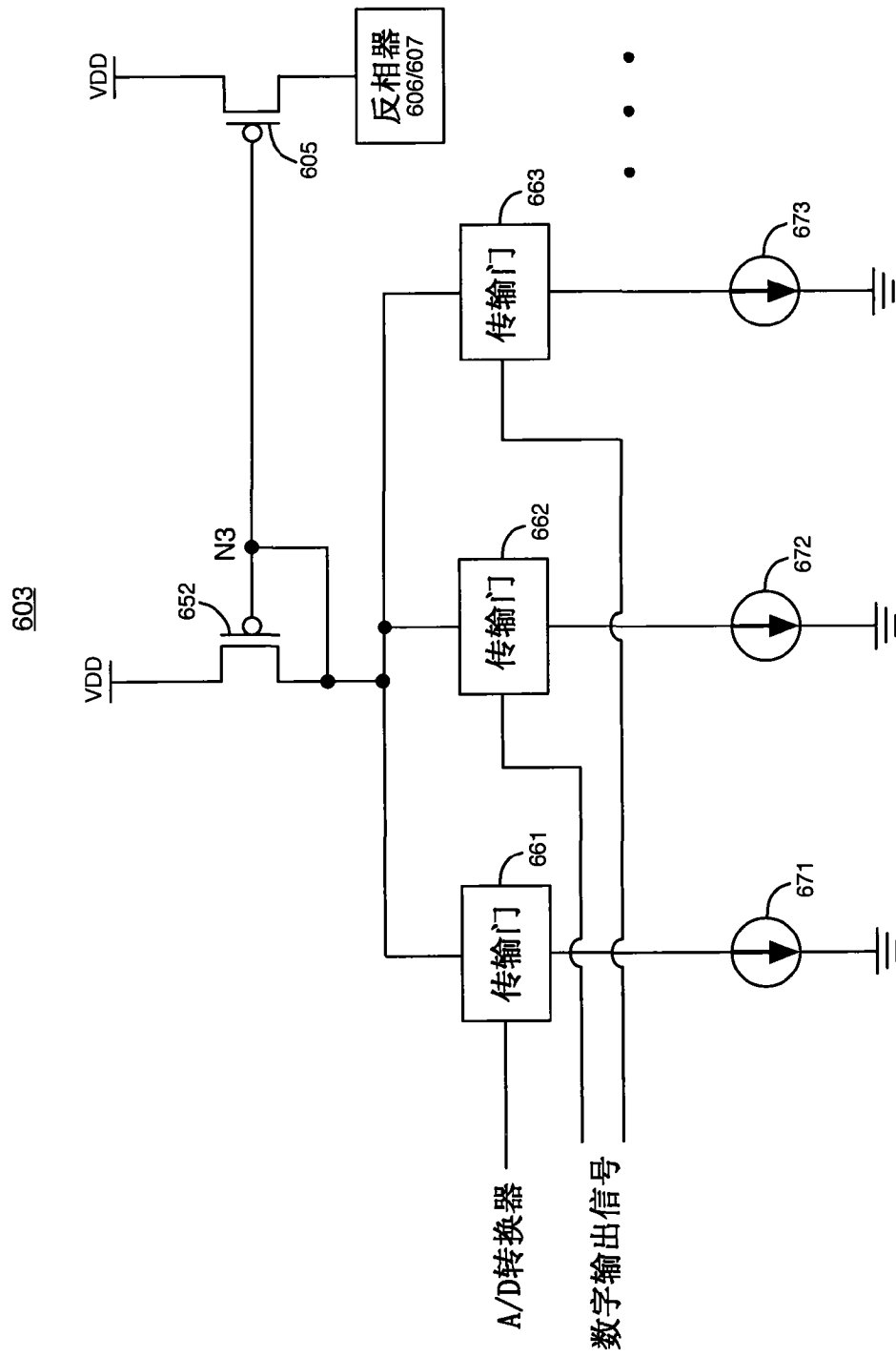


图6C

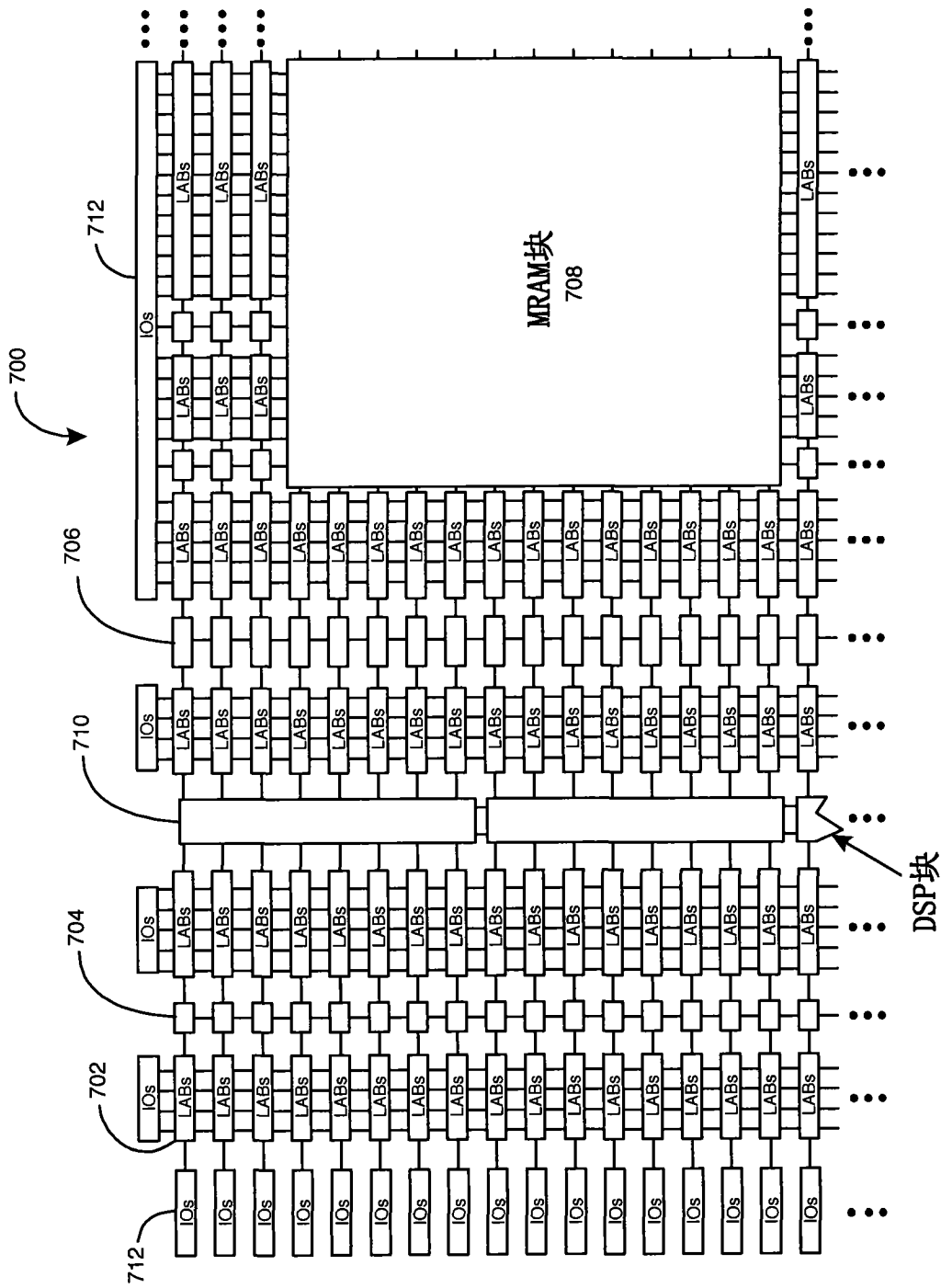


图7

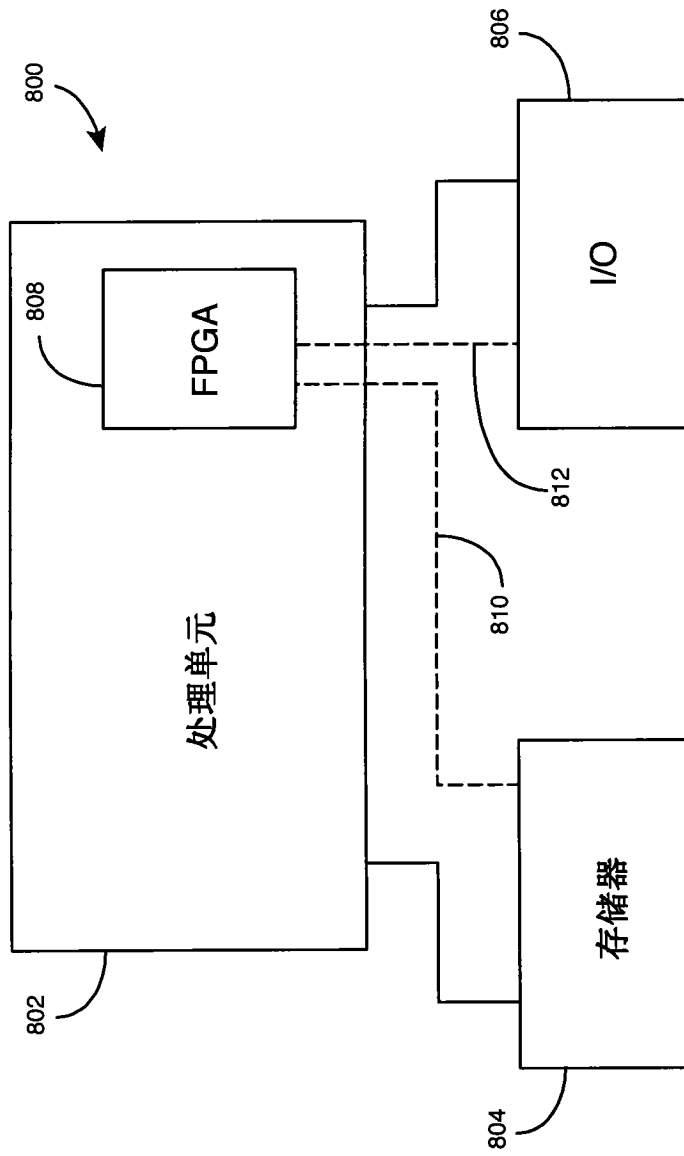


图8