

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月12日(12.09.2019)



(10) 国際公開番号
WO 2019/171425 A1

- (51) 国際特許分類:
G06F 8/34 (2018.01) *G06F 8/70* (2018.01)
- (21) 国際出願番号: PCT/JP2018/008306
- (22) 国際出願日: 2018年3月5日(05.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:三浦 功也(MIURA, Takuya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 片山 吉

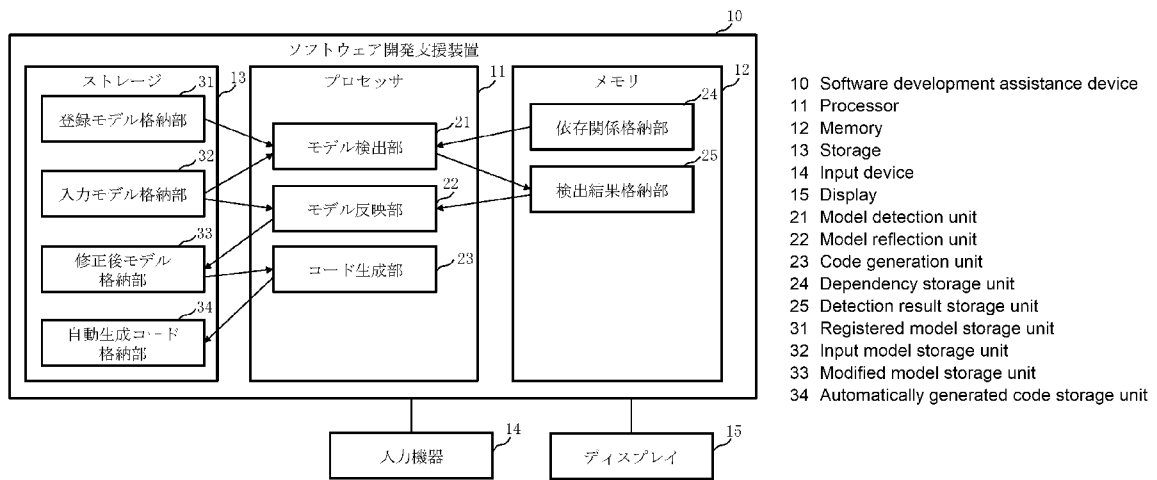
章(KATAYAMA, Yoshiaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 溝井 国際 特許 業務 法人(MIZOI INTERNATIONAL PATENT FIRM); 〒2470056 神奈川県鎌倉市大船二丁目17番10号3階 Kanagawa (JP).

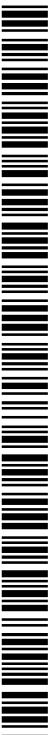
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SOFTWARE DEVELOPMENT ASSISTANCE DEVICE, SOFTWARE DEVELOPMENT ASSISTANCE METHOD, AND SOFTWARE DEVELOPMENT ASSISTANCE PROGRAM

(54) 発明の名称: ソフトウェア開発支援装置、ソフトウェア開発支援方法およびソフトウェア開発支援プログラム



(57) Abstract: In a software development assistance device (10), a model detection unit (21) detects a plurality of blocks defined by a registered model, from among a plurality of blocks defined by an input model. Each of the registered model and the input model is a model that defines a software function by dividing the function into a plurality of blocks. The registered model is a model that has been registered in advance as a model library. The input model is a model that defines a software function to be developed. A model reflection unit (22) converts the input model into a modified model by modifying the definition of detection blocks as used by the input model, in accordance with the corresponding definition used by the registered model. The detection blocks correspond to the plurality of blocks detected by the model detection



WO 2019/171425 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

unit (21). The modified model is a model that defines these detection blocks collectively as a single subsystem.

(57) 要約 : ソフトウェア開発支援装置 (10) において、モデル検出部 (21) は、入力モデルで定義されている複数ブロックの中から、登録モデルで定義されている複数ブロックを検出する。登録モデルおよび入力モデルは、いずれもソフトウェアの機能を複数ブロックに分けて定義するモデルである。登録モデルは、モデルライブラリとしてあらかじめ登録されているモデルである。入力モデルは、開発対象のソフトウェアの機能を定義するモデルである。モデル反映部 (22) は、入力モデルにおける検出ブロックの定義を登録モデルの定義に沿って修正することで、入力モデルを修正後モデルに変換する。検出ブロックとは、モデル検出部 (21) により検出された複数ブロックのことである。修正後モデルは、この検出ブロックを1つのサブシステムにまとめて定義するモデルである。

明 細 書

発明の名称：

ソフトウェア開発支援装置、ソフトウェア開発支援方法およびソフトウェア開発支援プログラム

技術分野

[0001] 本発明は、ソフトウェア開発支援装置、ソフトウェア開発支援方法およびソフトウェア開発支援プログラムに関するものである。

背景技術

[0002] 特許文献1には、すでに開発が終了した既存ソフトウェアを構成する既存ソフトウェア部品のソースコードを再利用して、新たに開発する新規ソフトウェアの設計作業を支援する技術が開示されている。

[0003] 自動車および生活家電等の組込機器には、モデルベース開発が用いられる。モデルベース開発では、MATLAB（登録商標）／Simulink（登録商標）等のブロック線図環境が用いられる。モデルベース開発では、開発者は、直接ソースコードを記述せず、目的とするプログラムの機能を「モデル」という形で抽象的に記述する。ソースコードは、モデルから自動生成される。

[0004] 非特許文献1には、調査対象のモデルと事前に定義されたモデルとを比較し、同一と判定されたモデル記述を自動でライブラリ化する技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2001-188673号公報

非特許文献

[0006] 非特許文献1：“Simulink Check User’s Guide”，The MathWorks, Inc., September 2017

発明の概要

発明が解決しようとする課題

- [0007] モデルベース開発にてすでに開発が終了した機能が他製品に再利用される場合は、ソースコードではなくモデルが再利用される。モデルを機能単位で容易に再利用できるようにするため、機能単位でのモデルの可読性および再利用性を向上させることが必要である。
- [0008] モデルの可読性を向上させるための手法として、サブシステム化と呼ばれる手法がある。サブシステム化とは、モデルの構成要素である複数のブロックを1つにまとめてカプセル化することである。特定の機能を構成するブロック群をサブシステム化することで、特定の機能単位でモデルを管理することができる。
- [0009] 非特許文献1に記載の技術では、モデルのコピーを自動でライブラリ化できるため、モデルの再利用性が向上する。しかし、非特許文献1に記載の技術では、検出対象とする処理と完全に一致するモデル内のサブシステムのみが検出される。そのため、モデル内にサブシステムが存在しない、いわゆる「ベタ書き」のモデルの場合は処理を検出できない。検出対象とする処理に加えて、何らかの処理をしているブロック群も検出の対象外である。例えば、図11のモデル90を検出対象とした場合、図12のサブシステム91は完全一致のため検出されるが、同図のブロック群92、および、図13のブロック群93、94は検出されない。よって、モデル内に存在する同一のモデル記述を網羅的に検出することはできない。
- [0010] 本発明は、ソフトウェア開発で再利用されるモデルの、機能単位での可読性を向上させることを目的とする。

課題を解決するための手段

- [0011] 本発明の一態様に係るソフトウェア開発支援装置は、
ソフトウェアの機能を複数ブロックに分けて定義するモデルとして、開発対象のソフトウェアの機能を定義する入力モデルと、モデルライブラリとしてあらかじめ登録されている登録モデルとがあるとき、前記入力モデルで定

義されている複数ブロックの中から、前記登録モデルで定義されている複数ブロックを検出するモデル検出部と、

前記入力モデルにおける、前記モデル検出部により検出された複数ブロックである検出ブロックの定義を前記登録モデルの定義に沿って修正することで、前記入力モデルを、前記検出ブロックを1つのサブシステムにまとめて定義するモデルに変換するモデル反映部とを備える。

発明の効果

[0012] 本発明では、入力モデルで定義されている複数ブロックの中から、登録モデルで定義されている複数ブロックが検出ブロックとして検出される。そして、入力モデルにおける検出ブロックの定義が登録モデルの定義に沿って修正されて、入力モデルが、検出ブロックを1つのサブシステムにまとめて定義するモデルに変換される。そのため、本発明によれば、ソフトウェア開発で再利用されるモデルの、機能単位での可読性を向上させることができる。

図面の簡単な説明

[0013] [図1]実施の形態1に係るソフトウェア開発支援装置の構成を示すブロック図。

[図2]登録モデルの例を示すブロック線図。

[図3]入力モデルの例を示すブロック線図。

[図4]修正後モデルの例を示すブロック線図。

[図5]登録モデルの解析結果の例を示す表。

[図6]登録モデルの検出結果の例を示す表。

[図7]実施の形態1に係るソフトウェア開発支援装置の動作を示すフローチャート。

[図8]実施の形態1に係るソフトウェア開発支援装置の動作を示すフローチャート。

[図9]実施の形態1に係るソフトウェア開発支援装置の動作を示すフローチャート。

[図10]実施の形態1の変形例に係るソフトウェア開発支援装置の構成を示すブロック図。

[図11]モデルの例を示すブロック線図。

[図12]モデルの例を示すブロック線図。

[図13]モデルの例を示すブロック線図。

発明を実施するための形態

[0014] 以下、本発明の実施の形態について、図を用いて説明する。各図中、同一または相当する部分には、同一符号を付している。実施の形態の説明において、同一または相当する部分については、説明を適宜省略または簡略化する。なお、本発明は、以下に説明する実施の形態に限定されるものではなく、必要に応じて種々の変更が可能である。例えば、以下に説明する実施の形態は、部分的に実施されても構わない。

[0015] 実施の形態1.

本実施の形態について、図1から図9を用いて説明する。

[0016] ***構成の説明***

図1を参照して、本実施の形態に係るソフトウェア開発支援装置10の構成を説明する。

[0017] ソフトウェア開発支援装置10は、コンピュータである。ソフトウェア開発支援装置10は、具体的には、PCである。「PC」は、Personal Computerの略語である。ソフトウェア開発支援装置10は、プロセッサ11を備えるとともに、メモリ12、ストレージ13、入力機器14およびディスプレイ15といった他のハードウェアを備える。プロセッサ11は、信号線を介して他のハードウェアと接続され、これら他のハードウェアを制御する。

[0018] ソフトウェア開発支援装置10は、機能要素として、モデル検出部21と、モデル反映部22と、コード生成部23とを備える。モデル検出部21、モデル反映部22およびコード生成部23の機能は、ソフトウェアにより実現される。

- [0019] プロセッサ 11 は、ソフトウェア開発支援プログラムを実行する装置である。ソフトウェア開発支援プログラムは、モデル検出部 21、モデル反映部 22 およびコード生成部 23 の機能を実現するプログラムである。プロセッサ 11 は、例えば、CPU である。「CPU」は、Central Processing Unit の略語である。
- [0020] メモリ 12 およびストレージ 13 は、ソフトウェア開発支援プログラムを記憶する装置である。メモリ 12 は、例えば、RAM、フラッシュメモリまたはこれらの組み合わせである。「RAM」は、Random Access Memory の略語である。メモリ 12 には、ROM が含まれていてもよい。「ROM」は、Read Only Memory の略語である。ストレージ 13 は、例えば、HDD、SSD またはこれらの組み合わせである。「HDD」は、Hard Disk Drive の略語である。「SSD」は、Solid State Drive の略語である。
- [0021] 入力機器 14 は、ソフトウェア開発支援プログラムへのデータの入力のためにユーザにより操作される機器である。入力機器 14 は、例えば、マウス、キーボード、タッチパネル、または、これらのうちいくつか、もしくは、すべての組み合わせである。
- [0022] ディスプレイ 15 は、ソフトウェア開発支援プログラムから出力されるデータを画面に表示する機器である。ディスプレイ 15 は、例えば、LCD である。「LCD」は、Liquid Crystal Display の略語である。
- [0023] ソフトウェア開発支援装置 10 は、ハードウェアとして、通信デバイスをさらに備えていてもよい。
- [0024] 通信デバイスは、ソフトウェア開発支援プログラムに入力されるデータを受信するレシーバと、ソフトウェア開発支援プログラムから出力されるデータを送信するトランスミッタとを含む。通信デバイスは、例えば、通信チップまたは NIC である。「NIC」は、Network Interface Card の略語である。

- [0025] ソフトウェア開発支援プログラムは、ストレージ13からメモリ12にロードされ、プロセッサ11によって実行される。
- [0026] ソフトウェア開発支援装置10は、プロセッサ11を代替する複数のプロセッサを備えていてもよい。これら複数のプロセッサは、ソフトウェア開発支援プログラムの実行を分担する。それぞれのプロセッサは、例えば、CPUである。
- [0027] ソフトウェア開発支援プログラムにより利用、処理または出力されるデータ、情報、信号値および変数値は、ストレージ13、メモリ12、または、プロセッサ11内のレジスタまたはキャッシュメモリに記憶される。
- [0028] ストレージ13には、データの格納領域として、登録モデル格納部31と、入力モデル格納部32と、修正後モデル格納部33と、自動生成コード格納部34とが含まれる。
- [0029] 登録モデル格納部31には、PID制御等、特定の機能を実現するモデルである登録モデル41が、図2のようにモデルライブラリとして格納されている。「PID」は、Proportional-Integral-Differentialの略語である。図2の例では、登録モデル41を、サブシステムを使わないベタ書きのモデルとして作成しているが、機能単位で適宜サブシステムを追加してもよい。
- [0030] 入力モデル格納部32には、システム全体の機能を実現するモデルである入力モデル42が、図3のように格納されている。図3の例では、「Subsystem2」というサブシステム43内に存在する一部の処理にて、図2のPID制御と同等の機能を有するモデルが構成されている。
- [0031] 修正後モデル格納部33には、モデル反映部22でモデルの可読性向上に向けた変更が反映されたモデルである修正後モデル44が、図4のように格納される。図4の例では、修正後のサブシステム45中の「pid」サブシステム46が、モデル反映部22にて変更が加えられたブロック群である。
- [0032] 自動生成コード格納部34には、コード生成部23にて自動生成されたソースコードが格納される。

- [0033] メモリ 12 には、データの格納領域として、依存関係格納部 24 と、検出結果格納部 25 とが含まれる。
- [0034] 依存関係格納部 24 は、モデル検出部 21 にて一時的に作成される領域である。依存関係格納部 24 には、登録モデル格納部 31 の登録モデル 41 を解析した結果が、図 5 のような形式で格納される。ブロック ID 51 は、登録モデル 41 内に存在するブロックごとに一意の ID であり、モデル内に存在するすべてのブロックを識別するのに利用される。「ID」は、Identifier の略語である。ブロック種別 52 は、各ブロックが実現する機能を示す。例えば、「Gain」というブロック種別 52 は、そのブロックが、1つの入力値に指定された値を乗じて出力することを示す。ブロック名 53 は、各ブロックに設定された名前を示す。入力元ブロック ID 54 は、そのブロックヘデータをを入力するブロックのブロック ID を示す。出力先ブロック ID 55 は、そのブロックから出力されたデータの出力先ブロックのブロック ID を示す。なお、図 5 は、図 2 の登録モデル 41 を解析した結果を示している。
- [0035] 検出結果格納部 25 は、モデル検出部 21 の処理結果を格納する領域である。検出結果格納部 25 には、入力モデル格納部 32 の入力モデル 42 から登録モデル格納部 31 の登録モデル 41 を検出した結果が、図 6 のような形式で格納される。登録モデル ID 61 は、登録モデル 41 の固有の ID である。異なる登録モデル 41 には、異なる登録モデル ID が付与される。登録モデル名 62 は、対応する登録モデル 41 の名称である。すなわち、登録モデル名 62 は、検出された登録モデル 41 の名称である。登録モデル名 62 の例として、PID 制御「pid」、3相2相変換「3to2」、および、ローパスフィルタ「lpf」がある。検出番号 63 は、入力モデル 42 内で検出されたブロック群の連番である。1つの登録モデル 41 に対して複数のブロック群が抽出された場合は、それぞれに異なる検出番号 63 が付与される。対象ブロック 64 は、検出番号 63 で示されるブロック群を構成するブロックである。対象ブロック 64 は、登録モデル 41 と同等の機能を実現す

る、入力モデル42のブロック群の位置を示す。例えば、「Subsystem2/Gain1」は、名称が「Subsystem2」であるサブシステム内に存在する、「Gain1」という名称が割り当てられたブロックを示す。

[0036] ソフトウェア開発支援プログラムは、モデル検出部21、モデル反映部22およびコード生成部23により行われる処理をそれぞれモデル検出処理、モデル反映処理およびコード生成処理としてコンピュータに実行させるプログラムである。ソフトウェア開発支援プログラムは、コンピュータ読取可能な媒体に記録されて提供されてもよいし、記録媒体に格納されて提供されてもよいし、プログラムプロダクトとして提供されてもよい。

[0037] モデル検出部21は、登録モデル格納部31から読み出したモデルが、入力モデル格納部32に存在するか否かを検出する機能部である。検出結果は、検出結果格納部25に保存される。

[0038] モデル反映部22は、検出結果格納部25に格納された検出結果をもとに、入力モデル格納部32に格納されたモデルの可読性を向上させる機能部である。可読性が改善されたモデルは、修正後モデル格納部33に保存される。

[0039] コード生成部23は、修正後モデル格納部33に格納されたモデルからソースコードを自動生成する機能部である。コード生成ツールとして、例えば、MATLAB（登録商標）/Simulink（登録商標）のオプションモジュールであるEmbeddedCoderを用いることができる。

[0040] ソフトウェア開発支援装置10は、1台のコンピュータで構成されていてもよいし、複数台のコンピュータで構成されていてもよい。ソフトウェア開発支援装置10が複数台のコンピュータで構成されている場合は、モデル検出部21、モデル反映部22およびコード生成部23の機能が、各コンピュータに分散されて実現されてもよい。

[0041] ***動作の説明***

図7を参照して、本実施の形態に係るソフトウェア開発支援装置10の動

作を説明する。ソフトウェア開発支援装置 10 の動作は、本実施の形態に係るソフトウェア開発支援方法に相当する。

[0042] モデル検出部 21 は、事前に、登録モデル格納部 31 に格納された全登録モデル 41 を解析した結果を、依存関係格納部 24 に格納する。モデル検出部 21 は、登録モデル 41 にサブシステムが存在する場合は、サブシステム内部を含めて解析を行う。

[0043] ステップ S 110 において、モデル検出部 21 は、入力モデル 42 で定義されている複数ブロックの中から、登録モデル 41 で定義されている複数ブロックを検出する。登録モデル 41 および入力モデル 42 は、いずれもソフトウェアの機能を複数ブロックに分けて定義するモデルである。登録モデル 41 は、モデルライブラリとしてあらかじめ登録されているモデルである。入力モデル 42 は、開発対象のソフトウェアの機能を定義するモデルである。

[0044] 本実施の形態では、登録モデル 41 および入力モデル 42 は、機能に応じた個別のブロックの種別と、ブロック間の依存関係とを定義するモデルである。モデル検出部 21 は、入力モデル 42 で定義されている複数ブロックの中から、登録モデル 41 で定義されている複数ブロックと個別のブロックの種別が一致し、かつ、ブロック間の依存関係が一致するブロックの組み合わせを検出ブロックとして検出する。

[0045] 具体的には、モデル検出部 21 は、図 8 に示すフローによって、登録モデル格納部 31 に格納された登録モデル 41 と、依存関係格納部 24 に格納された結果とから、入力モデル 42 内に存在する登録モデル 41 を検出する。

[0046] ステップ S 111 において、モデル検出部 21 は、検出処理を開始するブロックである初期ブロックを選択する。初期ブロックは、依存関係格納部 24 に格納されたブロック群から任意のブロックを 1 つ選択することで決定される。選択するブロックは、あらかじめ一定のルールで決めておいてもよいし、ステップ S 111 の処理が実行されるときに何らかの方法で決めてもかまわない。

- [0047] ステップS 1 1 2において、モデル検出部 2 1は、ステップS 1 1 1で選択した初期ブロックのブロックID 5 1を取得する。モデル検出部 2 1は、同時に、ステップS 1 1 1で選択した初期ブロックのブロック種別 5 2を判別する。
- [0048] ステップS 1 1 3において、モデル検出部 2 1は、ステップS 1 1 1またはステップS 1 1 6で選択したブロックの前後関係を抽出する。前後関係は、ステップS 1 1 1またはステップS 1 1 6で選択したブロックの入力元ブロックと出力先ブロックとのブロック種別 5 2を判別することで抽出される。モデル検出部 2 1は、ステップS 1 1 2で取得したブロックID 5 1を用いるか、または、前回のステップS 1 1 3で取得した入力元ブロックID 5 4もしくは出力先ブロックID 5 5をブロックID 5 1として用いて依存関係格納部 2 4を検索する。これにより、モデル検出部 2 1は、ステップS 1 1 1またはステップS 1 1 6で選択したブロックの入力元ブロックID 5 4および出力先ブロックID 5 5を特定する。その後、モデル検出部 2 1は、入力元ブロックID 5 4および出力先ブロックID 5 5をブロックID 5 1として用いて再度依存関係格納部 2 4を検索することで、選択しているブロックの入力元ブロックと、選択しているブロックの出力先ブロックとのブロック種別 5 2を判別する。なお、モデル検出部 2 1は、本実施の形態では、依存関係格納部 2 4を2度検索することで入力元ブロックおよび出力先ブロックのブロック種別 5 2を判別しているが、依存関係格納部 2 4の形式を変更することにより、1度の検索で入力元ブロックおよび出力先ブロックのブロック種別を判別するようにしてもよい。そのような依存関係格納部 2 4の形式として、ブロックID 5 1に入力元ブロックおよび出力先ブロックのブロック種別の情報を併せて持たせる形式を用いることができる。
- [0049] ステップS 1 1 4において、モデル検出部 2 1は、ステップS 1 1 1またはステップS 1 1 6で選択したブロックとステップS 1 1 3で抽出したブロックとの接続関係と同等の接続関係を持つブロック群を入力モデル 4 2から抽出する。例えば、図5のブロック4「Integrator」の場合、入

入力元ブロックはブロック2「Gain」、出力先ブロックはブロック6「Add」であるため、モデル検出部21は、「Gain」、その後に「Integrator」、その後に「Add」が接続しているブロック群を入力モデル42から抽出する。なお、登録モデル41内のブロック7「In」の入力ポートおよびブロック8「Out」の出力ポートは、実際にモデルに組み込まれる場合には登録モデル41外の任意のブロックと接続されるため、任意のブロックとして扱われる。つまり、図5のブロック7「In」の場合、モデル検出部21は、任意のブロック、その後にブロック1「Gain」、ブロック2「Gain」およびブロック3「Gain」が接続しているブロック群を抽出する。図5のブロック8「Out」の場合、モデル検出部21は、ブロック6「Add」、その後に任意のブロックが接続しているブロック群を抽出する。

[0050] 後述する条件判定の結果、ステップS114の処理が複数回実行される場合は、それまでにステップS114で抽出されたブロックのうち、入力元または出力先が決まっていないブロックまで抽出範囲が広げられる。例えば、ステップS111にてブロック1が選択された後、1回目のステップS114の処理が実行されたときは、任意のブロック、その後にブロック1、その後にブロック6が接続しているブロック群が抽出される。この時点では、ブロック6の出力先は未決定である。2回目のステップS114の処理が実行されたときは、任意のブロック、その後にブロック1、ブロック4およびブロック5、ブロック1の後にブロック6、その後に任意のブロックが接続しているブロック群が抽出される。この時点では、ブロック4およびブロック5の入力元は未決定である。

[0051] ステップS115において、モデル検出部21は、ステップS114の抽出結果の有無を確認する。抽出結果がない場合は、該当する接続を実現しているブロック群が存在しないため、モデル検出部21は、その時点で検出処理を終了する。抽出結果がある場合は、モデル検出部21は、ステップS116へ進む。

- [0052] ステップS 1 1 6において、モデル検出部 2 1は、ステップS 1 1 4で抽出した部分に、入力元または出力先が未決定のブロックがあるかを確認する。入力元または出力先が未決定のブロックがある場合は、入力元ブロックまたは出力先ブロックに、さらに接続しているブロックが存在するため、モデル検出部 2 1は、ステップS 1 1 3に戻り同様の処理を行う。入力元または出力先が未決定のブロックがない場合は、モデル検出部 2 1は、ステップS 1 1 7へ進む。
- [0053] ステップS 1 1 7において、モデル検出部 2 1は、ステップS 1 1 4で抽出したモデルの情報を検出結果格納部 2 5に保存する。
- [0054] モデル検出部 2 1の処理が終了すると、モデル反映部 2 2の処理が開始する。
- [0055] ステップS 1 2 0において、モデル反映部 2 2は、入力モデル 4 2における検出ブロックの定義を登録モデル 4 1の定義に沿って修正することで、入力モデル 4 2を修正後モデル 4 4に変換する。検出ブロックとは、モデル検出部 2 1により検出された複数ブロックのことである。修正後モデル 4 4は、この検出ブロックを1つのサブシステム 4 6にまとめて定義するモデルである。
- [0056] 具体的には、モデル反映部 2 2は、図 9に示すフローによって、検出結果格納部 2 5に格納された結果をもとにして、入力モデル格納部 3 2に格納されたモデルの可読性を改善し、修正後モデル格納部 3 3に格納する。可読性を改善するために、以下の4つのアプローチが行われる。
- 手順 1 : 検出されたブロック群をサブシステム 4 6にする。
 - 手順 2 : 手順 1 で作成したサブシステム 4 6を構成するブロック群の名称に、登録モデル名 6 2をプレフィックスとして付与する。
 - 手順 3 : 手順 1 で作成したサブシステム 4 6の入出力データ名を、登録モデル 4 1の入出力データ名とする。
 - 手順 4 : 手順 1 で作成したサブシステム 4 6の名称を、登録モデル名 6 2とする。

- [0057] ステップS 1 2 1において、モデル反映部 2 2は、登録モデル I D 6 1を選択する。選択する I Dは、あらかじめ一定のルールで決めておいてもよいし、ステップS 1 2 1の処理が実行されるときに何らかの方法で決めてもかまわない。
- [0058] ステップS 1 2 2において、モデル反映部 2 2は、登録モデル I D 6 1に対応する検出番号 6 3を選択する。選択する番号は、あらかじめ一定のルールで決めておいてもよいし、ステップS 1 2 2の処理が実行されるときに何らかの方法で決めてもかまわない。
- [0059] ステップS 1 2 3において、モデル反映部 2 2は、登録モデル I D 6 1および検出番号 6 3により指定されたすべての対象ブロック 6 4を抽出する。これらの対象ブロック 6 4が、モデル可読性向上の対象となるブロック群である。
- [0060] ステップS 1 2 4において、モデル反映部 2 2は、ステップS 1 2 3で抽出した対象ブロック 6 4をサブシステム化する。サブシステム化には、MATLAB（登録商標）/ Simulink（登録商標）の Simulink . BlockDiagram . createSubsystem（）と呼ばれる関数を用いることができる。このとき、入出力ポートを含めて登録モデル 4 1と完全一致するサブシステムは、すでに機能単位で適切にサブシステムになっているため、サブシステム化対象から除外される。
- [0061] ステップS 1 2 5において、モデル反映部 2 2は、ステップS 1 2 4でサブシステム化したブロックのプロパティを変更することで、モデルの可読性を向上させる。プロパティの変更には、MATLAB（登録商標）/ Simulink（登録商標）の set_param（）と呼ばれる関数を用いることができる。
- [0062] ステップS 1 2 6において、すべての検出番号 6 3について処理が終了していなければ、モデル反映部 2 2は、ステップS 1 2 2へ戻る。終了していれば、モデル反映部 2 2は、ステップS 1 2 7へ進む。
- [0063] ステップS 1 2 7において、すべての登録モデル I D 6 1について処理が

終了していなければ、モデル反映部 2 2 は、ステップ S 1 2 1 へ戻る。終了していれば、モデル反映部 2 2 の処理が終了する。

[0064] モデル反映部 2 2 の処理が終了すると、コード生成部 2 3 の処理が開始する。

[0065] ステップ S 1 3 0 において、コード生成部 2 3 は、モデル反映部 2 2 による変換後のモデルである修正後モデル 4 4 から、開発対象のソフトウェアのソースコードを生成する。

[0066] 本実施の形態では、修正後モデル 4 4 では、モデル反映部 2 2 により、入力モデル 4 2 における検出ブロックの各ブロックの名称が、登録モデル 4 1 の名称を含む名称に修正されている。具体的には、入力モデル 4 2 における検出ブロックの各ブロックの名称に、登録モデル 4 1 の名称がプレフィックスとして付加されている。コード生成部 2 3 は、ソースコードにおいて検出ブロックの各ブロックに対応する箇所に、このモデル反映部 2 2 による修正後の名称を適用する。

[0067] ***実施の形態の効果の説明***

本実施の形態では、入力モデル 4 2 で定義されている複数ブロックの中から、登録モデル 4 1 で定義されている複数ブロックが検出される。そして、入力モデル 4 2 における検出ブロックの定義が登録モデル 4 1 の定義に沿って修正されて、入力モデル 4 2 が、検出ブロックを 1 つのサブシステムにまとめて定義するモデルに変換される。そのため、本実施の形態によれば、ソフトウェア開発で再利用されるモデルの、機能単位での可読性を向上させることができる。

[0068] 本実施の形態では、モデルの検出結果をもとにして機能単位でモデルをサブシステムにまとめ、ブロック名を変更することで、以下の 2 つの効果が可能である。

効果 1 : 動作に影響を与えることなくモデルの可読性を向上させることができる。すなわち、機能単位で適切にサブシステムを作成し、機能単位の各ブロックに命名することにより、モデルの可読性を向上させることができる。

。

効果2：自動生成されるソースコードの可読性を向上させることができる。すなわち、モデルからソースコードを生成する際、コード生成ツールはブロックのプロパティを参照し、変数名決定および関数化といった処理をする。本実施の形態によれば、機能ごとにブロックのプロパティを変更できるため、機能単位で命名されたソースコードも生成できる。よって、モデルの可読性に併せて、ソースコードの可読性も向上させることができる。

[0069] 本実施の形態では、事前に定義されたモデルをもとにして、検出対象のモデルが検索される。検出結果をもとに、より可読性の高いモデルへの自動変換が行われる。新規に命名規則を記載することなく、モデルの可読性を向上させることができる。

[0070] 本実施の形態では、ソースコードよりも抽象度の高い記述をもとに、ソースコードが自動生成される。コード生成ツールに手を加えることなく、自動生成されるソースコードの可読性を向上させることができる。

[0071] 本実施の形態によれば、サブシステムに限定することなく、特定の機能単位を構成するブロック群の検出を実現し、検出結果をもとにしてモデルのリファクタリングをすることで、モデルの可読性を向上させることができる。

[0072] ***他の構成***

本実施の形態では、モデル検出部21、モデル反映部22およびコード生成部23の機能がソフトウェアにより実現されるが、変形例として、モデル検出部21、モデル反映部22およびコード生成部23の機能がハードウェアにより実現されてもよい。この変形例について、主に本実施の形態との差異を説明する。

[0073] 図10を参照して、本実施の形態の変形例に係るソフトウェア開発支援装置10の構成を説明する。

[0074] ソフトウェア開発支援装置10は、電子回路19、ストレージ13、入力機器14およびディスプレイ15といったハードウェアを備える。

[0075] 電子回路19は、モデル検出部21、モデル反映部22およびコード生成

部 2 3 の機能を実現する専用のハードウェアである。電子回路 1 9 は、例えば、単一回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ロジック IC、GA、FPGA、ASIC、または、これらのうちいくつか、もしくは、すべての組み合わせである。「IC」は、Integrated Circuit の略語である。「GA」は、Gate Array の略語である。「FPGA」は、Field-Programmable Gate Array の略語である。「ASIC」は、Application Specific Integrated Circuit の略語である。

[0076] ソフトウェア開発支援装置 1 0 は、電子回路 1 9 を代替する複数の電子回路を備えていてもよい。これら複数の電子回路は、全体としてモデル検出部 2 1、モデル反映部 2 2 およびコード生成部 2 3 の機能を実現する。それぞれの電子回路は、例えば、単一回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ロジック IC、GA、FPGA、ASIC、または、これらのうちいくつか、もしくは、すべての組み合わせである。

[0077] 別の変形例として、モデル検出部 2 1、モデル反映部 2 2 およびコード生成部 2 3 の機能がソフトウェアとハードウェアとの組み合わせにより実現されてもよい。すなわち、モデル検出部 2 1、モデル反映部 2 2 およびコード生成部 2 3 の機能の一部が専用のハードウェアにより実現され、残りがソフトウェアにより実現されてもよい。

[0078] プロセッサ 1 1 および電子回路 1 9 は、いずれも処理回路である。すなわち、ソフトウェア開発支援装置 1 0 の構成が図 1 および図 1 0 のいずれに示した構成であっても、モデル検出部 2 1、モデル反映部 2 2 およびコード生成部 2 3 の動作は、処理回路により行われる。

符号の説明

[0079] 1 0 ソフトウェア開発支援装置、1 1 プロセッサ、1 2 メモリ、1 3 ストレージ、1 4 入力機器、1 5 ディスプレイ、1 9 電子回路、

2 1 モデル検出部、2 2 モデル反映部、2 3 コード生成部、2 4 依存関係格納部、2 5 検出結果格納部、3 1 登録モデル格納部、3 2 入力モデル格納部、3 3 修正後モデル格納部、3 4 自動生成コード格納部、4 1 登録モデル、4 2 入力モデル、4 3 サブシステム、4 4 修正後モデル、4 5 サブシステム、4 6 サブシステム、5 1 ブロックID、5 2 ブロック種別、5 3 ブロック名、5 4 入力元ブロックID、5 5 出力先ブロックID、6 1 登録モデルID、6 2 登録モデル名、6 3 検出番号、6 4 対象ブロック、9 0 モデル、9 1 サブシステム、9 2 ブロック群、9 3 ブロック群、9 4 ブロック群。

請求の範囲

- [請求項1] ソフトウェアの機能を複数ブロックに分けて定義するモデルとして、開発対象のソフトウェアの機能を定義する入力モデルと、モデルライブラリとしてあらかじめ登録されている登録モデルとがあるとき、前記入力モデルで定義されている複数ブロックの中から、前記登録モデルで定義されている複数ブロックを検出するモデル検出部と、
- 前記入力モデルにおける、前記モデル検出部により検出された複数ブロックである検出ブロックの定義を前記登録モデルの定義に沿って修正することで、前記入力モデルを、前記検出ブロックを1つのサブシステムにまとめて定義するモデルに変換するモデル反映部とを備えるソフトウェア開発支援装置。
- [請求項2] 前記モデル反映部による変換後のモデルから、前記開発対象のソフトウェアのソースコードを生成するコード生成部をさらに備え、
- 前記モデル反映部は、前記入力モデルにおける前記検出ブロックの各ブロックの名称を、前記登録モデルの名称を含む名称に修正し、
- 前記コード生成部は、前記ソースコードにおいて前記検出ブロックの各ブロックに対応する箇所に、前記モデル反映部による修正後の名称を適用する請求項1に記載のソフトウェア開発支援装置。
- [請求項3] 前記入力モデルおよび前記登録モデルは、機能に応じた個別のブロックの種別と、ブロック間の依存関係とを定義するモデルであり、
- 前記モデル検出部は、前記入力モデルで定義されている複数ブロックの中から、前記登録モデルで定義されている複数ブロックと個別のブロックの種別が一致し、かつ、ブロック間の依存関係が一致するブロックの組み合わせを前記検出ブロックとして検出する請求項1または2に記載のソフトウェア開発支援装置。
- [請求項4] モデル検出部が、ソフトウェアの機能を複数ブロックに分けて定義するモデルとして、開発対象のソフトウェアの機能を定義する入力モデルと、モデルライブラリとしてあらかじめ登録されている登録モデルと、

ルとがあるとき、前記入力モデルで定義されている複数ブロックの中から、前記登録モデルで定義されている複数ブロックを検出し、

モデル反映部が、前記入力モデルにおける、前記モデル検出部により検出された複数ブロックである検出ブロックの定義を前記登録モデルの定義に沿って修正することで、前記入力モデルを、前記検出ブロックを1つのサブシステムにまとめて定義するモデルに変換するソフトウェア開発支援方法。

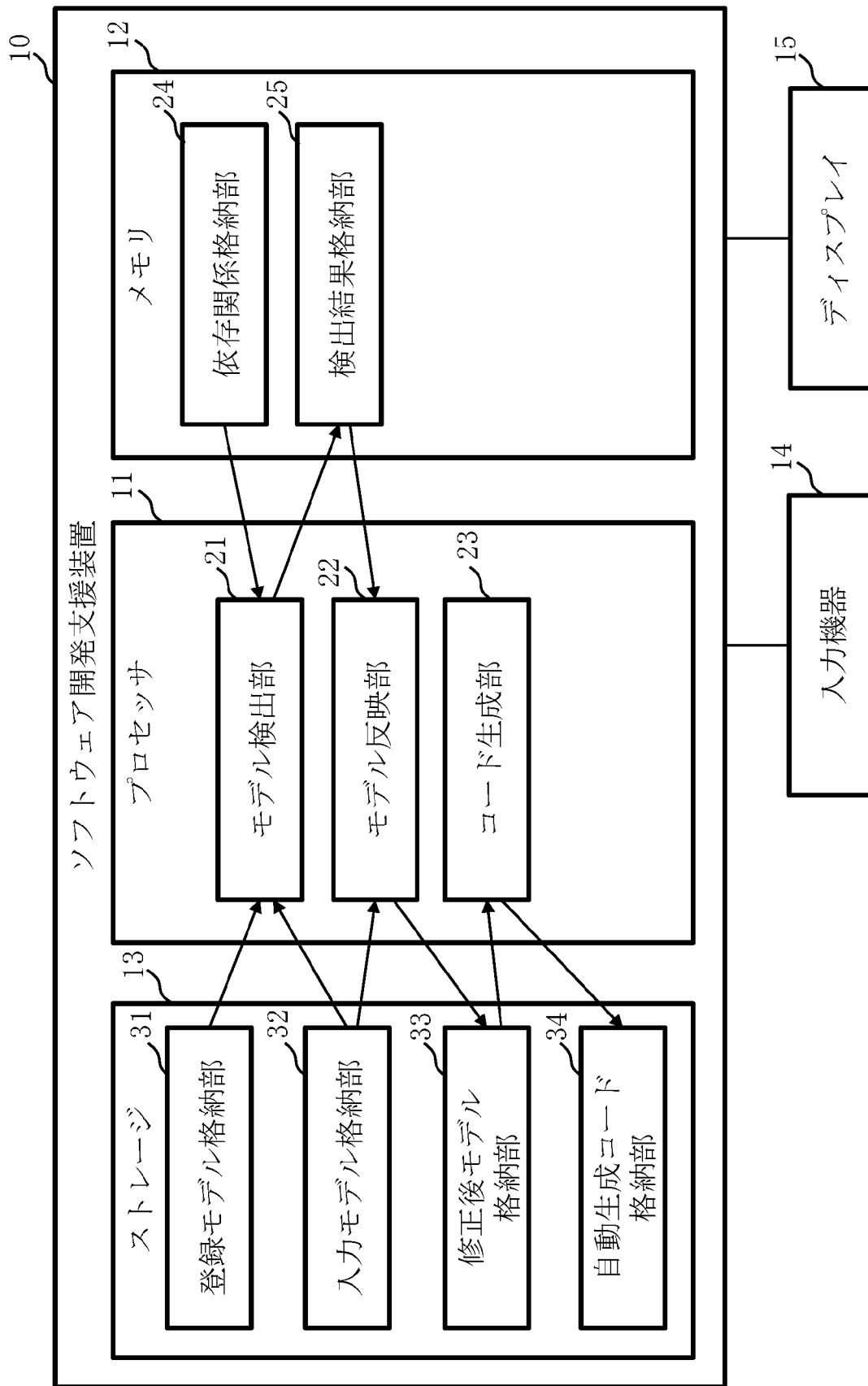
[請求項5]

コンピュータに、

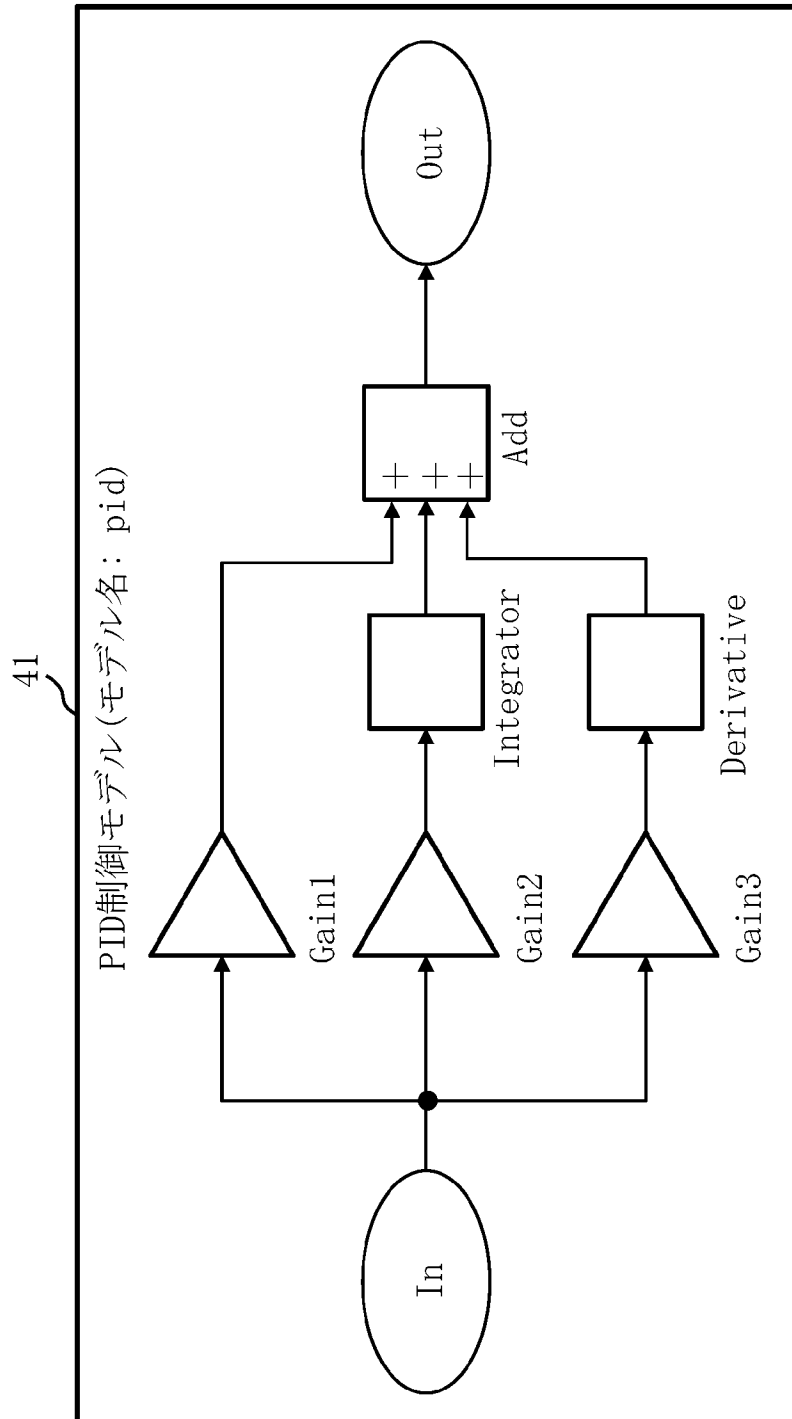
ソフトウェアの機能を複数ブロックに分けて定義するモデルとして、開発対象のソフトウェアの機能を定義する入力モデルと、モデルライブラリとしてあらかじめ登録されている登録モデルとがあるとき、前記入力モデルで定義されている複数ブロックの中から、前記登録モデルで定義されている複数ブロックを検出するモデル検出処理と、

前記入力モデルにおける、前記モデル検出処理により検出された複数ブロックである検出ブロックの定義を前記登録モデルの定義に沿って修正することで、前記入力モデルを、前記検出ブロックを1つのサブシステムにまとめて定義するモデルに変換するモデル反映処理とを実行させるソフトウェア開発支援プログラム。

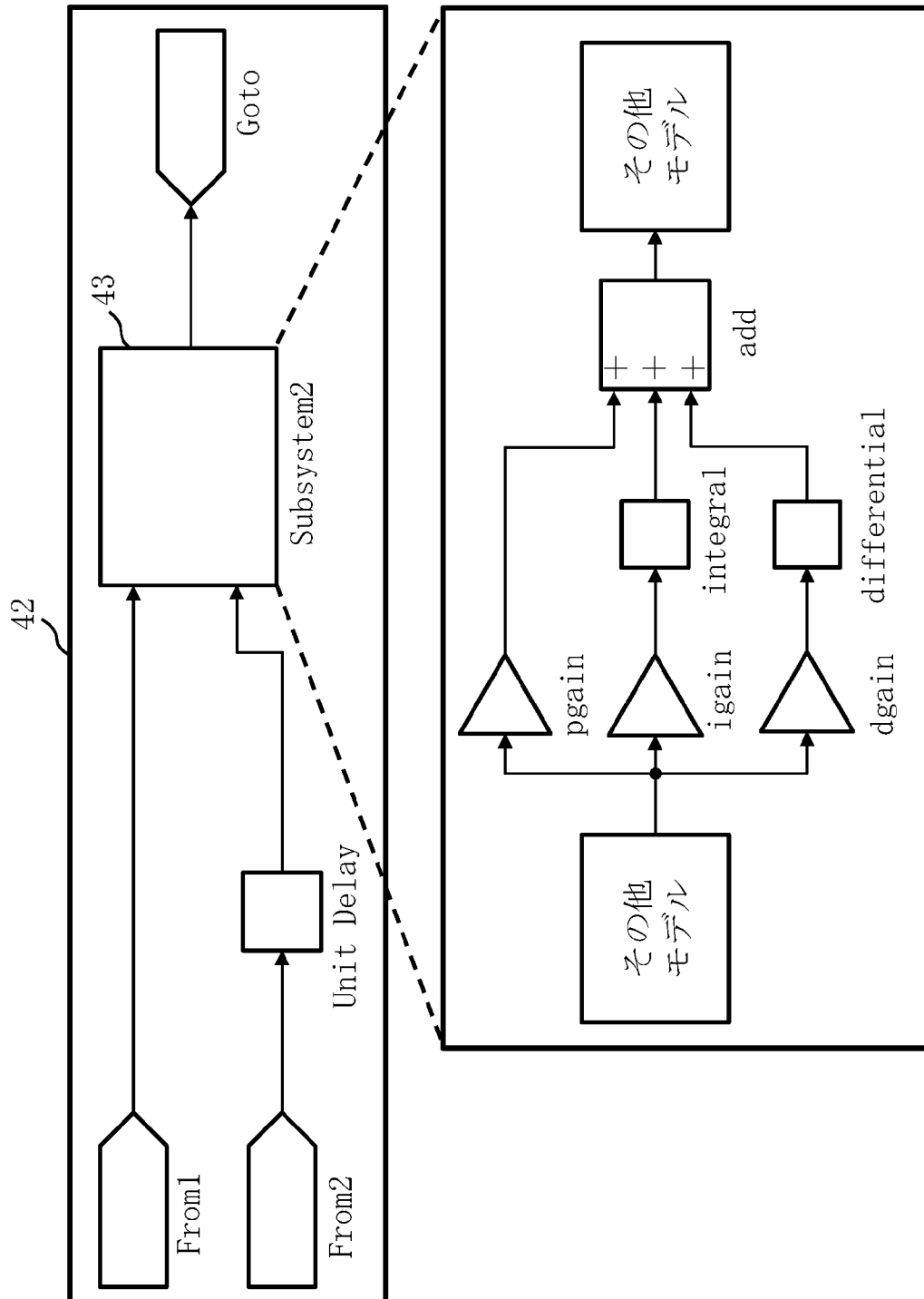
[図1]



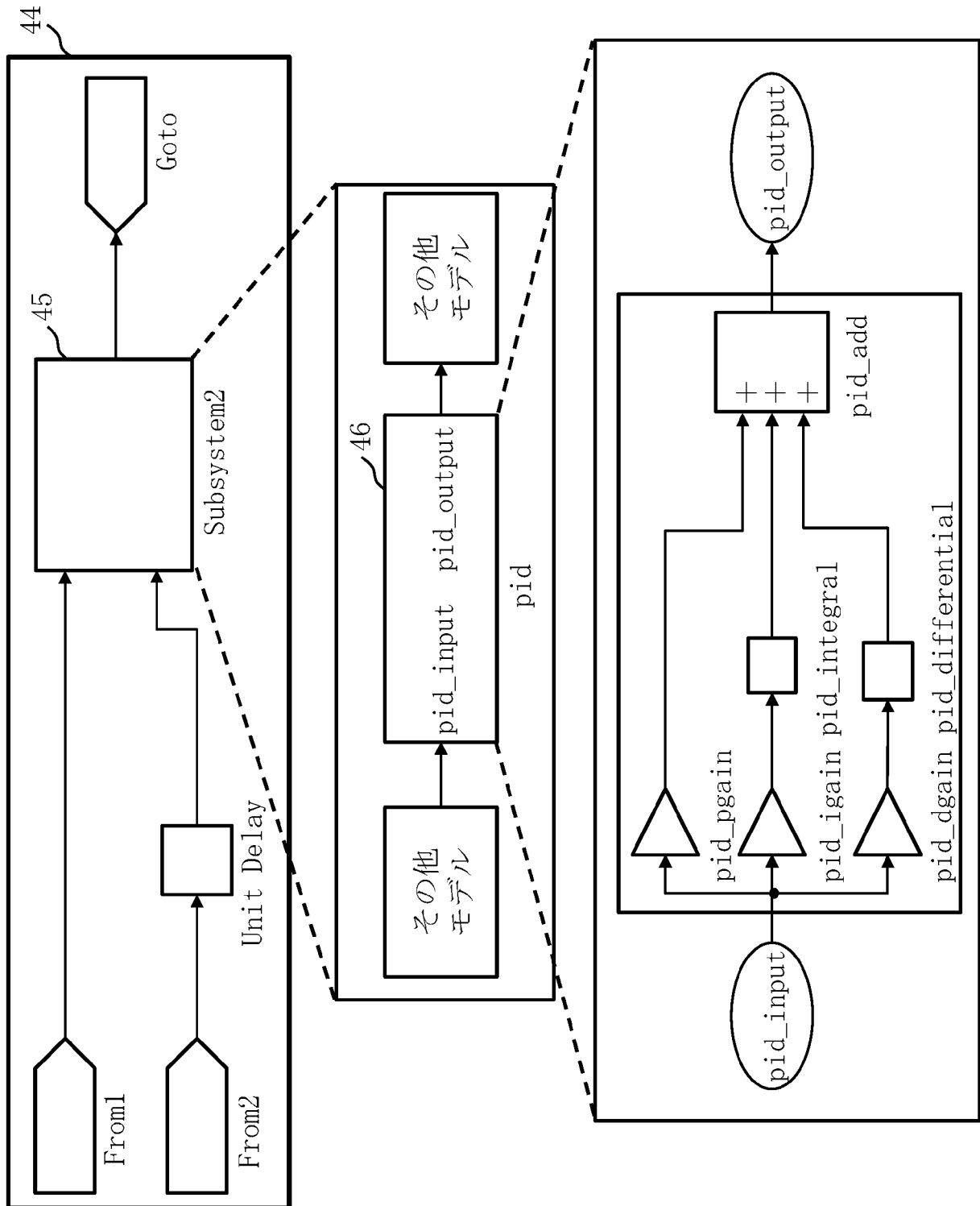
[図2]



[図3]



[図4]



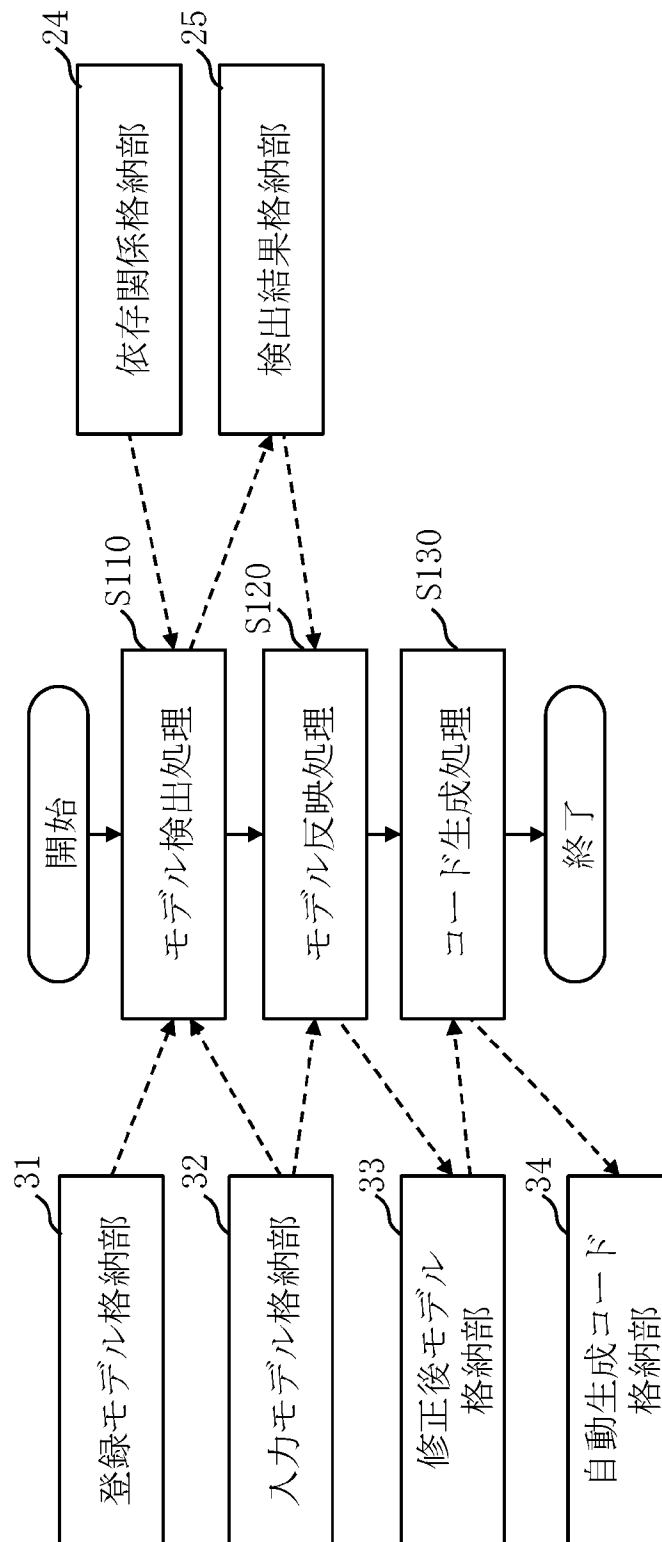
[図5]

51 ブロックID	52 ブロック種別	53 ブロック名	54 入力元 ブロックID	55 出力先 ブロックID
ブロック1	Gain	Gain1	ブロック7	ブロック6
ブロック2	Gain	Gain2	ブロック7	ブロック4
ブロック3	Gain	Gain3	ブロック7	ブロック5
ブロック4	Integrator	Integrator	ブロック2	ブロック6
ブロック5	Derivative	Derivative	ブロック3	ブロック6
ブロック6	Add	Add	ブロック1 ブロック4 ブロック5	ブロック8
ブロック7	In	In	なし	ブロック1 ブロック2 ブロック3
ブロック8	Out	Out	ブロック6	なし

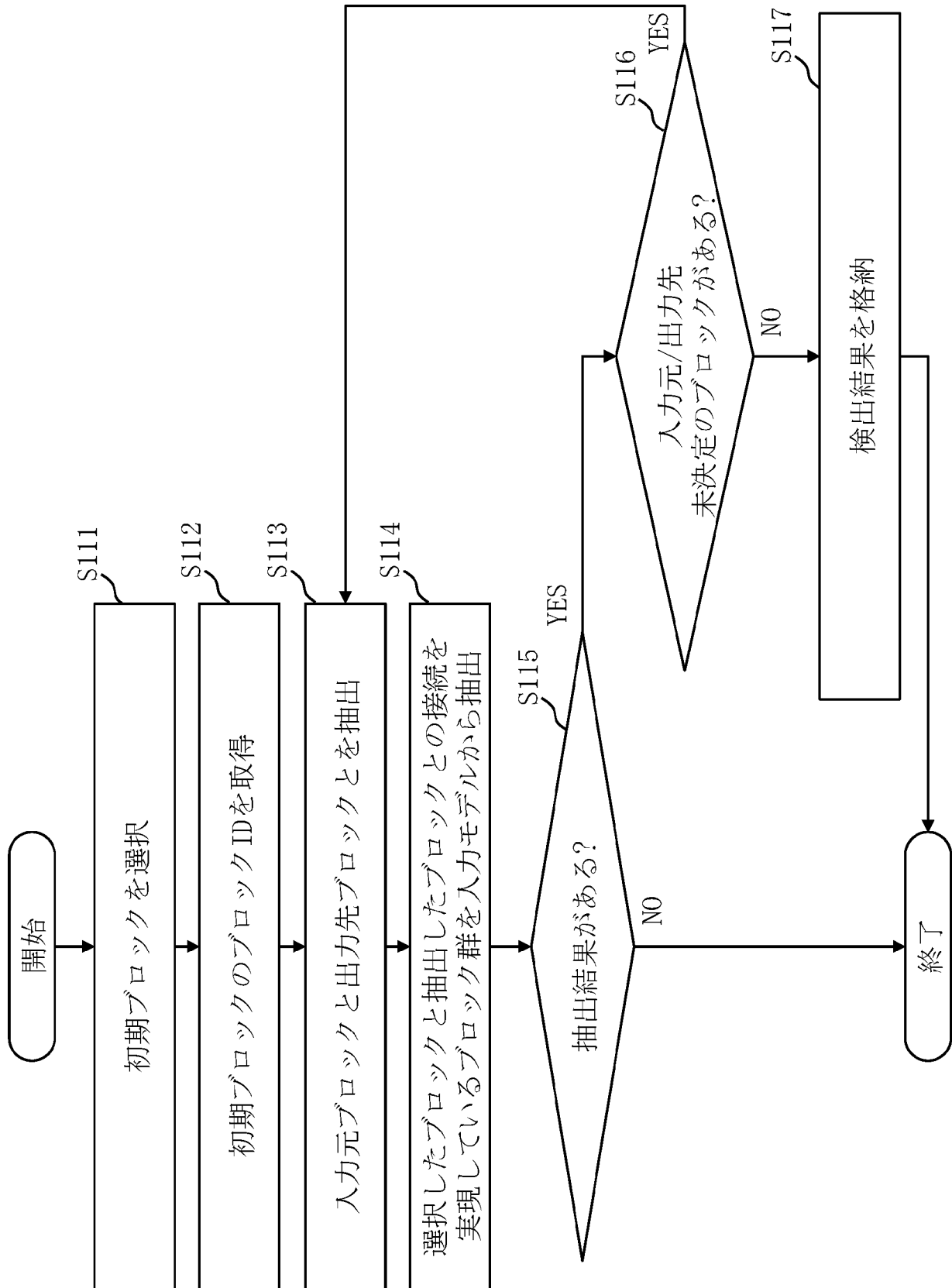
[図6]

登録モデルID	登録モデル名	検出番号	対象ブロック
1	pid	1	Subsystem2/Gain1
			Subsystem2/Gain2
			...
		2	Gain1
			Gain2
			...
2	3to2	1	...
3	1pf	1	...

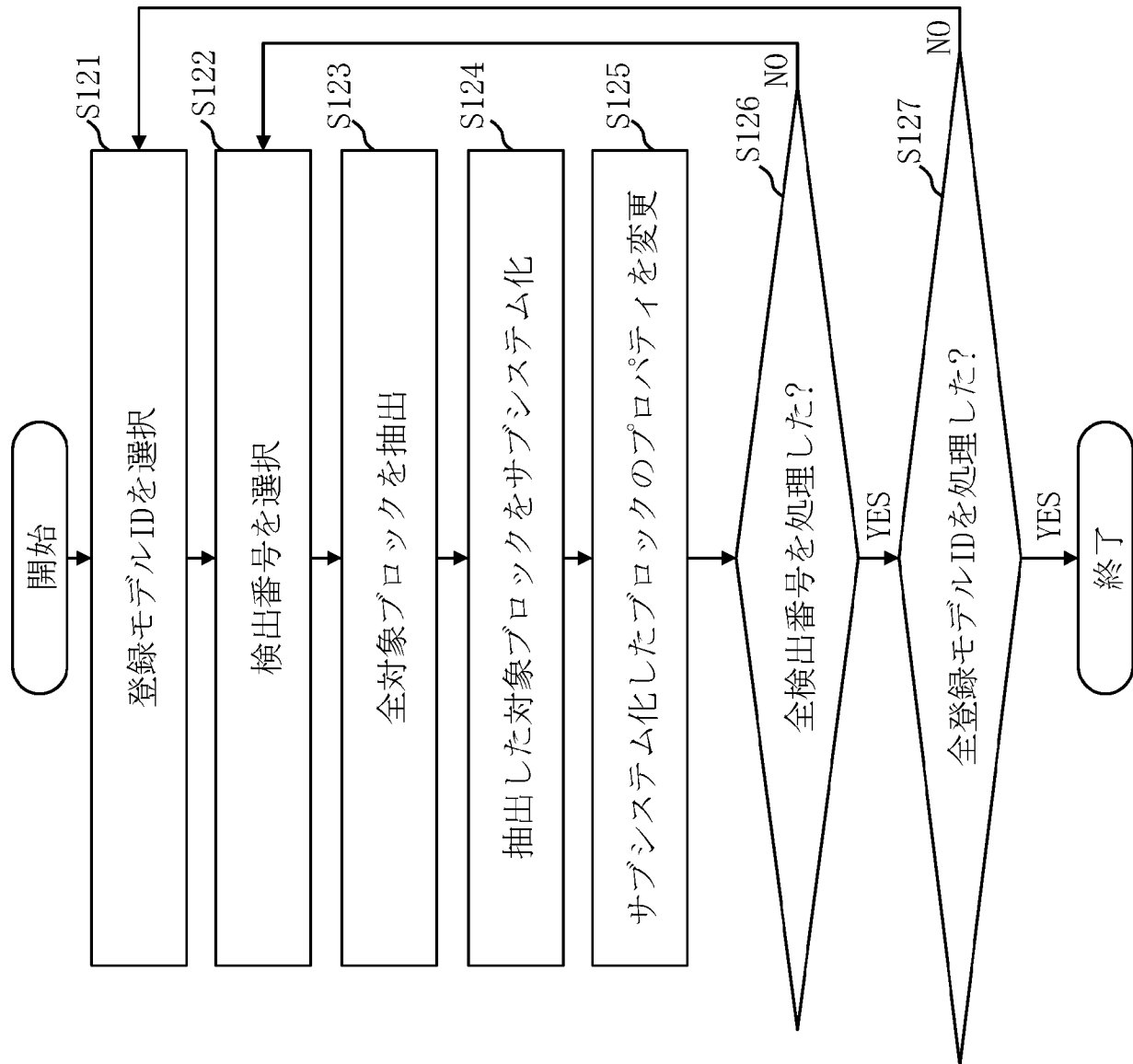
[図7]



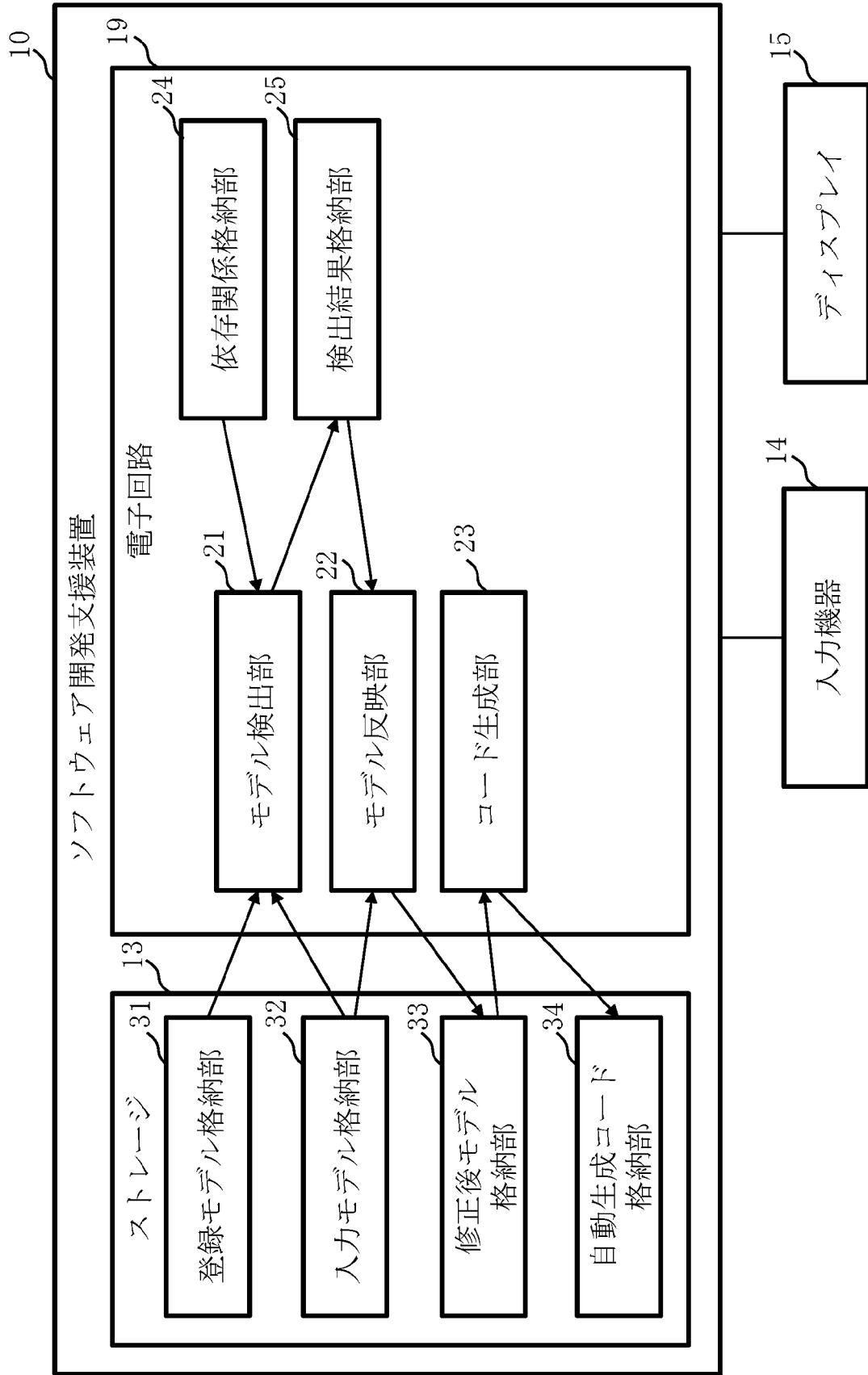
[図8]



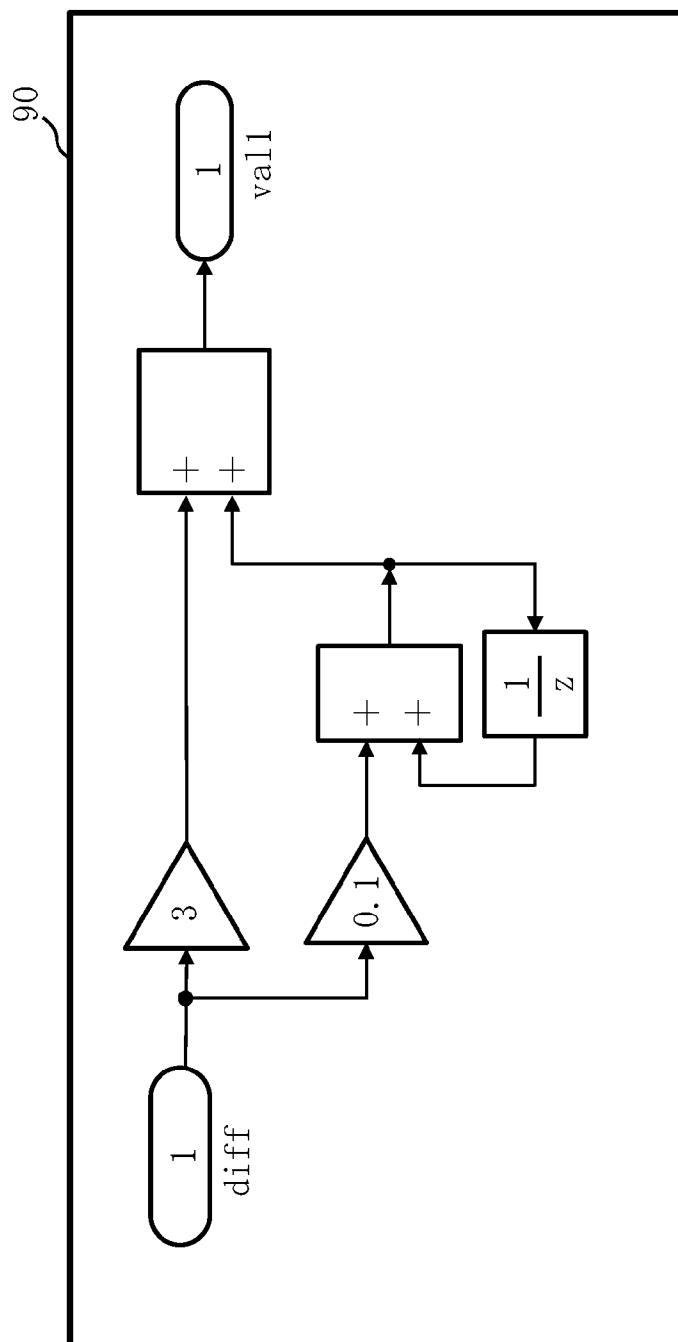
[図9]



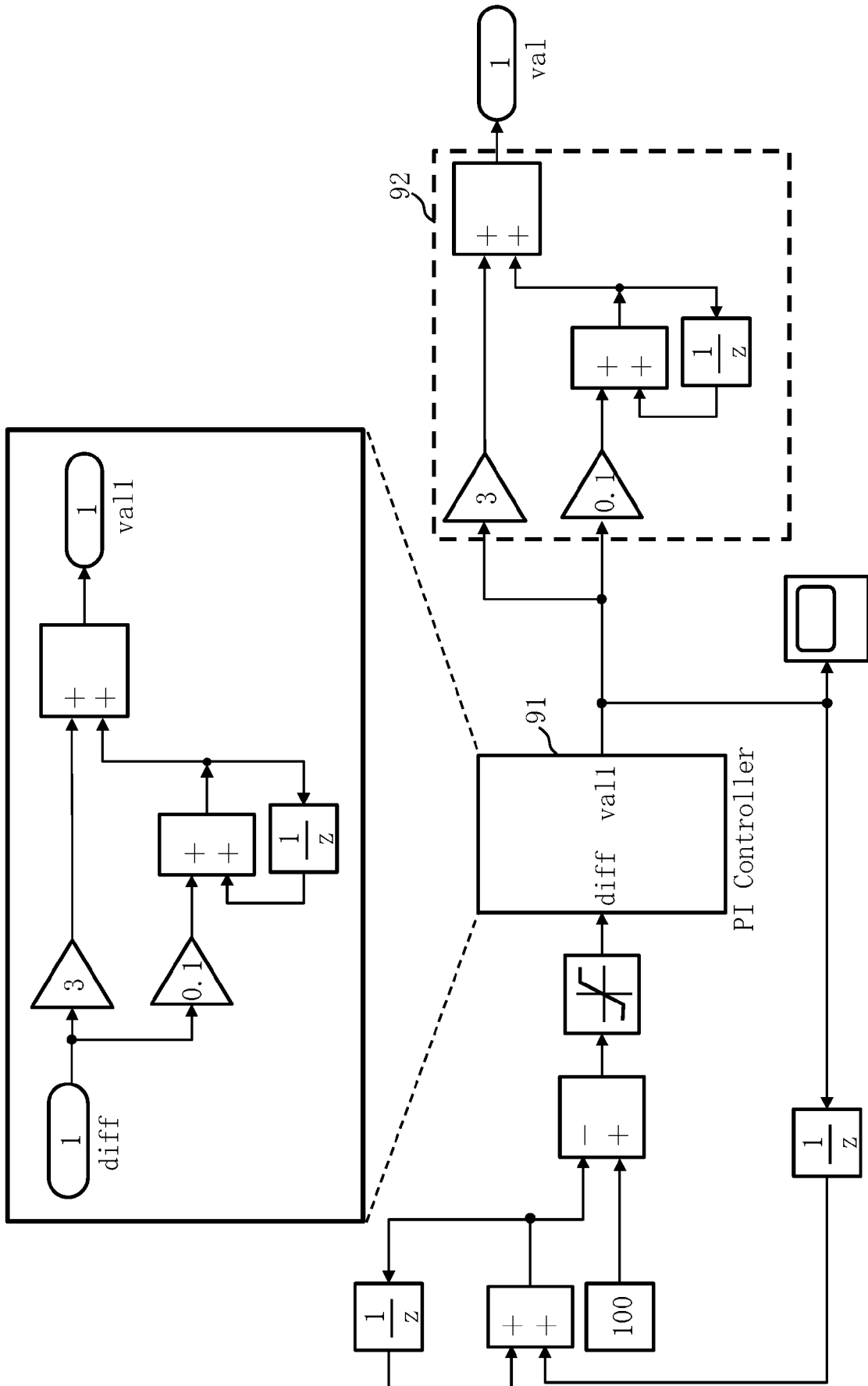
[図10]



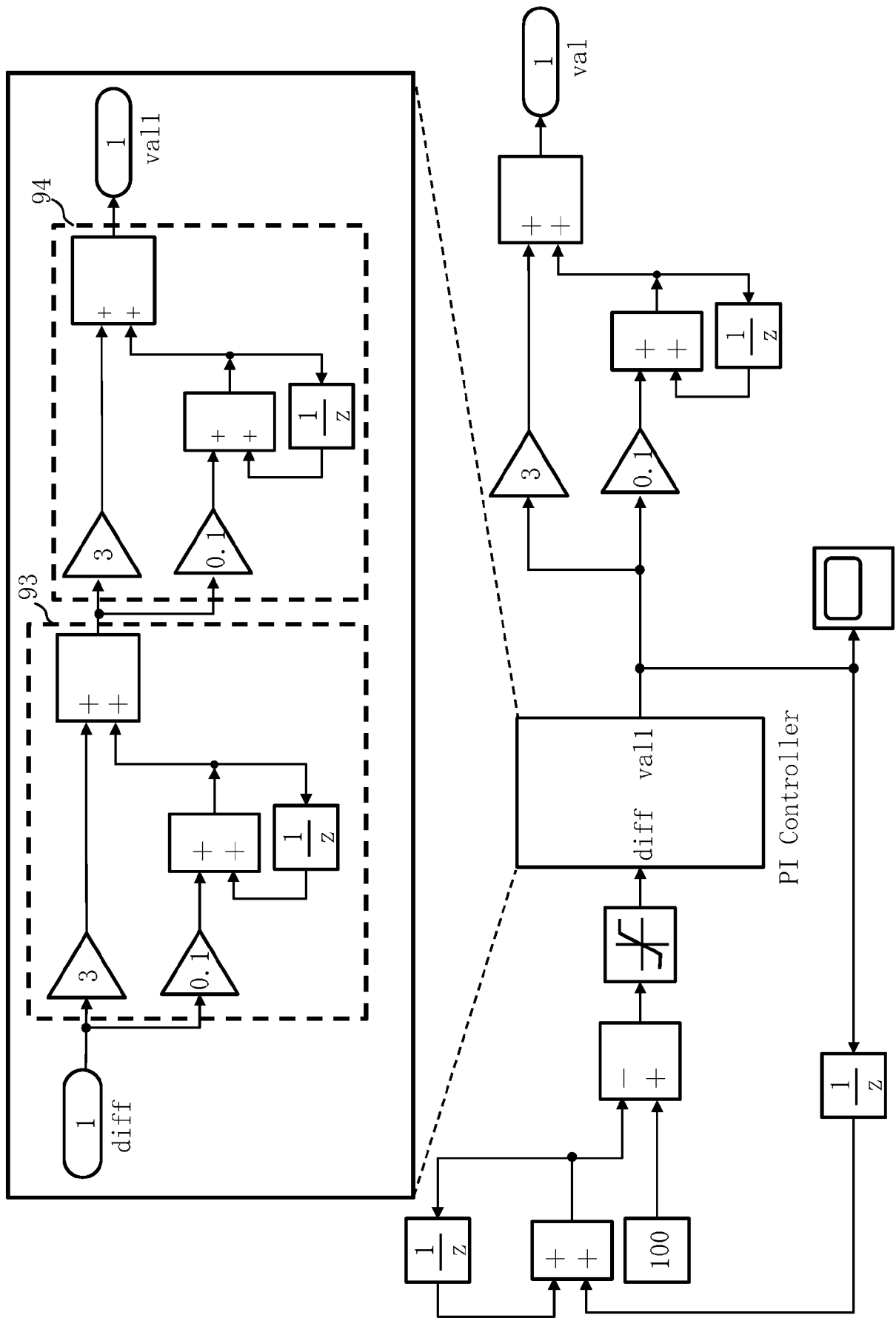
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/008306

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F8/34 (2018.01) i, G06F8/70 (2018.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F8/34, G06F8/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2018
 Registered utility model specifications of Japan 1996-2018
 Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 8726232 B1 (THE MATHWORKS, INC.) 13 May 2014, column 4, line 45 to line 62, column 6, line 37 to line 60, column 9, line 4 to line 19, column 9, line 61 to column 10, line 55, column 11, line 5 to line 61, fig. 7A-7B & US 8584088 B1	1, 3-5 2
A	JP 2009-181446 A (TOSHIBA CORP.) 13 August 2009, paragraphs [0084]-[0086] & US 2009/0199157 A1, paragraphs [0146]-[0148]	1-5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search 19.04.2018	Date of mailing of the international search report 01.05.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F8/34(2018.01)i, G06F8/70(2018.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F8/34, G06F8/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	US 8726232 B1 (THE MATHWORKS, INC.) 2014.05.13, 第4欄第45行-第62行, 第6欄第37行-第60行, 第9欄第4行-第19行, 第9欄第61行-第10欄第55行, 第11欄第5行-第61行, 図7A-7B & US 8584088 B1	1, 3-5 2
A	JP 2009-181446 A (株式会社東芝) 2009.08.13, 段落[0084]-[0086] & US 2009/0199157 A1, 段落[0146]-[0148]	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

19.04.2018

国際調査報告の発送日

01.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

多胡 滋

5B

3562

電話番号 03-3581-1101 内線 3545