



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월24일
(11) 등록번호 10-2524303
(24) 등록일자 2023년04월18일

- (51) 국제특허분류(Int. Cl.)
 HO1L 33/36 (2010.01) HO1L 33/00 (2023.01)
 HO1L 33/02 (2010.01) HO1L 33/10 (2010.01)
 HO1L 33/12 (2010.01) HO1L 33/14 (2010.01)
 HO1L 33/22 (2010.01) HO1L 33/38 (2010.01)
 HO1L 33/42 (2010.01) HO1L 33/48 (2010.01)
 HO1L 33/62 (2010.01)
- (52) CPC특허분류
 HO1L 33/36 (2013.01)
 HO1L 33/00 (2023.02)
- (21) 출원번호 10-2019-7010048
- (22) 출원일자(국제) 2017년09월11일
 심사청구일자 2020년07월13일
- (85) 번역문제출일자 2019년04월08일
- (65) 공개번호 10-2019-0042092
- (43) 공개일자 2019년04월23일
- (86) 국제출원번호 PCT/KR2017/009954
- (87) 국제공개번호 WO 2018/048275
 국제공개일자 2018년03월15일
- (30) 우선권주장
 1020160116886 2016년09월10일 대한민국(KR)
 (뒷면에 계속)
- (56) 선행기술조사문헌
 JP2008171884 A
 (뒷면에 계속)

- (73) 특허권자
 쑤저우 레킨 세미컨덕터 컴퍼니 리미티드
 중국 쑤저우 타이창 시티 168 창성 노스 로드
- (72) 발명자
 성연준
 서울특별시 중구 후암로 98 (남대문로5가)
 김민성
 서울특별시 중구 후암로 98 (남대문로5가)
 이은득
 서울특별시 중구 후암로 98 (남대문로5가)
- (74) 대리인
 특허법인다나

전체 청구항 수 : 총 10 항

심사관 : 이용배

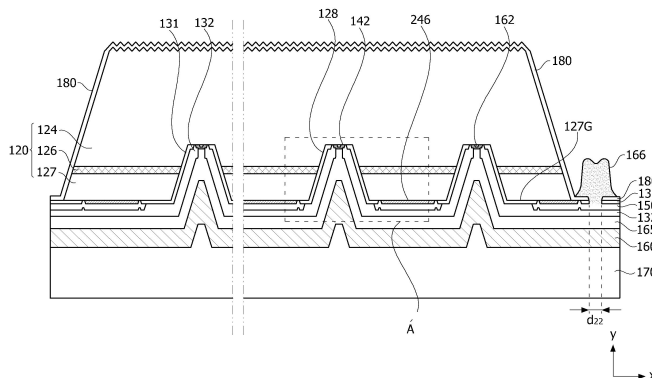
(54) 발명의 명칭 반도체 소자

(57) 요약

실시 예는, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 반도체 구조물; 상기 반도체 구조물 상에 배치되는 제1 절연층; 상기 제1 도전형 반도체층 상에 배치되는 제1 전극; 상기 제2 도전형 반도체층 상에 배치되는 제2 전극; 상기 제1 전극 상에

(뒷면에 계속)

대표도



배치되는 제1 커버전극; 상기 제2 전극 상에 배치되는 제2 커버전극; 및 상기 제1 커버전극의 상면에서 상기 제2 커버전극의 상면으로 연장되는 제2 절연층;을 포함하고, 상기 반도체 구조물은 상기 제1 전극이 배치된 상기 제1 도전형 반도체층의 상면에서 상기 활성층의 측면, 및 상기 제2 전극이 배치된 상기 제2 도전형 반도체층의 상면까지 연장되는 제1 표면을 포함하고, 상기 제1 절연층은 상기 제1 표면에서 상기 제1 전극과 이격되어 배치되고, 상기 제1 절연층은 상기 제1 표면에서, 상기 제1 반도체층의 상면과 수직한 제1 방향으로 상기 제1 커버전극과 중첩되는 반도체 소자를 포함한다.

(52) CPC특허분류

- H01L 33/02* (2013.01)
- H01L 33/10* (2013.01)
- H01L 33/12* (2013.01)
- H01L 33/14* (2013.01)
- H01L 33/22* (2013.01)
- H01L 33/38* (2013.01)
- H01L 33/48* (2013.01)
- H01L 33/62* (2013.01)
- H01L 2924/12041* (2013.01)

(56) 선행기술조사문헌

- JP2010062274 A*
- JP2007324585 A
- JP2006041403 A
- JP2010056322 A*

*는 심사관에 의하여 인용된 문헌

(30) 우선권주장

- 1020160118241 2016년09월13일 대한민국(KR)
- 1020160118242 2016년09월13일 대한민국(KR)
- 1020170096477 2017년07월28일 대한민국(KR)

명세서

청구범위

청구항 1

제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 반도체 구조물;

상기 반도체 구조물 상에 배치되는 제1 절연층;

상기 제1 도전형 반도체층 상에 배치되는 제1 전극;

상기 제2 도전형 반도체층 상에 배치되는 제2 전극;

상기 제1 전극 상에 배치되는 제1 커버전극;

상기 제2 전극 상에 배치되는 제2 커버전극; 및

상기 제1 커버전극의 상면에서 상기 제2 커버전극의 상면으로 연장되는 제2 절연층;을 포함하고,

상기 반도체 구조물은 상기 제1 전극이 배치된 상기 제1 도전형 반도체층의 상면에서 상기 활성층의 측면, 및 상기 제2 전극이 배치된 상기 제2 도전형 반도체층의 상면까지 연장되는 제1 표면을 포함하고,

상기 제1 절연층은 상기 제1 표면에서 상기 제1 전극과 이격되어 배치되고,

상기 제1 절연층은 상기 제1 표면에서, 상기 제1 도전형 반도체층의 상면과 수직한 제1 방향으로 상기 제1 커버전극과 중첩되는 반도체 소자.

청구항 2

제1항에 있어서,

상기 제1 절연층이 상기 제1 전극과 이격된 폭은 $0\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 보다 작은 반도체 소자.

청구항 3

제1항에 있어서,

상기 제1 절연층은 상기 제1 표면에서 상기 제2 전극과 이격되어 배치되고,

상기 제1 절연층은 상기 제1 표면에서 상기 제1 방향으로 상기 제2 커버전극과 중첩되는 반도체 소자.

청구항 4

제1항에 있어서,

상기 제1 전극은 상면에 배치되는 제1 홈, 및 상기 제1 홈을 둘러싸는 돌기부를 포함하고,

상기 제1 커버전극은 상기 제1 홈 및 상기 돌기부 상에 배치되는 반도체 소자.

청구항 5

제4항에 있어서,

상기 돌기부와 상기 제1 커버전극 사이에 배치되는 산화막을 포함하는 반도체 소자.

청구항 6

제4항에 있어서,

상기 반도체 구조물은 상기 제1 도전형 반도체층을 노출시킨 비발광영역 및 상기 비발광영역 보다 돌출된 발광영역을 포함하고,

상기 발광영역은 상기 활성층 및 상기 제2 도전형 반도체층을 포함하고,

상기 제2 커버전극은 상기 발광 영역상에 배치되는 복수 개의 패드부 및 상기 복수 개의 패드부를 연결하는 연결부를 포함하는 반도체 소자.

청구항 7

제6항에 있어서,

상기 반도체 구조물은 평면상 서로 마주보는 제1측면과 제3측면의 중앙을 각각 관통하는 제1 가상선과 서로 마주보는 제2측면과 제4측면의 중앙을 각각 관통하는 제2 가상선에 의해 정의되는 복수 개의 분할영역을 포함하고,

상기 복수 개의 분할영역은 제1측면과 제4측면을 포함하는 제1 분할영역, 제1측면과 제2측면을 포함하는 제2 분할영역, 제2측면과 제3측면을 포함하는 제3 분할영역, 제3측면과 제4측면을 포함하는 제4 분할영역을 포함하고,

상기 복수 개의 패드부는 상기 제1 분할영역에 배치되는 제1 패드부, 상기 제2 분할영역에 배치되는 제2 패드부, 상기 제4 분할영역에 배치되는 제 3패드부를 포함하고,

상기 연결부는 상기 제1 패드부와 상기 제2패드부를 연결하는 제1 연결부, 및 상기 제1 패드부와 상기 제3 패드부를 연결하는 제2 연결부를 포함하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 제1 연결부는 상기 제1 가상선에 가까워질수록 폭이 좁아지고,

상기 제2 연결부는 상기 제2 가상선에 가까워질수록 폭이 좁아지는 반도체 소자.

청구항 9

제7항에 있어서,

상기 제1 홈은 상기 제1 분할영역에 배치되는 제1-1홈, 상기 제2 분할영역에 배치되는 제1-2홈, 상기 제3 분할영역에 배치되는 제1-3홈, 및 상기 제4 분할영역에 배치되는 제1-4홈을 포함하고,

상기 제1-3홈은 상기 제1-1홈, 제1-2홈, 및 제1-4홈보다 큰 반도체 소자.

청구항 10

제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 반도체 구조물;

상기 반도체 구조물 상에 배치되는 제1 절연층;

상기 제1 도전형 반도체층 상에 배치되는 제1 전극;

상기 제2 도전형 반도체층 상에 배치되는 제2 전극;

상기 제1 전극 상에 배치되는 제1 커버전극;

상기 제2 전극 상에 배치되는 제2 커버전극; 및

상기 제1 커버전극의 상면에서 상기 제2 커버전극의 상면으로 연장되는 제2 절연층;을 포함하고,

상기 반도체 구조물은 상기 제1 전극이 배치된 상기 제1 도전형 반도체층의 상면에서 상기 활성층의 측면, 및 상기 제2 전극이 배치된 상기 제2 도전형 반도체층의 상면까지 연장되는 제1 표면을 포함하고,

상기 제1 절연층은 상기 제1 표면에서 상기 제2 전극 및 상기 제2 커버전극과 이격되어 배치되는 반도체 소자.

발명의 설명

기술 분야

[0001] 실시 예는 반도체 소자에 관한 것이다.

배경 기술

[0002] GaN, AlGaIn 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.

[0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.

[0004] 뿐만 아니라, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.

[0005] 따라서, 반도체 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등 및 Gas나 화재를 감지하는 센서 등에까지 응용이 확대되고 있다. 또한, 반도체 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용이 확대될 수 있다.

[0006] 특히, 자외선 파장 영역의 광을 방출하는 발광소자는 경화작용이나 살균 작용을 하여 경화용, 의료용, 및 살균용으로 사용될 수 있다.

[0007] 최근 자외선 발광소자에 대한 연구가 활발하나, 아직까지 자외선 발광소자는 수직형 또는 플립칩으로 구현하기 어려운 문제가 있으며, 광 추출 효율이 상대적으로 떨어지는 문제가 있다.

발명의 내용

해결하려는 과제

[0008] 실시 예는 광 추출 효율이 향상된 반도체 소자를 제공한다.

[0009] 실시 예는 전류 분산 효율이 우수한 반도체 소자를 제공한다.

[0010] 실시 예는 플립칩 타입의 자외선 발광소자를 제공한다.

[0011] 실시 예는 동작 전압이 개선된 반도체 소자를 제공한다.

[0012] 실시 예는 광 출력이 향상된 반도체 소자를 제공한다.

[0013] 실시 예에서 해결하고자 하는 과제는 이에 한정되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

과제의 해결 수단

[0014] 본 발명의 일 실시 예에 따른 반도체 소자는, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 반도체 구조물; 상기 반도체 구조물 상에 배치되는 제1 절연층; 상기 제1 도전형 반도체층 상에 배치되는 제1 전극; 상기 제2 도전형 반도체층 상에 배치되는 제2 전극; 상기 제1 전극 상에 배치되는 제1 커버전극; 상기 제2 전극 상에 배치되는 제2 커버전극; 및 상기 제1 커버전극의 상면에서 상기 제2 커버전극의 상면으로 연장되는 제2 절연층;을 포함하고, 상기 반도체 구조물은 상기 제1 전극이 배치된 상기 제1 도전형 반도체층의 상면에서 상기 활성층의 측면, 및 상기 제2 전극이 배치된 상기 제2 도전형 반도체층의 상면까지 연장되는 제1 표면을 포함하고, 상기 제1 절연층은 상기 제1 표면에서 상기 제1 전극과 이격되어 배치되고, 상기 제1 절연층은 상기 제1 표면에서, 상기 제1 반도체층의 상면과 수직인 제1 방향으로 상기 제1 커버전극과 중첩된다.

- [0015] 상기 1 절연층이 상기 제1 전극과 이격된 폭은 0 μ m보다 크고 4 μ m보다 작을 수 있다.
- [0016] 상기 제1 절연층은 상기 제1 표면에서 상기 제2 전극과 이격되어 배치되고, 상기 제1 절연층은 상기 제1 표면에서 상기 제1 방향으로 상기 제2 커버전극과 중첩될 수 있다.
- [0017] 상기 제1 전극은 상면에 배치되는 제1 홈, 및 상기 제1 홈을 둘러싸는 돌기부를 포함하고, 상기 제1 커버전극은 상기 제1 홈 및 상기 돌기부 상에 배치될 수 있다.

발명의 효과

- [0018] 실시 예에 따르면, 광 추출 효율이 향상된다.
- [0019] 또한, 전류 분산 효율이 우수하여 광 출력이 향상될 수 있다.
- [0020] 또한, 동작 전압을 낮출 수 있다.
- [0021] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 제1 실시 예에 따른 반도체 소자의 개념도이고,
- 도 2 및 도 3은 리세스의 개수 변화에 따라 광 출력이 향상되는 구성을 설명하기 위한 도면이고,
- 도 4는 도 1의 A부분 확대도이고,
- 도 5는 도 3의 B부분 확대도이고,
- 도 6은 도 4의 C부분 확대도이고,
- 도 7은 제1전극과 반사층의 층구조를 보여주는 도면이고,
- 도 8a는 도 6의 제1변형예이고,
- 도 8b는 도 6의 제2변형예이고,
- 도 9는 도 6의 제3변형예이고,
- 도 10은 반사층의 다양한 형상을 보여주는 도면이고,
- 도 11은 본 발명의 제2 실시 예에 따른 반도체 소자의 개념도이고,
- 도 12은 본 발명의 제3 실시 예에 따른 반도체 소자의 단면도이고,
- 도 13a는 도 12의 A 부분 확대도이고,
- 도 13b는 도 13a의 변형예이고,
- 도 14a는 본 발명의 제3 실시 예에 따른 반도체 소자의 평면도이고,
- 도 14b는 본 발명의 제3 실시 예에 따른 제1 전극의 에칭 영역을 보여주는 평면도이고,
- 도 14c는 도 14b의 변형예이고,
- 도 14d는 본 발명의 제3 실시 예에 따른 제1 커버전극과 제2 커버전극을 보여주는 평면도이고,
- 도 14e는 도 14d의 변형예이고,
- 도 15a 및 도 15b는 메사 식각에 의해 발광 영역을 형성한 평면도 및 단면도이고,
- 도 16a 및 도 16b는 제1 전극을 형성한 평면도 및 단면도이고,
- 도 17a 및 도 17b는 제2 전극을 형성한 평면도 및 단면도이고,
- 도 18a 및 도 18b는 제1 전극을 에칭하여 제1 홈을 형성한 평면도 및 단면도이고,
- 도 19a 및 도 19b는 제1 커버전극 및 제2 커버전극을 형성한 평면도 및 단면도이고,

도 20a 및 도 20b는 제2 절연층을 형성한 평면도 및 단면도이고,
 도 21은 본 발명의 제3 실시 예에 따른 반도체 소자의 평면을 측정한 사진이고,
 도 22은 본 발명의 제3 실시 예에 따른 반도체 소자의 단면을 측정한 사진이고,
 도 23는 본 발명의 제3 실시 예에 따른 반도체 소자 패키지를 보여주는 도면이고,
 도 24는 본 발명의 실시 예에 따른 반도체 구조물의 개념도이고,
 도 25는 반도체 구조물의 알루미늄 조성을 측정한 그래프이고,
 도 26은 본 발명의 제4 실시 예에 따른 반도체 소자의 개념도이고,
 도 27은 도 26의 평면도이고,
 도 28은 도 27의 A-A 방향 단면도이고,
 도 29는 제2도전층의 평면도이고,
 도 30은 최소 면적의 제2도전층을 보여주는 평면도이고,
 도 31은 최소 면적의 제2도전층을 보여주는 단면도이고,
 도 32는 제2도전층의 구성을 설명하기 위한 도면이고,
 도 33은 도 32의 제1변형예이고,
 도 34는 도 32의 제2변형예이고,
 도 35는 본 발명의 제5 실시 예에 따른 반도체 소자의 개념도이고,
 도 36은 도 35의 평면도이고,
 도 37은 도 36의 B-1부분 확대도이고,
 도 38은 도 36의 B-2부분 확대도이고,
 도 39는 도 37의 B-B 방향 단면도이고,
 도 40은 도 39의 제1변형예이고,
 도 41a는 도 39의 제2변형예이고,
 도 41b는 제2변형예의 평면도이고,
 도 42는 도 39의 제3변형예이고,
 도 43은 본 발명의 제6 실시 예에 따른 반도체 소자의 개념도이고,
 도 44는 도 43의 평면도이고,
 도 45는 도 44의 C-C방향 단면도이고,
 도 46은 도 45의 제1변형예이고,
 도 47은 도 45의 제2변형예이고,
 도 48은 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 개념도이고,
 도 49는 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 평면도이고,
 도 50은 도 49의 변형예이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 실시 예들은 다른 형태로 변형되거나 여러 실시 예가 서로 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 각각의 실시 예로 한정되는 것은 아니다.

[0024] 특정 실시 예에서 설명된 사항이 다른 실시 예에서 설명되어 있지 않더라도, 다른 실시 예에서 그 사항과 반대

되거나 모순되는 설명이 없는 한, 다른 실시 예에 관련된 설명으로 이해될 수 있다.

- [0025] 예를 들어, 특정 실시 예에서 구성 A에 대한 특징을 설명하고 다른 실시 예에서 구성 B에 대한 특징을 설명하였다면, 구성 A와 구성 B가 결합된 실시 예가 명시적으로 기재되지 않더라도 반대되거나 모순되는 설명이 없는 한, 본 발명의 권리범위에 속하는 것으로 이해되어야 한다.
- [0026] 실시 예의 설명에 있어서, 어느 한 element가 다른 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0027] 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0028] 도 1은 본 발명의 제1 실시 예에 따른 반도체 소자의 개념도이다.
- [0029] 도 1을 참조하면, 실시 예에 따른 반도체 소자는 제1도전형 반도체층(124), 제2도전형 반도체층(127), 및 제1도전형 반도체층(124)과 제2도전형 반도체층(127) 사이에 배치되는 활성층(126)을 포함하는 반도체 구조물(120)을 포함한다.
- [0030] 본 발명의 실시 예에 따른 반도체 구조물(120)은 자외선 파장대의 광을 출력할 수 있다. 예시적으로 반도체 구조물은 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 반도체 구조물(120)의 A1의 조성비에 의해 결정될 수 있다.
- [0031] 예시적으로, 근자외선 파장대의 광(UV-A)은 320nm 내지 420nm 범위의 파장을 가질 수 있고, 원자외선 파장대의 광(UV-B)은 280nm 내지 320nm 범위의 파장을 가질 수 있으며, 심자외선 파장대의 광(UV-C)은 100nm 내지 280nm 범위의 파장을 가질 수 있다.
- [0032] 제1도전형 반도체층(124)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1도펀트가 도핑될 수 있다. 제1도전형 반도체층(124)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlGaN, InGaN, InAlGaN 등에서 선택될 수 있다. 그리고, 제1도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제1도펀트가 n형 도펀트인 경우, 제1도펀트가 도핑된 제1도전형 반도체층(124)은 n형 반도체층일 수 있다.
- [0033] 활성층(126)은 제1도전형 반도체층(124)과 제2도전형 반도체층(127) 사이에 배치된다. 활성층(126)은 제1도전형 반도체층(124)을 통해서 주입되는 전자(또는 정공)와 제2도전형 반도체층(127)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(126)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 자외선 파장을 가지는 빛을 생성할 수 있다.
- [0034] 활성층(126)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(126)의 구조는 이에 한정하지 않는다.
- [0035] 제2도전형 반도체층(127)은 활성층(126) 상에 형성되며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제2도전형 반도체층(127)에 제2도펀트가 도핑될 수 있다. 제2도전형 반도체층(127)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있다. 제2도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제2도펀트가 도핑된 제2도전형 반도체층(127)은 p형 반도체층일 수 있다.
- [0036] 복수 개의 리세스(128)는 제2도전형 반도체층(127)의 제1면(127G)에서 활성층(126)을 관통하여 제1도전형 반도체층(124)의 일부 영역까지 배치될 수 있다. 리세스(128)의 내부에는 제1절연층(131)이 배치되어 제1도전형 반도체층(124)을 제2도전형 반도체층(127) 및 활성층(126)과 전기적으로 절연시킬 수 있다.
- [0037] 제1전극(142)은 리세스(128)의 상면에 배치되어 제1도전형 반도체층(124)과 전기적으로 연결될 수 있다. 제2전극(246)은 제2도전형 반도체층(127)의 제1면(127G)에 배치될 수 있다.

- [0038] 제2전극(246)이 배치되는 제2도전형 반도체층(127)의 제1면은 AlGaIn일 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 전류 주입 효율을 높이기 위해 제1면(127G)과 제2전극(246) 사이에는 밴드갭이 작은 GaN층이 배치될 수도 있다.
- [0039] 제1전극(142)과 제2전극(246)은 오믹 전극일 수 있다. 제1전극(142)과 제2전극(246)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다.
- [0040] 반도체 소자의 일측 모서리 영역에는 제2전극패드(166)가 배치될 수 있다. 제2전극패드(166)는 중앙 부분이 함몰되어 상면이 오목부와 볼록부를 가질 수 있다. 상면의 오목부에는 와이어(미도시)가 본딩될 수 있다. 따라서, 접촉 면적이 넓어져 제2전극패드(166)와 와이어가 더 견고히 본딩될 수 있다.
- [0041] 제2전극패드(166)는 광을 반사하는 작용을 할 수 있으므로, 제2전극패드(166)는 반도체 구조물(120)과 가까울수록 광 추출효율이 향상될 수 있다.
- [0042] 제2전극패드(166)의 볼록부의 높이는 활성층(126)보다 높을 수 있다. 따라서 제2전극패드(166)는 활성층(126)에서 소자의 수평방향으로 방출되는 광을 상부로 반사하여 광 추출효율을 향상시키고, 지향각을 제어할 수 있다.
- [0043] 패시베이션층(180)은 반도체 구조물(120)의 상부면과 측면에 형성될 수 있다. 패시베이션층(180)은 제2전극(246)과 인접한 영역이나 제2전극(246)의 하부에서 제1절연층(131)과 접촉할 수 있다.
- [0044] 제1절연층(131)이 오픈되어 제2전극패드(166)가 제2도전층(150)과 접촉하는 부분의 폭(d22)은 40 μ m 내지 90 μ m일 수 있다. 폭(d22)이 40 μ m보다 작으면 동작 전압이 상승하는 문제가 있고, 폭(d22)이 90 μ m보다 크면 제2도전층(150)을 외부로 노출시키지 않기 위한 공정 마진 확보가 어려울 수 있다.
- [0045] 제2도전층(150)이 제2전극패드(166)의 바깥 영역에서 외부로 노출되면, 소자의 신뢰성이 저하될 수 있다. 따라서, 폭(d22)은 제2전극패드(166)의 전체 폭의 60% 내지 95%일 수 있다.
- [0046] 제1절연층(131)은 제1전극(142)을 활성층(126) 및 제2도전형 반도체층(127)과 전기적으로 절연시킬 수 있다. 또한, 제1절연층(131)은 제2도전층(150)을 제1도전층(165)과 전기적으로 절연시킬 수 있다.
- [0047] 제1절연층(131)은 SiO₂, SixOy, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나, 이에 한정하지 않는다. 제1절연층(131)은 단층 또는 다층으로 형성될 수 있다. 예시적으로 제1절연층(131)은 Si 산화물이나 Ti 화합물을 포함하는 다층 구조의 DBR(distributed Bragg reflector)일 수도 있다. 그러나, 반드시 이에 한정하지 않고 제1절연층(131)은 다양한 반사 구조를 포함할 수도 있다.
- [0048] 제1절연층(131)이 반사기능을 수행하는 경우, 활성층(126)에서 측면을 향해 방출되는 광을 상향 반사시켜 광 추출 효율을 향상시킬 수 있다. 자외선 반도체 소자는 청색광을 방출하는 반도체 소자에 비해 리세스(128)의 개수가 많아질수록 광 추출 효율은 더 효과적일 수 있다.
- [0049] 제2도전층(150)은 제2전극(246)을 덮을 수 있다. 따라서, 제2전극패드(166)와, 제2도전층(150), 및 제2전극(246)은 하나의 전기적 채널을 형성할 수 있다.
- [0050] 제2도전층(150)은 제2전극(246)을 덮고, 제1절연층(131)의 측면과 하면에 접할 수 있다. 제2도전층(150)은 제1절연층(131)과의 접착력이 좋은 물질로 이루어지며, Cr, Al, Ti, Ni, Au 등의 물질로 구성되는 군으로부터 선택되는 적어도 하나의 물질 및 이들의 합금으로 이루어질 수 있으며, 단일층 혹은 복수의 층으로 이루어질 수 있다.
- [0051] 제2절연층(132)은 제2도전층(150)을 제1도전층(165)과 전기적으로 절연시킨다. 제1도전층(165)은 제2절연층(132)을 관통하여 제1전극(142)과 전기적으로 연결될 수 있다.
- [0052] 반도체 구조물(120)의 하부면과 리세스(128)의 형상을 따라 제1도전층(165)과 접합층(160)이 배치될 수 있다. 제1도전층(165)은 반사율이 우수한 물질로 이루어질 수 있다. 예시적으로 제1도전층(165)은 알루미늄을 포함할 수 있다. 제1도전층(165)이 알루미늄을 포함하는 경우, 활성층(126)에서 방출되는 광을 상부로 반사하는 역할을

하여 광 추출 효율을 향상시킬 수 있다.

- [0053] 접합층(160)은 도전성 재료를 포함할 수 있다. 예시적으로 접합층(160)은 금, 주석, 인듐, 알루미늄, 실리콘, 은, 니켈, 및 구리로 구성되는 군으로부터 선택되는 물질 또는 이들의 합금을 포함할 수 있다.
- [0054] 기관(170)은 도전성 물질로 이루어질 수 있다. 예시적으로 기관(170)은 금속 또는 반도체 물질을 포함할 수 있다. 기관(170)은 전기 전도도 및/또는 열 전도도가 우수한 금속일 수 있다. 이 경우 반도체 소자 동작시 발생하는 열을 신속이 외부로 방출할 수 있다.
- [0055] 기관(170)은 실리콘, 몰리브덴, 실리콘, 텅스텐, 구리 및 알루미늄으로 구성되는 군으로부터 선택되는 물질 또는 이들의 합금을 포함할 수 있다.
- [0056] 반도체 구조물(120)의 상면에는 요철이 형성될 수 있다. 이러한 요철은 반도체 구조물(120)에서 출사되는 광의 추출 효율을 향상시킬 수 있다. 요철은 자외선 파장에 따라 평균 높이가 다를 수 있으며, UV-C의 경우 300 nm 내지 800 nm 정도의 높이를 갖고, 평균 500nm 내지 600nm 정도의 높이를 가질 때 광 추출 효율이 향상될 수 있다.
- [0057] 도 2 및 도 3은 리세스의 개수 변화에 따라 광 출력이 향상되는 구성을 설명하기 위한 도면이다.
- [0058] 반도체 구조물(120)은 알루미늄 조성이 높아지면 반도체 구조물(120) 내에서 전류 분산 특성이 저하될 수 있다. 또한, 활성층은 GaN 기반의 청색 발광 소자에 비하여 측면으로 방출하는 광량이 증가하게 된다(TM 모드). 이러한 TM모드는 자외선 반도체 소자에서 주로 발생할 수 있다.
- [0059] 자외선 반도체 소자는 청색 GaN 반도체 소자에 비해 전류 분산 특성이 떨어진다. 따라서, 자외선 반도체 소자는 청색 GaN 반도체 소자에 비해 상대적으로 많은 제1전극(142)을 배치할 필요가 있다.
- [0060] 알루미늄의 조성이 높아지면 전류 분산 특성이 악화될 수 있다. 도 2를 참조하면, 각각의 제1전극(142)의 인근 지점에만 전류가 분산되며, 거리가 먼 지점에서는 전류밀도가 급격히 낮아질 수 있다. 따라서, 유효 발광 영역(P2)이 좁아질 수 있다.
- [0061] 유효 발광 영역(P2)은 전류 밀도가 가장 높은 제1전극(142)의 중심에서의 전류 밀도를 기준으로 전류 밀도가 40%이하인 경계지점까지의 영역으로 정의할 수 있다. 예를 들어, 유효 발광 영역(P2)은 리세스(128)의 중심으로부터 40 μ m이내의 범위에서 주입 전류의 레벨, Al의 조성에 따라 조절될 수 있다.
- [0062] 저전류밀도영역(P3)은 전류밀도가 낮아서 발광에 거의 기여하지 못할 수 있다. 따라서, 실시 예는 전류밀도가 낮은 저전류밀도영역(P3)에 제1전극(142)을 더 배치하거나 반사구조를 이용하여 광 출력을 향상시킬 수 있다.
- [0063] 일반적으로 청색광을 방출하는 GaN 기반의 반도체 소자의 경우 상대적으로 전류 분산 특성이 우수하므로 리세스(128) 및 제1전극(142)의 면적을 최소화하는 것이 바람직하다. 리세스(128)와 제1전극(142)의 면적이 커질수록 활성층(126)의 면적이 작아지기 때문이다. 그러나, 실시 예의 경우 알루미늄의 조성이 높아서 전류 분산 특성이 상대적으로 떨어지므로, 활성층(126)의 면적을 희생하더라도 제1전극(142)의 개수를 증가시켜 저전류밀도영역(P3)을 줄이는 것이 바람직할 수 있다.
- [0064] 도 3을 참조하면, 리세스(128)의 개수가 48개인 경우에는 리세스(128)가 가로 세로 방향으로 일직선으로 배치되지 못하고, 지그재그로 배치될 수 있다. 이 경우 저전류밀도영역(P3)의 면적은 더욱 좁아져 대부분의 활성층이 발광에 참여할 수 있다.
- [0065] 리세스(128)의 개수가 70개 내지 110개가 되는 경우 전류가 더 효율적으로 분산되어 동작 전압이 더 낮아지고 광 출력은 향상될 수 있다. UV-C를 발광하는 반도체 소자에서는 리세스(128)의 개수가 70개보다 적을 경우 전기적 광학적 특성이 저하될 수 있고, 110개보다 많을 경우 전기적 특성은 향상될 수 있지만 활성층의 부피가 줄어들어 광학적 특성이 저하될 수 있다. 이때, 리세스(128)의 직경은 20 μ m 내지 70 μ m일 수 있다.
- [0066] 도 1과 도 2를 참조하면, 복수 개의 제1전극(142)이 제1도전형 반도체층(124)과 접촉하는 제1면적은 반도체 구조물(120)의 수평방향 최대 단면적의 7.4% 내지 20%, 또는 10% 내지 20%이하일 수 있다. 제1면적은 각각의 제1전극(142)이 제1도전형 반도체층(124)과 접촉하는 면적의 합일 수 있다.
- [0067] 복수 개의 제1전극(142)의 제1면적이 7.4% 미만인 경우에는 충분한 전류 분산 특성을 가질 수 없어 광 출력이 감소하며, 20%를 초과하는 경우에는 활성층(126) 및 제2전극(246)의 면적이 과도하게 감소하여 동작 전압이 상승하고 광 출력이 감소하는 문제가 있다.

- [0068] 또한, 복수 개의 리세스(128)의 총면적은 반도체 구조물(120)의 수평방향 최대 단면적의 10% 내지 30% 또는, 13% 내지 30%일 수 있다. 리세스(128)의 총면적이 상기 조건을 만족하기 못하면 제1전극(142)의 총면적을 7.4% 이상 20% 이하로 제어하기 어렵다. 또한, 동작 전압이 상승하고 광 출력이 감소하는 문제가 있다.
- [0069] 제2도전형 반도체층(127)의 면적은 반도체 구조물(120)의 수평 방향 최대면적에서 리세스(128)의 총면적을 제외한 면적일 수 있다. 예시적으로 제2도전형 반도체층(127)의 면적은 반도체 구조물(120)의 수평 방향 최대면적의 70% 내지 90%일 수 있다.
- [0070] 제2전극(246)과 제2도전형 반도체층(127)이 접촉하는 제2면적은 반도체 구조물(120)의 수평방향 최대 단면적의 50%이상 70%이하일 수 있다. 제2면적은 제2전극(246)이 제2도전형 반도체층(127)과 접촉하는 총면적일 수 있다.
- [0071] 제2면적이 50% 미만인 경우에는 제2전극(246)의 면적이 작아져 동작 전압이 상승하고, 홀의 주입 효율이 떨어지는 문제가 있다. 제2면적이 70%를 초과하는 경우에는 제1면적을 효과적으로 넓힐 수 없어 전자의 주입 효율이 떨어지는 문제가 있다. 제2전극(246)과 제2도전형 반도체층(127)이 접촉하지 않는 면적은 1% 내지 20%일 수 있다.
- [0072] 제1면적과 제2면적은 반비례 관계를 갖는다. 즉, 제1전극(142)의 개수를 늘리기 위해서 리세스(128)의 개수를 늘리는 경우 제2전극(246)의 면적이 감소하게 된다. 따라서 전기적, 광학적 특성을 높이기 위해서는 전자와 홀의 분산 특성이 균형을 이루어야 한다. 따라서, 제1면적과 제2면적의 적절한 비율을 정하는 것이 중요하다.
- [0073] 복수 개의 제1전극(142)이 제1도전형 반도체층(124)에 접촉하는 제1면적과 제2전극(246)이 제2도전형 반도체층(127)에 접촉하는 제2면적의 비(제1면적: 제2면적)는 1:3 내지 1:7일 수 있다.
- [0074] 면적비가 1:7보다 커지는 경우에는 제1면적이 상대적으로 작아져 전류 분산 특성이 악화될 수 있다. 또한, 면적비가 1:3보다 작아지는 경우 상대적으로 제2면적이 작아져 전류 분산 특성이 악화될 수 있다
- [0075] 제1전극(142)은 저항이 낮은 금속 또는 금속 산화물을 포함할 수 있다. 제1전극(142)은 가시광은 자외선 광을 흡수할 수 있다. 따라서, 광 추출 관점에서 제1전극(142)에 흡수되는 광의 양을 줄일 필요가 있다.
- [0076] 예시적으로 제1전극(142)의 면적을 좁히고 반사층을 배치하면 광 추출 효율을 향상시킬 수 있다. 이때, 전류 분산에 필요한 제1전극(142)의 접촉면적을 확보하면서도 최대한 반사 영역을 확보하는 것이 중요하다.
- [0077] 도 4는 도 1의 A부분 확대도이고, 도 5는 도 3의 B부분 확대도이고, 도 6은 도 4의 C부분 확대도이고, 도 7은 제1전극과 반사층의 층구조를 보여주는 도면이다.
- [0078] 도 4를 참조하면, 제1도전형 반도체층(124)은 A1의 농도가 상대적으로 낮은 저농도층(124a)과 A1의 농도가 상대적으로 높은 고농도층(124b)을 가질 수 있다. 고농도층(124b)은 A1의 농도가 60% 내지 70%일 수 있고, 저농도층(124a)은 A1의 농도가 40% 내지 50%일 수 있다. 저농도층(124a)은 활성층(126)과 인접 배치될 수 있다.
- [0079] 제1전극(142)은 저농도층(124a) 내부에 배치될 수 있다. 즉, 리세스(128)는 저농도층(124a)의 영역까지 형성될 수 있다. 고농도층(124b)은 A1의 농도가 높아 전류 확산 특성이 상대적으로 낮기 때문이다. 따라서, 리세스(128) 내부에서 제1전극(142)이 저농도층(124a)과 접하여 오믹을 형성할 수 있고, 고농도층(124b)으로 발광하는 광이 고농도층(124b)에서 흡수되지 않아 발광 효율이 향상될 수 있다.
- [0080] 리세스(128)의 직경(W3)은 20 μ m 내지 70 μ m일 수 있다. 리세스(128)의 직경(W3)은 제2도전형 반도체층(127)의 하부에 배치되어 제1리세스(128)에서 가장 넓은 면적으로 정의할 수 있다.
- [0081] 리세스(128)의 직경(W1)이 20 μ m보다 작을 경우, 리세스(128) 내부에 배치되는 제1전극(142)을 형성하는 데 있어서 공정마진을 확보하기 어렵다. 또한, 리세스(128)의 직경(W1)이 70 μ m보다 크면 활성층(126)의 면적이 감소하여 발광 효율이 악화될 수 있다.
- [0082] 리세스(128)의 상면(128-1)의 직경(W5)은 25 μ m 내지 65 μ m일 수 있다. 예시적으로 리세스(128)의 직경(W3)은 56 μ m이고, 상면(128-1)의 직경(W5)은 54 μ m일 수 있다. 리세스(128)의 경사각도(θ 5)는 70도 내지 90도일 수 있다. 이러한 면적 범위를 만족하는 경우 상면(128-1)에 제1전극(142)을 형성하는데 유리할 수 있고, 많은 개수의 리세스(128)를 형성할 수 있다.
- [0083] 경사각도(θ 5)가 90도보다 작거나 120도 보다 크면 활성층(126)의 면적이 줄어들어 발광 효율이 악화될 수 있다. 리세스(128)의 경사각도(θ 5)를 이용하면 제1전극(142)과 제2전극(246)의 면적을 조절할 수 있다.
- [0084] 자외선 광의 흡수를 줄이기 위해 제2전극(246)의 두께는 제1절연층(131)의 두께보다 얇을 수 있다. 제2전극

(246)의 두께는 1nm 내지 15nm일 수 있다.

- [0085] 제2전극(246)은 제1절연층(131)과 1 μ m 내지 4 μ m의 이격 거리(S4)를 가질 수 있다, 이격 거리(S4)가 1 μ m 미만인 경우에는 공정 마진을 확보하기 어려워 신뢰성이 악화될 수 있다. 이격 거리(S4)가 4 μ m보다 길 경우 제2전극(246)이 배치되는 면적이 좁아져 동작 전압이 상승할 수 있다.
- [0086] 제2도전층(150)은 제2전극(246)을 덮을 수 있다. 따라서, 제2전극패드(166)와, 제2도전층(150), 및 제2전극(246)은 하나의 전기적 채널을 형성할 수 있다.
- [0087] 제2도전층(150)이 제1절연층(131)의 측면과 하면에 접하는 경우, 제2전극(246)의 열적, 전기적 신뢰성을 향상할 수 있다. 또한, 제2도전층(150)은 제1절연층(131)과 제2전극(246) 사이로 방출되는 광을 상부로 반사하는 반사 기능을 가질 수 있다. 제2도전층(150)과 제2도전성 반도체층(126)이 접하여 쇼트키 접합이 형성되는 영역이 배치될 수 있으며, 쇼트키 접합을 형성함으로써 전류 분산이 용이해질 수 있다.
- [0088] 제2도전층(150)은 제1절연층(131)의 하부로 연장(31)될 수 있다. 이 경우 제1절연층(131)의 끝단이 들뜨는 현상을 억제할 수 있다. 따라서, 외부 습기 또는 오염 물질의 침투를 방지할 수 있다.
- [0089] 제2절연층(132)은 제2도전층(150)을 제1도전층(165)과 전기적으로 절연시킬 수 있다. 제1도전층(165)은 제2절연층(132)을 관통하여 제1전극(142)과 전기적으로 연결될 수 있다.
- [0090] 실시 예에 따르면, 제1전극(142)과 제2 전극(246) 사이의 영역에서 제2절연층(132)이 제1절연층(131) 상에 배치되므로 제1절연층(131)에 결함이 발생한 경우에도 외부의 습기 및/또는 기타 오염 물질의 침투를 방지할 수 있다.
- [0091] 예시적으로 제1절연층(131)과 제2절연층(132)이 하나의 층으로 구성된 경우, 크랙과 같은 결함이 두께 방향으로 쉽게 전파될 수 있다. 따라서, 외부로 노출된 결함을 통해 외부의 습기나 오염 물질이 반도체 구조물로 침투할 수 있다.
- [0092] 그러나, 실시 예에 따르면, 제1절연층(131) 상에 별도의 제2절연층(132)이 배치되므로 제1절연층(131)에 형성된 결함이 제2절연층(132)으로 전파되기 어렵다. 즉, 제1절연층(131)과 제2절연층(132) 사이의 계면이 결함의 전파를 차폐하는 역할을 수행할 수 있다.
- [0093] 제1절연층(131)의 두께는 제2절연층(132)의 두께보다 작을 수 있다. 예시적으로 제1절연층(131)의 두께는 300nm 내지 700nm일 수 있다. 300nm보다 얇은 경우 전기적 신뢰성이 악화될 수 있고, 700nm 보다 두꺼우면 제2도전층(150)이 제1절연층(131) 상부와 측면에 배치될 때, 제2도전층(150)의 스텝 커버리지 특성이 좋지 않아 박리나 크랙을 유발할 수 있다. 박리나 크랙을 유발하는 경우, 전기적 신뢰성이 악화되거나 광 추출 효율이 저하되는 문제점을 야기할 수 있다.
- [0094] 제2절연층(132)의 두께는 400nm 내지 1000nm일 수 있다. 400nm보다 얇을 경우 소자의 동작 시 전기적 신뢰성이 악화될 수 있고, 1000nm보다 두꺼울 경우 공정시 소자에 가해지는 압력이나 열적 스트레스에 의하여 신뢰성이 저하될 수 있으며, 공정 시간이 길어져 소자의 단가가 높아지는 문제를 야기할 수 있다. 제1절연층(131)과 제2절연층(132)의 두께는 이에 한정하지 않는다.
- [0095] 도 4 내지 도 6을 참조하면, 리세스(128)의 상면(128-1)에는 제1도전형 반도체층(124)과 전기적으로 연결되는 제1전극(142)이 배치될 수 있다. 반사층(162)은 반도체 구조물의 두께 방향으로 제1전극(142)과 제1도전형 반도체층(124) 사이에 배치될 수 있다. 이러한 구성에 의하면 반도체 구조물 내에서 제1전극(142)으로 입사되는 광(L1)을 반사하여 광 흡수를 방지할 수 있다.
- [0096] 제1전극(142)은 제1면에 제1홈(142-1)이 형성될 수 있다. 반사층(162)은 제1홈(142-1)내에 배치될 수 있다. 제1홈(142-1)은 반사층(162)을 형성한 후, 제1전극(142)을 형성하는 과정에서 형성될 수도 있다.
- [0097] 반사층(162)은 리세스(128)의 상면(128-1)에 배치되어 제1도전형 반도체층(124)과 직접 접촉할 수 있다. 그러나, 반드시 이에 한정하는 것은 아니고 후술하는 바와 같이 반사층(162)은 제1전극(142)의 하부에 배치되거나, 또는 제1전극(142)의 내부에 배치될 수도 있다.
- [0098] 반사층(162)의 직경(W1)은 4 μ m 내지 20 μ m일 수 있다. 반사층(162)의 직경(W1)이 4 μ m보다 작은 경우 제1전극(142)의 광흡수량이 증가하는 문제가 있으며, 반사층(162)의 직경이 20 μ m보다 커지는 경우 전류 주입을 위한 제1전극(142)의 면적을 확보하기 어려운 문제가 있다.

- [0099] 제1전극(142)의 직경(W2)은 24 μ m 내지 50 μ m일 수 있다. 이 범위를 만족하는 경우 전류 분산에 유리할 수 있고, 많은 개수의 제1전극(142)을 배치할 수 있다.
- [0100] 제1전극(142)의 직경(W2)이 24 μ m보다 작을 경우 제1도전형 반도체층(124)에 주입되는 전류가 충분하지 않을 수 있다. 또한, 제1전극(142)의 직경(W2)이 50 μ m보다 클 경우 제1전극(142)의 수가 부족해져 전류 분산 특성이 저하될 수 있다.
- [0101] 제1전극(142)의 폭(S2)은 제1전극(142)의 반지름(S1+S2)과 반사층(162)의 반지름(S1) 차이일 수 있다. 제1전극(142)의 폭(S2)은 5 μ m 내지 20 μ m일 수 있다.
- [0102] 제1전극(142)의 폭(S2)은 제1도전형 반도체층(124)의 알루미늄 조성에 비례할 수 있다. 예시적으로 제1도전형 반도체층(124)의 알루미늄 조성비가 60%인 경우 제1전극(142)의 폭(S2)은 30nm일 수 있다. 이에 반해 제1도전형 반도체층(124)의 알루미늄 조성비가 40%인 경우 제1전극(142)의 폭(S2)은 10nm일 수 있다. 알루미늄 조성비가 높아질수록 전류 분산 효율이 약해지기 때문이다.
- [0103] 반사층(162)의 면적과 제1전극(142)의 면적의 비는 1:2 내지 1:4일 수 있다. 즉, 반사층(162)의 면적은 제1전극(142)의 면적의 25% 내지 50%일 수 있다. 면적의 비가 1:2보다 작은 경우에는 제1전극(142)의 면적이 작아져 전류 분산 효율이 저하될 수 있다. 또한, 면적비가 1:4보다 큰 경우 반사층(162)의 면적이 작아져 제1전극(142)에 흡수되는 광량이 증가할 수 있다.
- [0104] 이때, 전술한 바와 같이 제1전극(142)이 제1도전형 반도체층(124)에 접촉하는 제1면적과 제2전극(246)이 제2도전형 반도체층(127)에 접촉하는 제2면적의 비(제1면적: 제2면적)는 1:3 내지 1:7로 유지하는 경우, 전류 분산 특성과 광 추출 효율을 향상시킬 수 있다.
- [0105] 도 6을 참조하면, 제1전극(142)의 두께(d2)는 제1절연층(131)의 두께(d3)보다 얇을 수 있다. 제1절연층(131)의 두께(d3)는 제1전극(142)의 두께(d2)의 110% 내지 130%이상일 수 있다. 제1전극(142)의 두께(d2)가 제1절연층(131)의 두께(d3)보다 얇은 경우, 제1도전형 반도체층(165)을 배치할 때 발생하는 스텝 커버리지 특성 저하에 의한 박리 및 크랙 등의 문제점을 해결할 수 있다. 또한, 제1절연층(131)과 제1간격(S6)를 가짐으로써 제2절연층(132)의 갭필(Gap-fil)특성이 향상될 수 있다.
- [0106] 제1전극(142)과 제1절연층(131)의 제1간격(S6)은 0 μ m보다 크고 4 μ m보다 작을 수 있다. 제1전극(142)과 제1절연층(131)의 제1간격(S6)이 4 μ m보다 클 경우 리세스(128) 상면(128-1)에 배치되는 제1절연층(131)의 폭이 줄어들어 공정 마진을 확보하기 어려워 신뢰성이 악화될 수 있다. 또한, 제1전극(142)의 폭(S2)이 줄어들어 동작 전압 특성이 악화될 수 있다.
- [0107] 리세스(128)의 상면(128-1)은 제1절연층(131)과 제1도전형 반도체층(124)이 접하는 제1영역(S5), 제2절연층(132)과 제1도전형 반도체층(124)이 접하는 제2영역(제1간격, S6), 제1전극(142)과 제1도전형 반도체층(124)이 접하는 제3영역(S2), 및 반사층(162)과 제1도전형 반도체층(124)이 접하는 제4영역(W1)을 포함할 수 있다.
- [0108] 제1영역(S5)의 폭이 넓어지면 제3영역(S2)이 좁아지고, 제1영역(S5)의 폭이 넓어지면 제3영역(S2)이 넓어질 수 있다.
- [0109] 제1영역(S5)의 제1방향(X방향) 폭은 11 μ m 내지 28 μ m일 수 있다. 11 μ m보다 작으면, 공정 마진 확보가 어려워 소자의 신뢰성이 악화될 수 있고, 28 μ m보다 크면 제1전극(142)의 폭(S2)이 줄어들어 전기적 특성이 악화될 수 있다. 제1방향은 반도체 구조물의 두께 방향과 수직한 방향일 수 있다.
- [0110] 제2영역(S6)의 폭은 제3영역(S6)과 제4영역(W1)의 폭을 조절하여 결정할 수 있다. 소자 전체에 전류 분포를 균일하게 하고, 전류 주입을 최적화하기 위해 리세스(128)의 폭을 상기 범위 내에서 자유롭게 설계할 수 있다.
- [0111] 또한, 리세스(128)의 상면 넓이는 제1영역(S5), 제2영역(S6), 및 제3영역(S2)의 폭을 조절하여 결정할 수 있다. 리세스(128)의 면적이 커질 경우, 제2전극(246)이 배치될 수 있는 면적이 줄어든다. 이를 통해 제1전극(142)과 제2전극(246)의 비율을 결정할 수 있고, 전자와 정공의 밀도(density)를 정합시켜 전류 밀도를 최적화하기 위해 리세스(128)의 폭을 상기 범위 내에서 설계할 수 있다.
- [0112] 도 7을 참조하면, 반사층(162)은 제1층(162a) 및 제2층(162b)을 포함한다. 제1층(162a)은 접착 및 확산 방지 기능을 수행할 수 있다. 제1층(162a)은 크롬(Cr), 티탄(Ti) 니켈(Ni) 중 적어도 하나를 포함할 수 있다. 제1층(162a)의 두께는 0.7nm 내지 7nm일 수 있다. 두께는 0.7nm보다 작은 경우 접착 효과 및 확산 방지 효과가 떨어지는 문제가 있고 두께가 7nm보다 큰 경우 자외선 흡수량이 많아질 수 있다.

- [0113] 제2층(162b)은 알루미늄을 포함할 수 있다. 제2층(162b)의 두께는 30nm 내지 120nm일 수 있다. 제2층(162b)의 두께가 30nm보다 작은 경우 자외선 파장대에서 반사율이 떨어지는 문제가 있으며, 두께가 120nm보다 두꺼워져도 반사 효율이 거의 상승하지 않는다.
- [0114] 제1전극(142)은 복수의 층으로 구성될 수 있다. 예시적으로 제1전극(142)은 제1-1전극(142a), 제1-2전극(142b), 제1-3전극(142c)을 포함할 수 있다. 제1-1전극(142a)은 크롬(Cr), 티탄(Ti) 니켈(Ni) 중 적어도 하나를 포함할 수 있다. 제1-1전극(142a)은 제1층(162a)과 유사한 구조일 수 있으나 두께는 오픈 성능을 위해 제1층(162a)보다 두꺼울 수 있다. 따라서, 제1전극(142)은 자외선 광을 흡수하게 된다.
- [0115] 제1-2전극(142b)은 저항을 낮추거나 광을 반사하는 역할을 수행할 수 있다. 제1-2전극(142b)은 Ni, Al등을 포함할 수 있다. 제1-3전극(142c)은 이웃한 층과 접합하기 위한 층으로 Au 등을 포함할 수 있다. 제1전극(142)의 구조는 Ti/Al 혹은 Cr/Ti/Al일 수 있으나 특별히 한정되지 않는다.
- [0116] 도 8a는 도 5의 제1변형예이고, 도 8b는 도 5의 제2변형예이고, 도 9는 도 5의 제3변형예이고, 도 10은 반사층의 다양한 형상을 보여주는 도면이다.
- [0117] 도 8a를 참조하면, 반사층(162)은 제1전극(142)의 하부에 배치될 수도 있다. 이 경우 제1전극(142)이 제1도전형 반도체층(124)에 접촉하는 면적이 넓어져 전류 분산에 유리할 수 있다. 또한, 반사층(162)은 제1전극(142)의 내부에 배치될 수도 있다.
- [0118] 도 8b를 참조하면, 커버전극(143)은 리세스(128)의 내부에서 제1전극(142)의 하부를 덮도록 배치될 수 있다. 커버전극(143)은 제1도전층(165)과 동일한 재질일 수 있으나 서로 다른 재질일 수도 있다.
- [0119] 제1절연층(131)은 리세스(128)의 상면으로 연장되어 제1전극(142)과 제1간격(S6)으로 이격 배치될 수 있다. 커버전극(143)은 제1간격(S6)에 배치되는 요철부(143a)를 포함할 수 있다. 따라서, 커버전극(143)이 제1도전형 반도체층(124)과 쇼트키 접합을 형성함으로써 전류 분산이 용이해질 수 있다. 또한, 커버전극(143)은 제1절연층의 하부로 연장되는 연장부(143b)를 포함할 수 있다.
- [0120] 도 9를 참조하면, 제1도전층(165)은 반사층(162-1)과 연결될 수 있다. 제1도전층(165)은 제1전극(142)을 관통하여 반사층(162-1)과 접촉할 수 있다. 제1전극(142)은 중앙에 홀이 형성된 링 형상을 가질 수 있다. 따라서, 제1도전층(165)은 제1전극(142)의 홀에 채워져 반사층(162-1)을 형성할 수 있다.
- [0121] 그러나, 반드시 이에 한정하는 것은 아니다. 예시적으로 제1전극(142)이 반사층(162-1)을 덮고, 제1도전층(165)이 제1전극(142)을 관통하여 반사층(162-1)과 연결될 수도 있다. 이때, 제1도전층(165)과 반사층(162-1)은 동일한 재질일 수도 있고 서로 다른 재질일 수도 있다.
- [0122] 제1도전층(165)은 알루미늄과 같이 자외선 광을 반사할 수 있는 다양한 재질을 포함할 수 있다. 제1도전층(165)은 제2도전형 반도체층의 저면으로 연장되어 자외선 광을 반사할 수 있다. 예시적으로 제1도전층(165)은 제2전극(246)이 배치된 영역(P1)을 커버하도록 배치될 수 있다.
- [0123] 도 10을 참조하면, 반사층(162)의 형상은 다양하게 변형될 수 있다. 즉, 제1전극(142)의 일부 영역에 배치되어 광을 반사할 수 있는 구조이면 형상은 특별히 제한되지 않는다. 다만, 전술한 바와 같이 반사층(162)의 면적은 제1전극(142)의 면적의 25% 내지 50%로 배치될 수 있다.
- [0124] 도 11은 본 발명의 다른 실시 예에 따른 반도체 소자의 개념도이다.
- [0125] 도 11을 참조하면, 제2전극(246)과 제2도전형 반도체층(127) 사이에는 반사패턴(247)이 배치될 수 있다. 제2전극(246)은 제1전극(142)에 비해 상대적으로 넓어 광 흡수량이 클 수 있다. 더욱이, 제2도전형 반도체층(127)이 P-AlGaN으로 구성된 경우 대부분의 광은 제2도전형 반도체층(127)을 통과하여 제2전극(246)으로 입사될 수 있다. 따라서, 제2전극(246)으로 흡수되는 광을 최소화하는 것이 바람직할 수 있다.
- [0126] 반사패턴(247)은 전술한 제1전극(142)의 반사층(162) 구성이 그대로 적용될 수 있다. 예시적으로 반사패턴(247)은 제2도전층(150)이 부분적으로 관통한 구조일 수도 있다. 그러나 반드시 이에 한정하는 것은 아니고 별도의 반사부재를 형성한 것일 수도 있다.
- [0127] 반사패턴(247)은 반도체 구조물에 리세스(128)를 형성한 후 마스크를 이용하여 리세스(128)의 상면(128-1)과 제2도전형 반도체층(127)의 하부면에 반사층(162)을 동시에 형성할 수 있다. 따라서, 제1전극(142)에 배치되는 반사층(162)과 제2전극(246)에 배치되는 반사패턴(247)은 동일한 조성과 동일한 두께일 수 있다. 이후, 그 위에

제1전극(142)과 제2전극(246)을 배치할 수 있다.

- [0128] 제2전극(246)은 리세스(128)의 중심에서 소정 간격(W21+S7)으로 이격 배치될 수 있다. 제2전극(246)은 리세스(128)의 거리는 제1전극(142)의 면적 및 광 추출 효율에 따라 조절될 수 있다.
- [0129] 도 12은 본 발명의 제3 실시 예에 따른 반도체 소자의 단면도이고, 도 13a는 도 12의 A 부분 확대도이고, 도 13b는 도 13a의 변형예이다.
- [0130] 도 12 및 도 13a를 참조하면, 본 발명의 제3 실시 예에 따른 반도체 소자는, 반도체 구조물(120); 반도체 구조물(120) 상에 배치되는 제1 절연층(131); 제1 절연층(131)의 제1홀(171a)을 통해 제1 도전형 반도체층(124) 상에 배치되는 제1 전극(151); 제1 절연층(131)의 제2홀(171b)을 통해 제2 도전형 반도체층(127) 상에 배치되는 제2 전극(161); 제1 전극(151) 상에 배치되는 제1 커버전극(152); 제2 전극(161) 상에 배치되는 제2 커버전극(164); 및 제1 커버전극(152) 및 제2 커버전극(164) 상에 배치되는 제2 절연층(132)을 포함한다.
- [0131] 본 발명의 실시 예에 따른 반도체 구조물(120)은 자외선 파장대의 광을 출력할 수 있다. 예시적으로 반도체 구조물(120)은 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다.
- [0132] 반도체 구조물(120)이 자외선 파장대의 광을 발광할 때, 반도체 구조물(120)의 각 반도체층은 알루미늄을 포함하는 $In_xAl_{y1}Ga_{1-x-y1}N$ ($0 \leq x \leq 1$, $0 < y \leq 1$, $0 \leq x+y \leq 1$) 물질을 포함할 수 있다. 여기서, Al의 조성은 In 원자량과 Ga 원자량 및 Al 원자량을 포함하는 전체 원자량과 Al 원자량의 비율로 나타낼 수 있다. 예를 들어, Al 조성이 40%인 경우 Ga의 조성은 60%인 $Al_{40}Ga_{60}N$ 일 수 있다.
- [0133] 또한 실시 예의 설명에 있어서 조성이 낮거나 높다라는 의미는 각 반도체층의 조성 %의 차이(및/또는 % 포인트)로 이해될 수 있다. 예를 들면, 제1 반도체층의 알루미늄 조성비가 30%이고 제2 반도체층의 알루미늄 조성비가 60%인 경우, 제2 반도체층의 알루미늄 조성비는 제1 반도체층의 알루미늄 조성비보다 30% 더 높다고 표현할 수 있다.
- [0134] 기판(110)은 사파이어(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 기판(110)은 자외선 파장대의 광이 투과할 수 있는 투광기판일 수 있다.
- [0135] 버퍼층(111)은 기판(110)과 반도체층들 사이의 격자 부정합을 완화할 수 있다. 버퍼층(111)은 III족과 V족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중에서 어느 하나를 포함할 수 있다. 본 실시 예는 버퍼층(111)은 AlN일 수 있으나 이에 한정하지 않는다. 버퍼층(111)은 도펀트를 포함할 수도 있으나 이에 한정하지 않는다.
- [0136] 제1 도전형 반도체층(124), 활성층(126), 및 제2 도전형 반도체층(127)의 구성은 도 1에서 설명한 구성이 모두 포함될 수 있다.
- [0137] 제1 절연층(131)은 제1 전극(151)과 제2 전극(161) 사이에 배치될 수 있다. 구체적으로 제1 절연층(131)은 제1 전극(151)이 배치되는 제1홀(171a) 및 제2 전극(161)이 배치되는 제2홀(171b)을 포함할 수 있다.
- [0138] 제1 전극(151)은 제1 도전형 반도체층(124) 상에 배치되고, 제2 전극(161)은 제2 도전형 반도체층(127) 상에 배치될 수 있다.
- [0139] 제1 전극(151)과 제2 전극(161)은 옴릭 전극일 수 있다. 제1 전극(151)과 제2 전극(161)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다. 예시적으로, 제1 전극(151)은 복수의 금속층(예: Cr/Al/Ni)을 갖고, 제2 전극(161)은 ITO일 수 있다.
- [0140] 제1 전극(151)은 제1 홀(171a)을 통해 제1 도전형 반도체층(124)과 전기적으로 연결될 수 있다. 제1 전극(151)은 일면에 형성된 제1 홈(151a)을 포함할 수 있다. 일반 가시광 발광소자와 달리 자외선 발광소자의 경우 옴릭을 위해 전극을 고온에서 열처리할 필요가 있다. 예시적으로 제1 전극(151) 및/또는 제2전극(161)은 약 600℃ 내지 900℃에서 열처리할 수 있고, 이 과정에서 제1 전극(151)의 표면에는 산화막(OX1)이 형성될 수 있다. 산화

막(OX1)은 저항층으로 작용할 수 있으므로 동작 전압이 상승할 수 있다.

- [0141] 산화막(OX1)은 제1 전극(151)을 구성하는 물질이 산화되어 형성될 수 있다. 따라서, 제1 전극(151)을 열처리 하는 과정에서 제1 전극(151)을 구성하는 물질의 농도 및/또는 질량 퍼센트 등의 성분이 일정하지 못하거나, 제1 전극(151)의 표면이 다른 구성 요소에 의해 균일하지 못한 열이 가해지는 경우 산화막(OX1)의 두께는 불균일하게 형성될 수 있다.
- [0142] 따라서, 실시 예에 따른 제1 전극(151)은 일면에 제1 홈(151a)을 형성하여 산화막(OX1)을 제거할 수 있다. 이 과정에서 제1 홈(151a)을 둘러싸는 돌기부(151b)가 형성될 수 있다.
- [0143] 제1 전극(151)을 열처리하는 과정에서 제1 전극(151)과 제2 전극(161) 사이로 노출되는 제1 도전형 반도체층(124)의 측면, 활성층(126)의 측면, 및 제2 도전형 반도체층(127)의 측면 중 적어도 일부 영역에서 산화 및/또는 부식이 발생할 수 있다.
- [0144] 그러나, 실시 예에 따르면, 제1 절연층(131)은 제2 도전형 반도체층(127) 상면의 일부 영역에서 연장되어 활성층(126)의 측면 및 제1 도전형 반도체층(124)의 일부 영역까지 배치될 수 있다. 또한, 제1 절연층(131)은 제1 전극(151)과 제2 전극(161) 사이에서 제1 도전형 반도체층(124)의 측면, 활성층(126)의 측면, 제2 도전형 반도체층(127)의 측면에 배치될 수 있다.
- [0145] 따라서, 제1 전극(151)을 열처리시 제1 절연층(131)에 의해 제1 도전형 반도체층(124)의 측면, 활성층(126)의 측면, 제2 도전형 반도체층(127)의 측면 중 적어도 일부 영역이 부식되는 것을 방지할 수 있다.
- [0146] 제1 전극(151)을 전체적으로 에칭하는 경우 인접 배치된 제1 절연층(131)까지 식각될 수 있는 문제가 있다. 따라서, 실시 예는 제1 전극(151)의 일부 영역에만 에칭을 수행함으로써 테두리 영역이 잔존하여 돌기부(151b)를 형성할 수 있다. 돌기부(151b)의 상면 폭(d3)은 1um 내지 10um일 수 있다. 폭(d3)이 1um 이상인 경우 제1 절연층(131)이 식각되는 것을 방지할 수 있으며, 폭(d3)이 10um 이하인 경우 제1 홈의 면적이 증가하여 산화막이 제거된 영역을 증가시킴으로써 저항이 되는 표면적을 줄일 수 있다.
- [0147] 예시적으로 제1 전극(151)의 일부 영역에 제1 홈(151a)을 형성하는 경우, 포토 레지스트(Photo Resist)를 배치하고 노광 공정을 거쳐 포토 레지스트로 구성되는 마스크를 배치할 수 있다. 마스크는 상면과 하면 사이의 측면이 기판의 저면에 대하여 경사각을 가질 수 있다. 따라서 마스크의 경사각을 조절하여 제1 전극(151)의 돌기부(151b)의 일부 영역도 에칭될 수 있기 때문에 돌기부(151b) 상에 형성된 산화막(OX1)의 두께가 불균일하게 배치될 수도 있다. 경우에 따라, 제1 전극(151)의 돌기부(151b) 및 측면에 잔존하는 산화막을 일부 제거할 수도 있다.
- [0148] 제1 커버전극(152)은 제1 전극(151)상에 배치될 수 있다. 이때, 제1 커버전극(152)은 제1 홈(151a)에 배치되는 제1요철부(152a)를 포함할 수 있다. 이러한 구성에 의하면 제1 커버전극(152)과 제1 전극(151)의 전기적 연결이 개선되어 동작 전압이 낮아질 수 있다. 만약 제1 전극(151)에 제1 홈(151a)이 없는 경우 산화막이 제거되지 않아 제1 커버전극(152)과 제1 전극(151) 사이의 저항이 상승할 수 있다.
- [0149] 제1 커버전극(152)은 제1 전극(151)의 측면을 덮을 수 있다. 따라서, 제1 커버전극(152)과 제1 전극(151)의 접촉 면적이 넓어지므로 동작 전압이 더 낮아질 수 있다. 또한, 제1 커버전극(152)이 제1 전극(151)의 측면을 덮으므로 외부에서 침투하는 수분이나 기타 오염 물질로부터 제1 전극(151)을 보호할 수 있다. 따라서, 반도체 소자의 신뢰성이 개선될 수 있다.
- [0150] 제1 커버전극(152)은 제1 절연층(131)과 제1 전극(151) 사이의 이격 영역(d2)에 배치되는 제2요철부(152b)를 포함할 수 있다. 제2요철부(152b)는 제1 도전형 반도체층(124)과 직접 접촉할 수 있다. 또한, 제1 커버전극(152)이 제1 도전형 반도체층(124)과 직접 접하는 경우 제1 커버전극(152)과 제1 도전형 반도체층(124) 사이의 저항이 제1 전극(151)과 제1 도전형 반도체층(124) 사이의 저항보다 클 수 있다. 따라서, 제1 도전형 반도체층(124)으로 주입되는 전류를 좀 더 균일하게 분산시키는 효과를 가질 수 있다. 이격 영역(d2)의 폭은 약 1um 내지 10um일 수 있다.
- [0151] 제1 커버전극(152)은 제1 절연층(131)의 상부로 연장된 제1 영역(d1)을 가질 수 있다. 따라서, 제1 커버전극(152)의 전체 면적이 증가하여 동작 전압이 낮아질 수 있다.
- [0152] 제1 커버전극(152)이 제1 절연층(131)의 상부로 연장되지 않는 경우, 제1 절연층(131)의 끝단이 들떠 제1 도전형 반도체층(124)과 떨어질 수 있다. 따라서, 그 틈으로 외부의 습기 및/또는 기타 오염 물질이 유입될 수 있다. 그 결과, 제1 도전형 반도체층(124)의 측면, 활성층(126)의 측면, 제2 도전형 반도체층(127)의 측면 중

적어도 일부 영역이 부식 또는 산화될 수 있다.

- [0153] 이때, 제2 영역(d2)의 전체 면적과 제1 영역(d1)의 전체 면적의 비(d4:d1)는 1:0.15 내지 1:1 일 수 있다. 제1 영역(d1)의 전체 면적은 제2 영역(d2)의 전체 면적보다 작을 수 있다. 여기서 제2 영역(d2)은 제1 절연층(131)이 제1, 제2 전극(151, 161)의 사이 영역에서 제1 도전형 반도체층(124) 상에 배치된 영역일 수 있다.
- [0154] 전체 면적의 비(d4:d1)가 1:0.15 이상인 경우 제1 영역(d1)의 면적이 증가하여 제1 절연층(131)의 상부를 덮음으로써 들뜸을 방지할 수 있다. 또한, 제1 전극(151)과 제2 전극(161) 사이에 배치됨으로써 외부의 습기 또는 오염 물질의 침투를 방지할 수 있다.
- [0155] 또한, 전체 면적의 비(d1:d4)가 1:1 이하인 경우에는 제1 전극(151)과 제2 전극(161) 사이 영역을 충분히 덮을 수 있는 제1 절연층(131)의 면적을 확보할 수 있다. 따라서, 제1 전극(151) 및/또는 제2 전극(161)의 열 처리시 반도체 구조물이 부식되는 것을 방지할 수 있다.
- [0156] 제2 커버전극(164)은 제2 전극(161)상에 배치될 수 있다. 제1 커버전극(152)은 제2 전극(161)의 측면까지 커버할 수 있으나 반드시 이에 한정하지 않는다.
- [0157] 제1 커버전극(152)과 제2 커버전극(164)은 Ni/Al/Au, 또는 Ni/IrOx/Au, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나 특별히 한정하지 않는다. 다만, 제1 커버전극(152)과 제2 커버전극(164)은 외부로 노출되는 최외곽층이 Au를 포함할 수 있다.
- [0158] 제2 절연층(132)은 제1 커버전극(152) 제2 커버전극(164) 및 제1 절연층(131) 상에 배치될 수 있다. 제2 절연층(132)은 제1 커버전극(152)을 노출시키는 제3홀(153) 및 제2 커버전극(164)을 노출시키는 제4홀(163)을 포함할 수 있다.
- [0159] 실시 예에 따르면, 제1 전극(151)과 제2 전극(161) 사이의 영역에서 제2 절연층(132)이 제1 절연층(131) 상에 배치되므로 제1 절연층(131)에 결함이 발생한 경우에도 외부의 습기 및/또는 기타 오염 물질의 침투를 방지할 수 있다.
- [0160] 예시적으로 제1 절연층과 제2 절연층이 하나의 층으로 구성된 경우, 크랙과 같은 결함이 두께 방향으로 쉽게 전파될 수 있다. 따라서, 외부로 노출된 결함을 통해 외부의 습기나 오염 물질이 반도체 구조물로 침투할 수 있다.
- [0161] 그러나, 실시 예에 따르면, 제1 절연층(131) 상에 별도의 제2 절연층(132)이 배치되므로 제1 절연층(131)에 형성된 결함이 제2 절연층(132)으로 전파되기 어렵다. 즉, 제1 절연층(131)과 제2 절연층(132) 사이의 계면이 결함의 전파를 차폐하는 역할을 수행할 수 있다. 따라서, 외부의 습기 및/또는 기타 오염 물질에 의해 제1 도전형 반도체층(124)의 측면, 활성층(126)의 측면, 제2 도전형 반도체층(127)의 측면 중 적어도 일부 영역이 부식 또는 산화되는 것을 방지할 수 있다. 따라서, 반도체 소자의 신뢰성이 개선될 수 있다. 이때, 제1 절연층(131)과 제2 절연층(132)의 재질이 상이한 경우 수분 또는 오염 물질의 침투를 더 효과적으로 막을 수 있다. 서로 다른 박막으로 증착되는 경우 내부의 결함(defect)이 증착 방향으로 서로 연결되지 않기 때문이다(Defect Decoupling).
- [0162] 제1 절연층(131)과 제2 절연층(132)은 SiO₂, SixOy, Si₃N₄, SixNy, SiOxNy, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 제2 절연층(132)이 형성되는 과정에서 부분적으로 제1 절연층(131)과 제2 절연층(132)은 경계가 소멸할 수도 있다.
- [0163] 추가적으로 제1 커버전극(152) 상에는 제1 범프전극(도 20의 181)이 배치되고, 제2 커버전극(164) 상에는 제2 범프전극(도 20의 182)이 더 배치될 수 있으나 반드시 이에 한정하지 않는다. 제1 범프전극과 제2 범프전극은 칩을 회로기판에 실장할 때 형성할 수도 있다.
- [0164] 도 13b를 참조하면, 반도체 구조물(120)은 제1 전극(151)이 배치되는 제1 도전형 반도체층(124)의 상면에서 제2 전극(161)이 배치되는 제2 도전형 반도체층(127)의 상면까지 연장되는 단차부(211)를 포함할 수 있다. 단차부(211)는 메사 식각에 의해 형성된 경사면(212)을 포함하는 반도체 구조물(120)의 제1표면일 수 있으나 반드시 이에 한정하지 않는다.
- [0165] 이때, 제1 절연층(131)은 제1표면(211)에서 제1 전극(151)과 이격되어 배치되고, 제1 절연층(131)은 제1표면에서, 제1 도전형 반도체층의 상면과 수직한 제1 방향으로 제1 커버전극(152)과 증착될 수 있다.
- [0166] 구체적으로, 단차부(211)는 제1 전극(151)이 배치되는 제1 부분(E11), 제2 전극(161)이 배치되는 제2 부분

(E12), 제1 부분(E11)과 제2 부분(E12) 사이에서 제1 절연층(131)이 배치되는 제3 부분(E13), 및 제1 부분(E11)과 제3 부분(E13) 사이에서 제1 커버전극(152)이 배치되는 제4 부분(E14)을 포함할 수 있다.

- [0167] 제3 부분(E13)은 제1 도전형 반도체층(124)의 상면과 수직한 제1 방향(Y방향)으로 제1 커버전극(152)과 중첩되는 제3-1 부분(E13-1)을 포함할 수 있다. 이때, 제3-1 부분(E13-1)의 제1 방향과 수직한 제2 방향(X방향)의 폭은 0 μ m보다 크고 4 μ m보다 작을 수 있다. 제3 부분(E13)은 전술한 제1간격(S6)과 동일한 영역일 수 있다.
- [0168] 또한, 실시 예에 따르면,
- [0169] 단차부(211)는 제2 부분(E12)과 제3 부분(E13) 사이에서 제2 커버전극(164)이 배치되는 제5 부분(E15), 및 제1 방향으로 제2 커버전극(164)과 중첩되는 제3-1 부분(E13-2)을 포함할 수 있다. 즉, 제2 커버전극(164) 역시 제1 커버전극(152)과 동일하게 제1 절연층(131)의 상부로 연장되어 내습성을 개선할 수 있다.
- [0170] 실시 예에 따르면 제2 전극(161) 역시 제1 전극(151)과 동일하게 상면에 홈(161a)이 형성될 수 있다. 따라서, 제2 커버전극(164)과 제2 전극(161) 사이의 접촉 저항이 낮아질 수 있다.
- [0171] 도 14a는 본 발명의 제3 실시 예에 따른 반도체 소자의 평면도이고, 도 14b는 본 발명의 제3 실시 예에 따른 제1 전극의 에칭 영역을 보여주는 평면도이고, 도 14c는 도 14b의 변형예이고, 도 14d는 본 발명의 제3 실시 예에 따른 제1 커버전극과 제2 커버전극을 보여주는 평면도이고, 도 14e는 도 14d의 변형예이다.
- [0172] 도 14a를 참조하면, 제1 커버전극(152)은 제2 절연층(132)의 제3홀(153)을 통해 노출될 수 있으며, 제2 커버전극(164)은 제2 절연층(132)의 제4홀(163)을 통해 노출될 수 있다. 제4홀(163)은 제2 커버전극(164)과 대응되는 형상을 가질 수 있으며, 제3홀(153)은 사각 형상을 가질 수 있고, 후술하는 분할 영역 중 제3 분할 영역에 배치될 수 있다. 도 12은 도 14a의 A-A 방향 단면도일 수 있다.
- [0173] 도 14b를 참조하면, 반도체 구조물은 평면상 서로 마주보는 제1측면(S1)과 제3측면(S3)의 중앙을 각각 관통하는 제1 가상선(L1)과 서로 마주보는 제2측면(S2)과 제4측면(S4)의 중앙을 각각 관통하는 제2 가상선(L2)에 의해 정의되는 복수 개의 분할영역(P1, P2, P3, P4)을 포함할 수 있다. 제1 가상선(L1)은 제2 가상선(L2)과 수직일 수 있으나, 이에 한정하지 않는다.
- [0174] 이때, 복수 개의 분할영역(P1, P2, P3, P4)은 제1측면(S1)과 제4측면(S4)을 포함하는 제1 분할영역(P1), 제1측면(S1)과 제2측면(S2)을 포함하는 제2 분할영역(P2), 제2측면(S2)과 제3측면(S3)을 포함하는 제3 분할영역(P3), 제3측면(S3)과 제4측면(S4)을 포함하는 제4 분할영역(P4)을 포함할 수 있다.
- [0175] 제1 홈(151a)은 제1 분할영역(P1)에 배치되는 제1-1홈(151a-1), 제2 분할영역(P2)에 배치되는 제1-2홈(151a-2), 제3 분할영역(P3)에 배치되는 제1-3홈(151a-3), 및 제4 분할영역(P4)에 배치되는 제1-4홈(151a-4)을 포함할 수 있다.
- [0176] 즉, 복수 개의 제1 홈(151a)은 서로 이격 배치될 수 있다. 반도체 소자의 동작 전압을 낮추기 위해 제2 전극의 면적을 넓히는 것이 유리할 수 있다. 따라서, 공간에 협소해지므로 제1 홈(151a)은 서로 이격된 아일랜드 형태를 가질 수 있다. 이때, 돌기부(151b)는 각각의 제1-1 내지 제1-4홈(151a-1, 151a-2, 151a-3, 151a-4)을 둘러싸는 구조를 가질 수 있다.
- [0177] 이때, 제3 분할영역(P3)에는 발광영역 및 제2 전극이 배치되지 않으므로, 제1-3홈(151a-3)은 제1-1홈(151a-1), 제1-2홈(151a-2), 및 제1-4홈(151a-4)보다 크게 배치될 수 있다.
- [0178] 도 14c를 참조하면, 복수 개의 홈이 연결되어 하나의 제1 홈(151a)을 형성할 수 있다. 돌기부는 제1 홈(151a)의 내측에 배치되는 제1 돌기라인(내측 라인, 151b-1) 및 제1 홈(151a)의 외측에 배치되는 제2 돌기라인(외측 라인, 151b-2)을 포함할 수 있다. 이러한 구성에 의하면, 산화막이 제거된 영역이 증가하여 동작 전압이 감소할 수 있다.
- [0179] 도 14d를 참조하면, 제2 커버전극(164)은 복수 개의 패드부(164a-1, 164a-2, 164a-3) 및 복수 개의 패드부를 연결하는 연결부(164a-1, 164a-2)를 포함할 수 있다. 제2 커버전극(164)은 아령 형상을 가질 수 있으나 반드시 이에 한정하지 않는다. 복수 개의 패드부(164a-1, 164a-2, 164a-3)는 원형 형상을 가질 수 있으나 반드시 이에 한정하는 것은 아니며 다양한 형상을 가질 수 있다.
- [0180] 복수 개의 패드부(164a-1, 164a-2, 164a-3)는 제1 분할영역(P1)에 배치되는 제1 패드부(164a-1), 제2 분할영역(P2)에 배치되는 제2 패드부(164a-2), 제4 분할영역(P4)에 배치되는 제3 패드부(164a-3)를 포함할 수 있다.

- [0181] 연결부(164a-1, 164a-2)는 제1 패드부(164a-1)와 제2 패드부(164a-2)를 연결하는 제1 연결부(164b-1), 및 제2 패드부(164a-2)와 제3 패드부(164a-3)를 연결하는 제2 연결부(164b-2)를 포함할 수 있다. 이때, 복수 개의 패드부(164a-1, 164a-2, 164a-3)는 원형 형상을 갖는 영역으로 정의할 수 있으며, 연결부(164a-1, 164a-2)는 원형 형상의 패드부(164a-1, 164a-2, 164a-3)를 연결하는 나머지 영역으로 정의할 수 있다.
- [0182] 이때, 제1 연결부(164b-1)는 제1 가상선(L1)에 가까워질수록 폭이 좁아지고, 제2 연결부(164b-2)는 제2 가상선(L2)에 가까워질수록 폭이 좁아질 수 있다. 즉, 제1 연결부(164b-1)는 이웃한 제1 패드부(164a-1)와 제2 패드부(164a-2)의 중간 지점에서 폭이 가장 얇을 수 있다.
- [0183] 이러한 구성에 의하면 제2 커버전극(164)의 외주면이 증가하게 되고, 연결부의 외측으로 제1 홈을 형성할 공간을 마련할 수 있다. 또한, 발광영역의 외주면이 증가하므로 광이 출사될 수 있는 확률이 높아져 광 출력이 개선될 수 있다. 또한, 복수 개의 패드부를 형성할 수 있다. 실시 예에 따른 자외선 발광소자는 가시광 발광소자에 비해 열이 많이 발생하므로 복수 개의 범프패드를 구비함으로써 열 방출 효율을 높일 수 있다.
- [0184] 제1 분할영역(P1)의 면적과 제1 분할영역에 배치된 제2 커버전극(164)의 면적의 비는 1:0.2 내지 1:0.5일 수 있다. 제1 분할영역(P1)에 배치된 제2 커버전극(164)의 면적은 제1 분할영역에 배치된 제1 패드부(164a-1)와 제2 연결부(164b-2)의 면적일 수 있다.
- [0185] 면적비가 1:0.2 이상인 경우에는 제2 커버전극(164)의 면적이 증가하여 정공 주입 효율이 개선될 수 있다. 또한, 제1 패드부(164a-1)의 면적이 증가하므로 범프전극의 크기를 증가시킬 수 있다. 따라서, 열 방출 효율이 증가할 수 있다.
- [0186] 면적비가 1:0.5 이하인 경우 제1 분할영역(P1) 내에 제1 커버전극(152)의 면적이 증가하여 전자 주입 효율이 개선될 수 있다. 또한, 제2 커버전극(164)의 외측에 복수 개의 제1 홈(151a)을 형성할 공간을 마련할 수 있다. 따라서, 동작 전압이 낮아질 수 있다.
- [0187] 제2 분할영역(P2)의 면적과 제2 분할영역에 배치된 제2 커버전극(164)의 면적비 역시 1:0.2 내지 1:0.5를 만족할 수 있다. 또한, 제3 분할영역(P3)의 면적과 제3 분할영역에 배치된 제2 커버전극(164)의 면적비 역시 동일할 수 있다.
- [0188] 즉, 실시 예에 따르면, 각 분할 영역(P1, P2, P3)에 배치된 제2 커버전극(164)의 면적은 동일할 수 있다.
- [0189] 제2 커버전극(152)과 제1 커버전극(164)의 면적비는 1:1.1 내지 1:1.15일 수 있다. 즉, 제1 커버전극(152)의 면적은 제2 커버전극(164)의 면적보다 클 수 있다. 면적비가 1:1.1 이상인 경우에는 제1 커버전극(152)의 면적이 증가하여 전자 주입 효율이 개선될 수 있다. 또한, 제2 커버전극(164)의 외측에 복수 개의 제1 홈(151a)을 형성할 공간을 마련할 수 있다. 따라서, 동작 전압이 낮아질 수 있다.
- [0190] 면적비가 1:1.15 이하인 경우, 제2 커버전극(164)의 면적이 증가하여 정공 주입 효율이 개선될 수 있다. 또한, 패드부의 면적이 증가하므로 범프전극의 크기를 증가시킬 수 있다. 따라서, 열 방출 효율이 증가할 수 있다.
- [0191] 도 14e를 참조하면, 발광영역의 외주면을 증가시키기 위한 형상은 다양하게 변형될 수 있다. 제2 커버전극(164)은 발광영역과 대응되는 형상으로 형성될 수 있다. 제2 커버전극(164)은 X 방향으로 연장되는 복수 개의 제2 가지전극(164-1), 및 복수 개의 제2 가지전극(164-1)을 연결하는 제2 연결전극(164-2)을 포함할 수 있다.
- [0192] 제1 커버전극(152)은 제2 가지전극(164-1) 사이에 배치되는 복수 개의 제1 가지전극(152-1), 및 복수 개의 제1 가지전극(152-1)을 연결하는 제1 연결전극(152-2)을 포함할 수 있다.
- [0193] 이때, 발광영역의 최대 둘레와 발광영역의 최대 면적의 비는 0.02 [1/um] 이상 내지 0.05 [1/um] 이하일 수 있다. 상기 조건을 만족하는 경우 동일 면적 내에서 둘레가 증가하여 광 출력이 증가할 수 있다.
- [0194] 도 15 내지 도 20는 본 발명의 제3 실시 예에 따른 반도체 소자의 제조 방법을 보여주는 평면도 및 단면도이다.
- [0195] 도 15a 및 도 15b를 참조하면, 기판(110)상에 제1 도전형 반도체층(124), 활성층(126), 및 제2 도전형 반도체층(127)을 차례로 형성할 수 있다. 이후, 반도체 구조물을 메사 식각하여 제1 도전형 반도체층(124)이 노출되는 비발광영역(M2)과 비발광영역(M2)에 비해 돌출된 발광영역(M1)을 형성할 수 있다. 이후, 제1 절연층(131)을 형성하고, 제1홀(171a)과 제2홀(171b)을 형성할 수 있다. 따라서, 제1 절연층(131)은 주로 발광영역(M1)의 측면에 배치될 수 있다.
- [0196] 메사 식각된 발광영역(M1) 평면상 복수 개의 원형 구간과 원형 구간을 연결하는 연결 구간을 포함할 수 있다.

이러한 구성에 의하면 각 원형 구간에 범프 패드를 각각 배치할 수 있으므로 열 방출 효율이 개선될 수 있다. 실시 예에 따른 반도체 소자는 자외선 발광소자이므로 일반 가시광 발광소자에 비해 알루미늄을 많이 포함하는 GaN 기반의 반도체 물질일 수 있다. 따라서, 저항에 의해 발생하는 열이 많기 때문에 발생한 열을 방출하는 것이 큰 이슈일 수 있다.

- [0197] 발광 영역(M1)과 비발광 영역(M2) 사이의 경사면(M3)에는 제2 도전형 반도체층(127)의 측면, 활성층(126)의 측면, 제1 도전형 반도체층(124)의 측면 중 적어도 일부 영역이 노출될 수 있다. 실시 예에 의한 반도체 구조물은 알루미늄을 많이 포함하기 때문에 공기 중의 수분에 의한 산화, 기타 오염 물질에 의해 손상되기 쉬울 수 있다. 따라서, 발광 영역(M1)과 비발광 영역(M2)을 구성한 후 그 사이의 경사면(M3)에 제1 절연층(131)을 배치하여 경사면의 손상을 방지할 수 있다.
- [0198] 도 16a 및 도 16b를 참조하면, 제1 도전형 반도체층(124) 상에 제1 전극(151)을 형성할 수 있다. 구체적으로 제1 전극(151)은 제1 절연층(131)의 제1홀(171a)에 배치될 수 있다.
- [0199] 실시 예에 의하면 제1홀(171a)은 제1 전극(151)의 하면보다 넓은 면적을 가질 수 있다. 예를 들어, 제1 전극(151)과 제1 절연층(131) 사이의 이격 영역(d2)의 거리는 1um 이상 내지 10um 이하일 수 있다.
- [0200] 제1 전극(151)이 제1 도전형 반도체층(124)과 접촉하는 면적이 넓을수록 전류 주입 효율이 개선될 수 있는데, 이격 거리가 1um 이상일 때 주어진 제1 전극(151)의 면적에서 접촉 면적을 확보하는 공정 마진을 가질 수 있다. 또한, 전술된 바와 같이 제1 전극(151)과 제1 절연층(131) 사이의 이격 영역(d2)의 거리에는 제1 커버전극(152)이 배치될 수 있는데, 전류 주입 및 전류 확산 특성을 고려하여 반도체 구조물 전체 영역에 주입되는 전류의 분포 특성을 확보하기 위해서는 이격 영역의 거리를 10um 이하로 배치할 수 있다. 또한, 제1 전극(151)의 두께는 제1 절연층(131)의 두께보다 두꺼울 수 있다.
- [0201] 이후 도 17a 및 도 17b와 같이, 발광영역상에 제2 전극(161)을 형성할 수 있다.
- [0202] 제1 전극(151)과 제2 전극(161)을 형성하는 방법은 일반적인 오믹 전극 형성 방법이 그대로 적용될 수 있다. 예시적으로, 제1 전극(151)은 복수의 금속층(예: Cr/Al/Ni)을 포함하고 제2 전극(161)은 ITO를 포함할 수 있으나 반드시 이에 한정하지 않는다.
- [0203] 도 18a 및 도 18b를 참조하면, 제1 전극(151)을 에칭하는 단계를 수행할 수 있다. 본 실시 예에 따르면 일반 가시광 발광소자에 비해서 심자외선을 발광하는 발광소자의 경우 알루미늄의 조성이 높기 때문에 전극의 열 처리 온도가 높아질 수 있다. 반도체 구조물과 제1 전극(151) 및/또는 제2 전극(161)간의 오믹 특성을 개선하기 위해 약 600도 이상 내지 900도 이하의 온도에서 열처리할 수 있다. 이 열처리 과정에서 제1 전극(151)의 표면에 산화막이 형성될 수 있다. 따라서, 제1 전극(151)의 상면을 에칭하여 산화막을 제거함으로써 커버전극과 전기적 연결을 개선할 수 있다.
- [0204] 또한, 제1 전극(151) 및/또는 제2 전극(161)의 열 처리 과정에서 발광 영역과 비발광 영역 사이에 노출되는 제1 도전형 반도체층(124)의 측면 및/또는 활성층(126)의 측면 및/또는 제2 도전형 반도체층(127)의 측면이 산화 및/또는 부식이 발생할 수 있다. 이러한 문제를 방지하기 위해 비발광 영역과 발광 영역 사이에 제1 절연층(131)이 배치되어 제1 도전형 반도체층(124)의 측면 및/또는 활성층(126)의 측면 및/또는 제2 도전형 반도체층(127)의 측면이 산화 및/또는 부식을 방지할 수 있다.
- [0205] 반도체 구조물은 평면상 서로 마주보는 제1측면(S1)과 제3측면(S3)의 중앙을 각각 관통하는 제1 가상선(L1)과 서로 마주보는 제2측면(S2)과 제4측면(S4)의 중앙을 각각 관통하는 제2 가상선(L2)에 의해 정의되는 복수 개의 분할영역(P1, P2, P3, P4)을 포함할 수 있다. 제1 가상선(L1)은 제2 가상선(L2)과 수직일 수 있으나, 이에 한정하지 않는다.
- [0206] 이때, 복수 개의 분할영역(P1, P2, P3, P4)은 제1측면(S1)과 제4측면(S4)을 포함하는 제1 분할영역(P1), 제1측면(S1)과 제2측면(S2)을 포함하는 제2 분할영역(P2), 제2측면(S2)과 제3측면(S3)을 포함하는 제3 분할영역(P3), 제3측면(S3)과 제4측면(S4)을 포함하는 제4 분할영역(P4)을 포함할 수 있다.
- [0207] 제1 홈(151a)은 제1 분할영역(P1)에 배치되는 제1-1홈(151a-1), 제2 분할영역(P2)에 배치되는 제1-2홈(151a-2), 제3 분할영역(P3)에 배치되는 제1-3홈(151a-3), 및 제4 분할영역(P4)에 배치되는 제1-4홈(151a-4)을 포함할 수 있다. 즉, 복수 개의 제1 홈(151a)은 서로 이격 배치될 수 있다. 동작 전압을 낮추기 위해 제2 전극의 면적을 넓히는 것이 유리할 수 있다. 따라서, 공간에 협소해지므로 제1 홈(151a)은 서로 이격된 아일랜드 형태를 가질 수 있다. 이때, 돌기부(151b)는 각각의 제1-1 내지 제1-4홈(151a-1, 151a-2, 151a-3, 151a-4)을 둘러싸는

구조를 가질 수 있다.

- [0208] 이때, 제3 분할영역(P3)에는 발광영역이 배치되지 않으므로, 제1-3홈(151a-3)은 제1-1홈(151a-1), 제1-2홈(151a-2), 및 제1-4홈(151a-4)보다 크게 배치될 수 있다.
- [0209] 도 19a 및 도 19b를 참조하면, 제1 전극(151) 상에 제1 커버전극(152)이 배치될 수 있다. 제1 커버전극(152)은 제1 전극(151)상에 배치될 수 있다. 이때, 제1 전극(151)은 일면에 제1 홈이 배치되고 제1 커버전극(152)은 제1 홈(151a)에 배치되는 제1요철부(152a)를 포함할 수 있다. 이러한 구성에 의하면 제1 커버전극(152)과 제1 전극(151)의 전기적 연결이 개선되어 동작 전압이 낮아질 수 있다. 만약 제1 전극(151)에 제1 홈(151a)이 없는 경우 산화막이 제거되지 않아 제1 커버전극(152)과 제1 전극(151)의 전기적 연결이 약해질 수 있다.
- [0210] 제1 커버전극(152)은 제1 전극(151)의 측면과 제1 절연층(131)의 일부를 덮도록 넓게 형성할 수 있다. 제1 커버전극(152)은 제1 절연층(131)과 제1 전극(151) 사이의 이격 영역(d2)에 배치되는 제2요철부(152b)를 포함할 수 있다. 제2요철부(152b)는 제1 도전형 반도체층(124)과 직접 접촉할 수 있다. 따라서, 전류 주입 효율이 향상될 수 있다.
- [0211] 제2 커버전극(164)은 제2 전극(161)상에 배치될 수 있다. 제1 커버전극(152)은 제2 전극(161)의 측면까지 커버할 수 있다.
- [0212] 제1 커버전극(152)과 제2 커버전극(164)은 Ni/Al/Au, 또는 Ni/IrOx/Au, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나 특별히 한정하지 않는다. 다만, 제1 커버전극(152)과 제2 커버전극(164)은 외부로 노출되는 최외곽층이 Au를 포함할 수 있다.
- [0213] 도 20a, 도 20b, 및 도 21을 참조하면, 제2 절연층(132)은 제1 커버전극(152) 제2 커버전극(164) 및 제1 절연층(131) 상에 배치될 수 있다. 제2 절연층(132)은 제1 커버전극(152)을 노출시키는 제3홀(153) 및 제2 커버전극(164)을 노출시키는 제4홀(163)을 포함할 수 있다.
- [0214] 이때, 제3홀(153)에 의해 노출된 제1 커버전극(152)의 면적과 제4홀(163)에 의해 노출된 제2 커버전극(164)의 면적비는 1:2 내지 1:5를 만족할 수 있다. 면적비가 1:2 이상인 경우 제2 커버전극(164)이 증가하여 정공 주입 효율이 개선될 수 있다. 또한, 제1패드부(164a-1)의 면적이 증가하므로 범프전극의 크기를 증가시킬 수 있다. 따라서, 열 방출 효율이 증가할 수 있다. 면적비가 1:5 이하인 경우 제1 커버전극(152)의 면적이 증가하여 전자 주입 효율이 개선될 수 있다.
- [0215] 추가적으로 제1 커버전극(152) 상에는 제1 범프전극(181)이 배치되고, 제2 커버전극(164) 상에는 제2 범프전극(182)이 더 배치될 수 있으나 반드시 이에 한정하지 않는다. 제1 범프전극(181)과 제2 범프전극(182)은 칩을 회로기판에 실장할 때 형성할 수도 있다.
- [0216] 도 22를 참조하면, 제1 절연층(131)과 제2 절연층(132)은 SiO₂, SixOy, Si₃N₄, SixNy, SiOxNy, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 또한 제1 절연층(131)과 제2 절연층(132)은 같은 물질로 배치될 수 있다. 따라서, 발광 영역과 비발광 영역 사이의 제1 도전형 반도체층(124)의 측면, 활성층(126)의 측면, 제2 도전형 반도체층(127)의 측면 중 적어도 일부 영역 상에 제1 절연층(131)과 제2 절연층(132)이 동일한 물질로 배치될 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제1 절연층(131)과 제2 절연층(132)은 서로 다른 물질을 포함할 수도 있다.
- [0217] 제1 절연층(131)은 발광 영역과 비발광 영역 사이의 제2 절연층(132) 하부에서 수평 방향으로 연장되어 제1 전극(151)과 이격되어 배치되고, 제1 커버전극(152)이 제1 전극(151)과 제1 절연층(131)의 일부 영역 상에 배치됨으로써, 제1 절연층(131)의 일부 영역과 제2 절연층(132)의 일부 영역 사이에 제1 커버전극(152)이 수직 방향으로 중첩되어 배치될 수 있다.
- [0218] 도 23을 참조하면, 실시 예에 따른 반도체 소자(100)는 플립칩 타입으로 회로기판(10)에 실장될 수 있다. 반도체 소자(100)는 전술한 구성을 모두 포함할 수 있다. 예시적으로 제1 범프전극(181)과 제2 범프전극(182)이 각각 회로기판(10)의 전극 패드(11, 12)에 전기적으로 연결되어 실장될 수 있다. 이때, 반도체 소자(100)와 회로기판(10) 사이에는 다양한 충전 부재(20)가 배치될 수 있다. 예시적으로 충전 부재는 자외선 광을 반사하는 물질을 포함(예: 알루미늄)할 수 있다.
- [0219] 도 24는 본 발명의 실시 예에 따른 반도체 구조물의 개념도이고, 도 25는 도 1의 알루미늄 조성을 측정할 그래프이다.

- [0220] 본 발명의 실시 예에 따른 반도체 구조물(120)은 자외선 파장대의 광을 출력할 수 있다. 예시적으로 반도체 구조물은 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 반도체 구조물(120)의 Al의 조성비에 의해 결정될 수 있다.
- [0221] 도 24를 참고하면, 실시 예에 따른 반도체 소자는 제1도전형 반도체층(124), 제2도전형 반도체층(127), 및 제1도전형 반도체층(124)과 제2도전형 반도체층(127) 사이에 배치되는 활성층(126)을 포함하는 반도체 구조물(120)을 포함한다.
- [0222] 제2도전형 반도체층(127)은 알루미늄 조성이 높은 제2-1도전형 반도체층(127a)과 알루미늄 조성이 상대적으로 낮은 제2-2도전형 반도체층(127b)을 포함할 수 있다.
- [0223] 제2전극(246)은 제2-2도전형 반도체층(127b)과 오믹 접촉할 수 있다. 제2전극(246)은 상대적으로 자외선 광 흡수가 적은 투명전극을 포함할 수 있다. 예시적으로 제2전극(246)은 ITO일 수 있으나 반드시 이에 한정하지 않는다.
- [0224] 제2도전층(150)은 제2도전형 반도체층(127)에 전류를 주입할 수 있다. 또한, 제2도전층(150)은 활성층(126)에서 출사되는 광을 반사할 수 있다.
- [0225] 실시 예에 따르면, 제2전극(246)은 자외선 광의 파장이 갖는 에너지보다 큰 밴드갭을 갖는 반도체층(예: P-AlGaN)에 직접 접촉할 수 있다. 기존에는 오믹을 위해 밴드갭이 작은 반도체층(예: GaN층)에 제2전극(246)을 배치하여 자외선 광이 대부분 GaN층 흡수되는 문제가 있다. 그러나, 실시 예의 제2전극(246)은 P-AlGaN에 직접 오믹 접촉하므로 대부분의 광은 제2도전형 반도체층(127)을 투과할 수 있다.
- [0226] 그러나, 대부분의 제2전극은 자외선 광을 흡수하는 문제가 있다. 따라서, 제2전극에 의한 오믹 접촉은 유지하면서 광 추출 효율을 개선할 필요가 있다. 오믹 특성은 유지하면서 광 추출 효율을 개선하기 위해 제2전극(246)의 투광성을 높이고, 제2 전극(246)의 하부에 반사 특성을 갖는 도전층을 배치함으로써 광추출 효율을 개선할 수 있다.
- [0227] 도 25를 참고하면, 활성층(126)과 제2도전형 반도체층(127) 사이에는 전자 차단층(129)이 배치될 수 있다. 전자 차단층(129)은 제1도전형 반도체층(124)에서 공급된 전자가 제2도전형 반도체층(127)으로 빠져나가는 흐름을 차단하여, 활성층(126) 내에서 전자와 정공이 재결합할 확률을 높일 수 있다. 전자 차단층(129)의 에너지 밴드갭은 활성층(126) 및/또는 제2도전형 반도체층(127)의 에너지 밴드갭보다 클 수 있다.
- [0228] 전자 차단층(129)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 AlGaN, InGaN, InAlGaN 등에서 선택될 수 있으나 이에 한정하지 않는다. 전자 차단층(129)은 알루미늄 조성이 높은 제1층(129b)과 알루미늄 조성이 낮은 제2층(129a)이 교대로 배치될 수 있다.
- [0229] 제1도전형 반도체층(124), 장벽층(126b) 및 우물층(126a)을 포함하는 활성층(126), 제2-1도전형 반도체층(127a), 및 제2-2도전형 반도체층(127b)은 모두 알루미늄을 포함할 수 있다. 따라서, 제1도전형 반도체층(124), 장벽층(126b), 우물층(126a), 제2-1도전형 반도체층(127a), 및 제2-2도전형 반도체층(127b)은 AlGaN일 수 있다. 그러나, 반드시 이에 한정하지 않는다.
- [0230] 제2-1도전형 반도체층(127a)의 두께는 10nm보다 크고 200nm보다 작을 수 있다. 제2-1도전형 반도체층(127a)의 두께가 10nm보다 작은 경우 저항이 증가하여 전류 주입 효율이 저하될 수 있다. 또한, 제2-1도전형 반도체층(127a)의 두께가 200nm보다 큰 경우 제2-1도전형 반도체층(127a)을 구성하는 물질들에 의하여 결정성이 저하되어 신뢰성, 전기적 특성 및 광학적 특성이 저하될 수 있다.
- [0231] 제2-1도전형 반도체층(127a)의 알루미늄 조성은 우물층(126a)의 알루미늄 조성보다 높을 수 있다. 자외선 광을 생성하기 위해 우물층(126a)의 알루미늄 조성은 약 30% 내지 50%일 수 있다. 만약, 제2-1도전형 반도체층(127a)의 알루미늄 조성이 우물층(126a)의 알루미늄 조성보다 낮은 경우 제2-1도전형 반도체층(127a)이 광을 흡수하기 때문에 광 추출 효율이 떨어질 수 있다.
- [0232] 제2-1도전형 반도체층(127a)의 알루미늄 조성은 40%보다 크고 80%보다 작을 수 있다. 제2-1도전형 반도체층(127a)의 알루미늄 조성은 40%보다 작은 경우 광을 흡수하는 문제가 있으며, 80%보다 큰 경우에는 전류 주입 효율이 악화되는 문제가 있다. 예시적으로, 우물층(126a)의 알루미늄 조성이 30%인 경우 제2-1도전형 반도체층(127a)의 알루미늄 조성은 40%일 수 있다.

- [0233] 제2-2도전형 반도체층(127b)의 알루미늄 조성은 우물층(126a)의 알루미늄 조성보다 낮을 수 있다. 제2-2도전형 반도체층(127b)의 알루미늄 조성이 우물층(126a)의 알루미늄 조성보다 높은 경우 제2 전극과 제2-2도전형 반도체층(127b) 사이의 저항이 높아져 충분한 전류 주입이 이루어지지 않을 수 있다.
- [0234] 제2-2도전형 반도체층(127b)의 알루미늄 조성은 1%보다 크고 50%보다 작을 수 있다. 50%보다 큰 경우 제2전극과 충분한 오믹이 이루어지지 않을 수 있고, 조성이 1%보다 작은 경우 거의 GaN 조성과 가까워져 광을 흡수하는 문제가 있다.
- [0235] 제2-2도전형 반도체층(127b)의 두께는 1nm보다 크고 30nm보다 작을 수 있다. 전술한 바와 같이 제2-2도전형 반도체층(127b)은 오믹을 위해 알루미늄의 조성이 낮으므로 자외선 광을 흡수할 수 있다. 따라서, 최대한 제2-2도전형 반도체층(127b)의 두께를 얇게 제어하는 것이 광 출력 관점에서 유리할 수 있다.
- [0236] 제2-2도전형 반도체층(127b)의 두께가 1nm이하로 제어되는 경우 일부 구간은 제2-2도전형 반도체층(127b)이 배치되지 않고, 제2-1도전형 반도체층(127a)이 반도체 구조물(120)의 외부로 노출되는 영역이 발생할 수 있다. 따라서 하나의 층을 구성하기 어려울 수 있고, 제2-2도전형 반도체층(127b)의 역할을 수행하기 어려울 수 있다. 또한, 두께가 30nm보다 큰 경우 흡수하는 광량이 너무 커져 광 출력 효율이 감소할 수 있다.
- [0237] 제2-2도전형 반도체층(127b)는 제2-3도전형 반도체층(127c)과 제2-4도전형 반도체층(127d)을 포함할 수 있다. 제2-3도전형 반도체층(127c)은 제2전극과 접촉하는 표면층일 수 있고, 제2-4도전형 반도체층(127d)은 알루미늄의 조성을 조절하는 층일 수 있다.
- [0238] 제2-4도전형 반도체층(127d)은 상대적으로 높은 알루미늄 함량을 포함하는 제2-1도전형 반도체층(127a)과 상대적으로 낮은 알루미늄 함량을 포함하는 제2-3도전형 반도체층(127c) 사이에 배치될 수 있다. 따라서, 알루미늄 함량이 급격하게 변화하여 결정성이 악화되는 문제를 방지할 수 있다.
- [0239] 제2-3도전형 반도체층(127c)은 알루미늄 조성이 1%보다 크고 20%보다 작을 수 있다. 또는 알루미늄 조성은 1%보다 크고 10%보다 작을 수 있다.
- [0240] 알루미늄 조성이 1%보다 낮은 경우, 제2-3도전형 반도체층(127c)에서 광흡수율이 너무 높아지는 문제가 있을 수 있고, 알루미늄 조성이 20%보다 높은 경우 제2전극의 접촉 저항이 높아져 전류 주입 효율이 떨어지는 문제점이 있을 수 있다.
- [0241] 그러나, 반드시 이에 한정되는 것은 아니고 제2-3도전형 반도체층(127c)의 알루미늄 조성은 전류 주입 특성과 광 흡수율을 고려하여 조절될 수도 있다. 또는, 제품에서 요구되는 광 출력이나 전기적 특성에 따라 조절할 수도 있다.
- [0242] 예를 들어, 전류 주입 효율 특성이 광 흡수율보다 더 중요한 경우, 알루미늄의 조성비를 1% 내지 10%로 조절할 수 있다. 광출력 특성이 전기적 특성보다 더 중요한 제품의 경우 제2-3도전형 반도체층(127c)의 알루미늄 조성비를 1% 내지 20%로 조절할 수도 있다.
- [0243] 제2-3도전형 반도체층(127c)의 알루미늄 조성비가 1%보다 크고 20%보다 작은 경우, 제2-3도전형 반도체층(127c)과 제2전극 사이의 저항이 감소하므로 동작 전압이 낮아질 수 있다. 따라서, 전기적 특성이 향상될 수 있다. 제2-3도전형 반도체층(127c)의 두께는 1nm보다 크고 10nm보다 작게 형성될 수 있다. 따라서, 광 흡수 문제를 개선할 수 있다.
- [0244] 제2-2도전형 반도체층(127b)의 두께는 제2-1도전형 반도체층(127a)의 두께보다 작을 수 있다. 제2-1도전형 반도체층(127a)과 제2-2도전형 반도체층(127b)의 두께비는 1.5:1 내지 20:1일 수 있다. 두께비가 1.5:1보다 작은 경우 제2-1도전형 반도체층(127a)의 두께가 너무 얇아져 전류 주입 효율이 감소할 수 있다. 또한, 두께비가 20:1보다 큰 경우 제2-2도전형 반도체층(127b)의 두께가 너무 얇아져 오믹 신뢰성이 저하될 수 있다.
- [0245] 제2-1도전형 반도체층(127a)의 알루미늄 조성은 활성층(126)에서 멀어질수록 작아질 수 있다. 또한, 제2-2도전형 반도체층(127b)의 알루미늄 조성은 활성층(126)에서 멀어질수록 작아질 수 있다. 따라서, 제2-3도전형 반도체층(127c)의 알루미늄 조성은 1% 내지 10%를 만족할 수 있다.
- [0246] 그러나, 반드시 이에 한정하는 것은 아니고 제2-1도전형 반도체층(127a)과 제2-2도전형 반도체층(127b)의 알루미늄 조성은 연속적으로 감소하는 것이 아니라 일정 구간에서 감소가 없는 구간을 포함할 수도 있다.
- [0247] 이때, 제2-2도전형 반도체층(127b)의 알루미늄 감소폭은 제2-1도전형 반도체층(127a)의 알루미늄 감소폭보다 클 수 있다. 즉, 제2-2도전형 반도체층(127b)의 Al 조성비의 두께 방향에 대한 변화율은 제2-1도전형 반도체층

(127a)의 Al 조성비의 두께 방향에 대한 변화율보다 클 수 있다. 여기서 두께 방향은 제1도전형 반도체층(124)에서 제2도전형 반도체층(127)으로 향하는 방향 또는 제2도전형 반도체층(127)에서 제1도전형 반도체층(124)으로 향하는 방향일 수 있다.

- [0248] 제2-1도전형 반도체층(127a)은 두께는 제2-2도전형 반도체층(127b)보다 두꺼운 반면, 알루미늄 조성은 우물층(126a)보다 높아야 하므로 감소폭이 상대적으로 완만할 수 있다.
- [0249] 그러나, 제2-2도전형 반도체층(127b)은 두께가 얇고 알루미늄 조성의 변화폭이 크므로 알루미늄 조성의 감소폭이 상대적으로 클 수 있다.
- [0250] 도 26은 본 발명의 제4 실시 예에 따른 반도체 소자의 개념도이다.
- [0251] 도 26의 반도체 구조물(120)은 전술한 반도체 구조물(120)의 구성이 그대로 적용될 수 있다.
- [0252] 복수 개의 리세스(128)는 제2도전형 반도체층(127)의 제1면에서 활성층(126)을 관통하여 제1도전형 반도체층(124)의 일부 영역까지 배치될 수 있다. 리세스(128)의 내부에는 제1절연층(131)이 배치되어 제1도전형 반도체층(124)을 제2도전형 반도체층(127) 및 활성층(126)과 전기적으로 절연시킬 수 있다.
- [0253] 제1전극(142)은 리세스(128)의 상면에 배치되어 제1도전형 반도체층(124)과 전기적으로 연결될 수 있다. 제2전극(246)은 제2도전형 반도체층(127)의 하부에 형성될 수 있다.
- [0254] 전술한 바와 같이 제2전극(246)과 접촉하는 제2도전형 반도체층(127)의 제1면(127G)은 알루미늄의 조성이 1% 내지 10%이므로 전류 주입이 용이할 수 있다.
- [0255] 제1전극(142)과 제2전극(246)은 오믹 전극일 수 있다. 제1전극(142)과 제2전극(246)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다.
- [0256] 반도체 소자의 일측 모서리 영역에는 제2전극패드(166)가 배치될 수 있다. 제2전극패드(166)는 중앙 부분이 함몰되어 상면이 오목부와 볼록부를 가질 수 있다. 상면의 오목부에는 와이어(미도시)가 본딩될 수 있다. 따라서, 접촉 면적이 넓어져 제2전극패드(166)와 와이어가 더 견고히 본딩될 수 있다.
- [0257] 제2전극패드(166)는 광을 반사하는 작용을 할 수 있으므로, 제2전극패드(166)는 반도체 구조물(120)과 가까울수록 광 추출효율이 향상될 수 있다.
- [0258] 제2전극패드(166)의 볼록부의 높이는 활성층(126)보다 높을 수 있다. 따라서 제2전극패드(166)는 활성층(126)에서 소자의 수평방향으로 방출되는 광을 상부로 반사하여 광 추출효율을 향상시키고, 지향각을 제어할 수 있다.
- [0259] 제2전극패드(166)의 하부에서 제1절연층(131)이 일부 오픈되어 제2도전형 반도체층(150)과 제2전극(246)이 전기적으로 연결될 수 있다.
- [0260] 패시베이션층(180)은 반도체 구조물(120)의 상부면과 측면에 형성될 수 있다. 패시베이션층(180)은 제2전극(246)과 인접한 영역이나 제2전극(246)의 하부에서 제1절연층(131)과 접촉할 수 있다.
- [0261] 제1절연층(131)이 오픈되어 제2전극패드(166)가 이 제2도전형 반도체층(150)과 접촉하는 부분의 폭(d22)은 예를 들면 40 μm 내지 90 μm일 수 있다. 40 μm보다 작으면 동작 전압이 상승하는 문제가 있고, 90 μm보다 크면 제2도전형 반도체층(150)을 외부로 노출시키지 않기 위한 공정 마진 확보가 어려울 수 있다. 제2도전형 반도체층(150)이 제2전극(246)의 바깥 영역으로 노출되면, 소자의 신뢰성이 저하될 수 있다. 따라서, 바람직하게 폭(d22)은 제2전극패드(166)의 전체 폭의 60% 내지 95%일 수 있다.
- [0262] 제1절연층(131)은 제1전극(142)을 활성층(126) 및 제2도전형 반도체층(127)과 전기적으로 절연시킬 수 있다. 또한, 제1절연층(131)은 제2도전형 반도체층(150)을 제1도전형 반도체층(165)과 전기적으로 절연시킬 수 있다.
- [0263] 제1절연층(131)은 SiO₂, SixOy, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나, 이에 한정하지 않는다. 제1절연층(131)은 단층 또는 다층으로 형성될 수 있다. 예시적으로 제1절연층(131)은 Si 산화물이나 Ti 화합물을 포함하는 다층 구조의 DBR(distributed Bragg reflector)일 수도 있다. 그러나, 반드시 이에 한정하지 않고 제1절연층(131)은 다양한 반사 구조를 포함할 수

있다.

- [0264] 제1절연층(131)이 반사기능을 수행하는 경우, 활성층(126)에서 측면을 향해 방출되는 광을 상향 반사시켜 광 추출 효율을 향상시킬 수 있다. 자외선 반도체 소자는 청색광을 방출하는 반도체 소자에 비해 리세스(128)의 개수가 많아질수록 광 추출 효율은 더 효과적일 수 있다.
- [0265] 제2도전층(150)은 제2전극(246)의 하부를 덮을 수 있다. 따라서, 제2전극패드(166)와, 제2도전층(150), 및 제2전극(246)은 하나의 전기적 채널을 형성할 수 있다.
- [0266] 제2도전층(150)은 제2전극(246)을 덮고, 제1절연층(131)의 측면과 하면에 접할 수 있다. 제2도전층(150)은 제1절연층(131)과의 접착력이 좋은 물질로 이루어지며, Cr, Al, Ti, Ni, Au 등의 물질로 구성되는 균으로부터 선택되는 적어도 하나의 물질 및 이들의 합금으로 이루어질 수 있으며, 단일층 혹은 복수의 층으로 이루어질 수 있다.
- [0267] 제2도전층(150)이 제1절연층(131)의 측면과 상면과 접하는 경우, 제2전극(246)의 열적, 전기적 신뢰성이 향상될 수 있다. 또한, 제1절연층(131)과 제2전극(246) 사이로 방출되는 광을 상부로 반사하는 반사 기능을 가질 수 있다.
- [0268] 제2절연층(132)은 제2도전층(150)을 제1도전층(165)과 전기적으로 절연시킬 수 있다. 제1도전층(165)은 제2절연층(132)을 관통하여 제1전극(142)과 전기적으로 연결될 수 있다.
- [0269] 제1절연층(131)의 두께는 제2전극(246)보다 두껍고 제2절연층(132)의 두께보다 얇을 수 있다. 예시적으로 제1절연층(131)의 두께는 300nm 내지 700nm일 수 있다. 300nm보다 얇은 경우 전기적 신뢰성이 악화될 수 있고, 700nm보다 두꺼우면 제2도전층(150)이 제1절연층(131) 상부와 측면에 배치될 때, 제2도전층(150)의 스텝 커버리지 특성이 좋지 않아 박리나 크랙을 유발할 수 있다. 박리나 크랙을 유발하는 경우, 전기적 신뢰성이 악화되거나 광 추출 효율이 저하되는 문제점을 야기할 수 있다.
- [0270] 제2절연층(132)의 두께는 400nm 내지 1000nm일 수 있다. 400nm보다 얇을 경우 소자의 동작 시 전기적 신뢰성이 악화될 수 있고, 1000nm보다 두꺼울 경우 공정시 소자에 가해지는 압력이나 열적 스트레스에 의하여 신뢰성이 저하될 수 있으며, 공정 시간이 길어져 소자의 단가가 높아지는 문제를 야기할 수 있다. 제1절연층(131)과 제2절연층(132)의 두께는 이에 한정하지 않는다.
- [0271] 반도체 구조물(120)의 하부면과 리세스(128)의 형상을 따라 제1도전층(165)과 접합층(160)이 배치될 수 있다. 제1도전층(165)은 반사율이 우수한 물질로 이루어질 수 있다. 예시적으로 제1도전층(165)은 알루미늄을 포함할 수 있다. 제1도전층(165)이 알루미늄을 포함하는 경우, 활성층(126)에서 방출되는 광을 상부로 반사하는 역할을 하여 광 추출 효율을 향상할 수 있다.
- [0272] 접합층(160)은 도전성 재료를 포함할 수 있다. 예시적으로 접합층(160)은 금, 주석, 인듐, 알루미늄, 실리콘, 은, 니켈, 및 구리로 구성되는 균으로부터 선택되는 물질 또는 이들의 합금을 포함할 수 있다.
- [0273] 기관(170)은 도전성 물질로 이루어질 수 있다. 예시적으로 기관(170)은 금속 또는 반도체 물질을 포함할 수 있다. 기관(170)은 전기 전도도 및/또는 열 전도도가 우수한 금속일 수 있다. 이 경우 반도체 소자 동작시 발생하는 열을 신속이 외부로 방출할 수 있다.
- [0274] 기관(170)은 실리콘, 폴리브덴, 실리콘, 텅스텐, 구리 및 알루미늄으로 구성되는 균으로부터 선택되는 물질 또는 이들의 합금을 포함할 수 있다.
- [0275] 반도체 구조물(120)의 상면에는 요철이 형성될 수 있다. 이러한 요철은 반도체 구조물(120)에서 출사되는 광의 추출 효율을 향상시킬 수 있다. 요철은 자외선 파장에 따라 평균 높이가 다를 수 있으며, UV-C의 경우 300 nm 내지 800 nm 정도의 높이를 갖고, 평균 500nm 내지 600nm 정도의 높이를 가질 때 광 추출 효율이 향상될 수 있다.
- [0276] 도 27은 도 26의 평면도이고, 도 28은 도 27의 A-A 방향 단면도이다.
- [0277] 도 27 및 도 28을 참고하면, 리세스(128)의 직경은 20 μ m 내지 70 μ m일 수 있다. 리세스(128)의 직경은 제2도전형 반도체층의 제1면(127G)에 형성된 최대 직경일 수 있다. 리세스(128)의 직경이 20 μ m보다 작은 경우 내부에 배치되는 제1전극(142) 형성시 공정마진을 확보하기 어려워 반도체 소자의 신뢰성이 저하될 수 있다. 리세스(128)의 직경이 70 μ m보다 클 경우 활성층(126)의 면적이 감소하기 때문에 발광 효율이 악화될 수 있다.

- [0278] 복수 개의 제1전극(142)이 제1도전형 반도체층(124)과 접촉하는 면적은 반도체 구조물(120)의 수평방향 최대 단면적의 7.4% 내지 20%, 또는 10% 내지 20%이하일 수 있다.
- [0279] 복수 개의 제1전극(142)의 면적이 7.4% 미만인 경우에는 충분한 전류 분산 특성을 가질 수 없어 광 출력이 감소하며, 20%를 초과하는 경우에는 활성층(126) 및 제2전극(246)의 면적이 과도하게 감소하여 동작 전압이 상승하고 광 출력이 감소하는 문제가 있다.
- [0280] 또한, 복수 개의 리세스(128)의 총면적은 반도체 구조물(120)의 수평방향 최대 단면적의 10% 내지 30% 또는, 13% 내지 30%일 수 있다. 리세스(128)의 총면적이 상기 조건을 만족하기 못하면 제1전극(142)의 총면적을 7.4% 이상 20% 이하로 제어하기 어렵다. 또한, 동작 전압이 상승하고 광 출력이 감소하는 문제가 있다.
- [0281] 제2도전형 반도체층(127)의 제1면(127G)의 면적은 반도체 구조물(120)의 수평 방향 최대면적에서 리세스(128)의 총면적을 제외한 면적일 수 있다. 예시적으로 제2도전형 반도체층(127)의 제1면의 면적은 반도체 구조물(120)의 수평 방향 최대면적의 70% 내지 90%일 수 있다.
- [0282] 제2도전형반도체층(127)의 제1면(127G)은 평면상에서 복수 개의 리세스(128)를 둘러싸는 복수 개의 제1영역(127G-1), 및 복수 개의 제1영역(127G-1) 사이에 배치되는 제2영역(127G-2)을 포함할 수 있다.
- [0283] 제1영역(127G-1)은 리세스(128)의 외경과 제2전극(246)사이의 간격(S11)의 총 합일 수 있다. 제1영역의 면적은 1% 내지 20%일 수 있다.
- [0284] 제2영역(127G-2)은 복수 개의 제1영역(127G-1) 이외의 전체 영역일 수 있다. 제2영역(127G-2)에는 제2전극(246)이 전체적으로 배치될 수 있다.
- [0285] 제2영역(127G-2)은 반도체 구조물(120)의 수평방향 최대 단면적의 50% 내지 89%, 또는 50% 내지 70%일 수 있다. 제2영역(127G-2)의 면적은 제2전극(246)이 제2도전형 반도체층(127)과 접촉하는 면적일 수 있다.
- [0286] 제2영역(127G-2)이 50% 미만인 경우에는 제2전극(246)의 면적이 작아져 동작 전압이 상승하고, 홀의 주입 효율이 떨어지는 문제가 있다.
- [0287] 제2영역(127G-2)이 89%를 초과하는 경우에는 제1전극의 면적이 상대적으로 작아져 전자의 주입 효율이 떨어지는 문제가 있다. 제품에 따라서는 제2영역(127G-2)이 89%를 초과하는 경우 전기적 특성이 저하될 수 있다. 따라서, 제품이 적용되는 응용 분야의 요구에 따라 광학적, 전기적 특성을 고려하여 제2영역을 상기 범위 내에서 자유롭게 설계할 수 있다.
- [0288] 제1전극(142)이 제1도전형 반도체층(124)과 접촉하는 면적과 제2전극(246)이 제2도전형 반도체층(127)과 접촉하는 면적은 반비례 관계를 갖는다. 즉, 제1전극(142)의 개수를 늘리기 위해서 리세스(128)의 개수를 늘리는 경우 제2전극(246)의 면적이 감소하게 된다. 따라서 전기적, 광학적 특성을 높이기 위해서는 전자와 홀의 분산 특성이 균형을 이루어야 한다. 따라서, 제1전극의 면적과 제2전극의 면적을 적절한 비율로 조절하는 것이 중요할 수 있다.
- [0289] 복수 개의 제1전극(142)이 제1도전형 반도체층(124)에 접촉하는 면적과 제2전극(246)이 제2도전형 반도체층(127)에 접촉하는 면적의 비(제1전극의 면적: 제2전극의 면적)는 1:3 내지 1:9일 수 있다.
- [0290] 면적비가 1:9보다 커지는 경우에는 제1전극의 면적이 상대적으로 작아져 전류 분산 특성이 악화될 수 있다. 또한, 면적비가 1:3보다 작아지는 경우 상대적으로 제2전극의 면적이 작아져 전류 분산 특성이 악화될 수 있다.
- [0291] 복수 개의 제1영역(127G-1) 전체 면적과 제2영역(127G-2)의 면적의 비는 1:2.5 내지 1:90일 수 있다. 면적의 비가 1:2.5보다 작은 경우 제2전극(246)의 충분한 오픈 면적을 확보할 수 없어 전기적, 광학적 특성이 저하되는 문제가 발생할 수 있으며, 면적비가 1:90보다 커지는 경우에는 제1영역(127G-1)의 면적이 작아져 공정 마진을 확보하기 어려운 문제가 있다.
- [0292] 도 28을 참고하면, 제2도전형 반도체층(127)의 제1면(127G)은 2개의 인접한 리세스(128) 사이에 배치되는 제1-1면(S10)을 포함할 수 있다. 제1-1면(S10)은 제2전극(246)이 배치되지 않는 제1구간(S11), 및 전극이 배치되는 제2구간(S12)을 포함할 수 있다. 제1-1면(S10)의 폭은 17 μ m 내지 45 μ m일 수 있다.
- [0293] 제1-1면(S10)의 폭이 17 μ m보다 작을 경우, 리세스(128) 사이의 이격 거리가 너무 좁아 제2전극(246)이 배치되는 면적이 줄어들어 전기적 특성이 악화될 수 있고, 45 μ m보다 클 경우 리세스(128) 사이의 이격 거리가 너무 멀어 제1전극(142)이 배치될 수 있는 면적이 좁아질 수 있어 전기적 특성이 악화될 수 있다.

- [0294] 제1구간(S11)은 제1영역(127G-1)을 구성하는 단위 구간일 수 있다. 또한, 제2구간(S12)은 제2영역(127G-2)을 구성하는 단위 구간일 수 있다. 제2구간(S12)의 제1방향 폭은 상기 제1구간(S11)의 제1방향 폭보다 클 수 있다. 제1구간(S11)의 제1방향 폭(리세스에서 제2전극까지의 거리)은 1 μ m 내지 15 μ m일 수 있다.
- [0295] 제1구간(S11)의 폭이 1 μ m보다 작을 경우, 공정 마진에 의하여 제1절연층의 연장부(131a)가 제1면(127G)에 배치되기 어려울 수 있다. 따라서 전기적 특성이 악화될 수 있다. 제1구간(S11)의 폭이 15 μ m보다 클 경우 제2 전극(246)과 제1 전극(142)의 거리가 지나치게 멀기 때문에 전기적 특성이 악화될 수 있다. 따라서 공정 마진과 전기적 특성을 고려했을 때 제1구간(S11)의 제1 방향 폭은 상기 범위 내로 배치될 수 있다.
- [0296] 제2전극(246)은 제1절연층(131)의 연장부(131a)와 4 μ m이하의 폭을 갖는 이격 영역(S13)을 가질 수 있다. 이격 영역(S13)의 폭이 4 μ m보다 큰 경우 제2전극(246)이 배치되는 면적이 좁아져 동작 전압이 상승하는 문제점이 발생될 수 있다. 그러나 반드시 이에 한정되는 것은 아니고, 공정 방법 등 다양한 이유에 의해 이격 영역(S13)은 형성되지 않을 수도 있다. 이 경우 제2전극(246)이 배치될 수 있는 영역을 더 넓힐 수 있는 장점이 있다.
- [0297] 제2도전층(150)은 제2전극(246)을 완전히 감싸며 제1절연층(131)의 측면과 하면에 접할 수 있다. 제2도전층(150)이 제1절연층(131)의 측면과 상면과 접하는 경우, 제2전극(246)의 열적, 전기적 신뢰성을 향상할 수 있다. 또한, 입사되는 자외선 광을 상부로 반사하는 기능을 가질 수 있다.
- [0298] 제2도전층(150)이 제2전극(246)을 완전히 덮게 되는 경우, 제2도전층(150)의 면적이 증가하여 광을 반사할 수 있는 면적이 증가하여 반도체 소자의 광추출효율이 향상될 수 있다. 즉, 제1구간(S11)과 제2구간(S12)을 통과하는 자외선 광은 제2도전층(150)에 의해 반사될 수 있다.
- [0299] 제2도전층(150)은 이격 영역(S13)에서 제2도전형 반도체층(127)과 쇼트키 접합될 수 있다. 따라서, 전류 분산이 용이해질 수 있다.
- [0300] 제1면(127G)은 평균 거칠기가 7nm이하로 제어될 수 있다. 평균 거칠기가 7nm보다 큰 경우 제2전극(246) 및 제2도전층(150)의 경계면이 거칠어져 반사율이 감소하는 문제가 있다. 평균 거칠기는 제1면(127G)에 형성된 요철의 높이차를 계산한 값일 수 있다. 평균 거칠기는 원자 현미경(AFM)으로 측정된 RMS(Root-Mean-Square) 값일 수 있다.
- [0301] 도 29는 제2도전층의 평면도이고, 도 30은 최소 면적의 제2도전층을 보여주는 평면도이고, 도 31은 최소 면적의 제2도전층을 보여주는 단면도이다.
- [0302] 도 29를 참고하면, 제2도전층(150)은 반도체 구조물(120)의 최대면적 중 리세스(128) 영역을 제외한 모든 면적을 커버할 수 있다. 이러한 구성에 의하면 제2도전층(150)은 제2전극(246) 및 제2도전형 반도체층(127)을 전체적으로 커버하여 광 추출 효율이 상승할 수 있다.
- [0303] 그러나, 반드시 이에 한정되는 것은 아니고 제2도전층(150)은 필요에 따라 제2전극(246)의 하부에만 배치될 수도 있다. 즉, 제2도전층(150)은 제2전극(246)의 면적보다 작을 수도 있다.
- [0304] 제2도전층(150)이 반도체 구조물(120)의 수평 방향 최대면적(제1면적)과 중첩되는 면적은 제2전극(246)의 면적의 44% 내지 180%일 수 있다. 제2도전층(150)의 전체 면적은 반도체 구조물 이외의 영역(예: 제2전극패드 영역)까지 포함할 수 있다.
- [0305] 제2도전층(150)이 반도체 구조물(120)의 최대면적과 중첩되는 면적은 40% 내지 90%일 수 있다. 제2도전층(150)이 반도체 구조물(120)과 중첩되는 면적이 40% 미만일 경우, 제2전극(246)에 주입되는 전류의 효율이 저하되거나 제2전극(246)을 투과하여 제2도전층(150)으로 입사하는 광을 반사할 수 있는 면적이 적어 광 추출효율이 저하될 수 있다. 제2도전층(150)이 반도체 구조물(120)과 중첩되는 면적이 90%인 경우에는 리세스(128) 부분을 제외한 나머지 부분 전체를 커버할 수 있다.
- [0306] 제2전극(246)의 면적은 전술한 바와 같이 반도체 구조물(120)의 수평방향 최대 단면적의 50%이상 89%이하일 수 있다.
- [0307] 도 30 및 도 31를 참고하면, 제2도전층(150)의 면적이 제2전극(246)보다 작은 경우 제2전극(246)은 제2도전층(150)의 사이로 노출될 수 있다.
- [0308] 이 경우 제2도전층(150)은 제2전극(246)의 일부만을 커버할 수 있다. 따라서, 제2도전층(150)은 제2전극(246)으로 진입한 광만을 반사할 수 있다. 그러나, 높은 전류에서 동작하는 경우에 제2도전층(150)을 구성하는 원자의

마이그레이션에 의한 소자의 신뢰성이 저하되는 문제를 개선할 수 있는 장점이 있다.

- [0309] 즉, 반도체 소자가 적용되는 응용 분야의 목적에 따라 제2도전층(150)은 제2전극(246)을 완전히 감싸도록 배치될 수도 있고, 제2전극(246)상에만 배치될 수도 있다.
- [0310] 도 32는 제2도전층의 구성을 설명하기 위한 도면이고, 도 33은 도 32의 제1변형예이고, 도 34는 도 32의 제2변형예이다.
- [0311] 도 32를 참고하면, 제2전극(246)의 두께(d5)는 1nm 내지 15nm, 또는 1nm 내지 5nm일 수 있다. 제2전극(246)의 두께(d5)가 15nm 또는 5nm이하인 경우에는 흡수하는 광량이 줄어들 수 있다. 제2전극(246)의 두께는 제1절연층의 두께보다 얇을 수 있다.
- [0312] 제2전극(246)의 두께(d5)가 1nm 미만인 경우 제2전극(246)이 제대로 배치하기 어려워 전기적 특성이 저하될 수 있고, 15nm를 초과하게 되면 광 흡수율이 높아 반도체 소자의 광추출효율이 저하될 수 있다. 또한, 제2전극(246)의 두께가 5nm를 초과하게 되면 제2전극(246)이 흡수하는 광량이 증가하여 반도체 소자의 광학적 특성이 저하될 수 있지만, 전기적 특성이 향상될 수 있다. 따라서, 제품의 적용과 응용 분야에서 요구하는 특성에 따라 제2전극의 두께는 상기 범위 내에서 자유롭게 설계할 수 있다.
- [0313] 제2도전층(150)은 알루미늄을 포함하는 반사층(151), 및 제2전극(246)과 반사층(151) 사이에 배치되는 제1중간층(152)을 포함할 수 있다. 공정 시 발생할 수 있는 고온과 고압에 의하여 제2전극(246)과 제2도전층(150) 사이에서 산화막이 형성될 수 있다. 이 경우 제2전극(246)과 제2도전층(150) 사이에서 저항이 증가하여 전류 주입이 원활하지 않아, 반도체 소자의 전기적 특성이 저하될 수 있다. 실시 예에서는 반사층(151)과 제2전극(246) 사이에 제1중간층(152)이 배치되어 이들의 접착력을 향상시키고, 산화막의 발생을 방지할 수 있다.
- [0314] 제1중간층(152)은 크롬(Cr), 티탄(Ti) 니켈(Ni) 중 적어도 하나를 포함할 수 있다. 제1중간층(152)의 두께(d6)는 0.7nm 내지 7nm일 수 있다. 두께가 0.7nm보다 작은 경우 접착 효과 및 확산 방지 효과가 떨어지는 문제가 있고, 7nm보다 큰 경우 자외선 흡수량이 많아질 수 있다.
- [0315] 제1중간층(152)은 알루미늄을 더 포함할 수 있다. 이 경우 제1중간층(152)과 반사층(151)의 접착력을 향상시킬 수 있다. 또한, 제1중간층(152)이 이격 영역에서 제1면(127G)과 접촉함으로써 전류 확산 특성이 개선될 수 있다.
- [0316] 제2전극(246)과 반사층(151)의 두께비(d5:d7)는 1:2 내지 1:120일 수 있다. 반사층(151)의 두께(d7)는 30nm 내지 120nm일 수 있다. 반사층(151)의 두께가 30nm보다 작은 경우 자외선 파장대에서 반사율이 떨어지는 문제가 있으며, 두께가 120nm보다 두꺼워져도 반사 효율이 거의 상승하지 않는다.
- [0317] 도 33을 참고하면, 반사층(151)의 하부에는 제2중간층(153)이 배치될 수 있다. 제2중간층(153)은 반사층의 원자가 이웃한 층으로 마이그레이션되는 것을 방지하여 반도체 소자의 신뢰성이 저하되는 문제점을 개선할 수 있다. 제2중간층(153)은 Ni, Ti, No, Pt, W 중 적어도 하나를 포함할 수 있으며, 두께는 50nm 내지 200nm일 수 있다.
- [0318] 도 34를 참고하면, 제2중간층(153)의 하부에는 제3중간층(154)이 배치될 수 있다. 제3중간층(154)은 다른 층과의 접합을 위한 층으로 Au, Ni 등을 포함할 수 있다.
- [0319] 도 35는 본 발명의 제5 실시 예에 따른 반도체 소자의 개념도이고, 도 36은 도 35의 평면도이고, 도 37은 도 36의 B-1부분 확대도이고, 도 38은 도 36의 B-2부분 확대도이다.
- [0320] 도 35를 참고하면, 실시 예에 따른 반도체 소자는 도 1 내지 도 3에서 설명한 반도체 구조물(120), 및 도 4에서 설명한 각 층의 구성이 그대로 적용될 수 있다. 실시 예에 따르면 2개의 리세스(128) 사이에 배치된 제2도전형 반도체층(127)의 제1면(127G)에 제2전극(246)이 복수 개로 배치될 수 있다.
- [0321] 도 36 내지 도 38을 참고하면, 제1면(127G)은 리세스(128)를 둘러싸는 제1영역(127G-1), 제1영역(127G-1)을 둘러싸는 제2영역(127G-2), 및 제2영역(127G-2) 사이에 배치되는 제3영역(127G-3)을 포함할 수 있다.
- [0322] 여기서, 제1영역(127G-1)은 리세스(128)와 제2전극(246) 사이의 영역일 수 있다. 예시적으로 제1영역(127G-1)의 면적은 링 형상일 수 있다. 제1영역(127G-1)의 면적은 반도체 구조물(120)의 수평방향 최대면적을 기준으로 1% 내지 20%일 수 있다.
- [0323] 제2영역(127G-2)은 리세스(128) 및 제1영역(127G-1)을 제외한 나머지 면적을 가질 수 있다. 예시적으로 제2영역(127G-2)은 내측은 원 형상이고 외측은 다각 형상일 수 있다. 예시적으로 외측은 팔각 형상일 수 있으나 반드시

이에 한정하지 않는다. 제2영역(127G-2)은 제3영역(127G-3)에 의해 구획된 복수 개일 수 있다.

- [0324] 제3영역(127G-3)은 복수 개의 제2영역(127G-2) 사이에 배치될 수 있다. 제3영역(127G-3)은 제1전극(142)의 전류 밀도 100%를 기준으로 전류밀도가 40%이하인 영역일 수 있다. 따라서, 제3영역(127G-3)은 발광에 참여하는 확률이 낮을 수 있다. 실시 예에 따르면, 발광 기여도가 낮은 제3영역(127G-3)을 반사 영역으로 구성하여 광 추출 효율을 증가시킬 수 있다.
- [0325] 제1면(127G)은 제3영역(127G-3)과 제1면(127G)의 테두리 영역 사이에 배치되는 제4영역(127G-4)을 더 포함할 수 있다.
- [0326] 제2전극(246)은 제2영역(127G-2)에 배치되는 제2-1전극(246a)과 제4영역(127G-4)에 배치되는 제2-2전극(246b)을 포함할 수 있다.
- [0327] 제2전극(246)은 저항이 낮은 금속 또는 금속 산화물을 포함할 수 있다. 그러나, 이러한 제2전극(246)은 가시광은 반사 또는 투과하나 자외선 광은 흡수하는 문제가 있다.
- [0328] 따라서, 제2전극(246)의 면적을 전기적 특성이 크게 저하되지 않는 면적까지 좁혀 활성층(126)에서 제2도전형 반도체층(127)으로 방출되는 광을 반사시킬 필요가 있다. 이때, 제2전극(246)이 배치되는 제2영역(127G-2)의 면적을 좁히고 제3영역(127G-3)을 넓혀 반사 영역을 확보할 수 있다. 제2도전형층(150)은 제1면(127G)에 전체적으로 배치되므로 제3영역(127G-3)으로 입사된 광은 제2도전형층(150)에 의해 반사될 수 있다.
- [0329] 즉, 실시 예에서는 발광 기여도가 낮은 제3영역(127G-3)을 반사 영역을 활용할 수 있다.
- [0330] 제1면(127G)과 제2전극(246)이 접촉하는 제1접촉면적(도 36의 제2영역과 제4영역의 합)은 반도체 구조물(120)의 최대 면적을 기준으로 35% 내지 60%일 수 있다. 제1접촉면적이 35%보다 작은 경우 전류 분산 효율이 떨어질 수 있다. 또한, 제1접촉면적이 60%를 초과하는 경우에는 제3영역(127G-3)의 면적이 작아져 광 추출 효율이 감소할 수 있다.
- [0331] 제1면(127G)과 제2전극(246)이 접촉하지 않는 제2접촉면적(도 36의 제1영역과 제3영역의 합)은 반도체 구조물(120)의 최대 면적을 기준으로 10% 내지 55%일 수 있다. 제2접촉면적이 10%보다 작은 경우 충분한 반사 효율을 갖기 어려우며, 제2접촉면적이 55%보다 큰 경우에는 제2영역(127G-2)의 면적이 작아져 전류 분산 효율이 감소하는 문제가 있다.
- [0332] 제2접촉면적과 제1접촉면적의 비는 1:0.7 내지 1:6 일 수 있다. 이 관계를 만족하면 충분한 전류 분산 효율을 가져 광 출력이 향상될 수 있다. 또한, 충분한 반사 영역을 확보하여 광 추출 효과가 향상될 수도 있다.
- [0333] 도 38을 참고하면, 제3영역(127G-3)과 제1면(127G)의 테두리 사이의 이격 거리(d1)는 1.0 μ m 내지 10 μ m일 수 있다. 이격 거리(d1)가 1.0 μ m보다 작은 경우 마진이 작아 공차 발생시 제2도전형층(150)이 제대로 형성되지 않아 신뢰성이 저하될 수 있다. 또한, 이격 거리(d1)가 10 μ m보다 클 경우 제2전극(246)이 배치되는 면적이 줄어들어 반도체 소자의 전기적 특성이 저하될 수 있다.
- [0334] 도 39는 도 37의 B-B 방향 단면도이다.
- [0335] 도 39를 참고하면, 제2도전형 반사층(151)의 제1면(127G)은 제1방향(X방향)으로 가장 인접한 2개의 리세스(128)의 중심 사이에 배치되는 제1-1면(S10)을 포함할 수 있다. 여기서, 제1방향은 반도체 구조물(120)의 두께 방향과 수직한 방향일 수 있다.
- [0336] 제1-1면(S10)은 제1방향으로 이격된 제2전극(246)이 배치되는 제1구간(S11), 및 제2전극(246) 사이에 배치되는 제2구간(S12)을 포함할 수 있다. 제2도전형층(150)은 제1구간(S11) 및 제2구간(S12)에 배치될 수 있다. 제1-1면(S10)의 전체 폭은 17 μ m 내지 45 μ m일 수 있다.
- [0337] 제1구간(S11)의 제1방향 전체 폭은 12 μ m 내지 24 μ m일 수 있다. 제1구간(S11)은 제2구간(S12)의 양 옆으로 2개의 분할영역을 포함할 수 있다. 각 분할 영역의 폭은 6 μ m 내지 12 μ m일 수 있다.
- [0338] 제1구간(S11)의 전체 폭이 12 μ m보다 작은 경우에는 제2전극(246)의 면적이 작아져 전류 분산 효율이 감소되는 문제가 있으며, 24 μ m보다 큰 경우에는 제2구간(S12)이 좁아져 반사 효율이 감소하는 문제가 있다.
- [0339] 제2구간(S12)의 제1방향 폭은 5 μ m 내지 16 μ m일 수 있다. 제2구간(S12)의 제1방향 폭이 5 μ m보다 작은 경우에는 충분한 반사 영역을 확보하기 어려운 문제가 있으며, 폭이 16 μ m보다 큰 경우에는 제2전극(246)이 좁아지는 문제가 있다.

- [0340] 제2구간(S12)은 제1전극(142)의 전류밀도 100%를 기준으로 40%이하인 영역에 배치될 수 있다. 제2구간(S12)과 리세스(128) 중심 사이의 제1거리(W2+S13+S11)는 최소 17 μ m이상일 수 있다. 리세스(128)의 저면 반지름(W2)은 10 μ m 내지 35 μ m이고, 제3구간(S13)의 폭은 1 μ m 내지 5 μ m이고, 제1구간(S11)의 폭은 6 μ m 내지 12 μ m일 수 있다. 따라서, 최대 이격 거리는 52 μ m이상일 수 있다.
- [0341] 제2구간(S12)은 리세스(128) 중심으로부터 최소 17 μ m이상 이격된 영역 중에서 전류밀도가 40%이하인 영역에 배치될 수 있다. 예시적으로 제2구간(S12)은 리세스(128) 중심으로부터 40 μ m이상 이격된 영역에 배치될 수 있다.
- [0342] 반도체 소자에 복수 개의 리세스(128)가 존재하는 경우, 각 리세스(128)로부터 40 μ m이상 떨어진 제2구간(S12)은 서로 중첩될 수 있다. 따라서, 중첩된 제2구간(S12)의 면적은 리세스(128) 사이의 거리에 따라 조절될 수 있다.
- [0343] 이때, 제2구간(S12)은 제1-1면(S10)의 제1방향 폭의 1/2지점을 포함할 수 있다. 제1-1면(S10)의 제1방향 폭의 1/2지점은 인접한 2개의 리세스(128) 사이 영역이므로 전류 밀도가 낮을 확률이 높다. 그러나, 반드시 이에 한정되는 것은 아니고 복수 개의 리세스의 직경이 서로 다른 경우, 제1방향 폭의 1/2 지점을 반드시 포함하지 않을 수 있다.
- [0344] 제3구간(S13)은 제2전극(246)과 리세스(128) 사이 영역일 수 있다. 제3구간(S13)의 제1방향 폭은 1 μ m 내지 5 μ m일 수 있다.
- [0345] 제2구간(S12)의 폭과 제1구간(S11)의 전체 폭의 비는 1:0.7 내지 1:5일 수 있다. 상기 폭의 비를 만족하는 경우 제2접촉면적과 제1접촉면적의 비를 1:0.7 내지 1:6로 유지할 수 있다. 따라서, 전류 분산 효율 및 광 추출 효과가 향상될 수 있다.
- [0346] 도 40은 도 39의 제1변형예이다.
- [0347] 도 40를 참고하면, 제2도전층(150)은 제2구간(S12)에서 반사층(150-1)을 포함할 수 있다. 제2구간(S12)으로 입사된 광은 반사층(150-1)에 의해 진행 경로가 변경되어 반사될 수 있다. 이러한 구성에 의하면 광을 다양한 방향으로 반사하여 균일도를 향상시킬 수 있다.
- [0348] 경사면의 각도(θ)는 90도 크고 150도 보다 클 수 있다. 경사면의 각도가 90도보다 작거나 150도 보다 큰 경우 입사된 광의 반사 각도를 다양하게 변화하기 어려울 수 있다. 경사면의 각도는 바닥면과 경사면이 이루는 각으로 정의할 수 있다.
- [0349] 반사층(150-1)의 깊이는 제1절연층(131)의 두께와 동일할 수 있다. 제1절연층(131)의 두께는 제2전극(246)의 두께보다 110% 내지 130% 두꺼울 수 있다.
- [0350] 반사층(150-1)에는 투광층(133)이 배치될 수 있다. 투광층(133)의 형상과 반사층(150-1)의 형상은 대응될 수 있다. 따라서, 투광층(133)의 두께는 반사층(150-1)의 두께와 동일할 수 있다. 예시적으로 반사층(150-1)은 투광층(133)상에 제2도전층(150)을 형성함으로써 형성될 수 있다.
- [0351] 투광층(133)의 재질은 자외선 파장대의 광을 통과시키는 다양한 재질이 포함될 수 있다. 예시적으로 투광층(133)은 절연층 재질을 포함할 수 있다. 투광층(133)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 중 적어도 하나를 포함할 수 있으나 반드시 이에 한정하지 않는다.
- [0352] 도 41a는 도 39의 제2변형예이고, 도 41b는 제2변형예의 평면도이다.
- [0353] 도 41a를 참고하면, 제2구간(S12)에는 서브 리세스(127), 및 서브 리세스(127)의 내부에 배치되는 서브 반사층(135)이 배치될 수도 있다.
- [0354] 서브 반사층(135)은 서브 리세스(127)의 내부에 배치될 수 있다. 구체적으로 서브 반사층(135)은 서브 리세스(127)내에서 제1절연층(131)상에 배치될 수 있다.
- [0355] 서브 반사층(135)은 자외선 파장대에서 반사율이 높은 물질이 선택될 수 있다. 서브 반사층(135)은 도전성 물질을 포함할 수 있다. 예시적으로 서브 반사층(135)은 알루미늄을 포함할 수 있다. 서브 반사층(135)의 두께가 약 30nm 내지 120nm인 경우, 자외선 파장대의 광을 80% 이상 반사할 수 있다. 따라서, 활성층(126)에서 출사된 광이 반도체층 내부에서 흡수되는 것을 방지할 수 있다.
- [0356] 서브 반사층(135)에 의해 비스듬하게 출사되는 광(L1)이 상향 반사될 수 있다. 따라서, 반도체 구조물(120) 내에서 광 흡수를 줄이고, 광 추출 효율을 향상시킬 수 있다. 또한, 반도체 소자의 지향각을 조절할 수도 있다.

- [0357] 서버 반사층(135)은 제2전극(246)의 일부를 덮을 수 있다. 이러한 구성에 의해 제1절연층(131)과 제2전극(246) 사이로 유입되는 광을 상부로 반사시킬 수 있다. 그러나, 알루미늄과 같은 서버 반사층(135)은 스텝 커버리지가 상대적으로 좋지 않으므로 제2전극(246)을 완전히 덮는 것은 바람직하지 않을 수 있다.
- [0358] 제2전극(246)의 두께는 제1절연층(131)의 두께의 80%이하일 수 있다. 이로 인해 서버 반사층(135) 및 제2도전층(150)이 배치될 때 스텝 커버리지 저하에 따른 서버 반사층(135) 혹은 제2도전층(150)의 크랙이나 박리 등의 문제를 해결할 수 있다.
- [0359] 서버 반사층(135)의 폭은 서버 리세스(127)의 폭과 동일할 수 있다. 제1리세스(128)의 폭과 서버 리세스(127)의 폭은 반도체 구조물(120)의 제1면(127G)에 형성된 최대폭일 수 있다.
- [0360] 서버 반사층(135)은 서버 리세스(127)에서 제2전극(246)을 향해 연장된 연장부(135a)를 포함할 수 있다. 연장부(135a)는 서버 리세스(127)에 의하여 분리된 제2전극(246)을 서로 전기적으로 연결할 수 있다.
- [0361] 서버 반사층(135)은 제2전극(246)과 제1절연층(131) 사이의 이격 거리에 배치될 수 있으며, 이격 거리 내에서 서버 반사층(135)이 제2도전형 반도체층(127)과 쇼트키 접합이 형성되는 영역이 배치될 수 있으며, 쇼트키 접합을 형성함으로써 전류 분산이 용이해질 수 있다.
- [0362] 서버 반사층(135)의 경사부와 제2도전형 반도체층(127)의 제1면이 이루는 각($\theta 4$)은 90도 내지 145도일 수 있다. 경사각($\theta 4$)이 90도보다 작을 경우 제2도전형 반도체층(127)의 식각이 어렵고 145도보다 클 경우 식각되는 활성층(126)의 면적이 커져서 발광 효율이 저하되는 문제가 있다.
- [0363] 제2도전층(150)은 서버 반사층(135)과 제2전극(246)을 덮을 수 있다. 따라서, 제2전극패드(166)와, 제2도전층(150), 서버 반사층(135), 및 제2전극(246)은 하나의 전기적 채널을 형성할 수 있다. 제2도전층(150)의 구성은 전술한 구성이 모두 적용될 수 있다.
- [0364] 도 41b를 참고하면, 서버 반사층(135)은 복수 개의 리세스(128) 사이에 배치되어 복수 개의 발광영역을 정의할 수 있다. 발광영역의 면적은 주입 전류의 레벨, A1의 구성에 따라 조절될 수 있다.
- [0365] 도 42는 도 39의 제3변형예이다.
- [0366] 제2도전층(150)은 알루미늄을 포함하는 반사층(151), 및 제2전극(246)과 반사층(151) 사이에 배치되는 제1중간층(152)을 포함할 수 있다. 제2전극(246)을 IT로 구성하는 경우 산소가 반사층(151)에 침투하여 Al_2O_3 를 형성할 수 있다. 이 경우 반사층(151)의 반사 효율이 떨어지게 된다. 실시 예에서는 반사층(151)과 제2전극(246) 사이에 제1중간층(152)이 배치되어 이들의 접착력을 향상시키고, 산소의 침투를 방지할 수 있다.
- [0367] 제1중간층(152)은 크롬(Cr), 티탄(Ti) 니켈(Ni) 중 적어도 하나를 포함할 수 있다. 제1중간층(152)의 두께는 0.7nm 내지 7nm일 수 있다. 제1중간층(152)은 알루미늄을 더 포함할 수 있다. 이 경우 제1중간층(152)과 알루미늄의 접착력을 향상시킬 수 있다.
- [0368] 제1중간층(152)은 제2구간(S12), 제3구간(S13)에서 제2도전형 반도체층(127)의 제1면(127G)과 접촉할 수 있다. 따라서, 쇼트키 접합에 의해 전류 분산 효율이 향상될 수 있다.
- [0369] 제2전극(246)과 반사층(151)의 두께비는 상기 제2도전층(150)의 두께비는 1:2 내지 1:120일 수 있다. 반사층(151)의 두께는 30nm 내지 120nm일 수 있다. 반사층(151)의 두께가 30nm보다 작은 경우 자외선 파장대에서 반사율이 떨어지는 문제가 있으며, 두께가 120nm보다 커져도 반사 효율이 거의 상승하지 않는다.
- [0370] 도 43은 본 발명의 제6 실시 예에 따른 반도체 소자의 개념도이고, 도 44는 도 43의 평면도이다.
- [0371] 도 43을 참고하면, 실시 예에 따른 반도체 소자는 전술한 각 층의 구성이 그대로 적용될 수 있다.
- [0372] 도 44를 참고하면, 제1면(127G)은 리세스(128)가 내부에 배치되는 제1영역(127G-1), 및 제1영역(127G-1) 사이에 배치되는 제2영역(127G-2)을 포함할 수 있다.
- [0373] 제1영역(127G-1)의 직경은 리세스(128)의 직경의 1.0배 내지 1.5배일 수 있다. 제1영역(127G-1)의 직경이 1.5배를 초과하는 경우 제2전극(246)의 면적이 줄어들어 전류 분산 효율이 떨어지는 문제가 있다. 제1영역(127G-1)은 리세스(128)와 제2전극(246) 사이의 영역일 수 있다.
- [0374] 제2영역(127G-2)은 복수 개의 제1영역(127G-1) 이외의 나머지 영역일 수 있다. 제2영역(127G-2)에는 전체적으로 제2전극(246)이 배치될 수 있다.

- [0375] 제2전극(246)은 저항이 낮은 금속 또는 금속 산화물을 포함할 수 있다. 따라서, 제2전극(246)은 자외선 광을 흡수하는 문제가 있다. 따라서, 제2전극(246)의 면적을 좁혀 제2전극(246)이 흡수하는 광량을 줄일 필요가 있다.
- [0376] 제2도전층(150)은 제1영역(127G-1)과 제2영역(127G-2)에 배치되므로 제1영역(127G-1)으로 입사된 광은 제2도전층(150)에 의해 반사될 수 있다. 따라서, 제2전극(246)이 배치되는 제2영역(127G-2)의 면적을 좁히고 제1영역(127G-1)을 넓히면 광 추출 효율을 높일 수 있다. 이때, 전류 분산에 필요한 제2전극(246)의 면적을 확보하면서도 최대한 반사 영역을 확보하는 것이 중요할 수 있다.
- [0377] 제2영역(127G-2)의 면적은 반도체 구조물(120)의 최대 면적을 기준으로 35% 내지 60%일 수 있다. 제2영역(127G-2)의 면적이 35%보다 작은 경우 제2전극(246)의 접촉 면적이 작아 전류 분산 효율이 떨어질 수 있다. 또한, 제2영역(127G-2)의 면적이 60%를 초과하는 경우에는 제1영역(127G-1)의 면적이 작아져 광 추출 효율이 감소할 수 있다.
- [0378] 제1영역(127G-1)의 면적은 반도체 구조물(120)의 최대 면적을 기준으로 10% 내지 55%일 수 있다. 제1영역(127G-1)의 면적이 10%보다 작은 경우 충분한 반사 효율을 갖기 어려우며, 제1영역(127G-1)의 면적이 55%보다 큰 경우에는 제2영역(127G-2)의 면적이 작아져 전류 주입 효율이 감소하는 문제가 있다.
- [0379] 따라서, 제1영역(127G-1)의 면적과 제2영역(127G-2)의 면적의 비는 1:0.7 내지 1:6일 수 있다. 이 관계를 만족하면 충분한 전류 분산 효율을 가져 광 출력이 향상될 수 있다. 또한, 충분한 반사 영역을 확보하여 광 추출 과파가 향상될 수도 있다.
- [0380] 도 45는 도 44의 C-C방향 단면도이다.
- [0381] 제2도전형 반사층의 제1면(127G)은 제1방향(X방향)으로 가장 인접한 제1, 제2리세스(128a, 128b)의 중심 사이에 배치되는 제1-1면(S10)을 포함할 수 있다. 이때, 제1방향은 반도체 구조물(120)의 두께 방향과 수직한 방향일 수 있다.
- [0382] 제1-1면(S10)은 제1구간(S21), 및 제1구간(S21)과 제1, 제2리세스(128a, 128b) 사이에 배치되는 제2구간(S22a, S22b)을 포함할 수 있다.
- [0383] 제2구간(S22a, S22b)은 제1구간(S21)과 제1리세스(128a) 사이에 배치되는 제2-1구간(S22a), 및 제1구간(S21)과 제2리세스(128b) 사이에 배치되는 제2-2구간(S22b)을 포함할 수 있다.
- [0384] 제2전극(246)은 제1구간(S21)에 배치될 수 있다. 제2전극(246)은 제2구간(S22a, S22b)에만 배치되는 경우 제2구간(S22a, S22b)의 전류밀도를 향상시킬 수 있으나 제1구간(S21)의 전류밀도는 상대적으로 낮아질 수 있다. 또한, 제2전극(246)이 제1구간(S21)과 제2구간(S22a, S22b)에 모두 배치되는 경우 제1구간(S21)과 제2구간(S22a, S22b)에서 모두 광 흡수가 일어나게 되어 광 추출 효율 관점에서 좋지 않을 수 있다.
- [0385] 제2도전층은 제1구간(S21) 및 제2구간(S22a, S22b)에 배치될 수 있다. 따라서, 제2전극(246)이 배치되지 않는 제2구간(S22a, S22b)은 반사 기능을 수행할 수 있다.
- [0386] 실시 예에 따르면, 발광에 필요한 전류밀도를 확보하면서 광 추출 효율도 확보할 수 있도록 제1전극(142)과 제2전극(246)의 사이의 거리를 적절히 정하는 것이 중요할 수 있다.
- [0387] 예시적으로 제1전극(142)의 면적이 큰 경우 전류 분산 영역이 넓어지므로 제2구간(S22a, S22b)을 좀 더 넓게 확보할 수 있다. 따라서, 반사 영역을 넓힐 수 있다. 그러나, 제1전극(142)의 면적이 작은 경우 전류 분산 영역이 좁아지므로 제2구간(S22a, S22b)은 좁아질 수 있다.
- [0388] 제2-1구간(S22b)의 제1방향 폭과 제1리세스(128a)의 직경(W1)의 비는 1:1.25 내지 1:14일 수 있다. 직경의 비가 1:1.25보다 작아지는 경우 리세스(128)의 직경이 줄어들어 제1전극(142)의 면적이 감소하게 된다. 따라서, 제1전극(142)을 통해 주입되는 전류의 세기가 약해져 제2구간(S22a, S22b)에서의 전류밀도가 약해질 수 있다.
- [0389] 직경의 비가 1:14보다 커지는 경우 리세스(128)의 직경이 과도하게 커지게 되므로 상대적으로 제2도전형 반도체층의 제1면(127G)의 면적이 줄어들게 된다. 즉, 제1-1면(S10)의 폭이 줄어들게 된다. 그 결과, 활성층(126)의 면적이 감소하여 발광 영역이 줄어들게 된다.
- [0390] 리세스(128)의 직경(W1)은 20 μ m 내지 70 μ m일 수 있다. 리세스(128)의 직경이 20 μ m보다 작은 경우 내부에 배치되는 제1전극(142) 형성시 공정마진을 확보하기 어렵고, 리세스(128)의 직경이 70 μ m보다 클 경우 활성층(126)의 면적이 감소하기 때문에 발광 효율이 악화될 수 있다. 여기서 리세스(128)의 직경은 제2도전형 반도체층의 제1

면(127G)에 형성된 최대 직경일 수 있다.

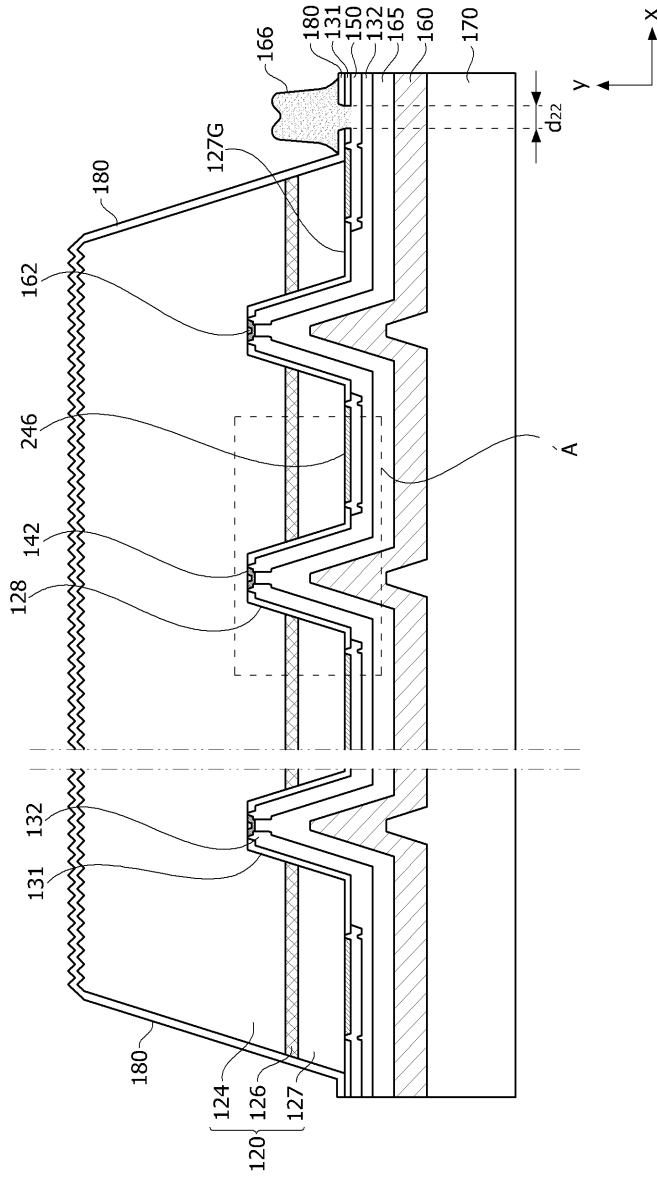
- [0391] 제1구간(S21)의 제1방향 폭은 $6\mu\text{m}$ 내지 $12\mu\text{m}$ 일 수 있다. 폭이 $6\mu\text{m}$ 보다 작은 경우에는 제2전극(246)의 면적이 작아져 전류 분산 효율이 감소되는 문제가 있으며, $12\mu\text{m}$ 보다 큰 경우에는 제2구간(S22a, S22b)이 좁아져 반사 효율이 감소하는 문제가 있다.
- [0392] 제2-1구간(S22a) 및 제2-2구간(S22b)의 제1방향 폭은 각각 $5\mu\text{m}$ 내지 $16\mu\text{m}$ 일 수 있다. 즉, 제2구간(S22a, S22b) 전체 폭은 $10\mu\text{m}$ 내지 $32\mu\text{m}$ 일 수 있다. 제2-1구간(S22a) 및 제2-2구간(S22b)의 제1방향 폭이 $5\mu\text{m}$ 보다 작은 경우에는 충분한 반사 영역을 확보하기 어려운 문제가 있으며, 폭이 $16\mu\text{m}$ 보다 큰 경우에는 제2전극(246)이 좁아지는 문제가 있다.
- [0393] 제1구간(S21)의 폭과 제2구간(S22a, S22b)의 전체 폭의 비는 1:0.8 내지 1:5일 수 있다. 상기 폭의 비를 만족하는 경우 제1영역(127G-1)의 면적과 제2영역(127G-2)의 면적의 비를 1:0.8 내지 1:6으로 조절할 수 있다. 따라서, 전류 분산 효율 및 광 추출 효과가 향상될 수 있다.
- [0394] 제1구간(S21)은 제1-1면(S10)의 1/2 지점을 포함할 수 있다. 제2전극(246)이 제1-1면(S10)의 중심에 배치되므로 제1구간(S21)의 전류밀도는 상승할 수 있다. 또한, 제1구간(S21)의 전류밀도가 상승하므로 그 사이에 있는 제2구간(S22a, S22b) 역시 전류가 분산되어 발광에 필요한 전류밀도를 확보할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고, 제1리세스(128a)의 직경과 제2리세스(128b)의 직경이 달라지는 경우 제1구간(S21)은 제1-1면(S10)의 1/2지점을 벗어날 수도 있다.
- [0395] 도 46은 도 45의 제1변형예이고, 도 47은 도 45의 제2변형예이다.
- [0396] 제2도전층(150)은 제2구간(S22a, S22b)에서 반사층(150-2)을 포함할 수 있다. 제2구간(S22a, S22b)으로 입사된 광은 반사층(150-2)의 경사면에 의해 진행 경로가 변경되어 반사될 수 있다. 이러한 구성에 의하면 광 균일도를 향상시킬 수 있다.
- [0397] 반사층(150-2)의 깊이는 제1절연층(131)의 두께와 동일할 수 있다. 제1절연층(131)의 두께는 제2전극(246)의 두께보다 110% 내지 130% 두꺼울 수 있다. 전술한 바와 같이 제2전극(246)의 두께는 1 내지 15nm일 수 있다.
- [0398] 반사층(150-2)에는 투광층(131b)이 배치될 수 있다. 투광층(131b)의 형상과 반사층(150-2)의 형상은 대응될 수 있다. 따라서, 투광층(131b)의 두께는 반사층(150-2)의 두께와 동일할 수 있다. 예시적으로 반사층(150-2)은 투광층(131b)상에 제2도전층(150)을 배치함으로써 형성될 수 있다.
- [0399] 투광층(131b)의 재질은 자외선 파장대의 광을 통과시키는 다양한 재질이 포함될 수 있다. 예시적으로 투광층(131b)은 절연층 재질을 포함할 수 있다. 투광층(131b)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 중 적어도 하나를 포함할 수 있으나 반드시 이에 한정하지 않는다.
- [0400] 투광층(131b)은 제1리세스(128a)의 내부에 배치되는 제1절연층(131)이 제2도전형 반도체층으로 연장되어 형성될 수도 있다. 그러나, 반드시 이에 한정되는 것은 아니고 별도의 유전체층을 배치할 수도 있다.
- [0401] 도 47을 참고하면, 제2전극(246)은 제1-1면(S10)의 중앙지점에서 멀어질수록 밀도가 낮아지게 배치될 수 있다. 즉, 분할된 제2전극(246c, 246d, 246e)이 중앙에서 멀어질수록 작아지게 배치될 수 있다. 분할된 제2전극(246c, 246d, 246e)은 마스크를 이용하여 선택적으로 식각하여 제작할 수 있다.
- [0402] 이러한 구성에 의하면, 제1구간(S21)의 전류밀도를 유지하면서도 제2구간(S22a, S22b)의 전류밀도를 상승시킬 수 있다. 또한, 제1구간(S21)과 제2구간(S22a, S22b)의 면적비를 1:0.8 내지 1:6으로 유지함으로써 전류 분산 효율과 반사 효율을 동시에 가질 수 있다.
- [0403] 도 48는 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 평면도이고, 도 49는 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 평면도이고, 도 50은 도 49의 변형예이다.
- [0404] 도 48을 참고하면, 반도체 소자 패키지는 홈(개구부, 3)이 형성된 몸체(2), 몸체(2)에 배치되는 반도체 소자(1), 및 몸체(2)에 배치되어 반도체 소자(1)와 전기적으로 연결되는 한 쌍의 리드 프레임(5a, 5b)을 포함할 수 있다. 반도체 소자(1)는 전술한 구성을 모두 포함할 수 있다.
- [0405] 몸체(2)는 자외선 광을 반사하는 재질 또는 코팅층을 포함할 수 있다. 몸체(2)는 복수의 층(2a, 2b, 2c, 2d, 2e)을 적층하여 형성할 수 있다. 복수의 층(2a, 2b, 2c, 2d, 2e)은 동일한 재질일 수도 있고 상이한 재질을 포함할 수도 있다. 예시적으로 복수의 층(2a, 2b, 2c, 2d, 2e)은 알루미늄 재질을 포함할 수 있다.

- [0406] 홈(3)은 반도체 소자에서 멀어질수록 넓어지게 형성되고, 경사면에는 단차(3a)가 형성될 수 있다.
- [0407] 투광층(4)은 홈(3)을 덮을 수 있다. 투광층(4)은 글라스 재질일 있으나, 반드시 이에 한정하지 않는다. 투광층(4)은 자외선 광을 유효하게 투과할 수 있는 재질이면 특별히 제한하지 않는다. 홈(3)의 내부는 빈 공간일 수 있다.
- [0408] 도 49를 참조하면, 반도체 소자(10)는 제1 리드프레임(5a)상에 배치되고, 제2 리드프레임(5b)과 와이어에 의해 연결될 수 있다. 이때, 제2 리드프레임(5b)은 제1 리드프레임의 측면을 둘러싸도록 배치될 수 있다.
- [0409] 도 50을 참조하면, 반도체 소자 패키지는 복수 개의 반도체 소자(10a, 10b, 10c, 10d)가 배치될 수도 있다. 이때, 리드프레임은 제1 내지 제5 리드프레임(5a, 5b, 5c, 5d, 5e)을 포함할 수 있다.
- [0410] 제1 반도체 소자(10a)는 제1 리드프레임(5a)상에 배치되고 제2 리드프레임(5b)과 와이어로 연결될 수 있다. 제2 반도체 소자(10b)는 제2 리드프레임(5b)상에 배치되고 제3 리드프레임(5c)과 와이어로 연결될 수 있다. 제3 반도체 소자(10c)는 제3 리드프레임(5c)상에 배치되고 제4 리드프레임(5d)과 와이어로 연결될 수 있다. 제4 반도체 소자(10d)는 제4 리드프레임(5d)상에 배치되고 제5 리드프레임(5e)과 와이어로 연결될 수 있다.
- [0411] 반도체 소자는 다양한 종류의 광원 장치에 적용될 수 있다. 예시적으로 광원장치는 살균 장치, 경화 장치, 조명 장치, 및 표시 장치 및 차량용 램프 등을 포함하는 개념일 수 있다. 즉, 반도체 소자는 케이스에 배치되어 광을 제공하는 다양한 전자 디바이스에 적용될 수 있다.
- [0412] 살균 장치는 실시 예에 따른 반도체 소자를 구비하여 원하는 영역을 살균할수 있다. 살균 장치는 정수기, 에어컨, 냉장고 등의 생활 가전에 적용될 수 있으나 반드시 이에 한정하지 않는다. 즉, 살균 장치는 살균이 필요한 다양한 제품(예: 의료 기기)에 모두 적용될 수 있다.
- [0413] 예시적으로 정수기는 순환하는 물을 살균하기 위해 실시 예에 따른 살균 장치를 구비할 수 있다. 살균 장치는 물이 순환하는 노즐 또는 토출구에 배치되어 자외선을 조사할 수 있다. 이때, 살균 장치는 방수 구조를 포함할 수 있다.
- [0414] 경화 장치는 실시 예에 따른 반도체 소자를 구비하여 다양한 종류의 액체를 경화시킬 수 있다. 액체는 자외선이 조사되면 경화되는 다양한 물질을 모두 포함하는 최광의 개념일 수 있다. 예시적으로 경화장치는 다양한 종류의 레진을 경화시킬 수 있다. 또는 경화장치는 매니큐어와 같은 미용 제품을 경화시키는 데 적용될 수도 있다.
- [0415] 조명 장치는 기관과 실시 예의 반도체 소자를 포함하는 광원 모듈, 광원 모듈의 열을 발산시키는 방열부 및 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 광원 모듈로 제공하는 전원 제공부를 포함할 수 있다. 또한, 조명 장치는, 램프, 헤드 램프, 또는 가로등 등을 포함할 수 있다.
- [0416] 표시 장치는 바텀 커버, 반사판, 발광 모듈, 도광판, 광학 시트, 디스플레이 패널, 화상 신호 출력 회로 및 컬러 필터를 포함할 수 있다. 바텀 커버, 반사판, 발광 모듈, 도광판 및 광학 시트는 백라이트 유닛(Backlight Unit)을 구성할 수 있다.
- [0417] 반사판은 바텀 커버 상에 배치되고, 발광 모듈은 광을 방출할 수 있다. 도광판은 반사판의 전방에 배치되어 발광 모듈에서 발산되는 빛을 전방으로 안내하고, 광학 시트는 프리즘 시트 등을 포함하여 이루어져 도광판의 전방에 배치될 수 있다. 디스플레이 패널은 광학 시트 전방에 배치되고, 화상 신호 출력 회로는 디스플레이 패널에 화상 신호를 공급하며, 컬러 필터는 디스플레이 패널의 전방에 배치될 수 있다.
- [0418] 반도체 소자는 표시장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있다.
- [0419] 반도체 소자는 상술한 발광 다이오드 외에 레이저 다이오드일 수도 있다.
- [0420] 레이저 다이오드는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 빛이 방출되는 electro-luminescence(전계발광) 현상을 이용하나, 방출되는 광의 방향성과 위상에서 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신이나 의료용 장비 및 반도체 공정 장비 등에 사용될 수 있다.

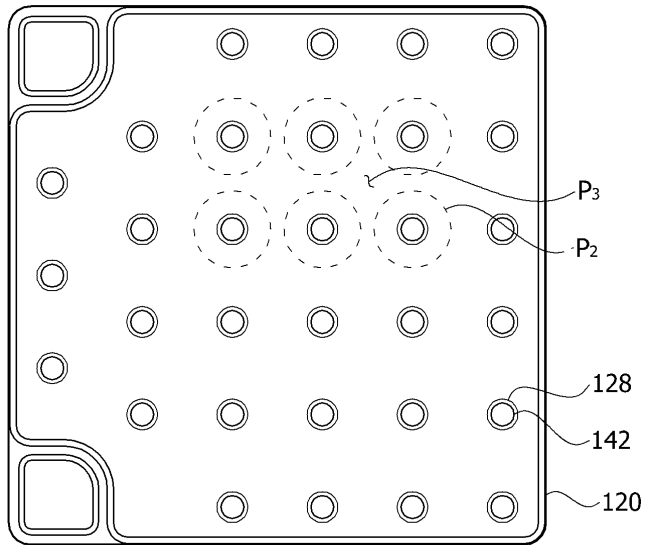
- [0421] 수광 소자로는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 예로 들 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광 출력전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [0422] 또한, 광검출기와 같은 반도체 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기는 구조가 다양하여 가장 일반적인 구조로는 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형 광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다.
- [0423] 포토 다이오드(Photodiode)는 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있고, pn접합 또는 pin 구조로 이루어진다. 포토 다이오드는 역바이어스 혹은 제로바이어스를 가하여 동작하게 되며, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐른다. 이때 전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례할 수 있다.
- [0424] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광을 전류로 변환할 수 있다. 태양 전지는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.
- [0425] 또한, p-n 접합을 이용한 일반적인 다이오드의 정류 특성을 통하여 전자 회로의 정류기로 이용될 수도 있으며, 초고주파 회로에 적용되어 발진 회로 등에 적용될 수 있다.
- [0426] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 수광 소자와 같은 반도체 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, P, 또는 As 중 적어도 하나를 이용하여 구현될 수 있으며, p형이나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용하여 구현될 수도 있다.
- [0427] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

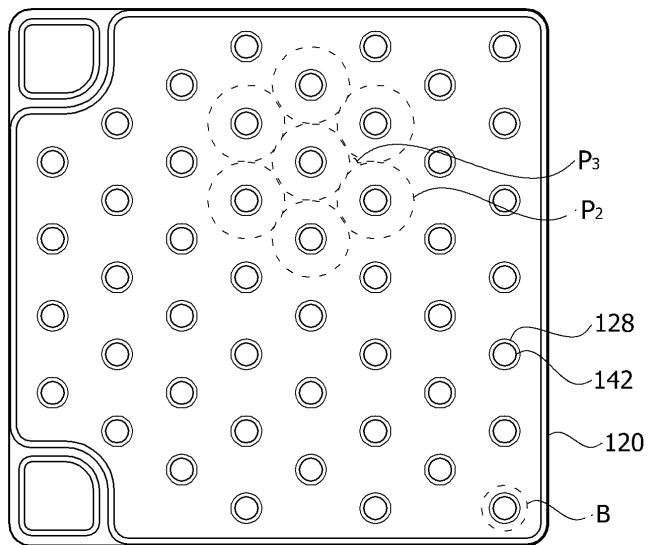
도면1



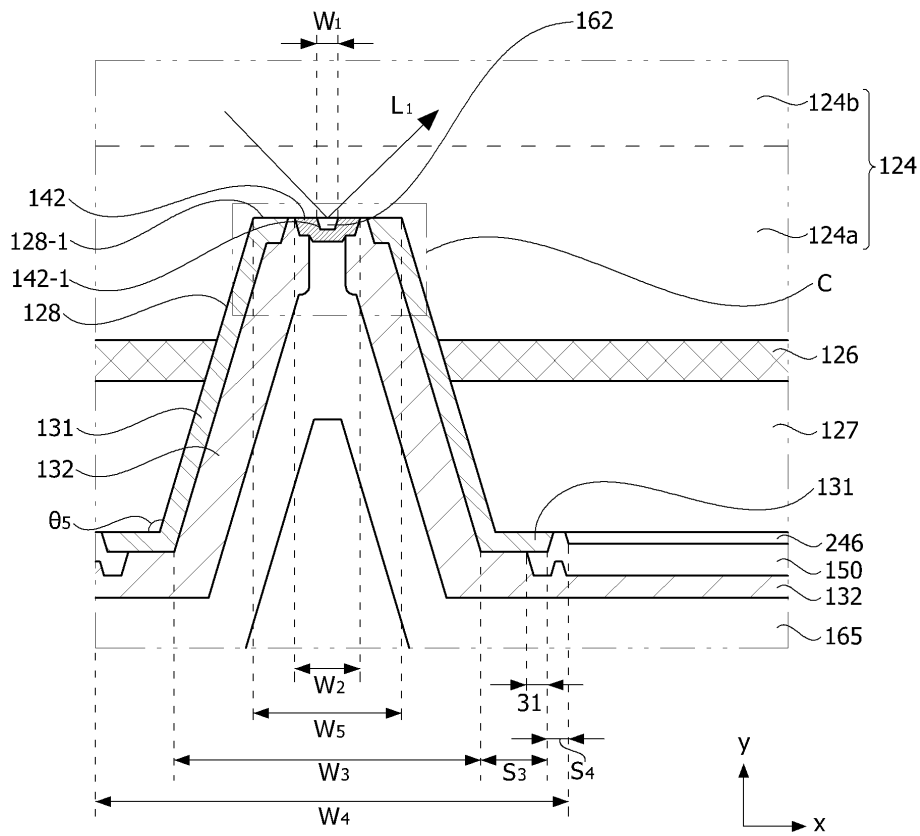
도면2



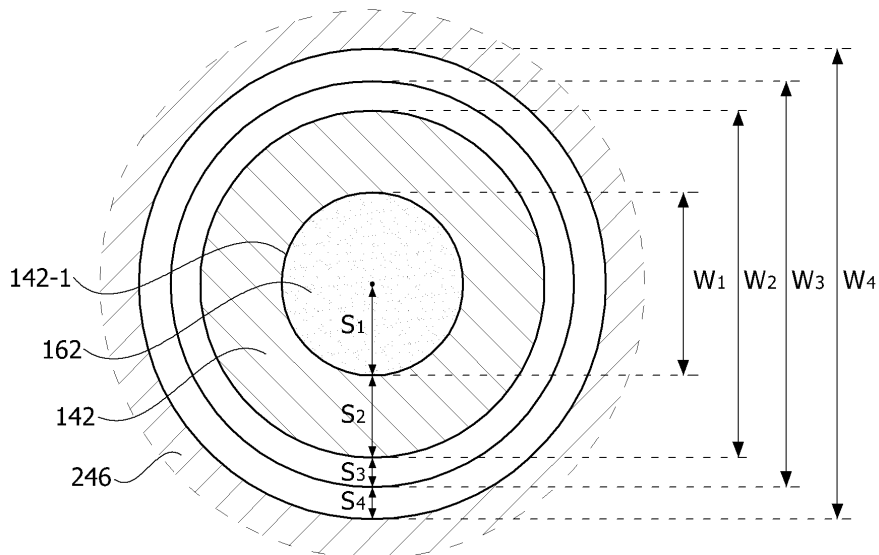
도면3



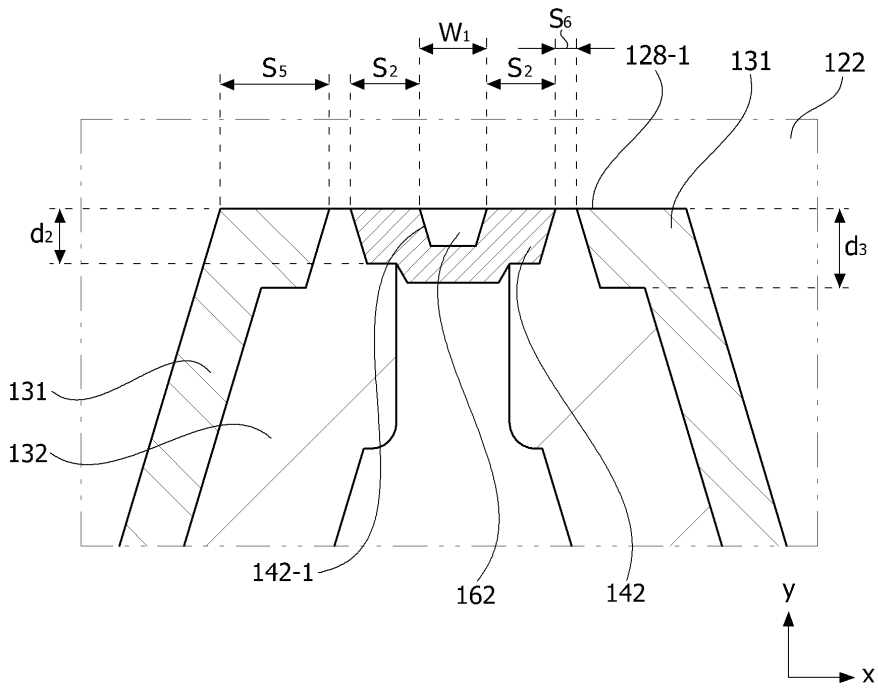
도면4



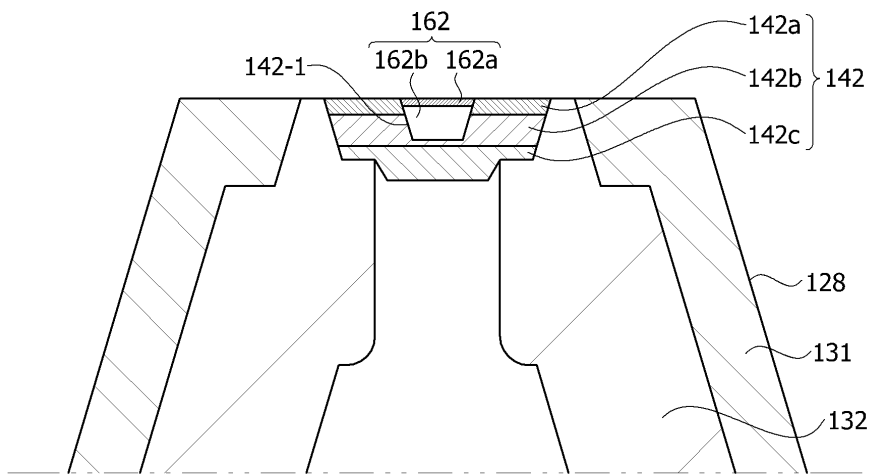
도면5



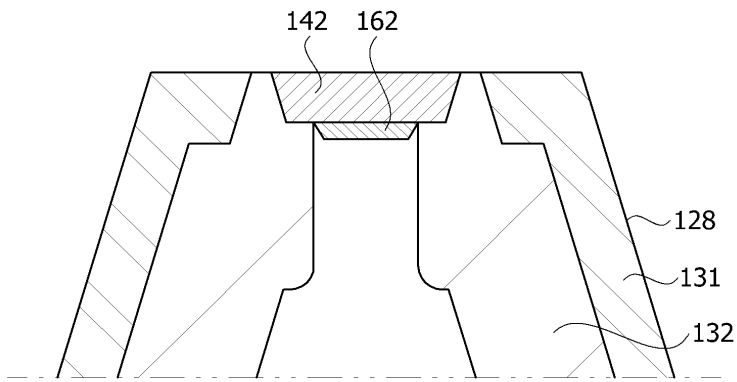
도면6



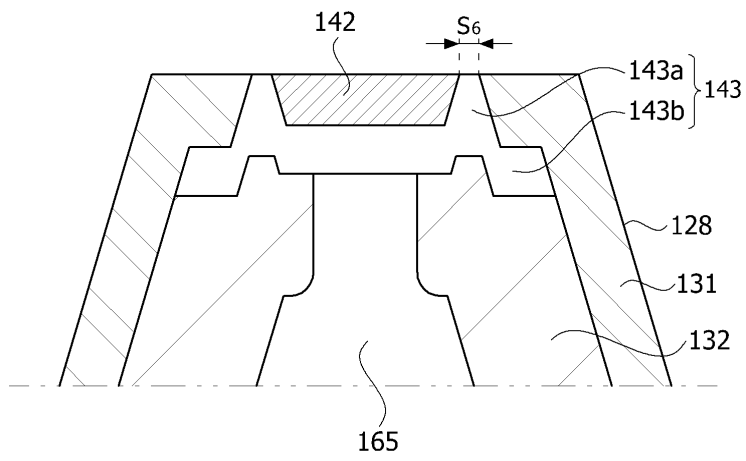
도면7



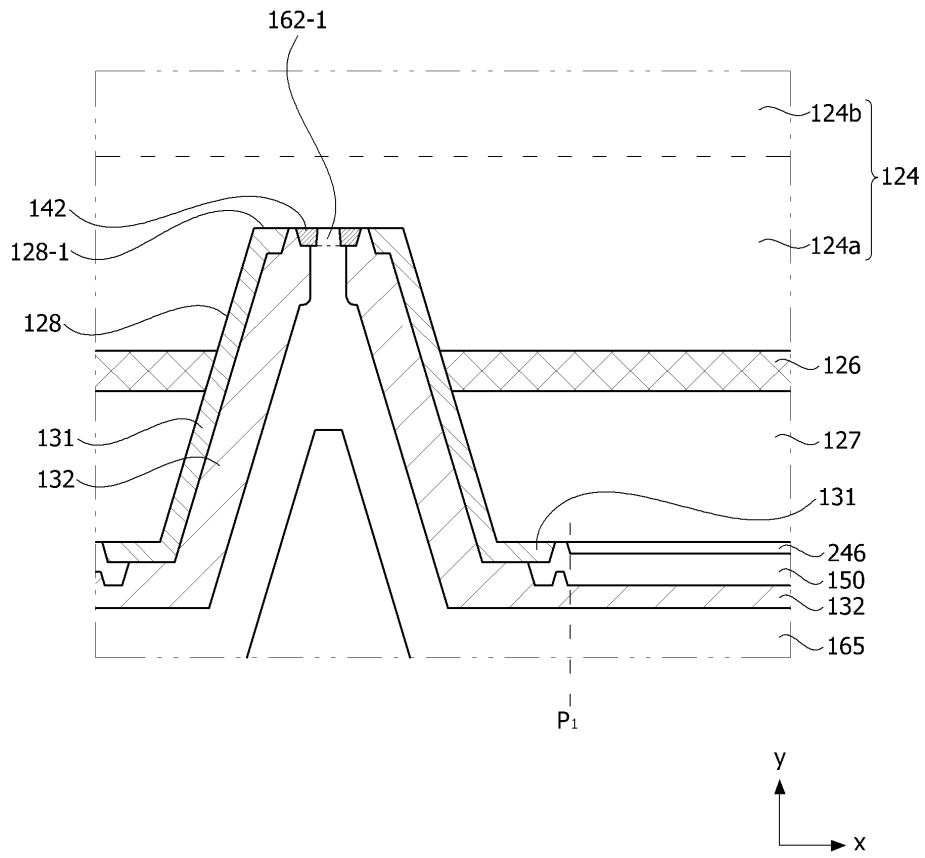
도면8a



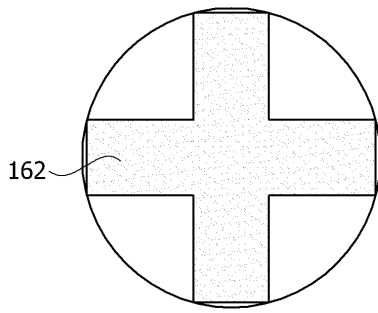
도면8b



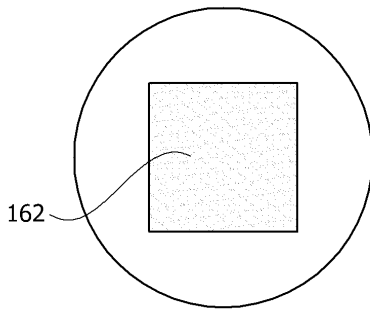
도면9



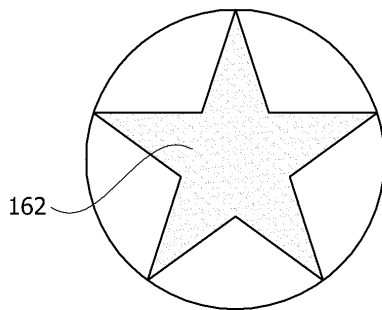
도면10



(a)

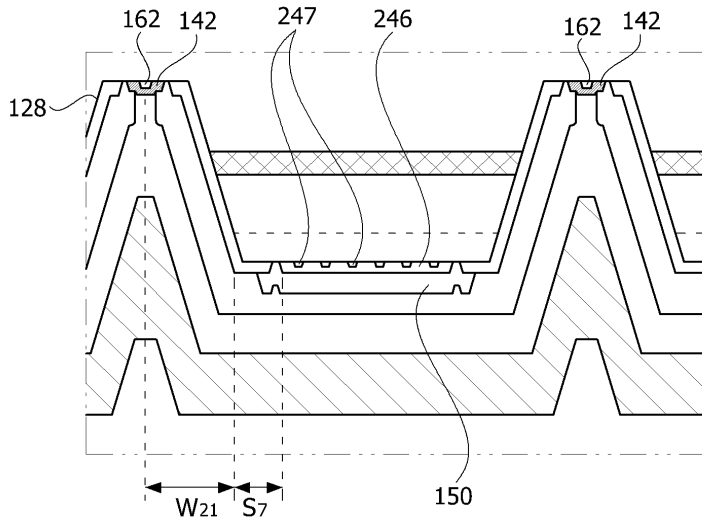


(b)

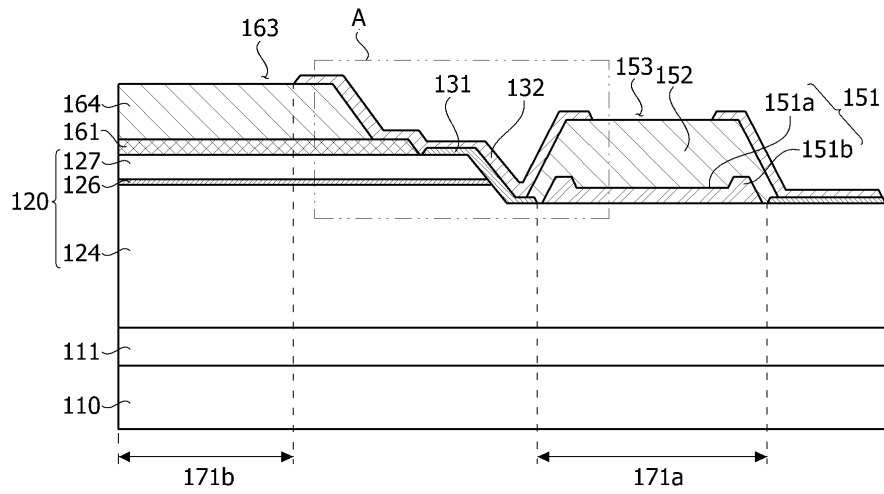


(c)

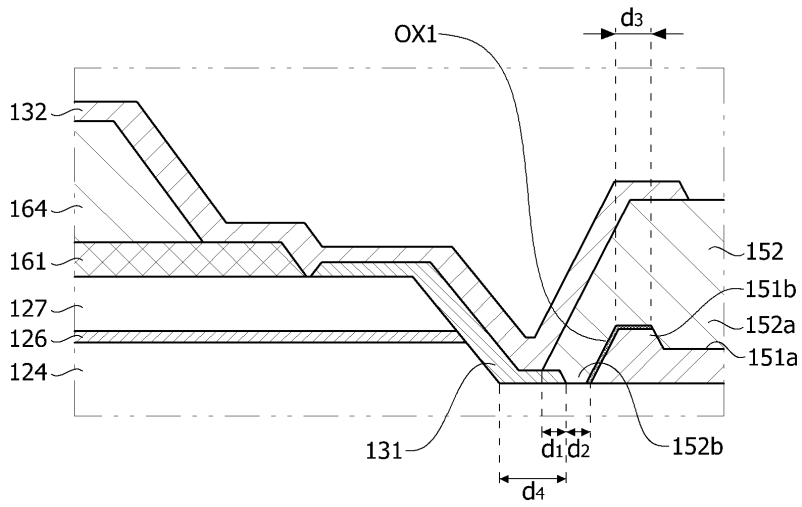
도면11



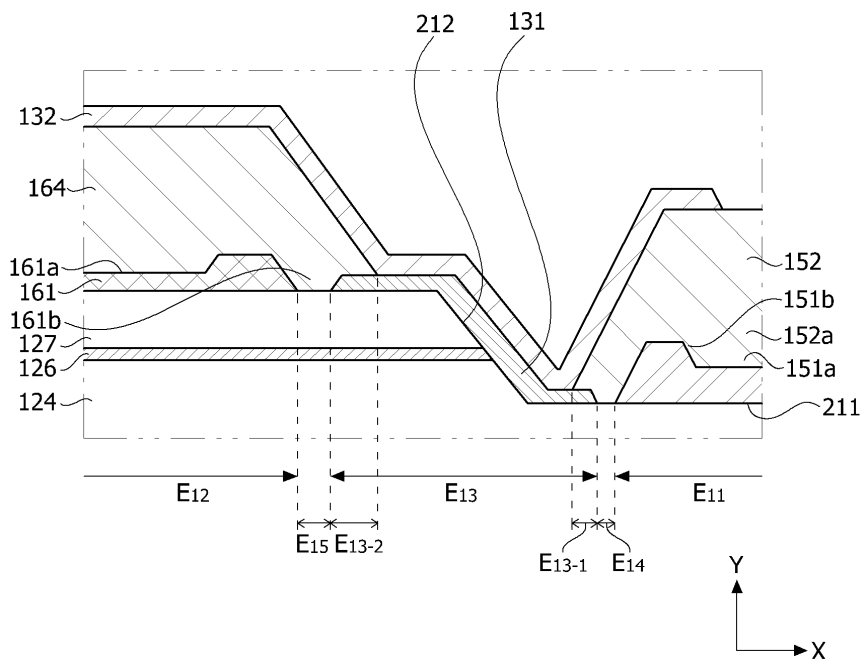
도면12



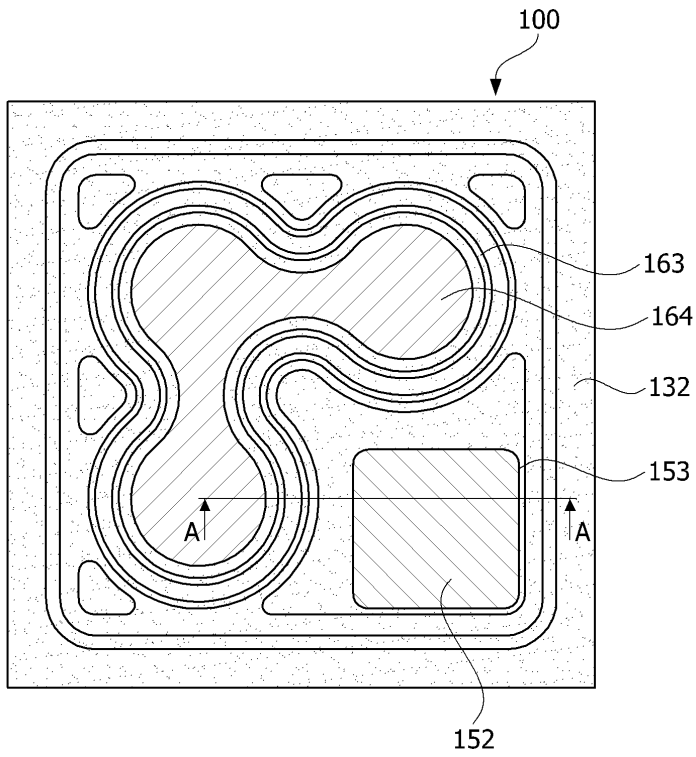
도면13a



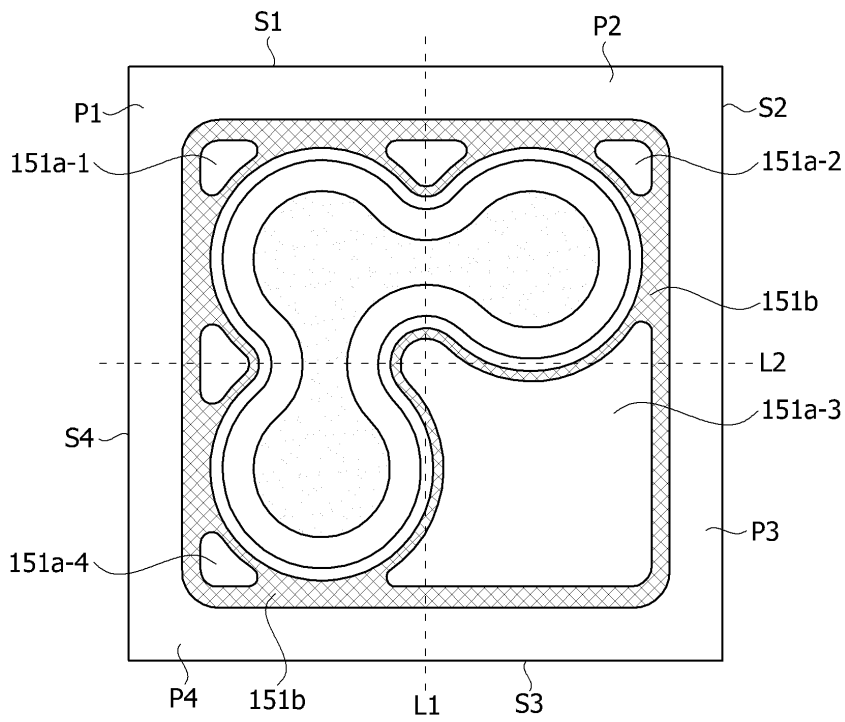
도면13b



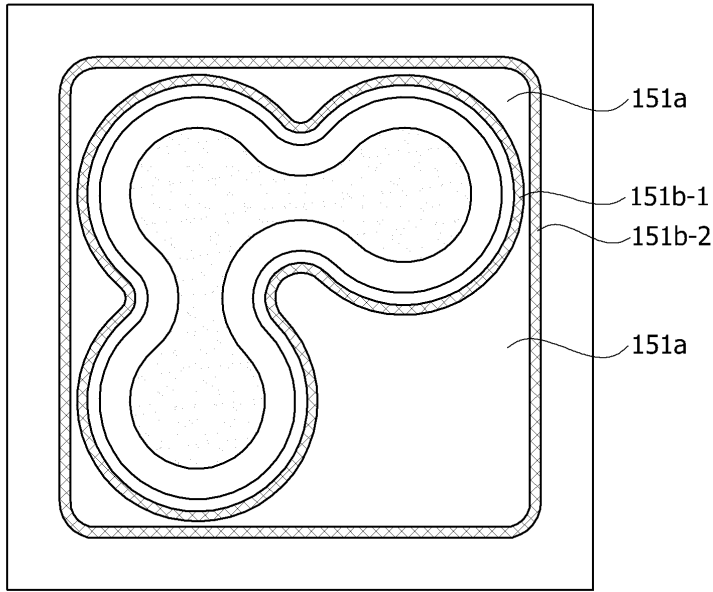
도면14a



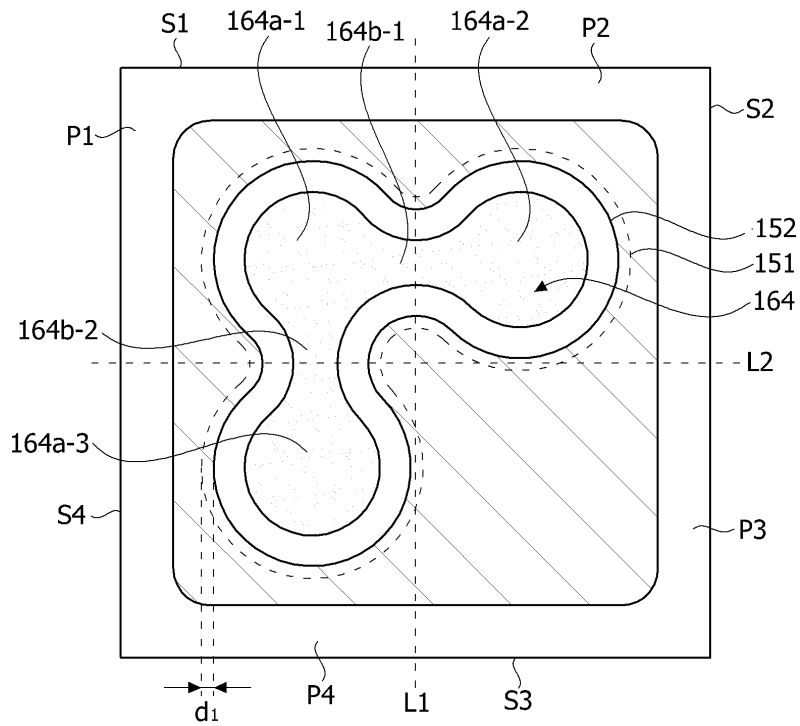
도면14b



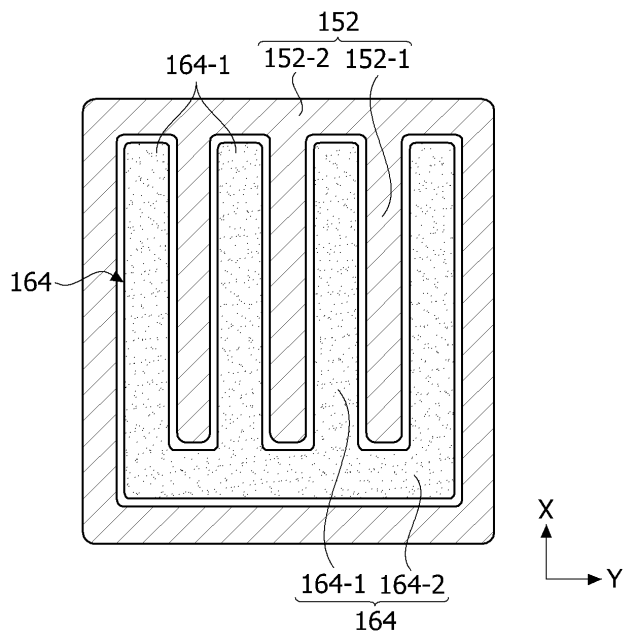
도면14c



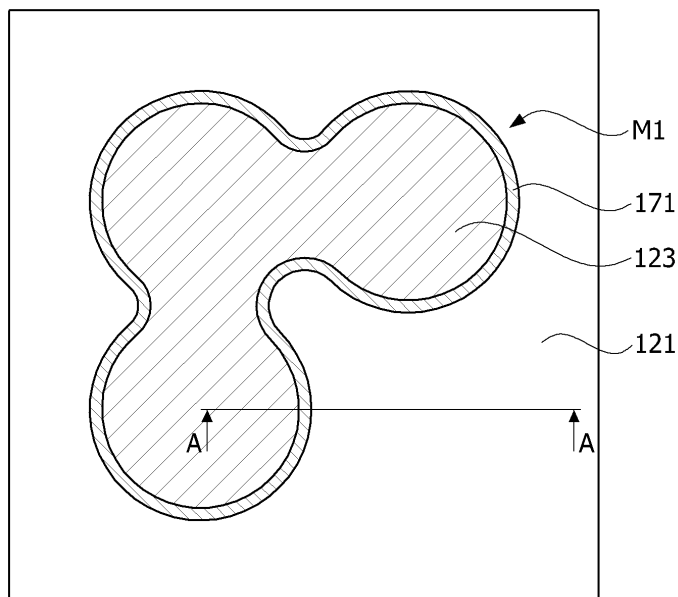
도면14d



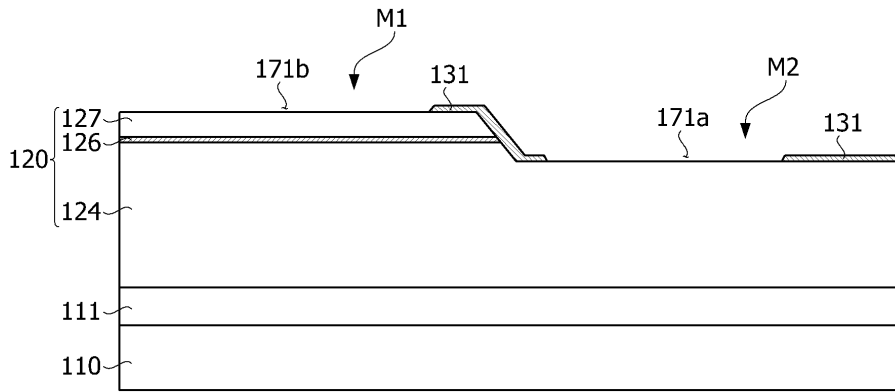
도면14e



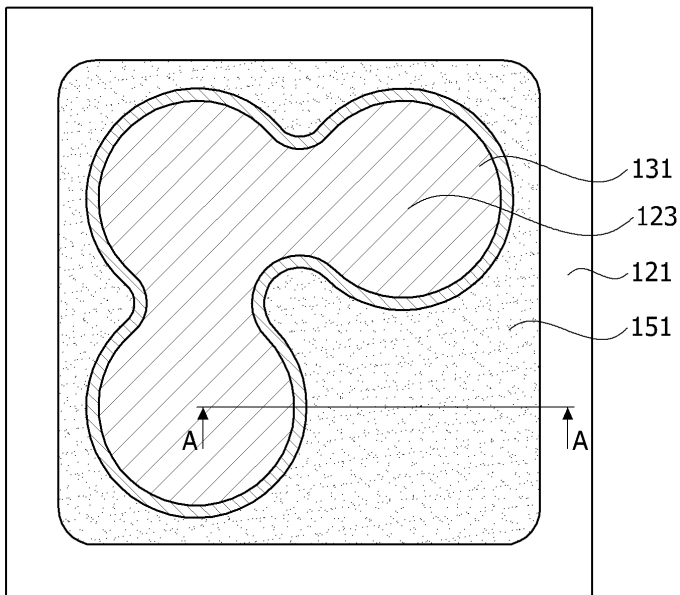
도면15a



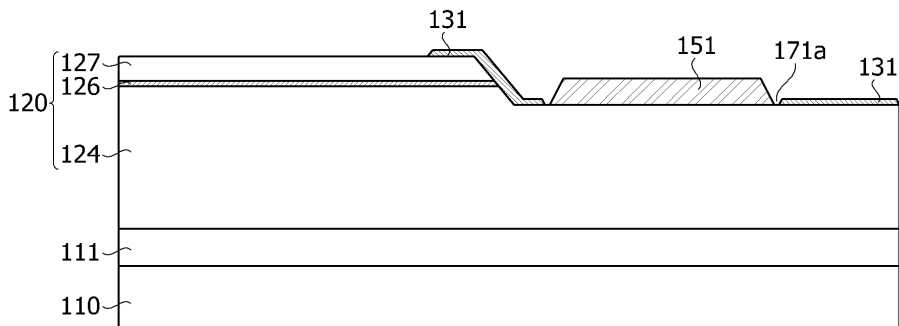
도면15b



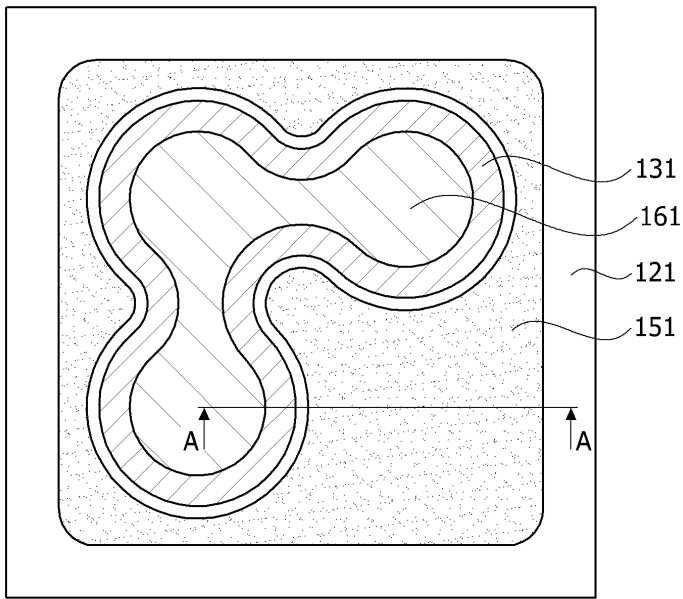
도면16a



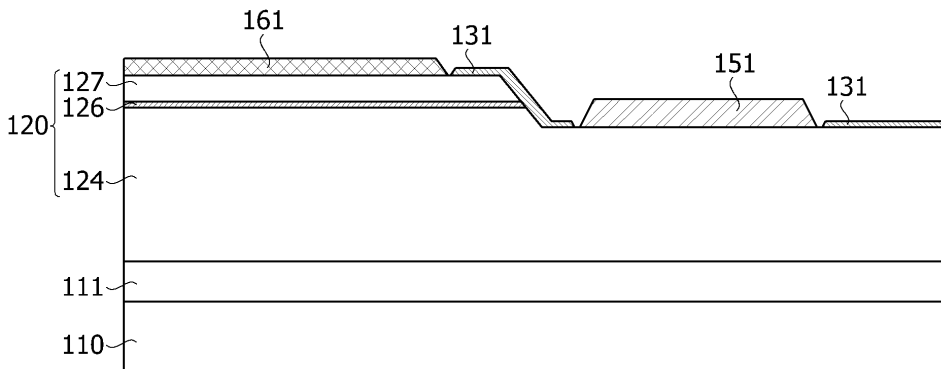
도면16b



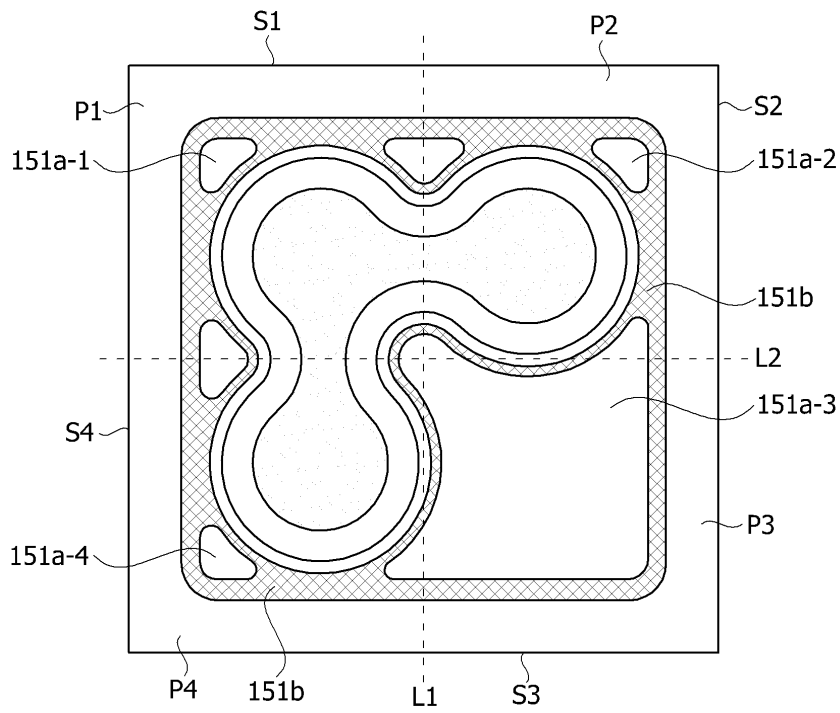
도면17a



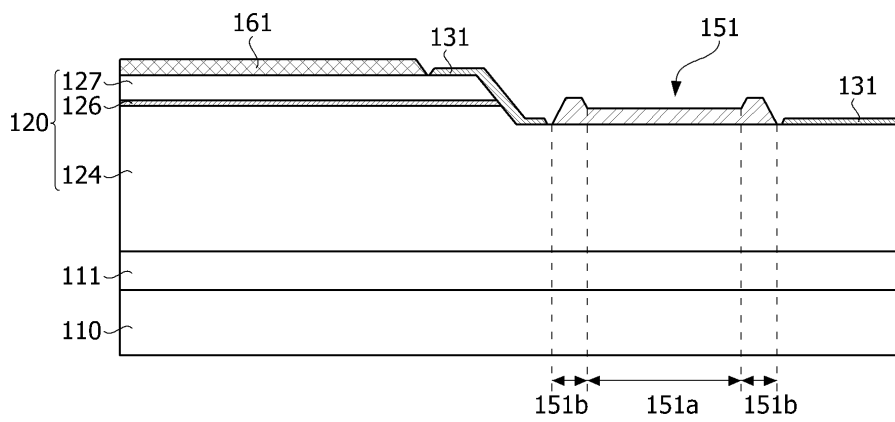
도면17b



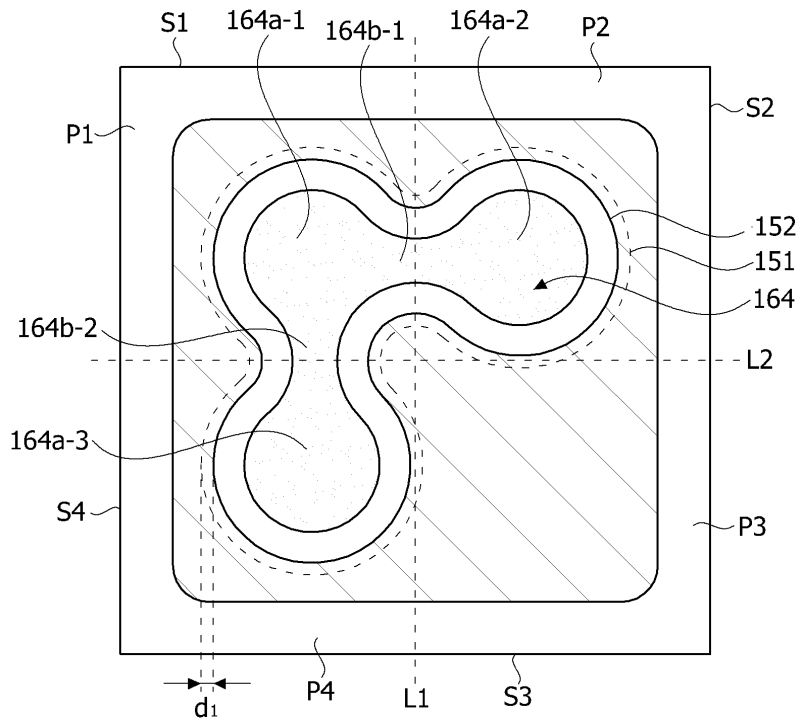
도면18a



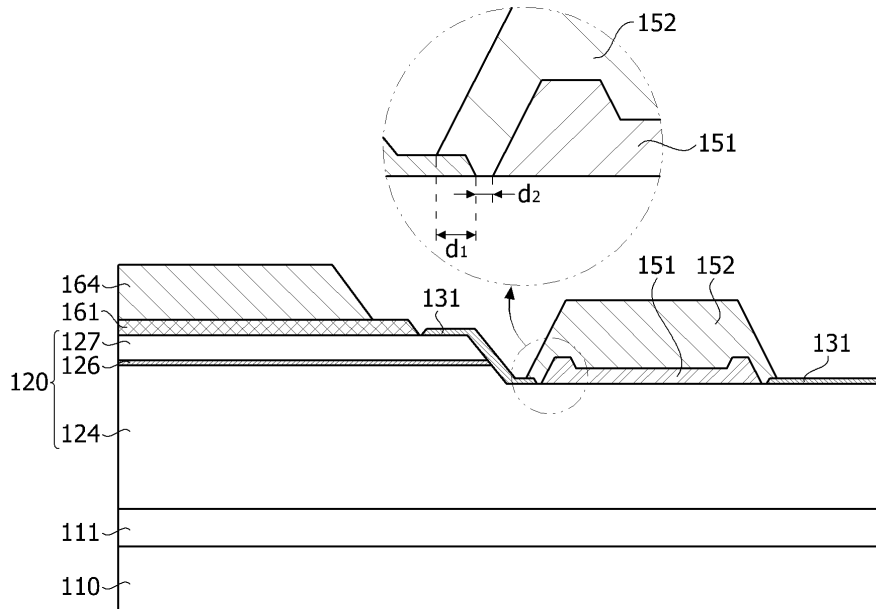
도면18b



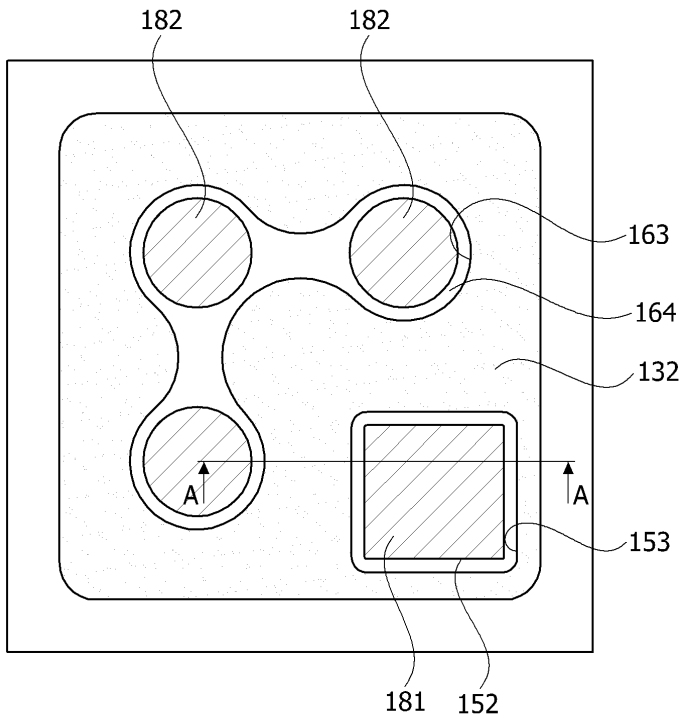
도면19a



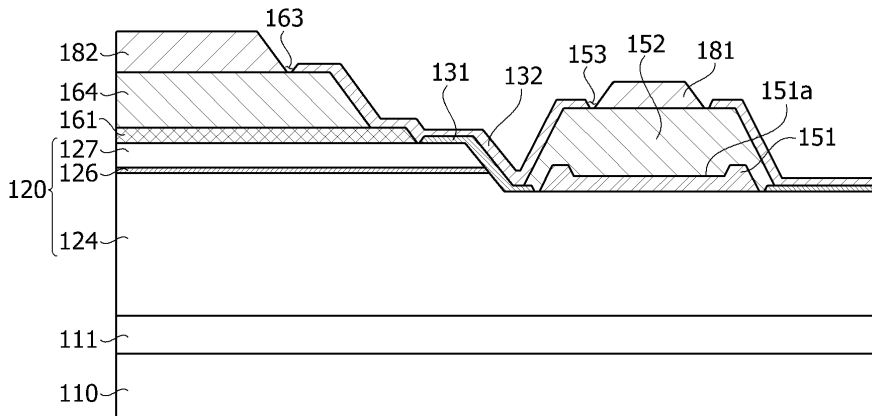
도면19b



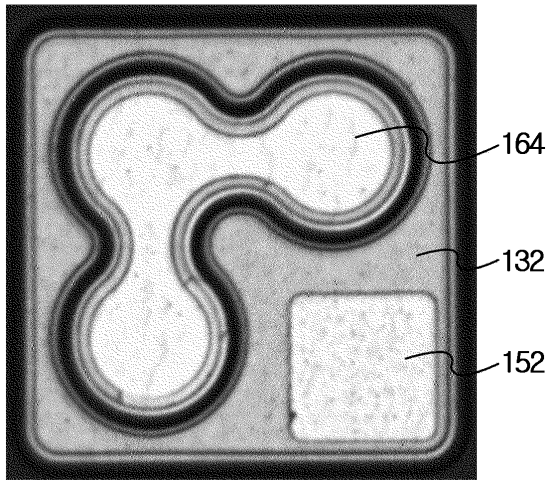
도면20a



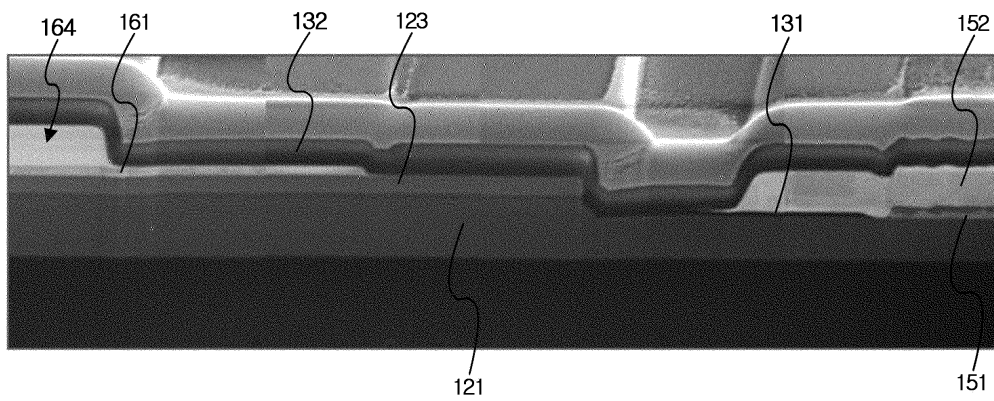
도면20b



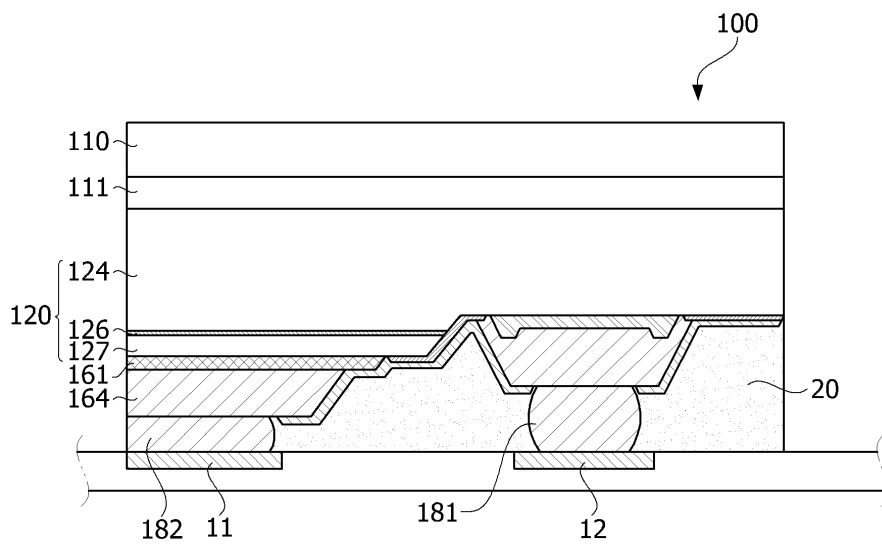
도면21



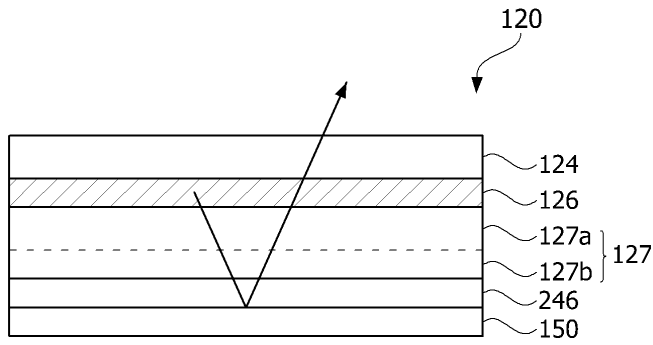
도면22



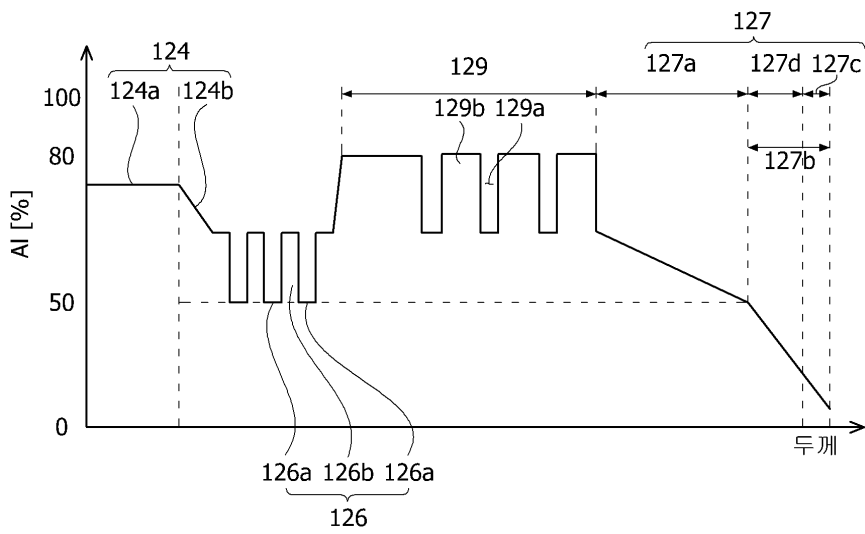
도면23



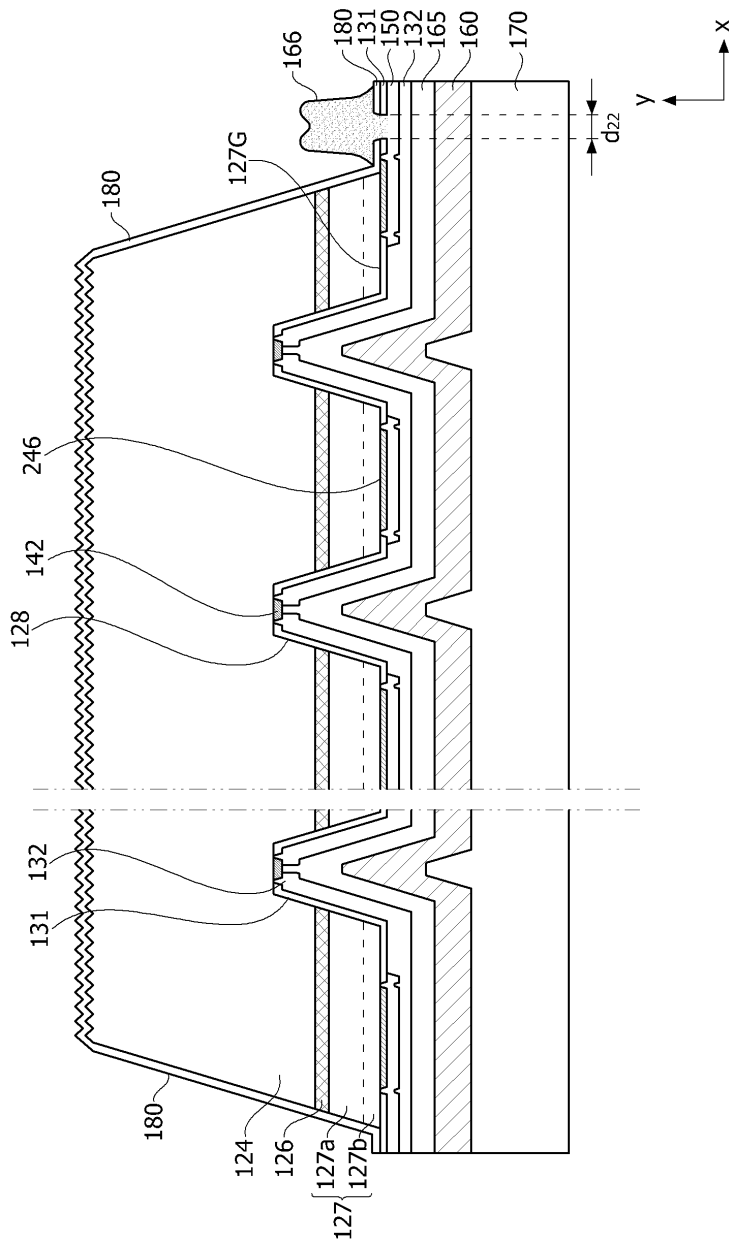
도면24



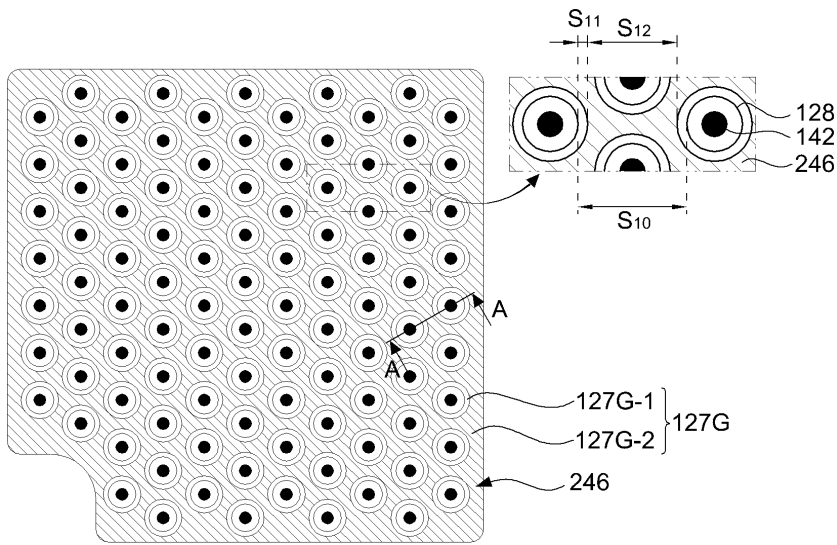
도면25



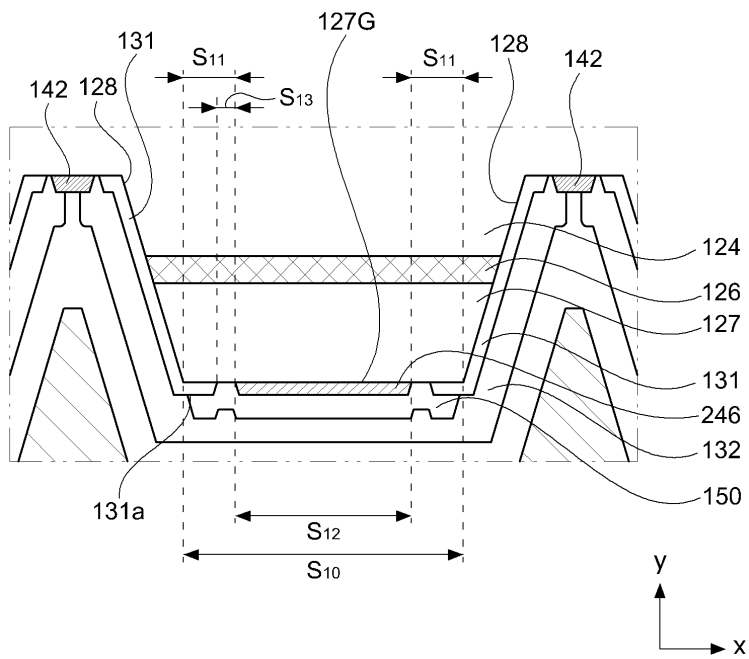
도면26



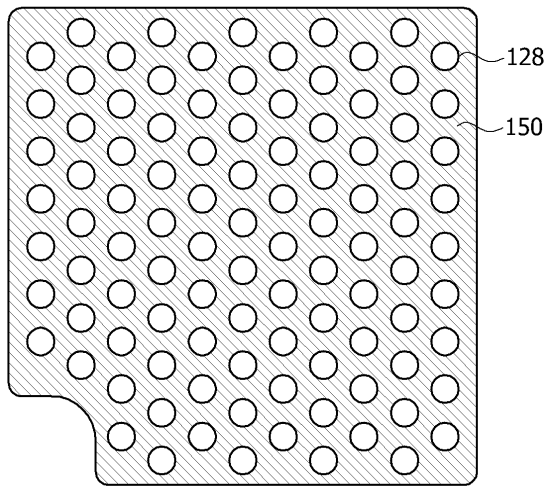
도면27



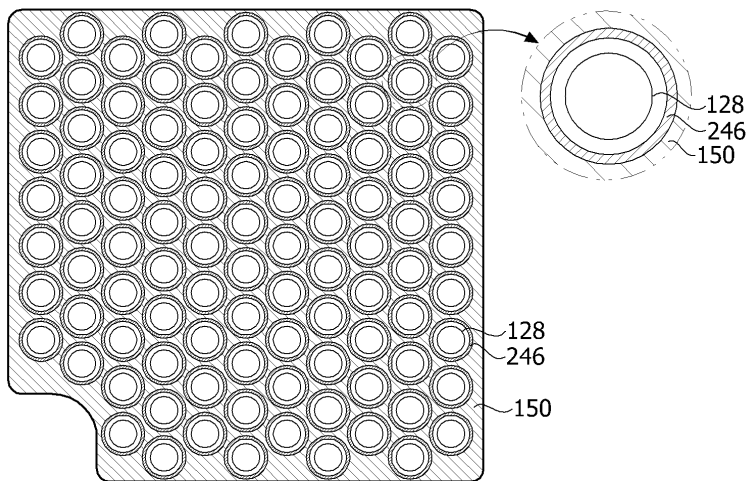
도면28



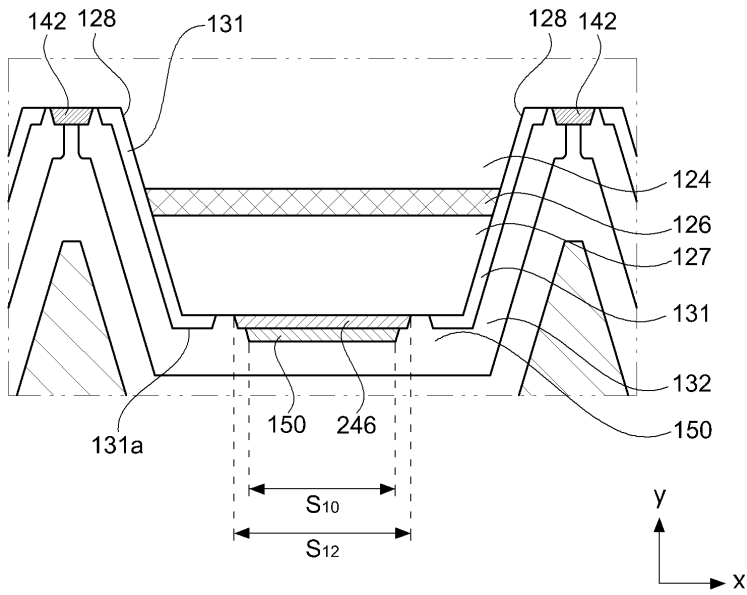
도면29



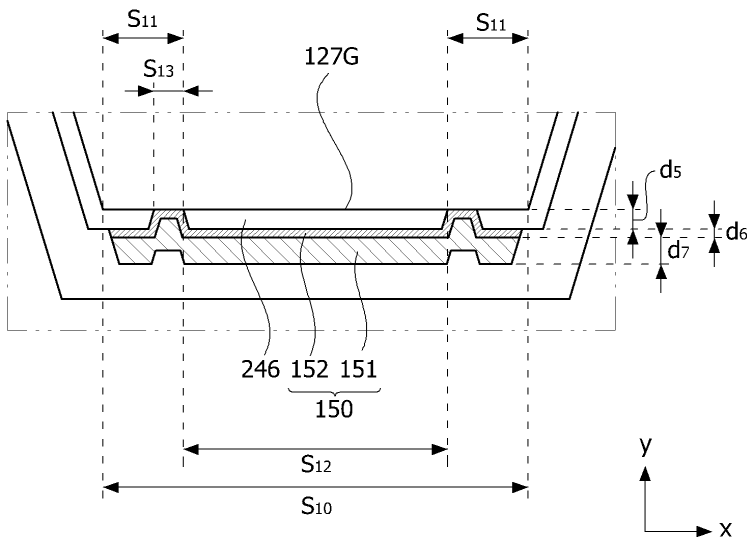
도면30



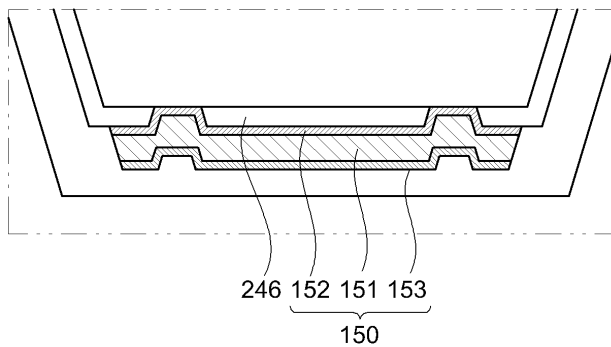
도면31



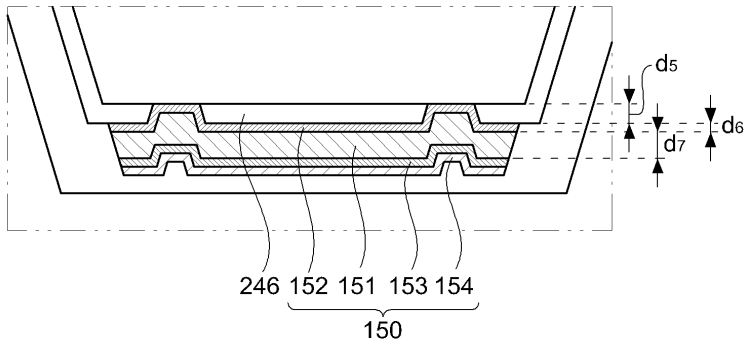
도면32



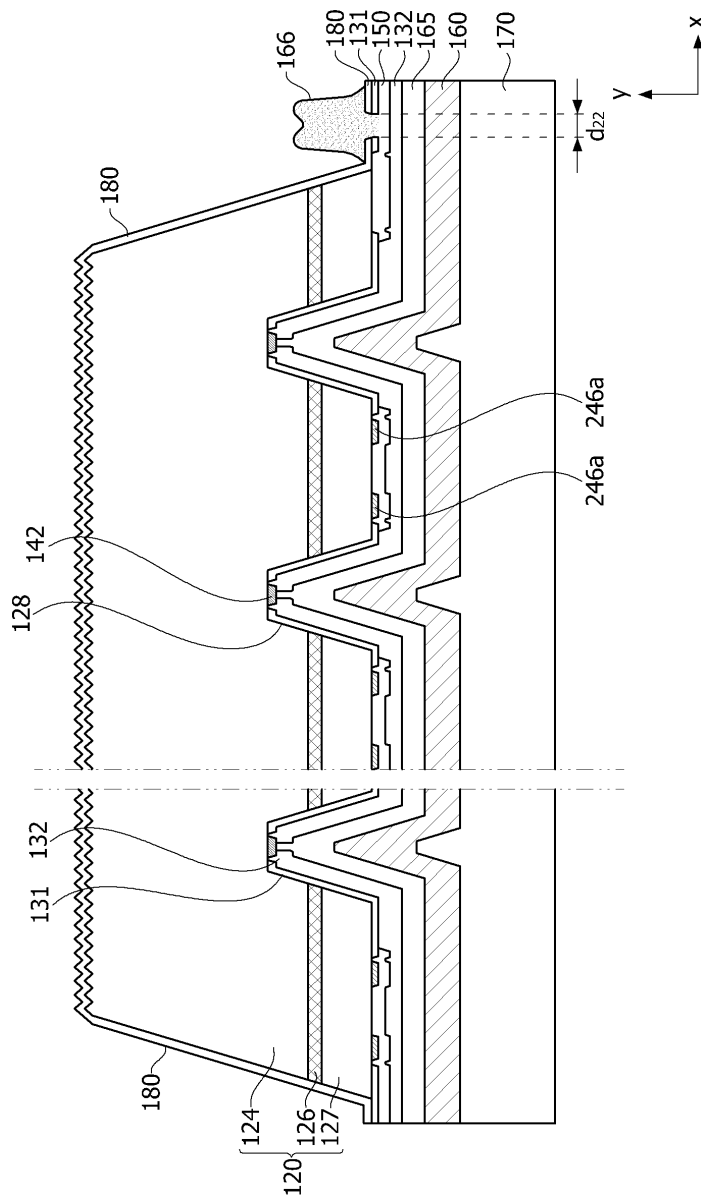
도면33



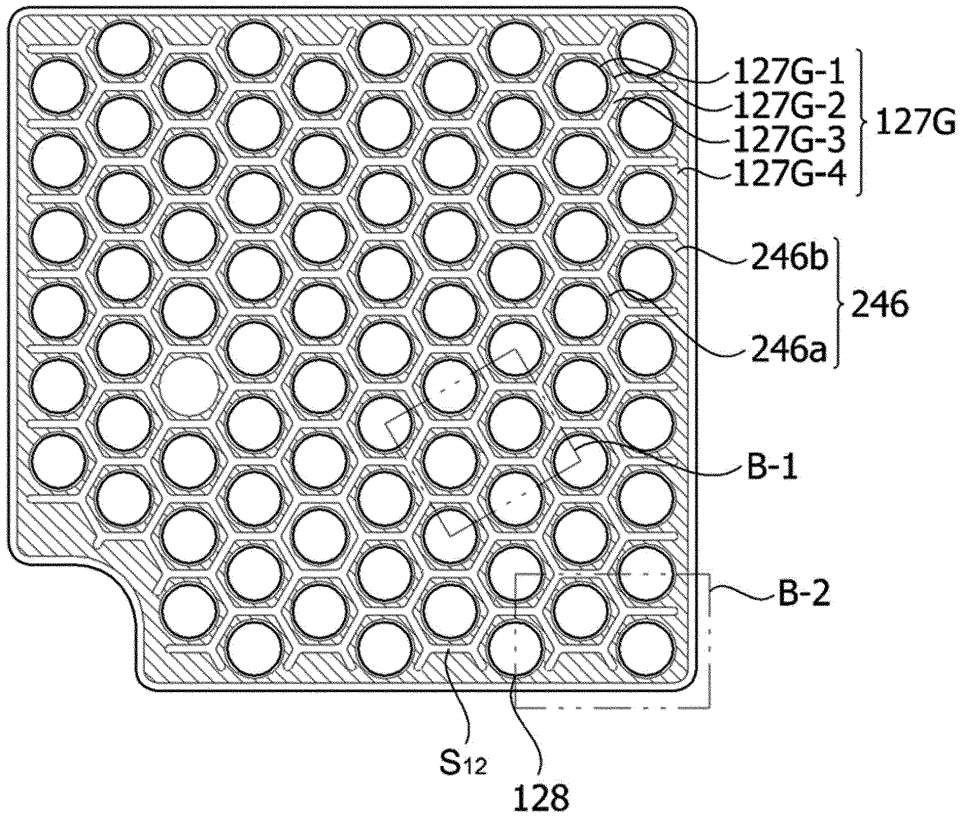
도면34



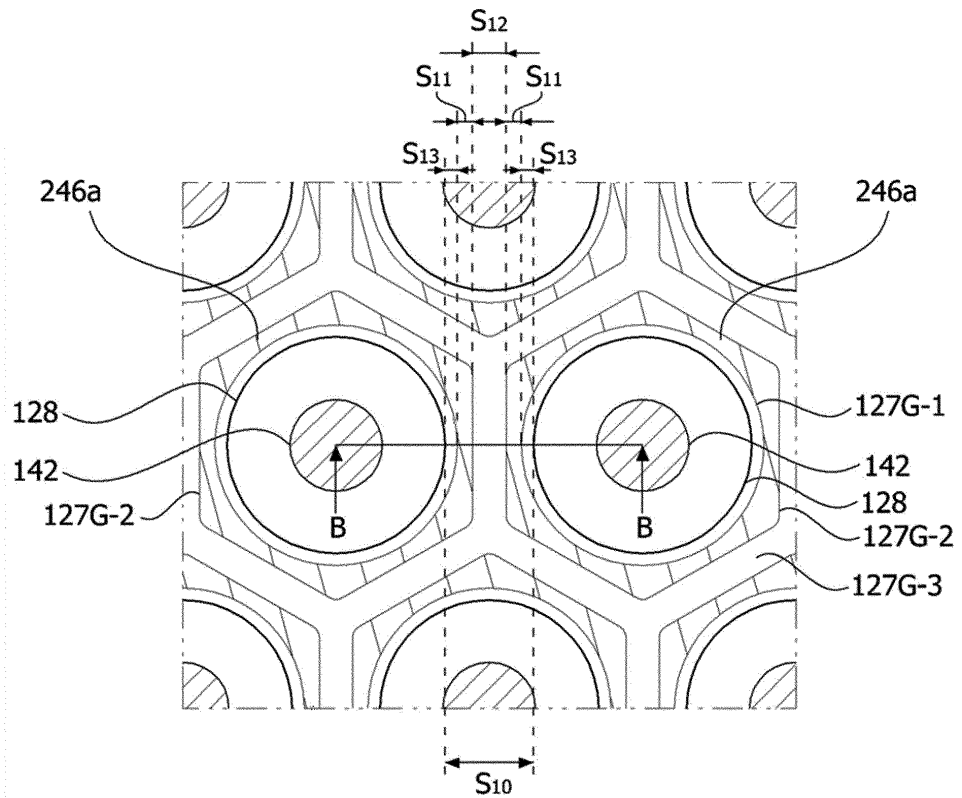
도면35



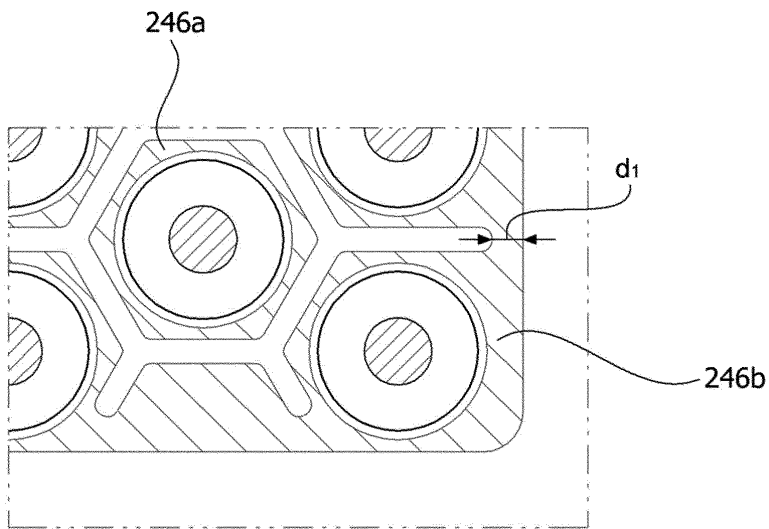
도면36



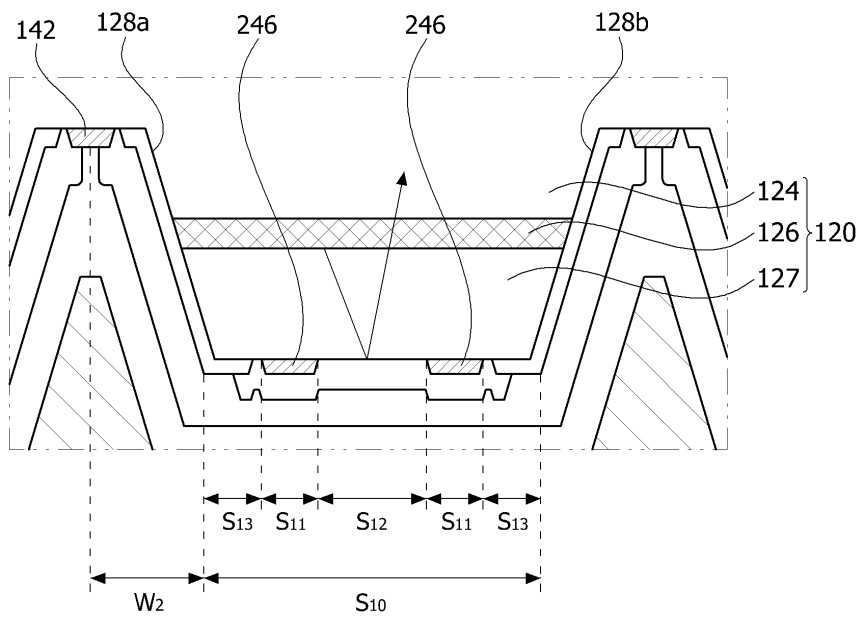
도면37



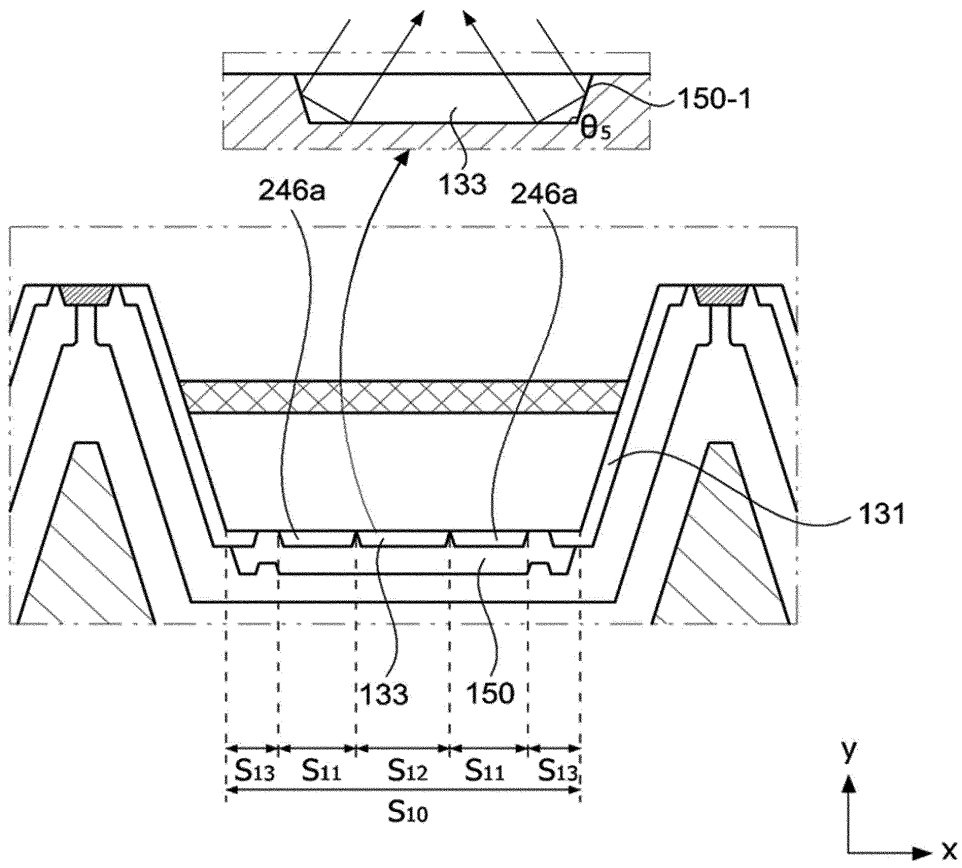
도면38



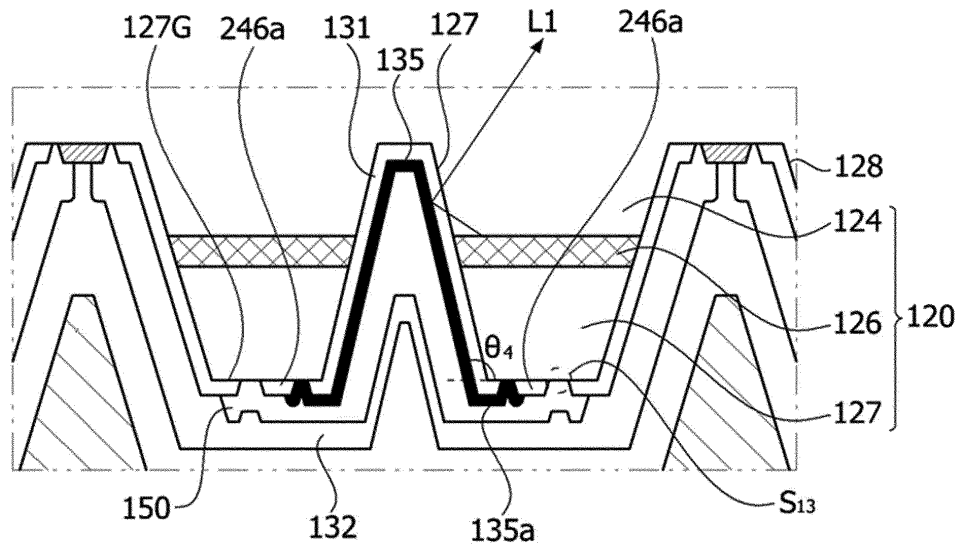
도면39



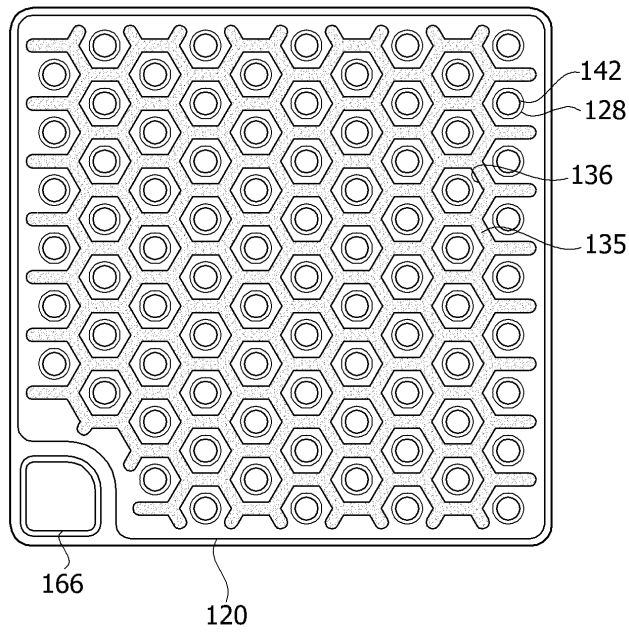
도면40



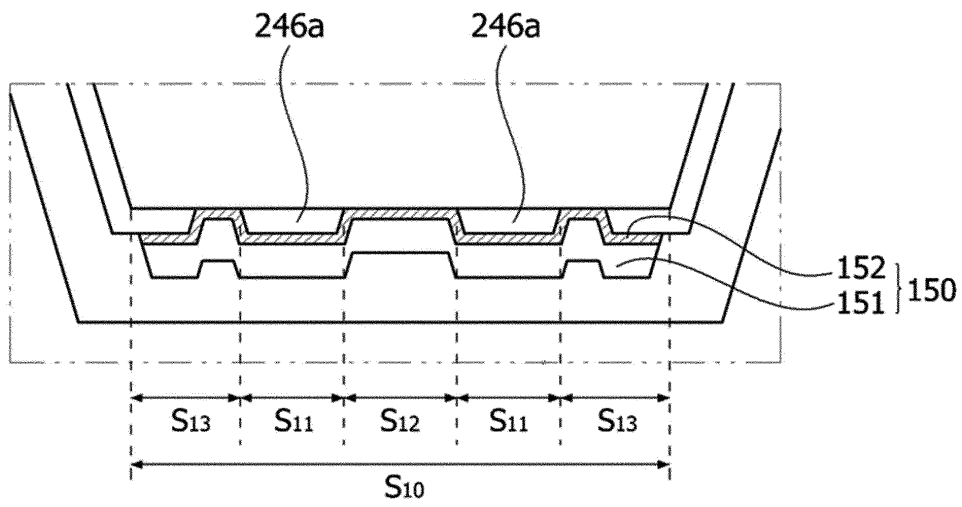
도면41a



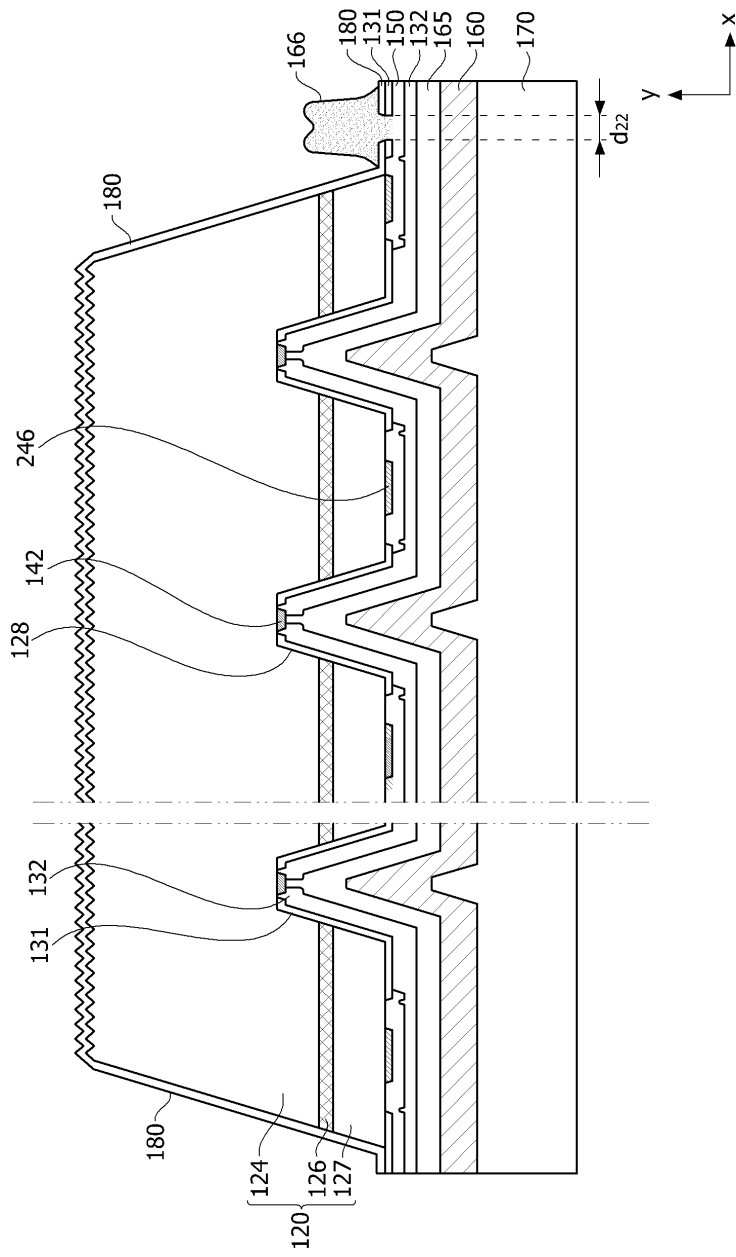
도면41b



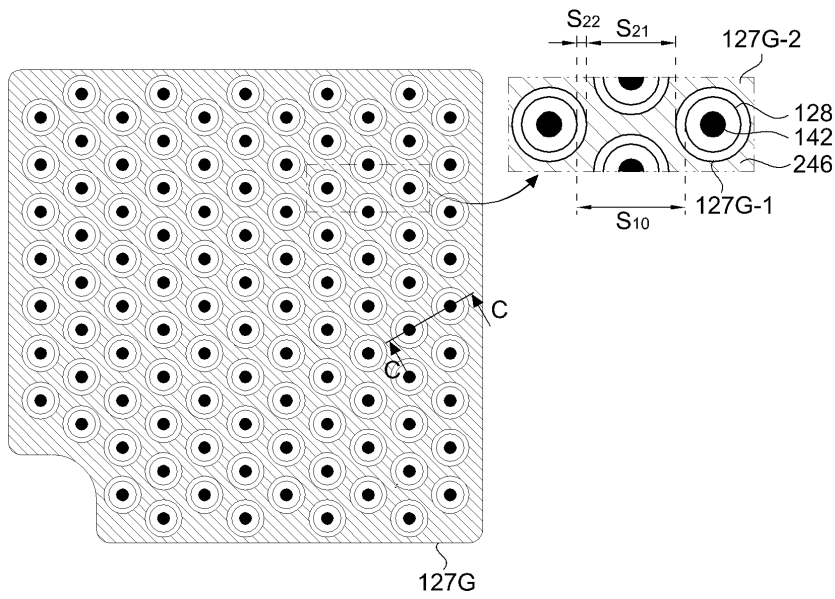
도면42



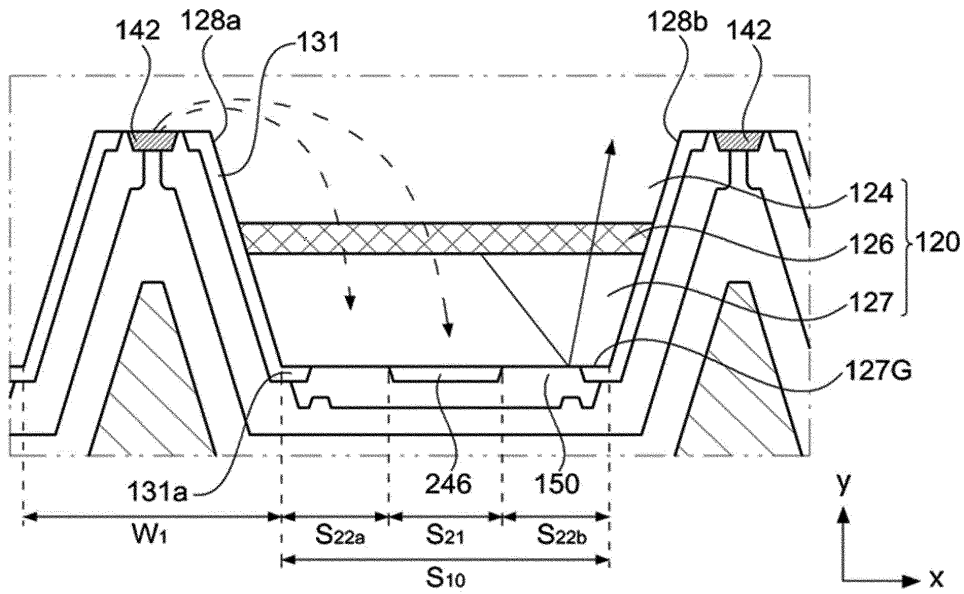
도면43



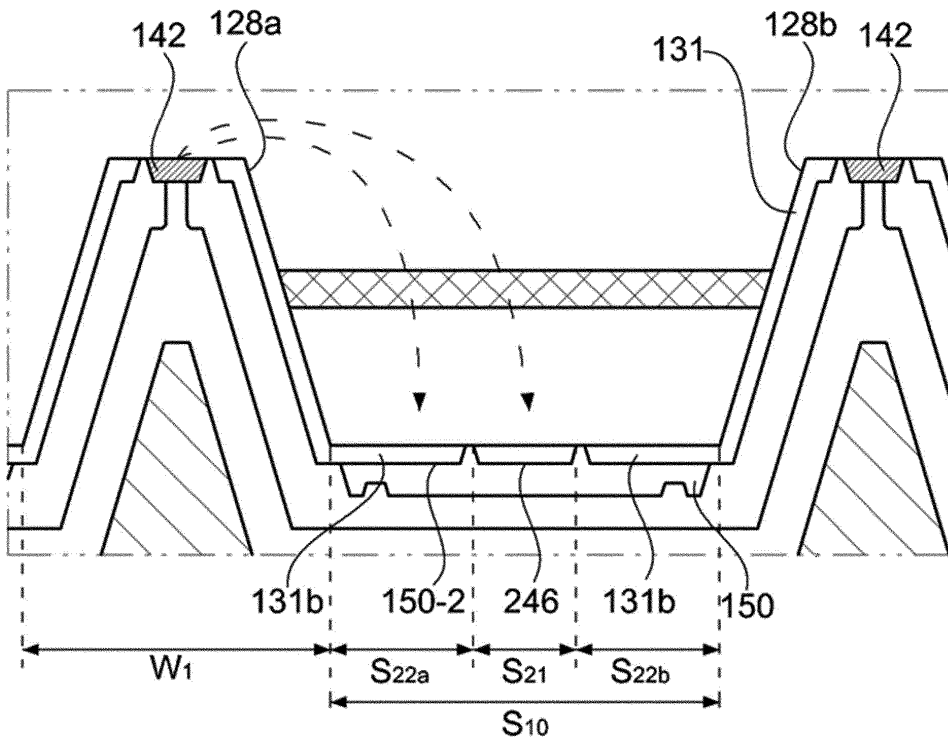
도면44



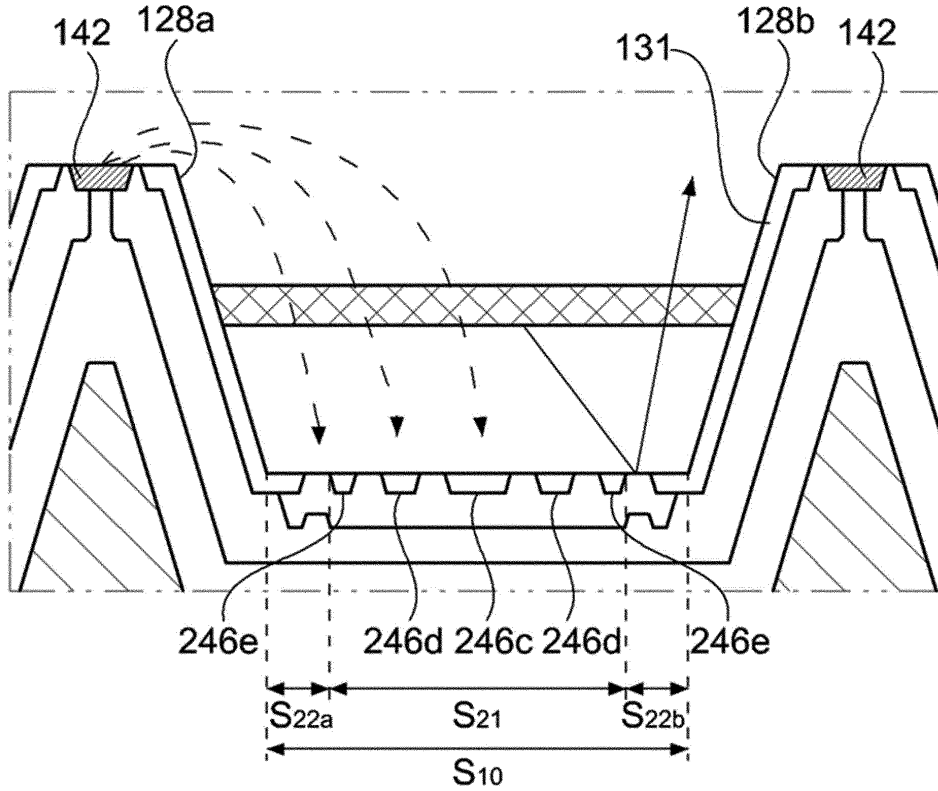
도면45



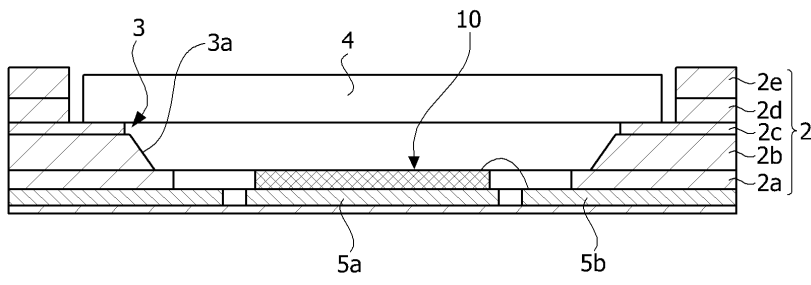
도면46



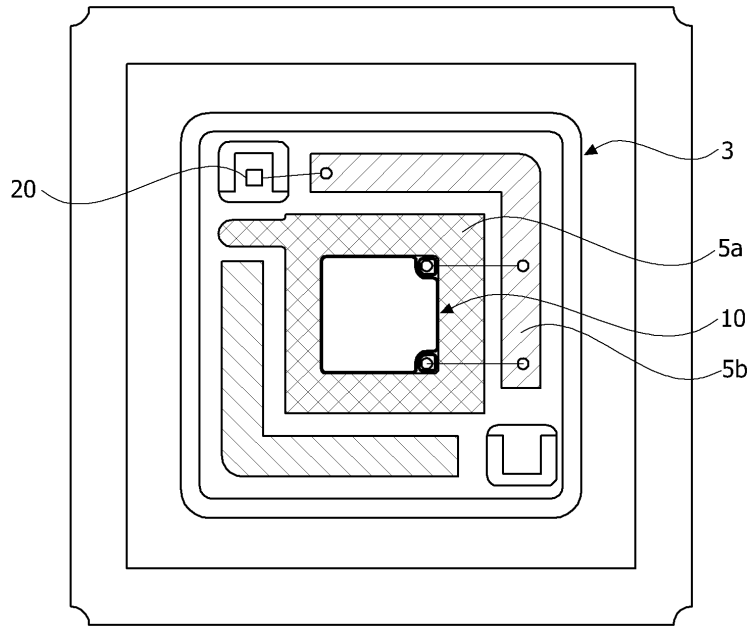
도면47



도면48



도면49



도면50

