



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0095989
 (43) 공개일자 2007년10월01일

- | | |
|--|--|
| <p>(51) Int. Cl.
 <i>H01L 21/316</i>(2006.01)</p> <p>(21) 출원번호 10-2007-7017648(분할)
 (22) 출원일자 2007년07월30일
 심사청구일자 2007년07월30일
 (62) 원출원 특허 10-2005-7000687
 원출원일자 2005년01월14일
 심사청구일자 2005년01월14일
 번역문제출일자 2007년07월30일
 (86) 국제출원번호 PCT/JP2003/009111
 국제출원일자 2003년07월17일
 (87) 국제공개번호 WO 2004/008519
 국제공개일자 2004년01월22일
 (30) 우선권주장
 JP-P-2002-00208803 2002년07월17일 일본(JP)</p> | <p>(71) 출원인
 동경 엘렉트론 주식회사
 일본국 도쿄도 미나토구 아카사카 5초메 3반 6고</p> <p>(72) 발명자
 기타가와 준이치
 일본 효고켄 아마가사키시 후소쵸 1-8 동경 엘렉트론 주식회사 내
 이데 신지
 일본 효고켄 아마가사키시 후소쵸 1-8 동경 엘렉트론 주식회사 내</p> <p>(74) 대리인
 김창세</p> |
|--|--|

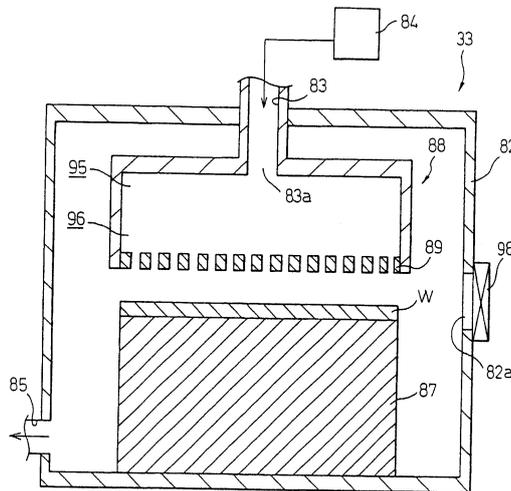
전체 청구항 수 : 총 17 항

(54) 산화막 형성 방법 및 전자 디바이스 재료

(57) 요약

적어도 산소 및 수소를 포함하는 처리 가스의 존재하에서, 산소 및 수소에 근거하는 플라즈마를 전자 디바이스용 기체의 표면에 조사하여, 해당 전자 디바이스용 기체의 표면에 산화막을 형성한다. 산화막의 막두께 제어가 용이하고, 또한, 양질의 산화막을 부여하는 산화막 형성 방법 및 산화막 형성 장치, 및 이러한 양질의 산화막을 갖는 전자 디바이스 재료가 제공된다.

대표도 - 도4



특허청구의 범위

청구항 1

전자 디바이스용 기재와, 상기 전자 디바이스용 기재의 한 면의 적어도 일부를 덮는 산화막을 갖는 전자 디바이스 재료로서,

상기 산화막은, 희가스, 산소 가스 및 수소 가스를 포함하는 처리 가스의 존재하에서, 희가스, 산소 가스 및 수소 가스에 근거하는 플라즈마를 상기 전자 디바이스용 기재의 표면에 조사하여 형성되고,

상기 산화막 형성전의 상기 전자 디바이스용 기재의 표면 거칠기 R_s 와, 상기 전자 디바이스용 기재상에 형성된 상기 산화막의 표면 거칠기 R_b 와의 비(R_b/R_s)가 2 이하인 것

을 특징으로 하는 전자 디바이스 재료.

청구항 2

제 1 항에 있어서,

상기 전자 디바이스용 기재는 실리콘을 주성분으로 하는 재료인 전자 디바이스 재료.

청구항 3

기판을 플라즈마 처리하는 진공 용기와,

상기 진공 용기의 개구부를 막는 유전체와,

상기 유전체의 바깥에 배치하는 안테나와,

상기 진공 용기내에 상기 유전체를 거쳐서 플라즈마를 생성하기 위한 고주파 전원과,

상기 진공 용기내에 처리 가스를 공급하는 가스 공급부와,

상기 진공 용기내를 배기하는 진공 펌프

를 구비한 플라즈마 처리 장치를 이용하여 기판 상에 산화막을 형성하는 방법으로서,

상기 진공 용기내에 산소, 수소 및 희가스를 포함하는 처리 가스를 상기 가스 공급부로부터 공급하고, 상기 고주파 전원으로부터 공급되는 고주파 전력에 의해, 상기 안테나를 거쳐서 상기 진공 용기내의 상기 처리 가스에 근거하는 플라즈마를 생성하여, 상기 기판 표면을 그 플라즈마에 의해 처리함으로써, 상기 기판상에 산화막을 형성하는 것

을 특징으로 하는 산화막 형성 방법.

청구항 4

제 3 항에 있어서,

상기 기판은 액정 디바이스용 기재 또는 실리콘을 주성분으로 하는 재료인 산화막 형성 방법.

청구항 5

제 3 항에 있어서,

상기 처리 가스에서의 산소 가스와 수소 가스의 비는 $O/H_2=1:2\sim 2:1$ 인 산화막 형성 방법.

청구항 6

제 3 항에 있어서,

상기 플라즈마에 의해 처리하는 온도는 실온~500℃인 산화막 형성 방법.

청구항 7

제 3 항에 있어서,

상기 플라즈마에 의해 처리하는 압력은 66.7~266.6Pa인 산화막 형성 방법.

청구항 8

제 3 항에 있어서,

H₂/O₂/희가스의 유량비는 0.5:0.5:100~2:2:100인 산화막 형성 방법.

청구항 9

제 3 항 또는 제 8 항에 있어서,

상기 희가스는 Ar, Kr, He으로 이루어지는 산화막 형성 방법.

청구항 10

제 3 항에 있어서,

상기 플라즈마의 전자 온도는 1.5eV 이하인 산화막 형성 방법.

청구항 11

제 10 항에 있어서,

상기 플라즈마의 전자 온도는 1.0eV 이하인 산화막 형성 방법.

청구항 12

희가스, 산소 가스 및 수소 가스를 포함하는 처리 가스의 존재하에서, 희가스, 산소 가스 및 수소 가스에 근거하는 플라즈마를 전자 디바이스용 기체의 표면에 조사하여, 그 전자 디바이스용 기체의 표면에 산화막을 형성하되,

상기 산화막을 형성하는 온도는 실온~500℃이며,

상기 산화막을 형성하는 압력은 66.7~266.6Pa인 산화막 형성 방법.

청구항 13

희가스, 산소 가스 및 수소 가스를 포함하는 처리 가스의 존재하에서, 희가스, 산소 가스 및 수소 가스에 근거하는 플라즈마를 전자 디바이스용 기체의 표면에 조사하여, 그 전자 디바이스용 기체의 표면에 산화막을 형성하되,

상기 산화막을 형성하는 온도는 실온~500℃이며,

상기 플라즈마의 전자 온도는 1.5eV 이하인 산화막 형성 방법.

청구항 14

제 12 항 또는 제 13 항에 있어서,

상기 플라즈마는 평면 안테나에 근거하는 마이크로파 플라즈마인 산화막 형성 방법.

청구항 15

제 12 항 또는 제 13 항에 있어서,

상기 희가스는 Ar, Kr, He으로 이루어지는 산화막 형성 방법.

청구항 16

제 13 항에 있어서,

상기 산화막을 형성하는 압력은 66.7~266.6Pa인 산화막 형성 방법.

청구항 17

회가스, 산소 가스 및 수소 가스를 포함하는 처리 가스의 존재하에서, 회가스, 산소 가스 및 수소 가스에 근거하는 플라즈마를 전자 디바이스용 기체의 표면에 조사하여, 그 전자 디바이스용 기체의 표면에 산화막을 형성하되,

전자 디바이스용 기체와, 그 전자 디바이스용 기체의 한 면의 적어도 일부를 덮는 산화막을 갖는 전자 디바이스 재료로서,

상기 산화막 형성전의 상기 전자 디바이스용 기체의 표면 거칠기 R_s 와, 상기 전자 디바이스용 기체상에 형성된 상기 산화막의 표면 거칠기 R_p 와의 비(R_p/R_s)가 2 이하인 것

을 특징으로 하는 전자 디바이스 재료.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<21> 본 발명은 전자 디바이스의 프로세스의 요소 기술의 하나인 산화막 형성을 적합하게 행할 수 있는 산화막의 형성 방법, 해당 산화막의 형성 방법에 적합하게 사용할 수 있는 산화막 형성 장치, 및 해당 형성 방법 내지 형성 장치에 의해서 적합하게 형성할 수 있는 전자 디바이스 재료에 관한 것이다. 본 발명의 산화막 형성 방법은, 예를 들면, 반도체 내지 반도체 디바이스(예를 들면, MOS형 반도체 구조를 갖는 것, 박막 트랜지스터(TFT) 구조를 갖는 것 등)를 위한 재료의 형성에 적합하게 사용하는 것이 가능하다.

<22> 본 발명의 제조 방법은 반도체 내지 반도체 장치, 액정 디바이스 등의 전자 디바이스 재료의 제조에 일반적으로 널리 적용 가능하지만, 여기서는 설명의 편의를 위해서 반도체 디바이스(devices)의 배경 기술을 예로 들어 설명한다.

<23> 최근의 반도체 장치의 미세화에 따라서, 소망하는 두께로 제어하는 것이 용이하고, 게다가 양질의 실리콘 산화막(SiO₂막) 등의 산화막 내지 절연막에 대한 수요가 현저하게 높아져 오고 있다. 비교적 얇은 실리콘 산화막에 관해서는, 예를 들면, 반도체 디바이스의 구성으로서 가장 일반적인 MOS형 반도체 구조에서는, 이른바 스케일링 룰에 따라서 매우 얇고(예를 들면, 2.5nm 이하 정도), 게다가 양질의 게이트 산화막(SiO₂막)에 대한 수요가 매우 높아지고 있다.

<24> 이러한 산화막은 종래부터 열산화법이 이용되어 왔지만, 박막화 제어가 곤란하다.

<25> 그래서, 저온화, 감압화에 의해 박막 형성이 실용화되고 있지만, 본질적으로 고온(800℃ 이상)이 필요하다. 양질의 산화막 형성 수법으로서, 종래부터, 예를 들면 플라즈마를 이용한 저온(400℃ 정도) 산화 수법이 실용화 검토되어 오고 있지만, 이러한 플라즈마 처리에 의한 산화막 형성은 그 형성 속도가 매우 늦다라고 하는 결점이 있었다.

<26> 상기한 종래의 열산화법에 있어서, 실리콘 산화막의 형성 속도를 실용적인 레벨로 하기 위해서는, 상기 처리실 내를 통상은 800~1000℃의 고온으로 가열할 필요가 있었다. 이 때문에, 종래에서는 집적 회로의 각 부가 열적 손상을 받거나, 또는 반도체내의 각종 도펀트가 불필요하게 확산되는 등의 현상을 발생하여, 최종적으로 얻어지는 반도체 디바이스의 품질이 나빠질 우려가 있었다.

<27> 부가하여, 최근에서는 생산성 향상의 관점에서 이른바 큰 구경(300mm)의 전자 디바이스용 기체(웨이퍼)를 이용하는 것이 강하게 요청되고 있다. 이러한 큰 구경의 웨이퍼에 대해서는, 종래의 구경(200mm)의 것에 비해서 균일하게 가열/냉각하는 것이 각별히 곤란했기 때문에, 종래의 열산화법에서는 대처하는 것이 곤란해지고 있었다.

발명이 이루고자 하는 기술적 과제

<28> 본 발명의 목적은 상기한 종래 기술의 결점을 해소한 산화막 형성 방법 및 산화막 형성 장치, 및 양질의 산화막

을 갖는 전자 디바이스 재료를 제공하는 것에 있다.

- <29> 본 발명의 다른 목적은 산화막의 막두께 제어가 용이하고, 또한, 양질의 산화막을 부여하는 산화막 형성 방법 및 산화막 형성 장치, 및 이러한 양질의 산화막을 갖는 전자 디바이스 재료를 제공하는 것에 있다.
- <30> 본 발명의 또 다른 목적은 피처리물에 대한 열적 손상을 최소한으로 억제하는 것이 가능한 산화막 형성 방법 및 산화막 형성 장치, 및 이러한 양질의 산화막을 갖는 전자 디바이스 재료를 제공하는 것에 있다.
- <31> 본 발명자는 예의 연구의 결과, 종래에서의 것과 같이 산소 가스만을 이용하는 것은 아니고, 이것에 플라즈마 및 수소 가스를 조합하는 것이 오히려 실리콘 기체의 「산화」 속도를 향상시키는 것을 가능하게 하여, 상기 목적의 달성을 위해서 매우 효과적인 것을 발견하였다.
- <32> 본 발명의 산화막 형성 방법은 상기 지견에 근거하는 것으로서, 보다 상세하게는, 적어도 산소 및 수소를 포함하는 처리 가스의 존재하에서, 산소 및 수소에 근거하는 플라즈마를 전자 디바이스용 기체의 표면에 조사하여, 해당 전자 디바이스용 기체의 표면에 산화막을 형성하는 것을 특징으로 하는 것이다.
- <33> 본 발명에 의하면, 또한, 전자 디바이스용 기체와; 해당 전자 디바이스용 기체의 한면의 적어도 일부를 덮는 산화막을 갖는 전자 디바이스 재료로서; 또한, 산화막 형성 전의 전자 디바이스용 기체의 표면 거칠기 R_s 와, 해당 전자 디바이스용 기체상에 형성된 산화막의 표면 거칠기 R_p 와의 비(R_p/R_s)가 2 이하인 것을 특징으로 하는 전자 디바이스 재료가 제공된다.
- <34> 상기 구성을 갖는 본 발명의 산화막 형성 방법에 의하면, 양호한 산화막 형성 속도로, 또한 양질의 산화막(예를 들면, 산화막의 결합 상태, 및 산화막의 표면 거칠기에 의해 실증됨)을 얻을 수 있다. 본 발명에서, 이렇게 양질의 산화막이 형성 가능한 이유는 반드시 명확하지 않지만, 본 발명자의 지견에 의하면, 플라즈마 및 수소 가스+산소 가스의 조합에 있어서, H원자가 전자 디바이스용 기체 내부에 선행 확산하여, Si-O 부정 결합을 제거 내지 저감하고, 또한 활성 O원자가 Si-O를 건전 결합화함에 의한 것이라고 추정된다.
- <35> 또한, 본 발명에 의하면, 종래의 필드 산화와의 비교에 있어서는, 속도가 지나치게 빠르지 않은 산화막 형성이 가능해지기 때문에, 형성해야 할 산화막의 막두께 제어가 용이하다.
- <36> 부가하여, 본 발명에 의하면, 비교적 고속 산화가 가능해지기 때문에, 결과적으로 플라즈마 손상을 저감할 수 있으므로, 산화막의 질을 더욱 향상시키는 것이 용이해진다.

발명의 구성 및 작용

- <37> 발명을 실시하기 위한 최선의 형태
- <38> 이하, 필요에 따라서 도면을 참조하면서 본 발명을 상세하게 설명한다. 이하의 기재에서 양적인 비를 나타내는 「부(部)」 및 「%」는 특별히 단정되지 않는 한 질량 기준으로 한다.
- <39> (산화막의 형성 방법)
- <40> 본 발명에서는 적어도 산소 및 수소를 포함하는 처리 가스의 존재하에서, 산소 및 수소에 근거하는 플라즈마를 전자 디바이스용 기체의 표면에 조사하여, 해당 전자 디바이스용 기체의 표면에 산화막을 형성한다.
- <41> (전자 디바이스용 기체)
- <42> 본 발명에서 사용 가능한 전자 디바이스용 기체는 특별히 제한되지 않고, 공지의 전자 디바이스용 기체의 1종류, 또는 해당 기체의 2종류 이상의 조합으로부터 적절하게 선택해서 사용하는 것이 가능하다. 이러한 전자 디바이스용 기체의 예로서는, 예를 들면, 반도체 재료, 액정 디바이스 재료 등을 들 수 있다. 반도체 재료의 예로서는, 예를 들면, 단결정 실리콘을 주성분으로 하는 재료, 폴리 실리콘, 질화 실리콘 등을 들 수 있다.
- <43> (산화막)
- <44> 본 발명에서는 상기한 전자 디바이스용 기체상에 배치되어야 할 산화막은 해당 전자 디바이스용 기체의 산화에 의해 형성 가능한 한 특별히 제한되지 않는다. 이러한 산화막은 공지의 전자 디바이스용 산화막의 1종류 또는 2종류 이상의 조합으로 할 수 있다. 이러한 산화막의 예로서는, 예를 들면, 실리콘 산화막(SiO_2) 등을 들 수 있다.
- <45> (처리 가스)

- <46> 본 발명에서 산화막 형성시에는, 처리 가스는 적어도 산소, 수소 및 회가스를 포함한다. 이 때에 사용 가능한 회가스는 특별히 제한되지 않고, 공지의 회가스(내지는 그 2종류 이상의 조합)로부터 적당히 선택해서 사용할 수 있다. 코스트 퍼포먼스의 점에서는, 회가스로서 아르곤, 헬륨 또는 크립톤이 적합하게 사용 가능하다.
- <47> (산화막의 형성 조건)
- <48> 본 발명을 산화막의 형성에 이용하는 형태에서는, 형성되어야 할 산화막의 특성의 점에서는 하기의 조건을 적합하게 사용할 수 있다.
- <49> O₂ : 1~10sccm, 보다 바람직하게는 1~5sccm,
- <50> H₂ : 1~10sccm, 보다 바람직하게는 1~5sccm,
- <51> 회가스(예를 들면, Kr, Ar, 또는 He) : 100~1000sccm, 보다 바람직하게는 100~500sccm,
- <52> 온도 : 실온(25℃)~500℃, 보다 바람직하게는 실온~400℃,
- <53> 압력 : 66.7~266.6Pa, 보다 바람직하게는 66.7~133.3Pa,
- <54> 마이크로파 : 3~4W/cm², 보다 바람직하게는 3~3.5W/2cm².
- <55> (바람직한 조건)
- <56> 본 발명의 효과를 보다 높이는 점에서는, 하기의 조건을 특히 적합하게 사용할 수 있다.
- <57> H₂/O₂ 가스의 유량의 비 : 2:1~1:2, 또는 약 1:1
- <58> H₂/O₂ 회가스의 유량의 비 : 0.5:0.5:100~2:2:100
- <59> 온도 : 500℃ 이하, 또는 400℃ 이하
- <60> 일반적으로, 반도체 기판상에 디바이스 소자를 형성하기 위해서, 미리 기판에 불순물을 확산시켜, 활성 영역, 소자 분리 영역을 마련한다.
- <61> 그러나, 종래의 열산화 수법에서는 그 고온에 의해 불순물 영역을 무너뜨릴 가능성이 있어 문제이다.
- <62> 이에 반하여, 본 발명은 저온 처리 때문에, 불순물 영역의 보호와 함께 열에 의한 손상, 왜곡 등도 억제된다.
- <63> 또한, 본 발명에 의해 형성한 산화막상에, 또한 소망하는 막(예를 들면, CVD)을 비교적 저온(500℃ 정도)에서 성막한 후의 산화 공정에도 적합하여 공정 관리도 용이하게 된다.
- <64> (산화막을 갖는 전자 디바이스 재료)
- <65> 본 발명에 의하면, 실리콘 기재상에 산화막을 갖는 전자 디바이스 재료를 적합하게 얻을 수 있다. 이 전자 디바이스 재료에서는, 산화막 형성 전의 전자 디바이스용 기재의 표면 거칠기 R_s와, 해당 기재상에 형성된 산화막의 표면 거칠기 R_p와의 비(R_p/R_s)가 2 이하인 것이 바람직하다. 이 R_p/R_s 비는, 또한 1.0 이하인 것이 바람직하다.
- <66> 이 표면 거칠기 R_s 및 R_p는, 예를 들면 이하의 조건하에서 적합하게 측정할 수 있다.
- <67> <표면 거칠기의 측정 조건>
- <68> 원자간력 현미경(AFM)을 이용하여, 1 μ m × 1 μ m 정도의 표면 영역을 측정함으로써, 0.1nm 오더의 표면 거칠기를 측정할 수 있다.
- <69> (산화막의 밀도)
- <70> 본 발명에 의하면, 종래의 열산화막보다도, 더욱 치밀한 산화막을 용이하게 얻을 수 있다.
- <71> 예를 들면, 상기한 전자 디바이스용 기재가 실리콘 기재인 경우, 밀도가 2.3정도의 산화막을 용이하게 얻을 수 있다. 이에 반하여, 종래의 열산화막의 밀도는 통상은 2.2정도이다.
- <72> 이 산화막의 밀도는, 예를 들면 이하의 조건하에서 적합하게 측정할 수 있다.

- <73> <산화막의 밀도 측정 조건>
- <74> (1) 에립소메트리법에 의해 산화막의 굴절률을 측정한다. SiO₂는 굴절률과 밀도가 거의 비례 관계에 있다. 따라서, 굴절률로부터 밀도를 구할 수 있다.
- <75> (2) X선 반사율법(특히, GIXR법)에 의해, 기지의 조성을 가지는 박막의 밀도를 구할 수 있다.
- <76> (산화막 형성 장치)
- <77> 본 발명의 산화막 형성 장치는, 전자 디바이스용 기재를 소정 위치에 배치하는 것을 가능하게 한 반응 용기와; 해당 반응 용기내에 산소 및 수소를 공급하기 위한 가스 공급 수단과; 해당 산소 및 수소를 플라즈마 여기하기 위한 플라즈마 여기 수단을 적어도 포함하고, 상기 산소 및 수소에 근거하는 플라즈마를 전자 디바이스용 기재의 표면에 조사하는 것이 가능하게 되어 있다. 본 발명에서, 상기 플라즈마 여기 수단은 특별히 제한되지 않지만, 플라즈마에 의한 손상을 가능한 한 저감하고, 또한 균일한 산화막 형성을 행하는 점에서는, 평면 안테나 부재에 근거하는 플라즈마 여기 수단을 특히 적합하게 이용할 수 있다.
- <78> (평면 안테나 부재)
- <79> 본 발명에서는, 복수의 슬릿을 갖는 평면 안테나 부재를 거쳐서 마이크로파를 조사하는 것에 의해 전자 온도가 낮고 또한 고밀도인 플라즈마를 형성하고, 이 플라즈마를 이용하여 상기 피처리 기체 표면에 산화막 형성을 행하는 것이 바람직하다. 이러한 형태에서는, 플라즈마 손상이 작고, 또한 저온에서 반응성이 높은 프로세스가 가능하다.
- <80> 이러한 다수의 슬릿을 갖는 평면 안테나를 구비하고, 또한 전자 온도가 낮아, 플라즈마 손상이 작고, 또한, 밀도가 높은 플라즈마를 발생시키는 능력을 갖는 마이크로파 플라즈마 장치의 작법에 더욱 관해서는, 예를 들면 문헌(Ultra Clean technology Vol.10 Supplement 1, p.32, 1998, Published by Ultra Clean Society)을 참조할 수 있다. 이러한 새로운 플라즈마 장치를 이용하면, 전자 온도는 1.5eV 정도 이하, 플라즈마 쉬스(sheath) 전압도 수 V 이하의 플라즈마가 용이하게 얻어지기 때문에, 종래의 플라즈마(플라즈마 쉬스 전압이 50V 정도)에 반하여 플라즈마 손상을 대폭 저감할 수 있다. 이 평면 안테나를 구비하는 새로운 플라즈마 장치는, 300~700℃ 정도의 온도에서도 고밀도의 라디컬을 공급할 수 있는 능력을 갖고 있기 때문에, 가열에 의한 디바이스 특성의 열화를 억제할 수 있고, 또한 저온에서도 높은 반응성을 갖는 프로세스가 가능해진다.
- <81> (바람직한 플라즈마)
- <82> 본 발명에서 적합하게 사용 가능한 플라즈마의 특성은, 이하와 같다.
- <83> 전자 온도 : 기판 바로 위에서 1.0eV 이하
- <84> 밀도 : 평면 안테나 바로 아래에서 1×10^{12} (1/cm³) 이상
- <85> 플라즈마 밀도의 균일성 : 평면 안테나 바로 아래에서 ±5% 이하
- <86> 상기한 바와 같이 본 발명의 방법에 의하면, 막두께가 얇고, 게다가 양질의 산화막을 형성할 수 있다. 따라서, 이 산화막상에 다른 층(예를 들면, 전극층)을 형성하는 것에 의해, 특성이 우수한 반도체 장치의 구조를 형성하는 것이 용이하게 된다.
- <87> 본 발명의 프로세스에 의하면, 특히, 지극히 얇은 막두께(예를 들면, 막두께 2.5nm 이하)의 산화막을 형성하는 것이 가능하기 때문에, 예를 들면, 이 산화막상에 게이트 전극으로서 폴리 실리콘 또는 아몰퍼스 실리콘 또는 SiGe를 이용하는 것에 의해, 고성능의 MOS형 반도체 구조를 형성할 수 있다.
- <88> (MOS 반도체 구조의 바람직한 특성)
- <89> 본 발명의 방법이 적용 가능한 범위는 특별히 제한되지 않지만, 본 발명에 의해 형성 가능한 지극히 얇고, 게다가 양질의 산화막은 반도체 장치의 산화막(예를 들면, MOS 반도체 구조의 게이트 산화막)으로서 특히 적합하게 이용할 수 있다.
- <90> 본 발명에 의하면, 하기와 같이 바람직한 특성을 갖는 MOS 반도체 구조를 용이하게 제조할 수 있다. 또한, 본 발명에 의해 형성한 산화막의 특성을 평가할 때에는, 예를 들면, (실리콘+산화막+폴리 실리콘)으로 구성되는 표준적인 MOS 반도체 구조를 형성하여, 그 MOS의 특성을 평가하는 것에 의해, 상기 산화막 자체의 특성 평가를 대신할 수 있다. 이러한 표준적인 MOS 구조에서는, 해당 구조를 구성하는 산화막의 특성이 MOS 특성에 강한 영향

을 주기 때문이다.

- <91> (제조 방법의 일실시예)
- <92> 다음에, 본 발명의 산화막 형성 방법의 일실시예에 대해서 설명한다.
- <93> 도 1은 본 발명의 산화막 형성 방법을 실시하기 위한 반도체 제조 장치(30)의 전체 구성의 일례를 나타내는 개략도(모식적 평면도)이다.
- <94> 도 1에 나타내는 바와 같이, 이 반도체 제조 장치(30)의 거의 중앙에는 웨이퍼 W(도 3)를 반송하기 위한 반송실(31)이 배설되어 있으며, 이 반송실(31)의 주위를 둘러싸도록 웨이퍼에 여러 가지의 처리를 행하기 위한 플라즈마 처리 유닛(32, 33), 각 처리실간의 연통/차단의 조작을 행하기 위한 2개의 로드록 유닛(34 및 35), 여러 가지의 가열 조작을 행하기 위한 가열 유닛(36), 및 웨이퍼에 여러 가지의 가열 처리를 행하기 위한 가열 반응 화로(47)가 배설되어 있다. 또한, 가열 반응 화로(47)는 상기 반도체 제조 장치(30)와는 별개로 독립하여 마련해도 무방하다.
- <95> 로드록 유닛(34, 35)의 옆에는 여러 가지의 예비 냉각 내지 냉각 조작을 행하기 위한 예비 냉각 유닛(45), 냉각 유닛(46)이 각각 배설되어 있다.
- <96> 반송실(31)의 내부에는 반송 압(37 및 38)이 배설되어 있고, 상기 각 유닛(32~36) 사이에서 웨이퍼 W(도 3)를 반송할 수 있다.
- <97> 로드록 유닛(34 및 35)의 도면 중 앞쪽에는, 로더 암(41 및 42)이 배설되어 있다. 이들 로더 암(41 및 42)은, 또한 그 앞쪽에 배설된 카세트 스테이지(43)상에 세트된 4대의 카세트(44) 사이에서 웨이퍼 W를 출납할 수 있다.
- <98> 또한, 도 1 중 플라즈마 처리 유닛(32, 33)으로서는 동형의 플라즈마 처리 유닛이 2기(二基) 병렬하여 세트되어 있다.
- <99> 또한, 이들 플라즈마 처리 유닛(32) 및 유닛(33)은, 함께 싱글 챔버형 플라즈마 처리 유닛과 교환하는 것이 가능하고, 플라즈마 처리 유닛(32 이나 33)의 위치에 1기 또는 2기의 싱글 챔버형 플라즈마 처리 유닛을 세트하는 것도 가능하다.
- <100> 플라즈마 처리가 2기인 경우, 예를 들면, 처리 유닛(32)에서 SiO₂막을 형성한 후, 처리 유닛(33)에서 SiO₂막을 표면 질화하는 방법을 실행해도 무방하고, 또한 처리 유닛(32 및 33)에서 병렬로 SiO₂막 형성과 SiO₂막의 표면 질화를 실행해도 무방하다. 또는, 별도의 장치에서 SiO₂막 형성을 실행한 후, 처리 유닛(32 및 33)에서 병렬로 표면 질화를 실행할 수도 있다.
- <101> (게이트 절연막 성막의 일실시예)
- <102> 도 2는 산화막의 성막에 사용 가능한 플라즈마 처리 유닛(32(33))의 수직 방향의 모식적 단면도이다.
- <103> 도 2를 참조하여, 참조 번호 50은, 예를 들면 알루미늄에 의해 형성된 진공 용기이다. 이 진공 용기(50)의 상면에는, 기관(예를 들면, 웨이퍼 W)보다도 큰 개구부(51)가 형성되어 있고, 이 개구부(51)를 막도록, 예를 들면 석영이나 질화 알루미늄 등의 유전체에 의해 구성된 편평한 원통 형상의 천판(54)이 마련되어 있다. 이 천판(54)의 하면인 진공 용기(50)의 상부측의 측벽에는, 예를 들면 그 주위 방향을 따라서 균등하게 배치한 16개소의 위치에 가스 공급관(72)이 마련되어 있고, 이 가스 공급관(72)으로부터 O₂나 희가스, N₂ 및 H₂ 등으로부터 선택된 1종류 이상을 포함하는 처리 가스가, 진공 용기(50)의 플라즈마 영역 P 근방에 얼룩 없이 균등하게 공급되도록 되어 있다.
- <104> 천판(54)의 외측에는, 복수의 슬릿을 갖는 평면 안테나 부재, 예를 들면 동판에 의해 형성된 슬롯 플레인 안테나(Slot Plane Antenna)(60)를 거쳐서 고주파 전원부를 형성하고, 예를 들면 2.45GHz의 마이크로파를 발생하는 마이크로파 전원부(61)에 접속된 도파로(63)가 마련되어 있다. 이 도파로(63)는, SPA(60)에 아래쪽 가장자리가 접속된 편평한 원형 도파관(63A)과, 이 원형 도파관(63A)의 상면에 한쪽 단부측이 접속된 원통형 도파관(63B)과, 이 원통형 도파관(63B)의 상면에 접속된 동축 도파 변환기(63C)와, 이 동축 도파 변환기(63C)의 측면에 직각으로 한쪽 단부측이 접속되고, 다른쪽 단부측이 마이크로파 전원부(61)에 접속된 직사각형 도파관(63D)을 조합하여 구성되어 있다.

- <105> 여기서, 본 발명에서는 UHF와 마이크로파를 포함하여 고주파 영역이라고 부르는 것으로 한다. 즉, 고주파 전원 부로부터 공급되는 고주파 전력은 300MHz 이상의 UHF나 1GHz 이상의 마이크로파를 포함하는 300MHz 이상 2500MHz 이하의 것으로 하고, 이들 고주파 전력에 의해 발생하는 플라즈마를 고주파 플라즈마라고 부르는 것으로 한다.
- <106> 상기 원통형 도파관(63B)의 내부에는 도전성 재료로 이루어지는 축부(62)의, 한쪽 단부측이 슬롯 플레인 안테나(60)의 상면의 거의 중앙에 접속하고, 다른쪽 단부측이 원통형 도파관(63B)의 상면에 접속하도록 동축 형상으로 마련되어 있으며, 이에 의해 당해 도파관(63B)은 동축 도파관으로서 구성되어 있다.
- <107> 또한, 진공 용기(50)내에는 천판(54)과 대향하도록 웨이퍼 W의 재치대(52)가 마련되어 있다. 이 재치대(52)에는 도시하지 않은 온조부가 내장되어 있고, 이에 의해 당해 재치대(52)는 열판으로서 기능하도록 되어 있다. 또한, 진공 용기(50)의 바닥부에는 배기관(53)의 한쪽 단부측이 접속되어 있고, 이 배기관(53)의 다른쪽 단부측은 진공 펌프(55)에 접속되어 있다.
- <108> (슬롯 플레인 안테나의 일실시예)
- <109> 도 3은 본 발명의 전자 디바이스 재료의 제조 장치에 사용 가능한 슬롯 플레인 안테나(60)의 일례를 나타내는 모식적 평면도이다.
- <110> 이 도 3에 나타내는 바와 같이, 이 슬롯 플레인 안테나(60)에서는 표면에 복수의 슬롯(60a, 60a, ...)이 동심원 형상으로 형성되어 있다. 각 슬롯(60a)은 대략 사각형의 관통한 홈으로서, 인접하는 슬롯끼리는 서로 직교하여 대략 알파벳의 「T」의 문자를 형성하도록 배설되어 있다. 슬롯(60a)의 길이나 배열 간격은 마이크로파 전원부(61)로부터 발생한 마이크로파의 파장에 따라서 결정되어 있다.
- <111> (가열 반응 화로의 일실시예)
- <112> 도 4는 본 발명의 전자 디바이스 재료의 제조 장치에 사용 가능한 가열 반응 화로(47)의 일례를 나타내는 수직 방향의 모식적인 단면도이다.
- <113> 도 4에 나타내는 바와 같이, 가열 반응 화로(47)의 처리실(82)은, 예를 들면 알루미늄 등에 의해 기밀 가능한 구조로 형성되어 있다. 이 도 4에서는 생략되어 있지만, 처리실(82)내에는 가열 기구나 냉각 기구를 구비하고 있다.
- <114> 도 4에 나타낸 바와 같이, 처리실(82)에는 상부 중앙에 가스를 도입하는 가스 도입관(83)이 접속되어, 처리실(82)내와 가스 도입관(83)내가 연통되어 있다. 또한, 가스 도입관(83)은 가스 공급원(84)에 접속되어 있다. 그리고, 가스 공급원(84)으로부터 가스 도입관(83)에 가스가 공급되고, 가스 도입관(83)을 거쳐서 처리실(82)내에 가스가 도입되고 있다. 이 가스로서는, 게이트 전극 형성의 원료로 되는, 예를 들면 실란 등의 각종 가스(전극 형성 가스)를 이용할 수 있고, 필요에 따라서 불활성 가스를 캐리어 가스로서 이용할 수도 있다.
- <115> 처리실(82)의 하부에는, 처리실(82)내의 가스를 배기하는 가스 배기관(85)이 접속되고, 가스 배기관(85)은 진공 펌프 등으로 이루어지는 배기 수단(도시하지 않음)에 접속되어 있다. 이 배기 수단에 의해, 처리실(82)내의 가스가 가스 배기관(85)으로부터 배기되어, 처리실(82)내가 소망하는 전압으로 설정되고 있다.
- <116> 또한, 처리실(82)의 하부에는 웨이퍼 W를 재치하는 재치대(87)가 배설되어 있다.
- <117> 이 도 4에 나타낸 형태에서는, 웨이퍼 W와 대략 동일한 직경 크기의 도시하지 않은 정전척에 의해 웨이퍼 W가 재치대(87)상에 재치되어 있다. 이 재치대(87)에는, 도시하지않은 열원 수단이 내설(內設)되어 있어, 재치대(87)상에 재치된 웨이퍼 W의 처리면을 소망하는 온도로 조정할 수 있는 구조로 형성되어 있다.
- <118> 이 재치대(87)는 필요에 따라서 재치한 웨이퍼 W를 회전할 수 있는 기구로 되어 있다.
- <119> 도 4 중, 재치대(87)의 우측의 처리실(82) 벽면에는 웨이퍼 W를 출납하기 위한 개구부(82a)가 마련되어 있고, 이 개구부(82a)의 개폐는 게이트 밸브(98)를 도면 중 상하 방향으로 이동하는 것에 의해 행해진다. 도 4 중, 게이트 밸브(98)의 더욱 우측에는 웨이퍼 W를 반송하는 반송 암(도시하지 않음)이 이웃하여 마련되어 있고, 반송 아암이 개구부(82a)를 거쳐서 처리실(82)내에 출입하여 재치대(87)상에 웨이퍼 W를 재치하거나, 처리 후의 웨이퍼 W를 처리실(82)로부터 반출하도록 되어 있다.
- <120> 재치대(87)의 위쪽에는 샤워 부재로서의 샤워 헤드(88)가 배설되어 있다. 이 샤워 헤드(88)는 재치대(87)와 가스 도입관(83) 사이의 공간을 구획하도록 형성되어 있고, 예를 들면 알루미늄 등으로 형성되어 있다. 샤워 헤드(88)는 그 상부 중앙에 가스 도입관(83)의 가스 출구(83a)가 위치하도록 형성되고, 샤워 헤드(88) 하부에 설

치된 가스 공급 구멍(89)을 통해서 처리실(82)내에 가스가 도입되고 있다.

<121> (산화막 형성의 일실시예)

<122> 다음에, 상술한 장치를 이용하여 웨이퍼 W(예를 들면, 실리콘 기재)상에 산화막을 형성하는 방법의 바람직한 일례에 대해서 설명한다.

<123> 도 1을 참조하여, 먼저, 플라즈마 처리 유닛(32)(도 1)내의 진공 용기(50)의 측벽에 마련한 게이트 밸브(도시하지 않음)를 열어, 반응 압(37, 38)에 의해 상기 실리콘 기관(1) 표면에 필드 산화막(11)이 형성된 웨이퍼 W를 재치대(52)(도 2)상에 재치한다.

<124> 계속해서 게이트 밸브를 닫아 내부를 밀폐한 후, 진공 펌프(55)에 의해 배기관(53)을 거쳐서 내부 분위기를 배기하여 소정의 진공도까지 진공시켜 소정의 압력으로 유지한다. 한쪽 마이크로파 전원부(61)로부터, 예를 들면 1.80GHz(2200W)의 마이크로파를 발생시켜, 이 마이크로파를 도파로에 의해 안내하여 SPA(60) 및 천판(54)을 거쳐서 진공 용기(50)내에 도입하고, 이에 의해 진공 용기(50)내의 상부측의 플라즈마 영역 P에서 고주파 플라즈마를 발생시킨다.

<125> 여기서, 마이크로파는 직사각형 도파관(63D)내를 직사각형 모드로 전송하여, 동축 도파 변환기(63C)에서 직사각형 모드로부터 원형 모드로 변환되고, 원형 모드로 원통형 동축 도파관(63B)을 전송하고, 또한 원형 도파관(63A)에서 확대된 상태로 전송해 가서, SPA(60)의 슬롯(60a)으로부터 방사되고, 천판(54)을 투과하여 진공 용기(50)에 도입된다. 이 때, 마이크로파를 이용하고 있기 때문에 고밀도의 플라즈마가 발생하고, 또한 마이크로파를 SPA(60)의 다수의 슬롯(60a)으로부터 방사하고 있기 때문에, 이 플라즈마가 고밀도인 것으로 된다.

<126> 계속해서, 재치대(52)의 온도를 조절하여 웨이퍼 W를, 예를 들면 400℃로 가열하면서, 가스 공급관(72)으로부터 산화막 형성용의 처리 가스인 크립톤이나 아르곤 등의 희가스, O₂ 가스와, H₂ 가스를, 각각 500sccm, 5sccm, 및 5sccm의 유량으로 도입하여 제 1 공정(산화막의 형성)을 실시한다.

<127> 이 공정에서는, 도입된 처리 가스는 플라즈마 처리 유닛(32)내에서 발생한 플라즈마류에 의해 활성화(플라즈마화)되고, 웨이퍼 W의 표면이 산화되어 산화막(SiO₂막)(2)이 형성된다.

<128> 다음에, 게이트 밸브(도시하지 않음)를 열어, 진공 용기(50)내에 반응 압(37, 38)(도 1)을 진입시켜, 재치대(52)상의 웨이퍼 W를 수취한다. 이 반응 압(37, 38)은 웨이퍼 W를 플라즈마 처리 유닛(32)으로부터 취출한 후, 인접하는 플라즈마 처리 유닛(33)내의 재치대에 세트한다.

<129> [실시예]

<130> 이하, 실시예에 의해 본 발명을 더욱 구체적으로 설명한다.

<131> 실시예 1

<132> (산화막 형성)

<133> 본 발명의 산화막 형성 방법에 의해, 실리콘 기관상에 고속으로 산화막을 형성하였다.

<134> 이 산화막 형성에서는, 도 1~4에 나타낸 SPA 플라즈마 챔버를 이용하였다.

<135> 실리콘 기관으로서, 비저항 3Ω·cm, 직경 200mm의 P형, 면방위(100)의 단결정 실리콘 기관(웨이퍼)을 이용하였다.

<136> (세정)

<137> 이 실리콘 기관을 다음 (1)~(6)의 순서로 세정하였다.

<138> (1) 암모니아 과수 용액 침지 10분

<139> (2) 순수한 물 린스

<140> (3) 염산 과수 용액 침지 10분

<141> (4) 순수한 물 린스

<142> (5) 희불산 용액 침지 3분

- <143> (6) 순수 린스
- <144> 상기 (5)의 희HF 수용액 세정에 의해, 실리콘 기판 표면에 존재하는 자연 산화막이 제거되고, 실리콘 표면은 수소에 의해 중단화되었다. 이렇게 해서 세정된 실리콘 기판 표면에 하기와 같이 슬롯 플레인 안테나 플라즈마 챔버를 이용하여 산화막을 형성하였다. 상기 (6)의 순수 세정이 종료하고 나서, 세정 후의 실리콘 기판을 슬롯 플레인 안테나 플라즈마 처리실에 설치할 때까지 시간은 약 15분간이었다.
- <145> (산화막 형성)
- <146> 도 2의 슬롯 플레인 안테나 플라즈마 챔버내의 기판 스테이지(400℃)에 상기 세정 후의 실리콘 기판을 얹고, 하기의 조건으로 불활성 가스(Ar), 산소 가스 및 수소 가스를 흘리면서, 하기의 조건으로 플라즈마를 조사하였다. 또한, 슬롯 플레인 안테나 플라즈마 안테나와, 실리콘 기판 사이의 거리는 60이었다.
- <147> <가스 공급 조건>
- <148> 불활성 가스(Ar) : 500sccm
- <149> 산소 가스(O₂) : 5sccm
- <150> 수소 가스(H₂) : 5sccm
- <151> 챔버내의 압력 : 133.3Pa
- <152> 처리 기판 온도 : 400℃
- <153> <플라즈마 조사 조건>
- <154> 마이크로 여과 출력 : 3.5kW
- <155> 비교예 1
- <156> 가스 공급 조건을 이하와 같이 변화시킨 이외는, 실시예 1과 마찬가지로 하여, 두 가지의 산화막을 각각 실시예 1에서 이용한 실리콘 기판상에 형성하였다.
- <157> <가스 공급 조건-1>
- <158> 불활성 가스(Ar) : 500sccm
- <159> 산소 가스(O₂) : 5sccm
- <160> <가스 공급 조건-2>
- <161> 불활성 가스(Kr) : 500sccm
- <162> 산소 가스(O₂) : 5sccm
- <163> 실시예 2
- <164> (산화막 두께의 측정)
- <165> 실시예 1 및 비교예 1에서 얻은 실리콘 기판의 산화 속도를 산화 처리 시간과, 형성된 산화막 두께로부터 구하였다. 산화막 두께는 광학식 막두께 측정기(에립소메트리법) 또는 현미경을 이용하여, 기판의 단면 관찰에 근거하여 측정하였다.
- <166> 상기에서 얻어진 산화막의 광학적 막두께 측정기(에립소메트리법)에 의한 측정 결과를 도 5의 그래프에 나타낸다. 이 그래프에 나타내는 바와 같이, 실시예 1에서 얻어진 산화막 형성 속도는, 비교예(가스 공급 조건-1 및 2)의 약 2배였다.
- <167> 실시예 3
- <168> (화학적 특성의 확인)
- <169> 실리콘 산화막의 대표적인 에칭제인 HF(불화수소산)에 대한 화학적인 내성을 측정하였다.
- <170> 1% HF 수용액내에 실시예 1 및 비교예 1 등에서 성막한 산화막을 갖는 실리콘 기판을, 23℃에서 정치(靜置)하여

소정 시간 침지하였다. 이렇게 해서 얻어진 침지 후의 막두께를 침지 전에 마찬가지로 측정해 놓은 막두께와 비교하였다. 상기에서 얻어진 측정 결과를 도 6의 그래프에 나타낸다. 이 그래프에 나타내는 바와 같이, 비교예 1의 (플라즈마+산소)로 성막한 산화막과 비교해서, 실시예 1에서 얻어진 산화막의 화학적 내성은 개선되어 있었다.

<171> 실시예 4

<172> (계면 특성의 확인)

<173> 게이트 산화막의 비접촉 차지 모니터 측정 장치(KLA Tencor사 제품, 상품명: Quantox)를 이용하여, 하기의 조건으로 Si/SiO₂간의 계면 준위 밀도를 측정하였다.

<174> 상기에서 얻어진 측정 결과를 도 7의 그래프에 나타낸다. 이 그래프에 나타내는 바와 같이, 비교예 1의 (플라즈마+산소)로 성막한 산화막과 비교해서, 실시예 1에서 얻어진 산화막의 계면 준위 밀도는 약 1/2로 개선되어 있었다.

<175> 실시예 5

<176> (화학 결합 상태의 확인)

<177> 실시예 1에서 얻은 막두께 10nm의 산화막(수소 첨가 산화막)과, 종래의 산화막에 대해서 XPS(X선원: Mg-Ka, 10 kV, 30mA)를 이용하여 산화막의 화학 조성 평가를 행하였다.

<178> 상기에서 얻어진 측정 결과를 도 8(a) 및 (b)의 그래프에 나타낸다. 이 그래프 도 8(b)에 나타내는 바와 같이, 실시예 1에서 얻어진 산화막은 Si-O와 Si-Si 결합 피크간에 보여지는 부정확한 Si-O 결합이 적고, 양질인 것이 판명되었다.

<179> 실시예 6

<180> (산화막 표면 거칠기의 측정)

<181> 실시예 1에서 얻은 막두께 10nm의 산화막(수소 첨가 산화막)과, 종래의 산화막에 대해서, AFM(원자간 현미경)을 이용하여 산화막의 표면 거칠기를 측정하였다.

<182> 상기에서 얻어진 측정 결과를 도 9(a) 및 (b)의 데이터로 나타낸다. 이 도 9(b)의 데이터에 나타내는 바와 같이, 실시예 1에서 얻어진 산화막은, 도 9(a)의 데이터에 나타내는 비교예 1의 (플라즈마+산소)로 성막한 산화막과 비교해서, 보다 매끈(표면 거칠기가 작음)하였다. 이에 의해, 실시예 1에서 얻어진 산화막이 다음 공정의 기초 산화막으로서 보다 적절한 것이라고 판명되었다.

<183> 실시예 7

<184> (산화막의 굴절률 측정과 상관 밀도)

<185> 실시예 1에서 얻은 막두께 10nm의 산화막(수소 첨가 산화막)과, 종래의 산화막에 대해서 굴절률의 측정과 상대하는 밀도에 관해서 평가를 행하였다.

<186> 상기에서 얻어진 데이터를 도 10에 나타낸다.

<187> 실시예 1에서 얻어진 산화막은 높은 굴절률을 갖고, 비교예 1에 비교해서 높은 밀도를 가지는 것을 알 수 있다.

<188> 또한, 실시예 1에서 얻어진 산화막은 열산화막과 비교해도 높은 밀도를 갖는 것이라고 판명되었다.

<189> 실시예 8

<190> (산화막의 밀도 측정)

<191> 실시예 7의 검증으로서, X선 반사율법을 이용한 밀도 측정 결과를 도 11에 나타낸다.

<192> 측정은 GIXR법을 이용하여, 실리콘 기판을 산화해서 얻어지는 산화막에 대하여, 전형적인 모델인 2층 구조를 이용하여 해석을 행하였다.

<193> 상기에서 얻어진 데이터를 도 11에 나타낸다.

<194> 실시예 1에서 얻어진 산화막은 2층 구조를 나타내고, 비교예 1에서 얻어진 산화막과 비교해서 높은 밀도를 갖는

것이라고 판명되었다.

<195> 실시예 9

<196> (산화막의 전기적 특성 평가)

<197> 실시예 1을 이용하여 MOS 반도체 구조를 시작하여 전기 특성 평가를 행하였다.

<198> 본 평가는 일반적으로 산화막의 신뢰성을 평가할 때에 이용되는 수법으로, 일정 전류를 산화막에 흘렸을 때, 산화막의 파괴에 이를 때까지의 통과 전기량을 측정, 비교한다.

<199> 기관은 P형 실리콘, ϕ 200mm를 이용하여, 산화막을 형성한 후, 전극으로서 폴리 실리콘을 산화막상에 퇴적시킨 MOS 구조이다.

<200> 상기에서 얻어진 데이터를 도 12에 나타낸다.

<201> 실시예 1에서 얻어진 산화막은 비교예 1, 열산화막과 비교하여 파괴에 이르는 통과 전기량값이 크고, 신뢰성이 있는 산화막이라고 판명되었다.

발명의 효과

<202> 상술한 바와 같이 본 발명에 의하면, 피처리물에 대한 열적 손상을 최소한으로 억제하면서, 양질의 산화막을 부여하고, 게다가 막두께 제어가 용이한 산화막 형성 방법 및 산화막 형성 장치, 및 이러한 양질의 산화막을 갖는 전자 디바이스 재료가 제공된다.

<203> 본 발명에서, 특히 저온(500℃ 이하)의 온도를 이용하여 산화막 형성하는 형태는, 큰 구경(300mm)의 전자 디바이스용 기재(종래에서는, 작은 구경(200mm)의 것에 비해서, 균일하게 가열/냉각하는 것이 각별히 곤란함)를 이용하는 경우에 특히 장점이 있다. 즉, 본 발명에서 저온 처리한 경우에는, 이러한 큰 구경의 전자 디바이스용 기재(웨이퍼)에서 발생할 가능성이 있는 결함의 발생을 최소한으로 하는 것이 용이하다.

도면의 간단한 설명

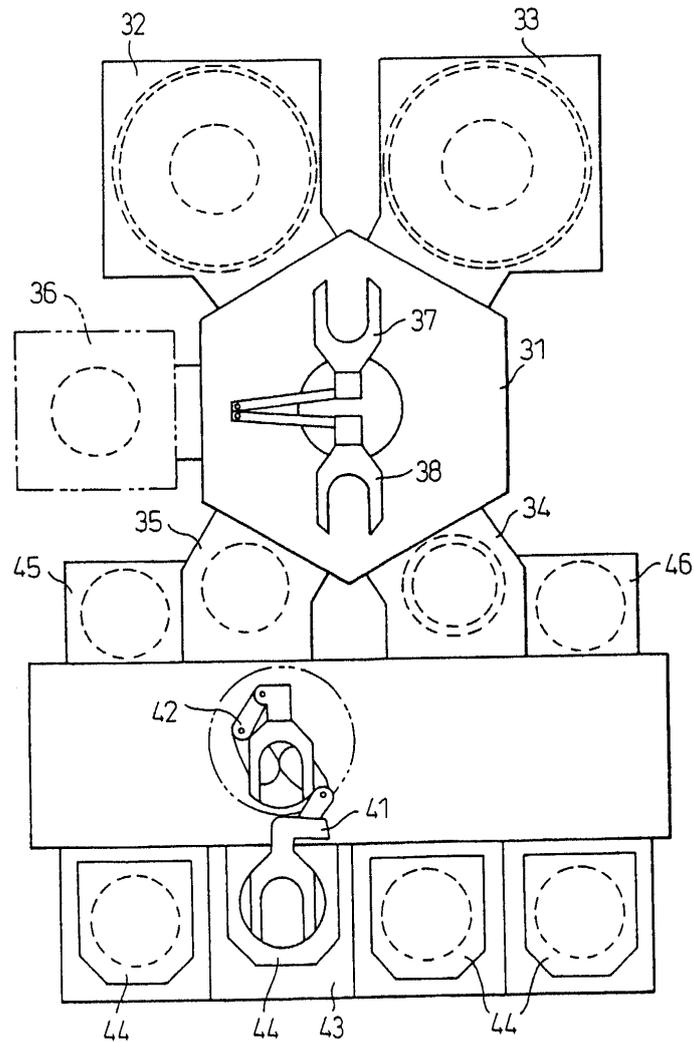
- <1> 도 1은 본 발명의 산화막 형성 방법을 실시하기 위한 반도체 제조 장치의 일례를 나타내는 모식적인 평면도,
- <2> 도 2는 본 발명의 산화막 형성 방법에 사용 가능한 슬롯 플레인 안테나 플라즈마 처리 유닛의 일례를 나타내는 모식적인 수직 단면도,
- <3> 도 3은 본 발명의 산화막 형성 방법에 사용 가능한 SPA의 일례를 나타내는 모식적인 평면도,
- <4> 도 4는 본 발명의 전자 디바이스 제조 방법에 사용 가능한 플라즈마 처리 유닛이 모식적인 수직 단면도,
- <5> 도 5는 본 발명의 산화막 형성 방법에 의해 얻어진 산화막 형성 속도를 나타내는 그래프,
- <6> 도 6은 본 발명의 산화막 형성 방법에 의해 얻어진 산화막의 에칭 특성을 나타내는 그래프,
- <7> 도 7은 본 발명의 산화막 형성 방법에 의해 얻어진 산화막의 계면 준위 밀도를 나타내는 그래프,
- <8> 도 8은 본 발명의 산화막 형성 방법에 의해 얻어진 산화막의 XPS에 의한 화학 조성의 측정 결과를 나타내는 그래프,
- <9> 도 9는 본 발명의 산화막 형성 방법에 의해 얻어진 산화막의 AFM에 의한 표면 거칠기의 측정 결과를 나타내는 그래프,
- <10> 도 10은 실시예 1에서 얻어진 산화막(수소 첨가 산화막)과, 종래의 산화막과의 굴절률과 상관 밀도의 측정 결과(실시예 7의 데이터)를 나타내는 그래프,
- <11> 도 11은 실시예 7의 데이터의 검증으로서 X선 반사법을 이용한 밀도 측정 결과(실시예 8)를 나타내는 데이터,
- <12> 도 12는 실시예 9에서 시작한 MOS 반도체 구조의 전기 특성 평가를 나타내는 그래프이다.
- <13> 도면의 주요 부분에 대한 부호의 설명
- <14> W ... 웨이퍼(피처리 기체)
- <15> 60 ... 슬롯 플레인 안테나(평면 안테나 부재)

- <16> 2 ... 산화막
- <17> 2a ... 질소 함유층
- <18> 32 ... 플라즈마 처리 유닛(프로세스 챔버)
- <19> 33 ... 플라즈마 처리 유닛(프로세스 챔버)
- <20> 47 ... 가열 반응 화로

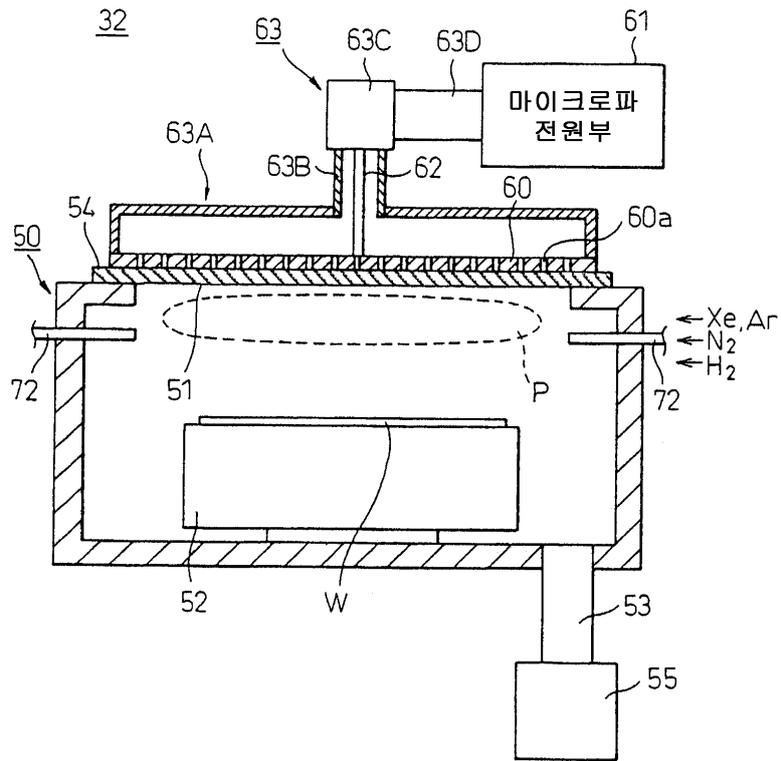
도면

도면1

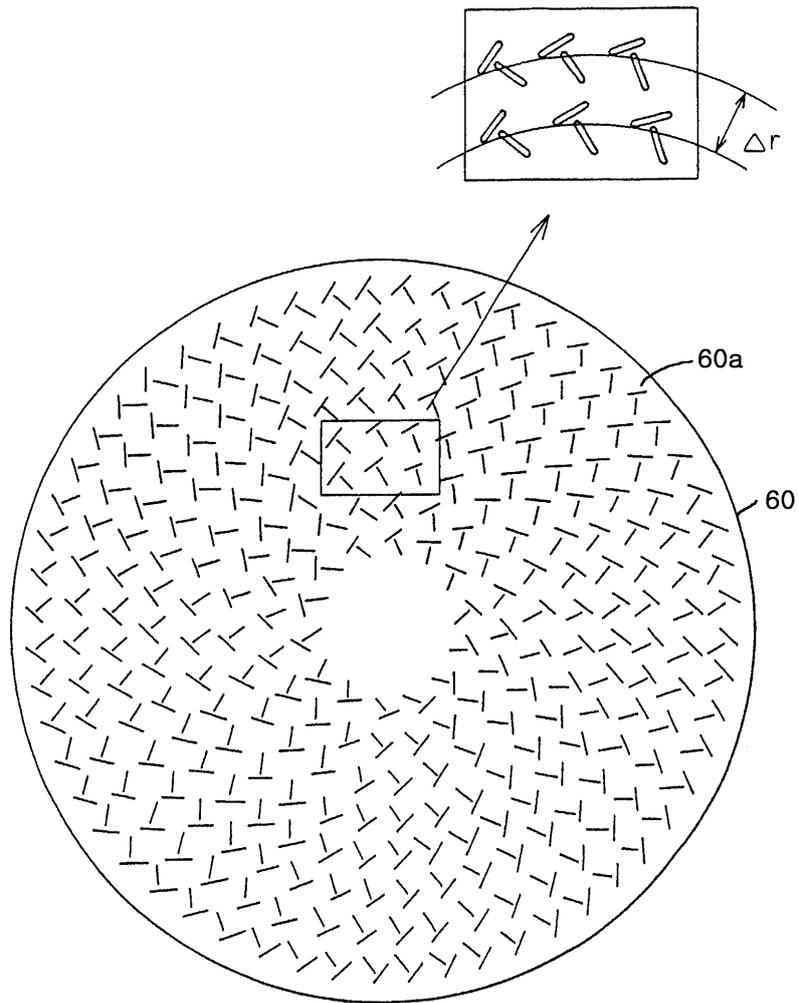
30



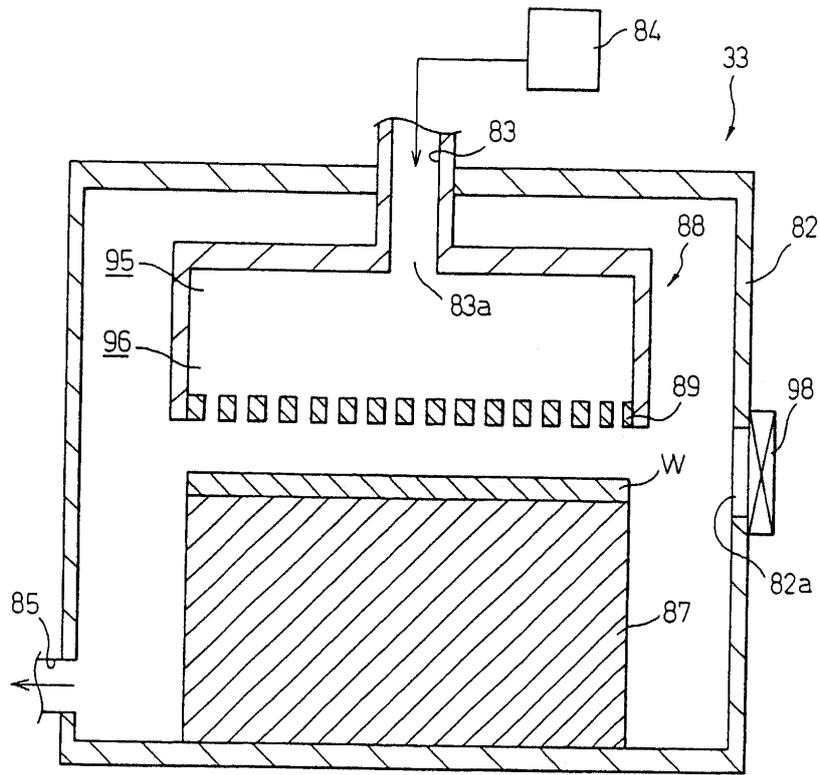
도면2



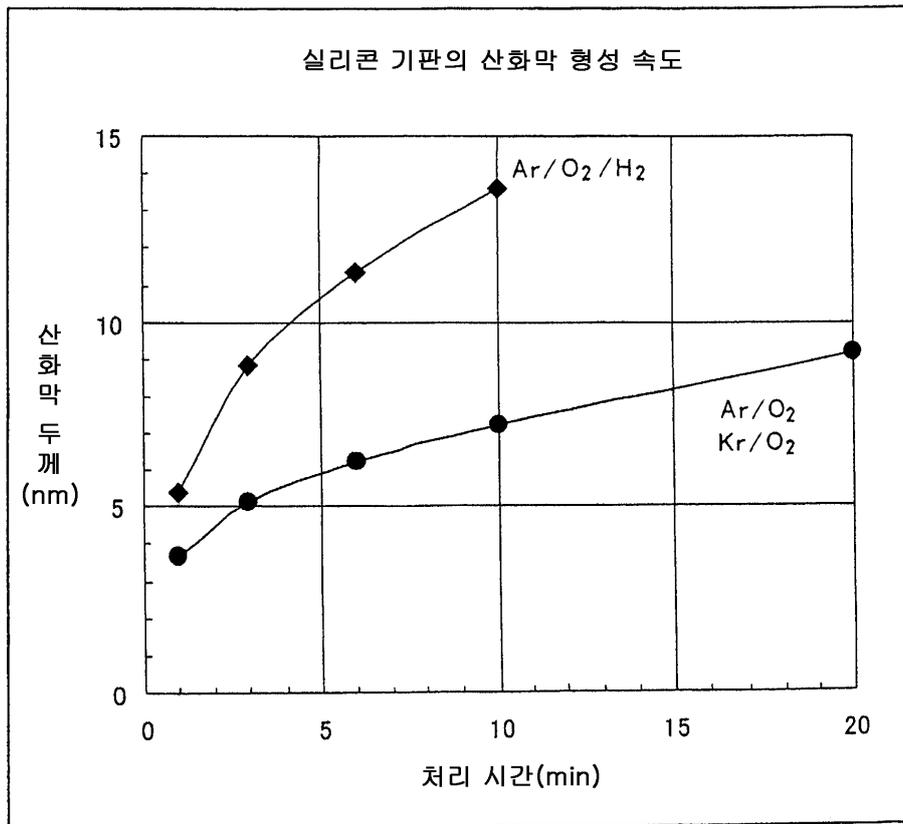
도면3



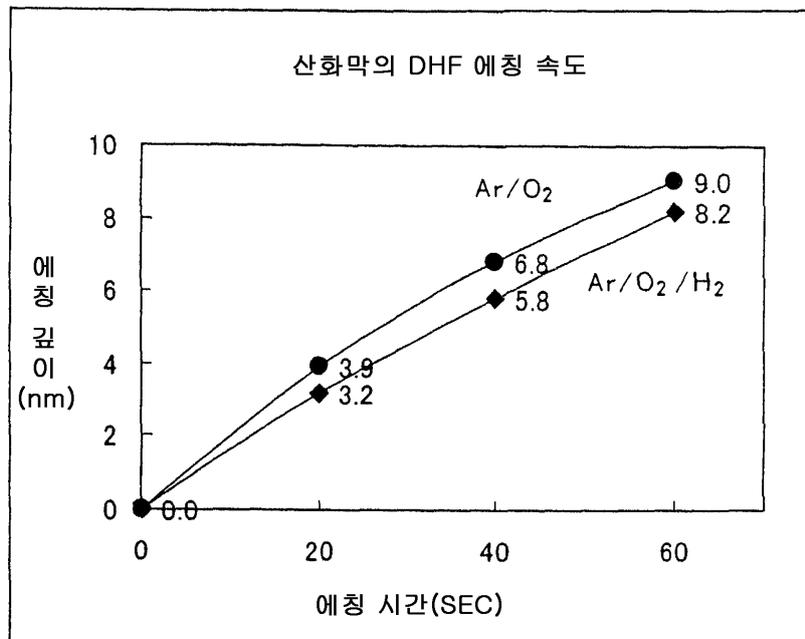
도면4



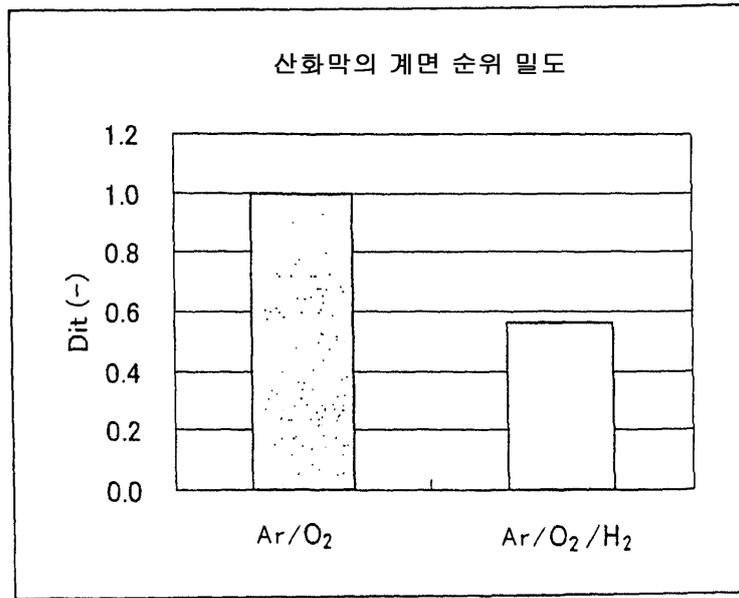
도면5



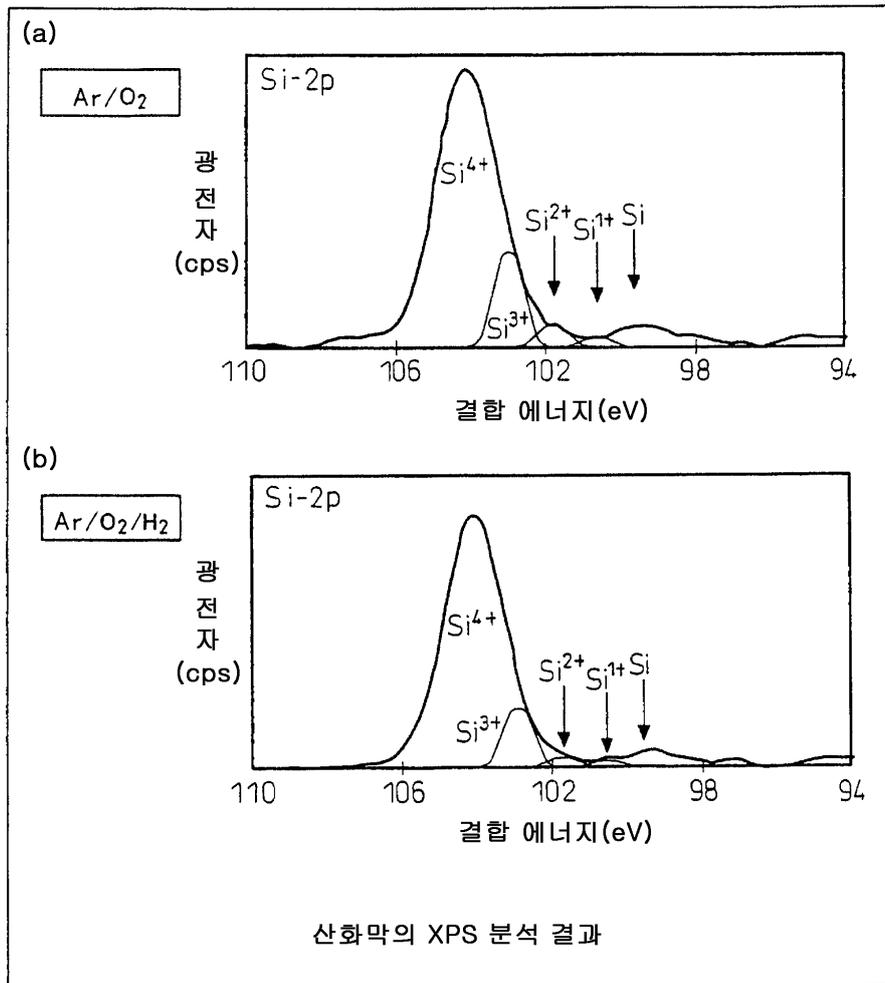
도면6



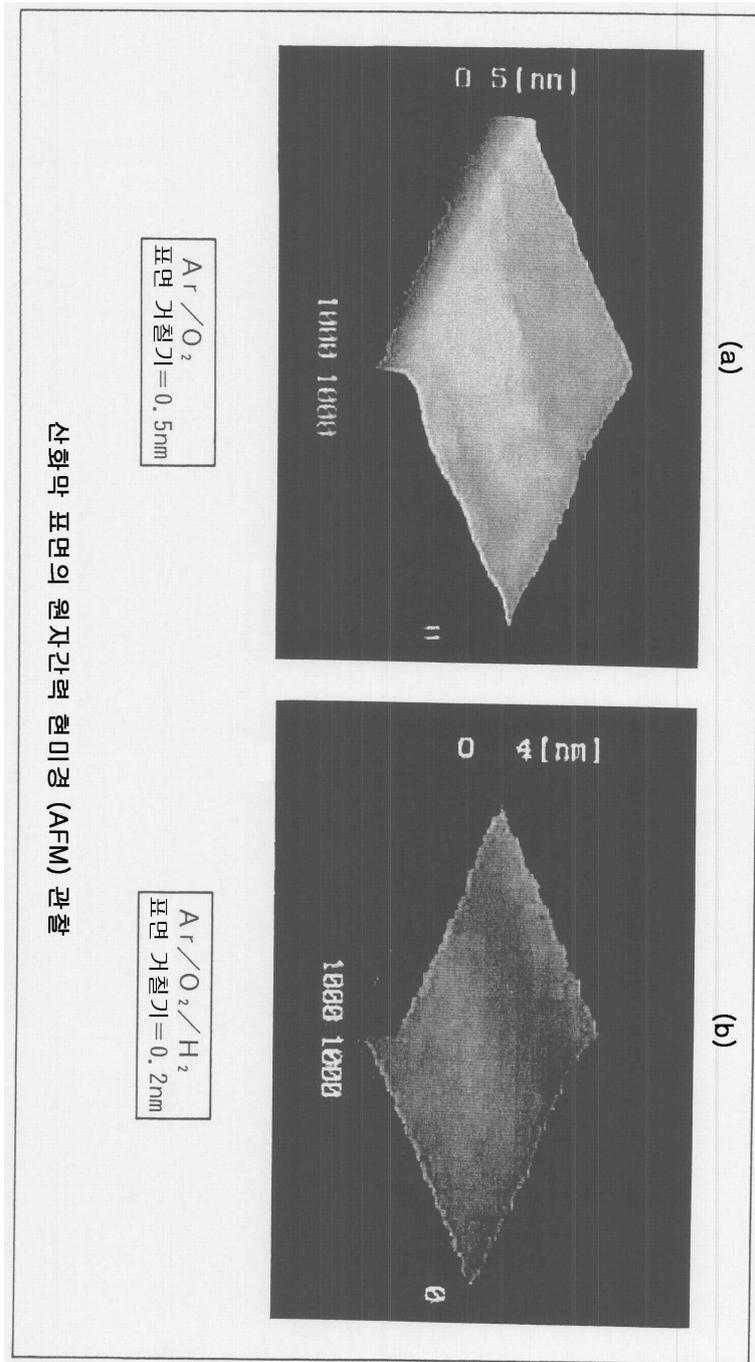
도면7



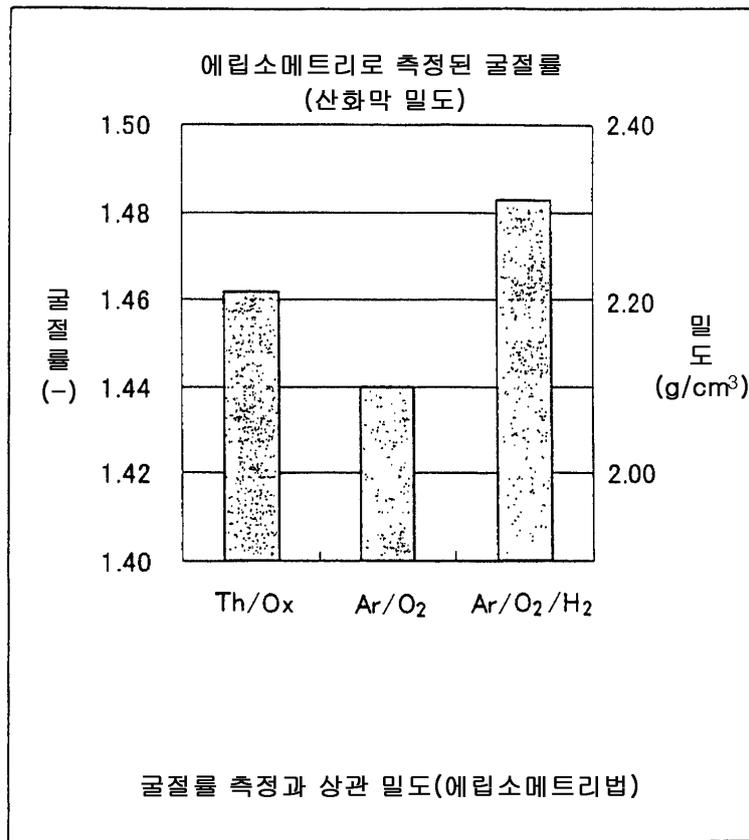
도면8



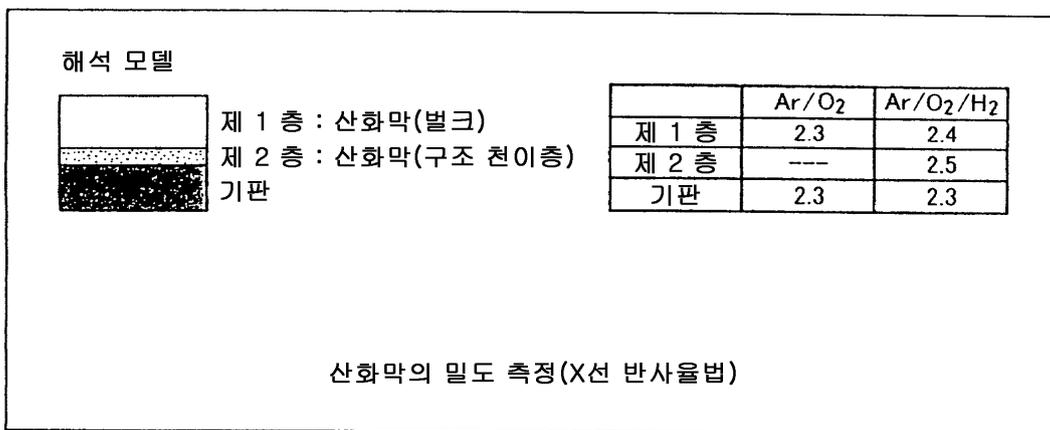
도면9



도면10



도면11



도면12

