



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월18일  
(11) 등록번호 10-1243804  
(24) 등록일자 2013년03월08일

(51) 국제특허분류(Int. Cl.)  
G02F 1/133 (2006.01)  
(21) 출원번호 10-2006-0060424  
(22) 출원일자 2006년06월30일  
심사청구일자 2011년06월22일  
(65) 공개번호 10-2008-0001943  
(43) 공개일자 2008년01월04일  
(56) 선행기술조사문헌  
KR1020050000105 A\*  
US6417829 B1  
US20030038766 A1  
US20040257322 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
문수환  
경북 구미시 상모동 우방신세계타운 105동 901호  
김태환  
서울특별시 성북구 삼양로 11-14 (길음동)  
(74) 대리인  
김용인, 심창섭

전체 청구항 수 : 총 10 항

심사관 : 김홍섭

(54) 발명의 명칭 액정 표시장치의 구동장치 및 구동방법

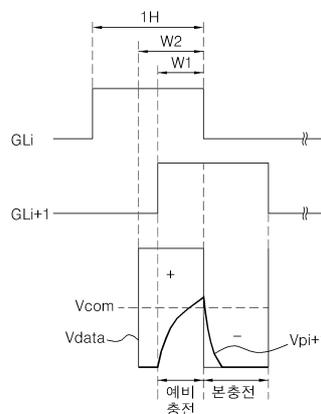
(57) 요약

본 발명은 화소의 충전 특성을 향상시킬 수 있도록 한 액정 표시장치의 구동장치 및 구동방법에 관한 것이다.

본 발명에 따른 액정 표시장치의 구동장치는 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부와, 상기 인접한 게이트 라인들에 중첩되는 게이트 펄스를 공급하는 게이트 드라이버와, 상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 데이터 드라이버와, 상기 인접한 게이트 라인들에 공급되는 게이트 펄스의 중첩 구간을 조절하는 타이밍 컨트롤러를 포함하여 구성되는 것을 특징으로 한다.

이러한 구성에 의하여, 본 발명은 인접한 게이트 라인들에 공급되는 게이트 펄스를 1수평 구간의 절반 이하로 중첩시켜 화소의 예비충전 시간을 감소시킴으로써 화소의 충전특성을 향상시킬 수 있다. 즉, 본 발명은 게이트 펄스의 중첩구동에 의한 화소의 예비충전 시간을 본충전 시간보다 짧게 함으로써 도트 인버전 또는 라인 인버전시 화소의 충전특성을 향상시킬 수 있다.

대표도 - 도5



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부와,

인접한 게이트 라인들에 중첩되는 게이트 펄스를 공급하는 게이트 드라이버와,

상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 데이터 드라이버와,

상기 게이트 드라이버 및 상기 데이터 드라이버를 제어하고, 상기 인접한 게이트 라인들에 공급되는 게이트 펄스의 중첩 구간을 조절하는 타이밍 컨트롤러를 포함하고,

상기 타이밍 컨트롤러는 1수평 구간의 절반 이하로 중첩되어 순차적으로 쉬프트되는 복수의 게이트 쉬프트 클럭을 생성하는 클럭신호 생성부를 포함하고,

상기 클럭신호 생성부는,

상기 1수평 구간의 절반이 중첩되도록 순차적으로 쉬프트되는 복수의 기준클럭을 생성하는 기준클럭 생성부와,

상기 게이트 펄스의 중첩 구간을 조절하기 위한 복수의 폭 조절신호를 생성하는 폭 조절신호 생성부와,

상기 기준클럭과 상기 폭 조절신호 각각을 배타적 논리합 연산하여 상기 복수의 게이트 쉬프트 클럭을 생성하는 논리 연산부를 구비하는 것을 특징으로 하는 액정 표시장치의 구동장치.

**청구항 5**

제 4 항에 있어서,

상기 폭 조절신호는 상기 1수평 구간의 초기의 일부 구간에 대응되도록 생성되는 것을 특징으로 하는 액정 표시장치의 구동장치.

**청구항 6**

제 4 항에 있어서,

상기 폭 조절신호의 펄스 폭은 사용자의 설정에 의해 상기 1수평 구간의 초기 구간에서 조절되는 것을 특징으로 하는 액정 표시장치의 구동장치.

**청구항 7**

복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부와,

인접한 게이트 라인들에 중첩되는 게이트 펄스를 공급하는 게이트 드라이버와,

상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 데이터 드라이버와,

상기 게이트 드라이버 및 상기 데이터 드라이버를 제어하고, 상기 인접한 게이트 라인들에 공급되는 게이트 펄스의 중첩 구간을 조절하는 타이밍 컨트롤러를 포함하고,

상기 타이밍 컨트롤러는 1수평 구간의 절반 이하로 중첩되어 순차적으로 쉬프트되는 복수의 게이트 쉬프트 클럭을 생성하는 클럭신호 생성부를 포함하고,

상기 클럭신호 생성부는,

상기 1수평 구간에 대응되는 기준클럭을 생성하는 기준클럭 생성부와,

상기 게이트 펄스의 중첩 구간을 조절하기 위한 폭 조절신호를 생성하는 폭 조절신호 생성부와,

상기 기준클럭과 상기 폭 조절신호를 배타적 논리합 연산하여 기준 게이트 쉬프트 클럭을 생성하는 논리 연산부와,

상기 기준 게이트 쉬프트 클럭을 쉬프트시켜 복수의 게이트 쉬프트 클럭을 생성하는 게이트 쉬프트 클럭 생성부를 구비하는 것을 특징으로 하는 액정 표시장치의 구동장치.

**청구항 8**

제 7 항에 있어서,

상기 게이트 쉬프트 클럭 생성부는 클럭신호에 따라 상기 기준 게이트 쉬프트 클럭을 쉬프트시키는 복수의 플립 플롭을 포함하여 구성되는 것을 특징으로 하는 액정 표시장치의 구동장치.

**청구항 9**

삭제

**청구항 10**

복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부의 구동방법에 있어서,

상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 제 1 단계와,

상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 제 2 단계를 포함하고,

인접한 게이트 라인들에 공급되는 게이트 펄스는 1수평 구간의 절반 이하로 중첩되고,

상기 제 1 단계는,

상기 1수평 구간의 절반이 중첩되도록 순차적으로 쉬프트되는 복수의 기준클럭을 생성하는 단계와,

상기 게이트 펄스의 중첩 구간을 조절하기 위한 복수의 폭 조절신호를 생성하는 단계와,

상기 기준클럭과 상기 폭 조절신호 각각을 배타적 논리합 연산하여 상기 복수의 게이트 쉬프트 클럭을 생성하는 단계와,

상기 복수의 게이트 쉬프트 클럭에 따라 상기 게이트 펄스를 생성하여 상기 게이트 라인들에 순차적으로 공급하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 구동방법.

**청구항 11**

제 10 항에 있어서,

상기 폭 조절신호는 상기 1수평 구간의 초기의 일부 구간에 대응되도록 생성되는 것을 특징으로 하는 액정 표시장치의 구동방법.

**청구항 12**

제 10 항에 있어서,

상기 폭 조절신호의 펄스 폭은 사용자의 설정에 의해 상기 1수평 구간의 초기 구간에서 조절되는 것을 특징으로 하는 액정 표시장치의 구동방법.

**청구항 13**

복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부의 구동방법에 있어서,

상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 제 1 단계와,  
 상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 제 2 단계를 포함하고,  
 인접한 게이트 라인들에 공급되는 게이트 펄스는 1수평 구간의 절반 이하로 중첩되고,  
 상기 제 1 단계는,  
 상기 1수평 구간에 대응되는 기준클럭을 생성하는 단계와,  
 상기 게이트 펄스의 중첩 구간을 조절하기 위한 폭 조절신호를 생성하는 단계와,  
 상기 기준클럭과 상기 폭 조절신호를 배타적 논리합 연산하여 기준 게이트 쉬프트 클럭을 생성하는 단계와,  
 상기 기준 게이트 쉬프트 클럭을 쉬프트시켜 복수의 게이트 쉬프트 클럭을 생성하는 단계와,  
 상기 복수의 게이트 쉬프트 클럭에 따라 상기 게이트 펄스를 생성하여 상기 게이트 라인들에 순차적으로 공급하  
 는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 구동방법.

**청구항 14**

제 13 항에 있어서,  
 상기 게이트 쉬프트 클럭을 생성하는 단계는 복수의 플립플롭을 이용하여 클럭신호에 따라 상기 기준 게이트 쉬  
 프트 클럭을 쉬프트시켜 상기 게이트 쉬프트 클럭을 생성하는 것을 특징으로 하는 액정 표시장치의 구동방법.

**청구항 15**

삭제

**청구항 16**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0014] 본 발명은 액정 표시장치에 관한 것으로, 특히 화소의 충전 특성을 향상시킬 수 있도록 한 액정 표시장치의 구동장치 및 구동방법에 관한 것이다.
- [0015] 액정 표시장치는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정 표시장치는 브라운관에 비하여 소형화가 가능하여 퍼스널 컴퓨터(Personal Computer)와 노트북 컴퓨터(Note Book Computer)는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.
- [0016] 액정 표시장치는 게이트 라인들과 데이터 라인들의 교차부들 각각에 배열되어진 액정셀들에 데이터 전압을 공급하여 데이터 전압에 해당하는 화상을 표시하게 된다. TFT는 게이트 라인과 데이터 라인들의 교차부에 형성되어 게이트 라인으로부터의 게이트 펄스(게이트 펄스)에 응답하여 액정셀 쪽으로 전송될 데이터 신호를 절환하게 된다.
- [0017] 종래의 액정표시장치는 액정셀의 느린 응답특성으로 인하여 액정셀에 충분한 데이터 전압이 충전되지 못하는 문제점이 발생된다. 다시 말하여, 박막트랜지스터의 턴-온시간 동안 액정셀은 충분한 비디오 전압을 공급받지 못하는 문제점이 있다.
- [0018] 이러한, 액정셀의 느린 응답특성을 보상하기 위하여 인접한 게이트 라인들에 공급되는 게이트 펄스를 중첩시켜 이전 데이터를 액정셀에 미리 충전시키는 예비충전(Pre Charging) 방법을 이용한 액정 표시장치가 제안되었다.
- [0019] 예비충전 방법은 도 1에 도시된 바와 같이 제 i 게이트 라인(GL<sub>i</sub>; 단, i는 자연수)과 제 i 게이트 라인(GL<sub>i</sub>)에

인접한 제  $i+1$  게이트 라인( $GL_{i+1}$ )에 공급되는 게이트 펄스를 중첩(T1, T2)시켜 화소에 공급되는 데이터를 예비 충전하게 된다. 이때, 인접한 게이트 라인들에 공급되는 게이트 펄스는 1수평 구간의 절반이 중첩된다.

[0020] 이와 같은, 예비충전 방법은 화소에 공급되는 데이터에 의하여 화소에 예비충전된 데이터의 극성과 다른 극성의 데이터가 공급된다. 이러한 예비충전 방법은 동일 프레임에서 수직으로 인접한 화소가 동일한 극성을 가지는 컬럼 인버전의 경우 가능하게 된다.

[0021] 그러나 이러한 예비충전 방법은 수직으로 인접한 화소에 극성이 다르게 인가되는 도트 인버전 또는 라인 인버전 방식에서는 적용할 수 없게 된다. 즉, 화소가 제 1 극성의 데이터로 예비충전되었다가 다시 제 2 극성의 데이터로 본충전되기 때문에 도트 인버전 또는 라인 인버전 방식과 같이 데이터 전압의 변화폭이 큰 경우 반대 극성의 예비충전으로 인해 본충전의 시간이 길어지므로 화소에 전압이 완전히 충전되지 않아 화질 불량이 발생하게 된다.

**발명이 이루고자 하는 기술적 과제**

[0022] 따라서 상기와 같은 문제점을 해결하기 위하여, 본 발명은 화소의 충전 특성을 향상시킬 수 있도록 한 액정 표시장치의 구동장치 및 구동방법을 제공하는데 있다.

**발명의 구성 및 작용**

[0023] 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 액정 표시장치의 구동장치는 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부와, 상기 인접한 게이트 라인들에 중첩되는 게이트 펄스를 공급하는 게이트 드라이버와, 상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 데이터 드라이버와, 상기 인접한 게이트 라인들에 공급되는 게이트 펄스의 중첩 구간을 조절하는 타이밍 컨트롤러를 포함하여 구성되는 것을 특징으로 한다.

[0024] 본 발명의 실시 예에 따른 액정 표시장치의 구동장치는 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부와, 상기 인접한 게이트 라인들에 1수평 구간의 절반 이하로 중첩되는 게이트 펄스를 공급하는 게이트 드라이버와, 상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 데이터 드라이버와, 상기 게이트 드라이버 및 상기 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하여 구성되는 것을 특징으로 한다.

[0025] 본 발명의 실시 예에 따른 액정 표시장치의 구동방법은 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부의 구동방법에 있어서, 상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 제 1 단계와, 상기 게이트 펄스에 동기되도록 상기 데이터 라인에 데이터 전압을 공급하는 제 2 단계를 포함하고, 상기 인접한 게이트 라인들에 공급되는 게이트 펄스는 1수평 구간의 절반 이하로 중첩되는 것을 특징으로 한다.

[0026] 본 발명의 실시 예에 따른 액정 표시장치의 구동방법은 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부의 구동방법에 있어서, 상기 인접한 게이트 라인들에 공급되는 게이트 펄스를 중첩시켜 상기 액정셀을 예비충전 구간과 본충전 구간으로 나누어 구동하며, 상기 예비충전 구간은 상기 본충전 구간보다 짧은 것을 특징으로 한다.

[0027] 이하에서, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.

[0028] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 나타내는 도면이다.

[0029] 도 1을 참조하면, 본 발명의 실시 예에 따른 액정 표시장치의 구동장치는 복수의 데이터 라인(DL1 내지 DLm)과 복수의 게이트 라인(GL1 내지 GLn)에 의해 정의되는 영역에 액정셀이 형성된 화상 표시부(2)와, 인접한 게이트 라인들에 중첩되는 게이트 펄스를 공급하는 게이트 드라이버(4)와, 게이트 펄스에 동기되도록 데이터 라인(DL1 내지 DLm)에 데이터 전압을 공급하기 위한 데이터 드라이버(6)와, 인접한 게이트 라인들에 공급되는 게이트 펄스의 중첩 구간을 조절하는 타이밍 컨트롤러(8)를 포함하여 구성된다.

[0030] 화상 표시부(2)는 n개의 게이트 라인(GL1 내지 GLn)과 m개의 데이터 라인(DL1 내지 DLm)에 의해 정의되는 영역에 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되는 액정셀들을 포함하여 구성된다. 박막 트랜지스터(TFT)는 게이트 라인(GL1 내지 GLn)으로부터의 게이트 펄스에 응답하여 데이터 라인(DL1 내지 DLm)으로부터의 데이터 전압을 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 커패시터(C1c)로 표시될 수 있다. 이러한 액정셀은

액정 커패시터(C1c)에 충전된 데이터 전압을 다음 데이터 전압이 충전될 때까지 유지시키기 위한 스토리지 커패시터(Cst)를 포함한다.

- [0031] 데이터 드라이버(6)는 타이밍 컨트롤러(8)로부터 공급되는 데이터 제어신호(DCS)에 따라 타이밍 컨트롤러(8)로부터 공급되는 데이터(Data)를 아날로그 신호인 데이터 전압으로 변환하고, 게이트 라인(GL)에 게이트 펄스가 공급되는 1수평 주기마다 1수평 라인분의 데이터 전압을 데이터 라인들(DL)에 공급한다. 이때, 데이터 드라이버(6)는 타이밍 컨트롤러(8)로부터 공급되는 극성 제어신호(POL)에 응답하여 데이터 라인들(DL)에 공급되는 데이터 전압의 극성을 반전시키게 된다.
- [0032] 타이밍 컨트롤러(8)는 외부로부터 입력되는 입력 데이터(RGB)를 화상 표시부(2)의 구동에 알맞도록 정렬하여 데이터 드라이버(6)에 공급한다.
- [0033] 또한, 타이밍 컨트롤러(8)는 외부로부터 입력되는 수직 및 수평 동기신호(V, H), 데이터 인에이블(DE) 및 도트 클럭(DCLK)을 이용하여 데이터 드라이버(6)를 제어하기 위한 데이터 제어신호(DCS)를 생성함과 동시에 게이트 드라이버(4)를 제어하기 위한 게이트 스타트 신호(Vst) 및 복수의 게이트 쉬프트 클럭(GSCi)을 생성한다. 여기서, 데이터 제어신호(DCS)는 소스 출력 인에이블(SOE), 소스 쉬프트 클럭(SSC), 소스 스타트 펄스(SSP) 및 극성 제어신호(POL) 등을 포함한다.
- [0034] 한편, 타이밍 컨트롤러(8)는 복수의 게이트 쉬프트 클럭(GSCi)을 생성하기 위하여 도 3에 도시된 클럭신호 생성부(10)를 포함한다.
- [0035] 본 발명의 제 1 실시 예에 따른 클럭신호 생성부(10)는 기준클럭 생성부(12), 폭 조절신호 생성부(14) 및 논리 연산부(16)를 포함하여 구성된다.
- [0036] 기준클럭 생성부(12)는 수직 및 수평 동기신호(V, H), 데이터 인에이블(DE) 및 도트클럭(DCLK)을 이용하여 1수평 구간의 절반이 중첩되도록 순차적으로 쉬프트되는 복수의 기준클럭(RCLKi)을 생성한다.
- [0037] 폭 조절신호 생성부(14)는 복수의 기준클럭(RCLKi)의 중첩구간을 1수평 구간의 절반 이하로 조절하기 위하여 1수평 구간의 초기의 일부 구간에 대응되는 복수의 폭 조절신호(WVSi)를 생성한다. 여기서, 복수의 폭 조절신호(WVSi)는 고정된 펄스 폭을 가지거나 사용자(User)의 설정에 대응되는 펄스 폭을 가질 수 있다.
- [0038] 논리 연산부(16)는 기준클럭 생성부(12)로부터의 각 기준클럭(RCLKi)과 폭 조절신호 생성부(14)로부터의 각 폭 조절신호(WVSi)를 논리 연산하여 복수의 쉬프트 클럭(GSCi)을 생성한다. 이를 위해, 논리 연산부(16)는 복수의 배타적 논리합 게이트(XOR)를 포함하여 구성된다.
- [0039] 논리 연산부(16)는 각 기준클럭(RCLKi)과 각 폭 조절신호(WVSi)를 배타적 논리합 연산하여 복수의 게이트 쉬프트 클럭(GSCi)을 생성한다.
- [0040] 이에 따라, 복수의 게이트 쉬프트 클럭(GSCi)은 1수평 구간의 절반 이하로 중첩되어 순차적으로 쉬프트된다.
- [0041] 이와 같은 클럭신호 생성부(10)가 도 4에 도시된 바와 같이 4개의 게이트 쉬프트 클럭(GSC1 내지 GSC4)을 생성하는 것으로 가정하여 상세히 설명하면 다음과 같다.
- [0042] 먼저, 기준클럭 생성부(12)는 1수평 구간의 절반이 중첩되도록 순차적으로 쉬프트되는 제 1 내지 제 4 기준클럭(RCLK1 내지 RCLK4)를 생성하여 논리 연산부(16)에 공급한다. 이와 동시에 폭 조절신호 생성부(14)는 1수평 구간의 초기에 대응되도록 순차적으로 쉬프트되는 제 1 내지 제 4 폭 조절신호(WVS1 내지 WVS4)를 생성하여 논리 연산부(16)에 공급한다.
- [0043] 이에 따라, 논리 연산부(16)는 각 기준클럭(RCLK1 내지 RCLK4)과 각 폭 조절신호(WVS1 내지 WVS4)를 배타적 논리합(XOR) 연산하여 제 1 내지 제 4 게이트 쉬프트 클럭(GSC1 내지 GSC4)을 생성하여 게이트 드라이버(4)에 공급한다.
- [0044] 따라서, 제 1 내지 제 4 게이트 쉬프트 클럭(GSC1 내지 GSC4)의 중첩구간(W1)은 1수평 구간의 절반(W2) 이하가 된다. 또한, 제 1 내지 제 4 게이트 쉬프트 클럭(GSC1 내지 GSC4)의 중첩구간(W1)은 1수평 구간의 절반(W2)에서 폭 조절신호(WVS)의 펄스 폭을 뺀 구간이 되므로 폭 조절신호(WVS)의 펄스 폭에 따라 1수평 구간의 절반(W2) 이하로 조절될 수 있다.
- [0045] 도 2에서, 게이트 드라이버(4)는 타이밍 컨트롤러(8)로부터의 게이트 스타트 신호(Vst)에 의해 구동되며 복수의 게이트 쉬프트 클럭(GSCi)에 따라 게이트 펄스를 순차적으로 생성하는 쉬프트 레지스터를 포함하여 구성된다.

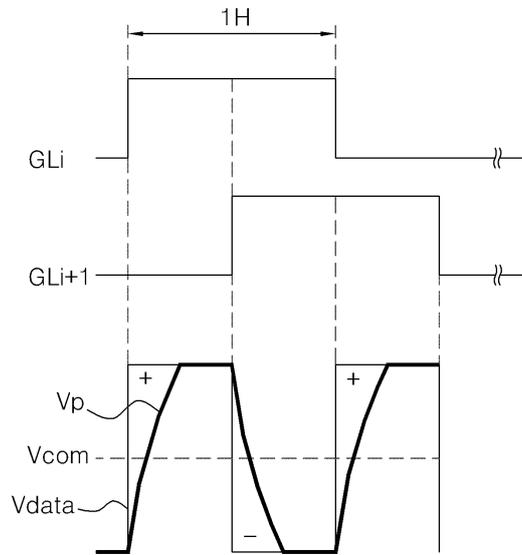
이러한, 게이트 드라이버(4)는 인접한 게이트 라인들(GL)에 1수평 구간의 절반 이하로 중첩되는 게이트 펄스를 순차적으로 공급하여 게이트 라인(GL)에 접속된 박막 트랜지스터(TFT)를 턴-온시키게 된다. 한편, 게이트 드라이버(4)는 화상 표시부(2)의 박막 트랜지스터(TFT) 제조공정과 동시에 화상 표시부(2)의 일측에 형성될 수 있다.

- [0046] 이와 같은 본 발명은 도 5에 도시된 바와 같이 인접한 제 i 및 제 i+1 게이트 라인들(GLi, GLi+1)에 공급되는 게이트 펄스를 1수평 구간의 절반(W2) 이하로 중첩시킴으로써 화소의 충전(VPi+1) 특성을 향상시킬 수 있다. 즉, 제 i+1 게이트 라인들(GLi+1)에 접속된 화소에는 제 i 게이트 라인들(GLi)에 공급되는 게이트 펄스와 1수평 구간의 절반(W2) 이하로 중첩되어 공급되는 게이트 펄스에 의해 정극성(+)의 데이터 전압의 일부를 예비충전된 후, 부극성(-)의 데이터 전압이 본충전된다. 이에 따라, 본 발명은 화소의 예비충전 시간을 감소시켜 극성 반전시 데이터 전압간의 변화폭을 감소시켜 화소의 충전특성을 향상시킬 수 있다.
- [0047] 결과적으로, 본 발명은 컬럼 인버전 방식 뿐만 아니라 도트 인버전 또는 라인 인버전 방식에서도 예비충전 방식을 적용할 수 있다.
- [0048] 도 6은 본 발명의 제 2 실시 예에 따른 클럭신호 생성부를 개략적으로 나타내는 블록도이다.
- [0049] 도 6을 도 2와 결부하면, 본 발명의 제 2 실시 예에 따른 클럭신호 생성부(10)는 기준클럭 생성부(112), 폭 조절신호 생성부(114), 논리 연산부(116) 및 게이트 쉬프트 클럭 생성부(118)를 포함하여 구성된다.
- [0050] 기준클럭 생성부(112)는 수직 및 수평 동기신호(V, H), 데이터 인에이블(DE) 및 도트클럭(DCLK)을 이용하여 1수평 구간의 절반이 중첩되도록 순차적으로 쉬프트되는 기준클럭(RCLK)을 생성한다.
- [0051] 폭 조절신호 생성부(114)는 기준클럭(RCLK)의 중첩구간을 1수평 구간의 절반 이하로 조절하기 위하여 1수평 구간의 초기에 대응되는 폭 조절신호(WVS)를 생성한다. 여기서, 폭 조절신호(WVS)는 고정된 펄스 폭을 가지거나 사용자(User)의 설정에 대응되는 펄스 폭을 가질 수 있다.
- [0052] 논리 연산부(116)는 기준클럭 생성부(112)로부터의 기준클럭(RCLK)과 폭 조절신호 생성부(114)로부터의 폭 조절신호(WVS)를 논리 연산하여 기준 게이트 쉬프트 클럭(RGSC)을 생성한다. 즉, 논리 연산부(116)는 기준클럭(RCLK)과 폭 조절신호(WVS)를 배타적 논리합(XOR) 연산하여 기준 게이트 쉬프트 클럭(RGSC)을 생성한다. 이에 따라, 기준 게이트 쉬프트 클럭(RGSC)은 1수평 구간의 절반(W2)에서 폭 조절신호(WVS)의 펄스 폭을 제외한 펄스 폭을 갖는다.
- [0053] 게이트 쉬프트 클럭 생성부(118)는 클럭신호(CLK)에 따라 기준 게이트 쉬프트 클럭(RGSC)을 순차적으로 쉬프트시켜 1수평 구간의 절반 이하로 중첩되는 제 1 내지 제 4 게이트 쉬프트 클럭(GSC1 내지 GSC4)을 생성한다. 이를 위해, 게이트 쉬프트 클럭 생성부(118)는 제 1 내지 제 4 플립플롭(119a, 119b, 119c, 119d)을 포함하여 구성된다.
- [0054] 제 1 플립플롭(119a)은 클럭신호(CLK)에 따라 논리 연산부(116)로부터의 기준 게이트 쉬프트 클럭(RGSC)을 제 1 게이트 쉬프트 클럭(GSC1)으로 출력한다.
- [0055] 제 2 플립플롭(119b)은 클럭신호(CLK)에 따라 제 1 플립플롭(119a)으로부터 출력되는 제 1 게이트 쉬프트 클럭(GSC1)을 제 2 게이트 쉬프트 클럭(GSC2)으로 출력한다.
- [0056] 제 3 플립플롭(119c)은 클럭신호(CLK)에 따라 제 2 플립플롭(119b)으로부터 출력되는 제 2 게이트 쉬프트 클럭(GSC2)을 제 3 게이트 쉬프트 클럭(GSC3)으로 출력한다.
- [0057] 제 4 플립플롭(119d)은 클럭신호(CLK)에 따라 제 3 플립플롭(119c)으로부터 출력되는 제 3 게이트 쉬프트 클럭(GSC3)을 제 4 게이트 쉬프트 클럭(GSC4)으로 출력한다.
- [0058] 이와 같은, 본 발명의 제 2 실시 예에 따른 클럭신호 생성부(10)는 도 7에 도시된 바와 같이 1수평 구간의 폭을 가지는 기준클럭(RCLK)과 1수평 구간의 초기에 대응되는 폭 조절신호(WVS)를 배타적 논리합(XOR) 연산하여 1수평 구간의 절반(W2) 이하의 폭(W1)을 가지는 기준 게이트 쉬프트 클럭(RGSC)을 생성하고, 클럭신호(CLK)에 따라 기준 게이트 쉬프트 클럭(RGSC)을 순차적으로 쉬프트시켜 1수평 구간의 절반 이하로 중첩되는 제 1 내지 제 4 게이트 쉬프트 클럭(GSC1 내지 GSC4)을 생성한다.
- [0059] 따라서, 제 1 내지 제 4 게이트 쉬프트 클럭(GSC1 내지 GSC4)의 중첩구간(W1)은 1수평 구간의 절반(W2) 이하가 된다. 또한, 제 1 내지 제 4 게이트 쉬프트 클럭(GSC1 내지 GSC4)의 중첩구간(W1)은 1수평 구간의 절반(W2)에서 폭 조절신호(WVS)의 펄스 폭을 뺀 구간이 되므로 폭 조절신호(WVS)의 펄스 폭에 따라 1수평 구간의 절반(W2)

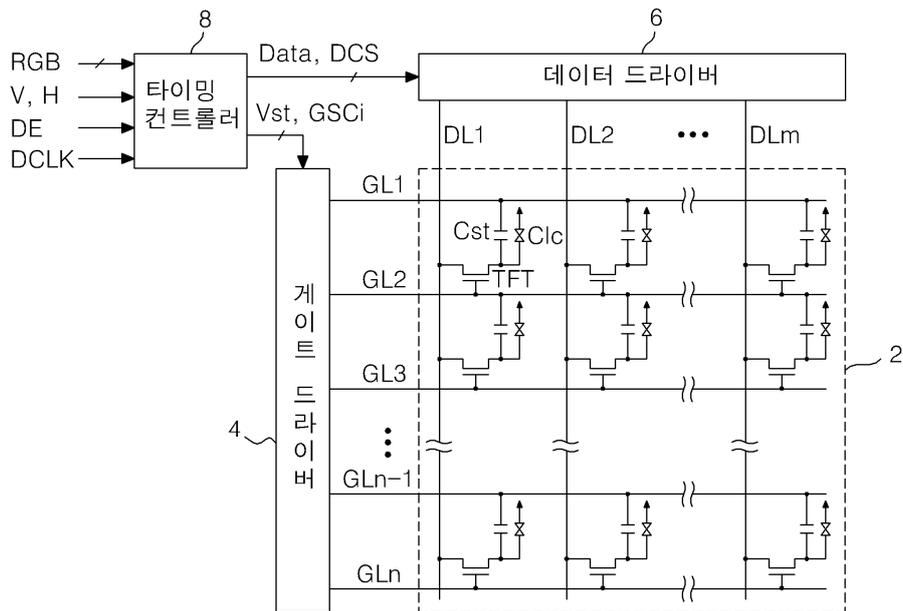


도면

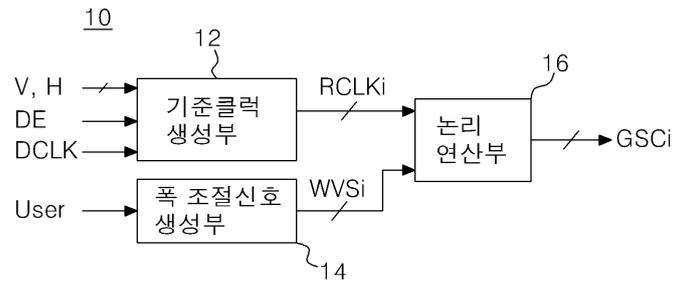
도면1



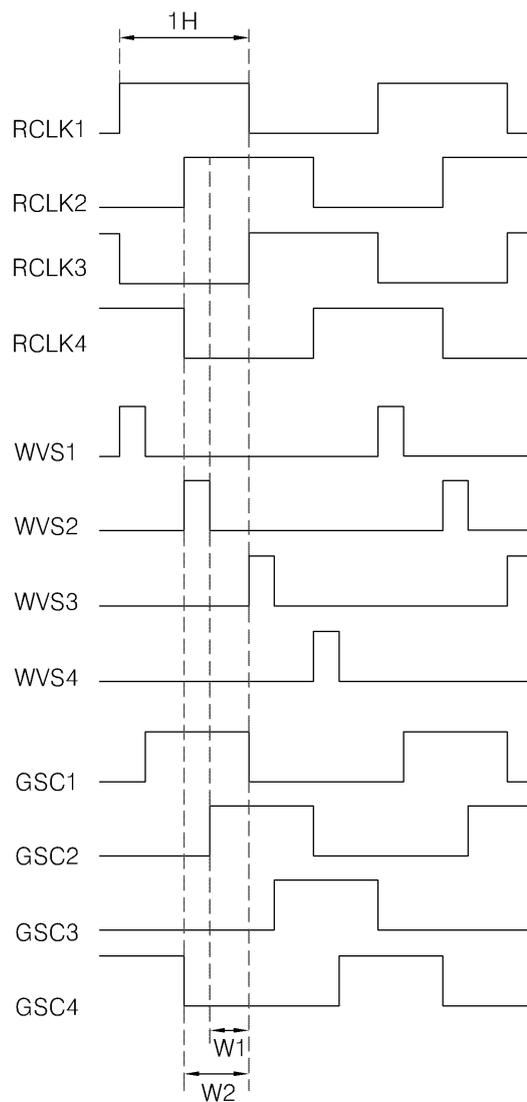
도면2



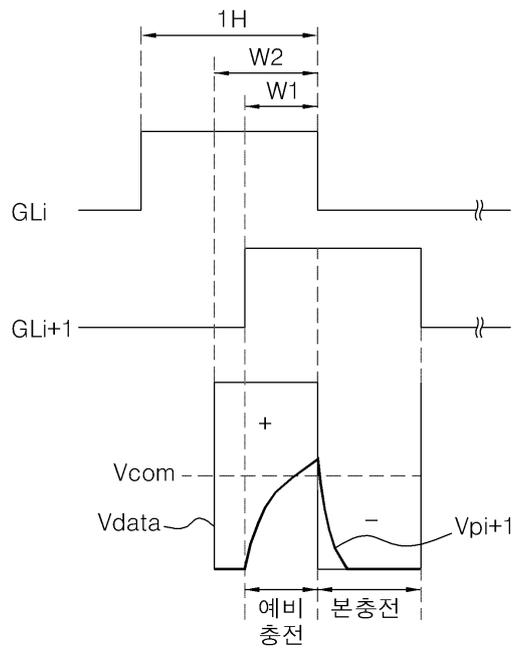
도면3



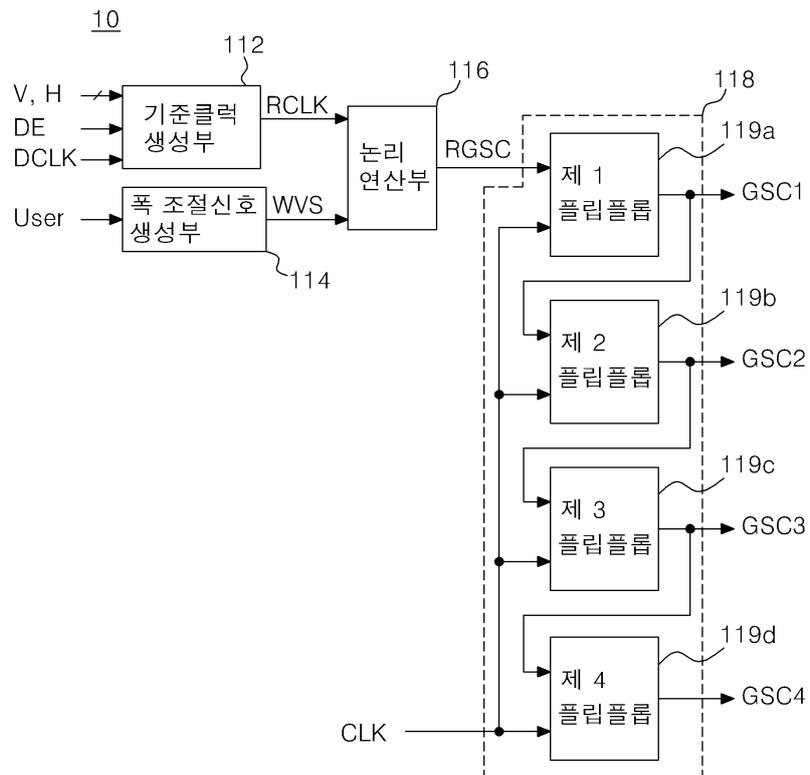
도면4



도면5



도면6



도면7

