

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年11月1日(01.11.2012)



(10) 国際公開番号
WO 2012/147436 A1

- (51) 国際特許分類:
H01L 33/32 (2010.01)
- (21) 国際出願番号: PCT/JP2012/057760
- (22) 国際出願日: 2012年3月26日(26.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-097208 2011年4月25日(25.04.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 松原 秀樹(MATSUBARA, Hideki) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式

会社 伊丹製作所内 Hyogo (JP). 石原 邦亮(ISHIHARA, Kuniaki) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP).

(74) 代理人: 特許業務法人深見特許事務所(Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).

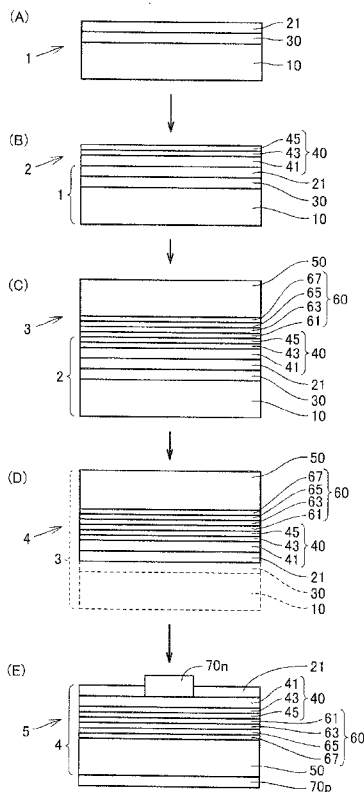
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: MANUFACTURING METHOD FOR GaN SEMICONDUCTOR DEVICE

(54) 発明の名称: GaN系半導体デバイスの製造方法

【図1】



(57) Abstract: A manufacturing method for this GaN semiconductor device (5) includes: a step in which an ion implantation isolation method is used to prepare a composite substrate (1) that contains a support substrate (10) having a thermal expansion coefficient which has a ratio of 0.8-1.2 relative to the thermal expansion coefficient of GaN, and a GaN layer (21), which is bonded to the support substrate (10); a step in which at least a single-layer GaN semiconductor layer (40) is grown on the GaN layer (21) in the composite substrate (1); and a step in which the support substrate (10) in the composite substrate (1) is removed by means of dissolving the same. Thus, a manufacturing method for a GaN semiconductor device is provided which enables GaN semiconductor devices having excellent properties to be manufactured with a good yield.

(57) 要約: 本GaN系半導体デバイス(5)の製造方法は、イオン注入分離法を用いて、GaNの熱膨張係数に対する比が0.8以上1.2以下の熱膨張係数を有する支持基板(10)と、支持基板(10)に貼り合わされたGaN層(21)と、を含む複合基板(1)を準備する工程と、複合基板(1)のGaN層(21)上に少なくとも1層のGaN系半導体層(40)を成長させる工程と、複合基板(1)の支持基板(10)を溶解することにより除去する工程と、を含む。これにより、特性が高いGaN系半導体デバイスを歩留まりよく製造することができるGaN系半導体デバイスの製造方法が提供される。

WO 2012/147436 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： GaN系半導体デバイスの製造方法

技術分野

[0001] 本発明は、特性の高いGaN系半導体デバイスを歩留まりよく製造することができるGaN系半導体デバイスの製造方法に関する。

背景技術

[0002] GaN系半導体デバイスの一般的な製造方法として、特表2001-501778号公報（特許文献1）（国際公開WO1998/014986号公報に対応）およびO. B. Shchekin, et al., “High performance thin-film flip-chip InGaN-GaN light-emitting diodes”, APPLIED PHYSICS LETTERS 89, 071109, (2006), pp 071109-1 - 071109-3（非特許文献1）は、下地基板であるサファイア基板上にGaN系半導体層をエピタキシャル成長させ、GaN系半導体層を転写支持基板に転写または実装基板上に実装した後に、GaN系半導体層からサファイア基板をレーザーリフトオフにより除去する方法を開示する。

先行技術文献

特許文献

[0003] 特許文献1：特表2001-501778号公報（WO1998/014986）

非特許文献

[0004] 非特許文献1：O. B. Shchekin, et al., “High performance thin-film flip-chip InGaN-GaN light-emitting diodes”, APPLIED PHYSICS LETTERS 89, 071109, (2006), pp 071109-1 - 071109-3

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記の特表2001-501778号公報（特許文献1）およびO. B. Shchekin, et al., “High performance thin-film flip-chip InGa_{0.5}N-GaN light-emitting diodes”, APPLIED PHYSICS LETTERS 89, 071109, (2006), pp 071109-1 - 071109-3（非特許文献1）において開示されているGaN系半導体デバイスの製造方法においては、下地基板であるサファイア基板の除去の際にレーザリフトオフを用いているため、GaN系半導体層に大きなダメージを与えるとともに、サファイア基板が除去されたあとのGaN系半導体層の表面のモフォロジーが低下するために、得られるGaN系半導体デバイスの特性が低下するとともに歩留まりが低下するという問題点があった。

[0006] 本発明は、上記の問題点を解決して、特性が高いGaN系半導体デバイスを歩留まりよく製造することができるGaN系半導体デバイスの製造方法を提供することを目的とする。

課題を解決するための手段

[0007] 本発明は、ある局面に従えば、イオン注入分離法を用いて、GaNの熱膨張係数に対する比が0.8以上1.2以下の熱膨張係数を有する支持基板と支持基板に貼り合わされたGaN層とを含む複合基板を準備する工程と、複合基板のGaN層上に少なくとも1層のGaN系半導体層を成長させる工程と、複合基板の支持基板を溶解することにより除去する工程と、を含むGaN系半導体デバイスの製造方法である。

[0008] 本発明にかかるGaN系半導体デバイスの製造方法においては、GaN系半導体層を成長させる工程の後、支持基板を溶解することにより除去する工程の前に、GaN系半導体層に転写支持基板を貼り合わせる工程をさらに含み、支持基板を溶解することにより除去する工程の後に、転写支持基板およ

びGaN系半導体層をデバイス化およびチップ化する工程をさらに含むことができる。

[0009] また、本発明にかかる半導体デバイスの製造方法においては、GaN系半導体層を成長させる工程の後、支持基板を溶解することにより除去する工程の前に、複合基板上に成長させたGaN系半導体層をデバイス化およびチップ化する工程と、デバイス化およびチップ化されたGaN系半導体層を実装基板上に実装する工程と、をさらに含むことができる。

[0010] また、本発明にかかる半導体デバイスの製造方法において、支持基板は、モリブデンおよび酸化アルミニウム-酸化ケイ素の複合酸化物からなる群から選ばれる少なくとも1つを含むことができる。

発明の効果

[0011] 本発明によれば、特性が高いGaN系半導体デバイスを歩留まりよく製造することができるGaN系半導体デバイスの製造方法を提供できる。

図面の簡単な説明

[0012] [図1]本発明にかかるGaN系半導体デバイスの製造方法の一例を示す概略断面図である。

[図2]本発明にかかるGaN系半導体デバイスの製造方法の別の例を示す概略断面図である。

[図3]本発明にかかるGaN系半導体デバイスの製造方法における複合基板の準備工程の一例を示す概略断面図である。

[図4]一般的なGaN系半導体デバイスの製造方法の一例を示す概略断面図である。

[図5]一般的なGaN系半導体デバイスの製造方法の別の例を示す概略断面図である。

発明を実施するための形態

[0013] [実施形態1]

図1および2を参照して、本発明の一実施形態であるGaN系半導体デバイスの製造方法は、イオン注入分離法を用いて、GaNの熱膨張係数に対す

る比が0.8以上1.2以下の熱膨張係数を有する支持基板10と支持基板10に貼り合わされたGaN層21層とを含む複合基板1を準備する工程(図1(A)および図2(A))と、複合基板1のGaN層21上に少なくとも1層のGaN系半導体層40を成長させる工程(図1(B)および図2(B))と、複合基板1の支持基板10を溶解することにより除去する工程(図1(D)および図2(E))と、を含む。

[0014] 本実施形態のGaN系半導体デバイスの製造方法においては、GaNの熱膨張係数に対する比が0.8以上1.2以下の範囲内にあるほぼ同一または十分に近似する熱膨張係数を有する支持基板10と支持基板10に貼り合わされたGaN層21層とを含む複合基板1を用いているため、複合基板1のGaN層21上に、反りおよびクラックを発生させることなく、品質の高いGaN系半導体層40を成長させることができる。また、GaN系半導体層40を成長させた後に、複合基板1の支持基板10を溶解することにより除去するため、GaN系半導体層40に与えるダメージが少なく、また、支持基板10が除去されたGaN層21の表面のモフォロジーがよいため、特性の高い半導体デバイスが歩留まりよく得られる。

[0015] 本実施形態のGaN系半導体デバイスの製造方法は、さらに、以下の工程を含むことができる。以下に、より詳細に説明する。

[0016] {実施形態1A}

図1を参照して、実施形態1においてより具体的な実施形態1Aは、上記のGaN系半導体層40を成長させる工程(図1(B))の後、支持基板10を溶解することにより除去する工程(図1(D))の前に、GaN系半導体層40に転写支持基板50を貼り合わせる工程(図1(C))をさらに含み、支持基板10を溶解することにより除去する工程(図1(D))の後に、転写支持基板50およびGaN系半導体層40をデバイス化およびチップ化する工程(図1(E))をさらに含む。本実施形態のGaN系半導体デバイスの製造方法により、特性の高い縦型のGaN系半導体デバイスが歩留まりよく得られる。以下、各工程を詳細に説明する。

[0017] (複合基板の準備工程)

まず、図1(A)を参照して、本実施形態のGaN系半導体デバイスの製造方法は、イオン注入分離法を用いて、GaNの熱膨張係数($6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$)に対する比が0.8以上1.2以下の熱膨張係数を有する支持基板10と、支持基板10に貼り合わされたGaN層21と、を含む複合基板1を準備する工程を含む。

[0018] ここで、イオン注入分離法とは、特定のイオンを半導体基板中に注入し、熱処理などによってかかるイオンを気化させてその際に生じる応力により、半導体基板から薄膜の半導体層を分離する方法をいう。

[0019] また、支持基板10は、その膨張係数がGaNの熱膨張係数に対して0.8以上1.2以下であれば特に制限はないが、それらの熱膨張係数の差を小さくすることによりGaN系半導体層40を成長させる際の反りおよびクラックをより効果的に防止する観点から、0.9以上1.05以下が好ましい。また、支持基板10は、溶解により除去される観点から、特定の溶剤に溶解する材料であることが求められる。

[0020] 上記の観点から、支持基板10は、たとえば、Mo(モリブデン)および $\text{Al}_2\text{O}_3\text{-SiO}_2$ (酸化アルミニウム-酸化ケイ素)複合酸化物からなる群から選ばれる少なくとも1つを含むことが好ましい。なお、上記の複合酸化物には $\text{Al}_2\text{O}_3\text{:SiO}_2$ が0.6:0.4のムライトも含まれる。より好ましくは、Mo基板および $\text{Al}_2\text{O}_3\text{:SiO}_2$ が0.64:0.36の複合酸化物基板から選ばれる基板がよい。ここで、Mo基板は熱膨張係数が $6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ であり、 $\text{Al}_2\text{O}_3\text{:SiO}_2$ が0.64:0.36の複合酸化物基板は熱膨張係数が $5.5 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ であって、これらはGaNの熱膨張係数($6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$)とほぼ同じかまたは十分に近似している。なお、本願において、熱膨張係数は室温(25 $^\circ\text{C}$ およびその近傍の温度)における値を用いる。また、Mo基板は硝酸に溶解し、 $\text{Al}_2\text{O}_3\text{:SiO}_2$ が0.64:0.36の複合酸化物基板はフッ酸(フッ化水素酸、以下同じ。)に溶解する。

[0021] また、かかる複合基板1を準備する工程は、特に制限はないが、複合基板

1を効率的に製造する観点から、図3を参照して、以下のサブ工程を含むことが好ましい。

[0022] 図3(B1)を参照して、複合基板1を準備する工程は、GaN基板20の一主面上に、CVD(化学気相堆積)法、スパッタ法、真空蒸着法などにより、 SiO_2 層、 Si_xN_y 層などの接合層32を形成するサブ工程を含む。次いで、図3(B2)を参照して、複合基板1を準備する工程は、GaN基板20の接合層32が形成された主面側から、水素、ヘリウムなどの質量数が低いイオンIを注入することにより、GaN基板20の接合層32が形成された主面から所定の深さの領域にイオン注入領域20iを形成するサブ工程を含む。かかるイオン注入領域20iは、それ以外の領域に比べて、脆化される。

[0023] 図3(A1)を参照して、複合基板1を準備する工程は、支持基板10の一主面上に、CVD(化学気相堆積)法、スパッタ法、真空蒸着法などにより、 SiO_2 層、 Si_xN_y 層などの接合層31を形成するサブ工程を含む。

[0024] ここで、図3(B1)および(B2)に示すGaN基板20への接合層32およびイオン注入領域20iの形成サブ工程と、図3(A1)に示す支持基板10への接合層31の形成サブ工程とは、いずれが先に行なわれてもよい。

[0025] 次に、図3(C1)を参照して、複合基板1を準備する工程は、GaN基板20上に形成された接合層32と支持基板10上に形成された接合層31とを貼り合わせるサブ工程を含む。かかるサブ工程により、両接合層31, 32が一体化した接合層30を介在させて支持基板10とGaN基板20とが貼り合わされた接合基板1Pが得られる。

[0026] 次に、図3(C2)を参照して、複合基板1を準備する工程は、接合基板1Pに熱または応力をかけることにより、GaN基板20をイオン注入領域20iで、支持基板10に貼り合わされたGaN層21と残りのGaN基板22とに分離するサブ工程を含む。かかるサブ工程により、支持基板10上に接合層30を介在させてGaN層21が貼り合わされた複合基板1が得ら

れる。

[0027] なお、上記の複合基板の準備工程においては、支持基板10およびGa_aN基板20の両方に接合層31, 32を形成する場合について説明したが、支持基板10およびGa_aN基板20のいずれか一方のみに接合層を形成して貼り合わせてもよく、支持基板10およびGa_aN基板20のいずれにも接合層を形成せずに貼り合わせることも可能である。

[0028] (Ga_aN系半導体層の成長工程)

次に、図1(B)を参照して、本実施形態のGa_aN系半導体デバイスの製造方法は、複合基板1のGa_aN層21上に少なくとも1層のGa_aN系半導体層40を成長させる工程を含む。かかる工程により、複合基板1のGa_aN層21上に少なくとも1層のGa_aN系半導体層40が形成された半導体層付複合基板2が得られる。ここで、Ga_aN系半導体層40とは、III族元素としてGaを含むIII族窒化物半導体層をいい、たとえば、Al_xIn_yGa_{1-x-y}N層(0 ≤ x, 0 ≤ y, x + y < 1)などが挙げられる。

[0029] また、Ga_aN系半導体層40の成長工程において、Ga_aN系半導体層40を成長させる方法は、特に制限はないが、品質のよいGa_aN系半導体層40を成長させる観点から、MOVPE(有機金属気相成長)法、MBE(分子線成長)法、HVPE(ハイドライド気相成長)法などが好適に挙げられる。

[0030] 成長させるGa_aN系半導体層40の構成は、作製目的のGa_aN系半導体デバイスの種類に応じて異なる。たとえば、Ga_aN系半導体デバイスがLED(発光ダイオード)、LD(レーザダイオード)などの発光デバイスの場合、Ga_aN系半導体層40は、n型半導体層41、活性層43、およびp型半導体層45などを含む。

[0031] (Ga_aN系半導体層への転写支持基板の貼り合わせ工程)

次に、図1(C)を参照して、本実施形態のGa_aN系半導体デバイスの製造方法は、半導体層付複合基板2のGa_aN系半導体層40に転写支持基板50を貼り合わせる工程を含む。かかる工程により、複合基板2とGa_aN系半

導体層40と転写支持基板50とがこの順に貼り合わされた基板接合体3が得られる。

[0032] また、GaN系半導体層への転写支持基板の貼り合わせ工程において用いられる転写支持基板50は、GaN系半導体層40を支持できるものであれば特に制限はないが、縦型デバイスを形成する観点からは導電性基板であることが好ましく、Ge基板、Si基板、多結晶AlN基板などが好適に挙げられる。

[0033] また、GaN系半導体層40への転写支持基板50の貼り合わせ方法は、特に制限はないが、GaN系半導体層40と転写支持基板50との間の接合性および電氣的接続を良好にする観点から、接続層60を介在させることが好ましい。具体的には、GaN系半導体層40上に接続層60の一部としてp側オーミック電極層61およびはんだ層63を形成し、転写支持基板50上に接続層60の一部としてオーミック電極層67および金属パッド層65を形成し、はんだ層63と金属パッド層65とを貼り合わせることにより、GaN系半導体層40と転写支持基板50とを接続層60を介在させて接合させる。ここで、p側オーミック電極層61としてはたとえばNi/Au電極層など、はんだ層63としてはたとえばAu-Snはんだ層など、金属パッド層65としてはたとえばAuパッド層など、オーミック電極層67としてはたとえばNi/Pt/Au電極層などが好適に用いられる。

[0034] また、GaN系半導体層40上に接続層60の一部として形成されるp側オーミック電極層61およびはんだ層63の部分に替えて、高反射p側オーミック電極層（たとえばNi/Au電極層）およびはんだ層（たとえばAu-Snはんだ層）、透明p側オーミック電極層（たとえば薄型Ni/Au電極層）および高反射金属層（たとえばAl層）および金属はんだ層（たとえばAu-Snはんだ層）、または透明p側オーミック電極層（たとえば薄型Ni/Au電極層）および高反射金属層（たとえばAl層）および拡散防止金属層（たとえばPt層、Mo層、またはW層）およびはんだ層（たとえばAu-Snはんだ層）などを用いることもできる。

[0035] (支持基板の溶解による除去工程)

次に、図1(D)を参照して、本実施形態のGaN系半導体デバイスの製造方法は、基板接合体3における複合基板1の支持基板10を溶解することにより除去する工程を含む。かかる工程により、GaN系半導体層40と転写支持基板50とが貼り合わされた半導体層付転写支持基板4が得られる。

[0036] すなわち、上記の半導体層付複合基板2のGaN系半導体層40への転写支持基板50の貼り合わせ工程および支持基板10の溶解による除去工程により、GaN系半導体層40は支持基板10から転写支持基板50に転写される。

[0037] ここで、支持基板10を溶解させる溶剤は、支持基板10の種類に応じて異なる。たとえば、支持基板10がMo基板の場合はその溶剤として硝酸(たとえば30質量%の硝酸水溶液など)が用いられ、支持基板10が Al_2O_3 : SiO_2 が0.64:0.36の複合酸化物基板の場合はその溶剤としてフッ酸(たとえば20質量%フッ酸水溶液など)が用いられる。

[0038] さらに、基板接合体3における複合基板1の支持基板10の溶解による除去により露出した接合層30を溶解により除去する。接合層30を溶解する溶剤は接合層30の種類に応じて異なり、接合層30が SiO_2 層である場合はその溶剤としてフッ酸(たとえば20質量%フッ酸水溶液など)が用いられる。

[0039] ここで、基板接合体3から支持基板10および接合層30が溶解により除去されて得られた半導体層付転写支持基板4のGaN層21の露出される主面は、支持基板および接合層がレーザーリフトオフにより除去される場合に露出される主面に比べて、極めて平坦である。

[0040] なお、基板接合体3の支持基板10および接合層30を溶解により除去する際には、基板接合体3の転写支持基板50側をワックス(図示せず)などで保護すること、および/または、支持基板10の溶解前にあらかじめ支持基板10の一部を研削または研磨などにより除去しておくことが好ましい。特に、溶剤としてフッ酸を使用する場合は、上記の転写支持基板50の保護

、および、 $Al_2O_3-SiO_2$ 複合酸化物基板などの支持基板10の溶解前における研削または研磨による一部除去が好ましい。

[0041] (転写支持基板およびGaN系半導体層のデバイス化およびチップ化工程)

次に、図1(E)を参照して、本実施形態のGaN系半導体デバイスの製造方法は、半導体層付転写支持基板4の転写支持基板50およびGaN系半導体層40をデバイス化およびチップ化する工程を含む。ここで、デバイス化とは、転写支持基板50およびGaN系半導体層40に電極(p側電極70pおよびn側電極70n)などを形成することにより半導体デバイス5とすることをいう。また、チップ化とは、半導体デバイス5を所定のサイズのチップに分割することをいう。チップ化の方法は、特に制限はなく、スライブおよびブレイク法、ダイシング法などが好適に挙げられる。

[0042] たとえば、半導体層付転写支持基板4の転写支持基板50が導電性基板の場合、半導体層付転写支持基板4において、GaN系半導体層40上にn側電極70nを形成し、転写支持基板50上にp側電極70pを形成し、さらにチップ化することにより、縦型デバイスであるチップ化された半導体デバイス5が得られる。

[0043] なお、支持基板10および接合層30の溶解除去により露出された半導体層付転写支持基板4のGaN層21の露出された主面は極めて平坦であることから、光取り出し効率を高めるため、ドライエッチングまたはウェットエッチングにより粗面化処理を行うと、レーザーリフトオフ法により支持基板および接合層を除去した場合に比べて、極めて均一性の高い凹凸形状を形成することができる。

[0044] {実施形態1B}

図2を参照して、実施形態1においてより具体的な実施形態1Bは、GaN系半導体層40を成長させる工程(図2(B))の後、支持基板10を溶解することにより除去する工程(図2(E))の前に、複合基板10上に成長させたGaN系半導体層40をデバイス化およびチップ化する工程(図2

(C)) と、デバイス化およびチップ化されたGaN系半導体層40を実装基板80上に実装する工程(図2(D))と、をさらに含む。本実施形態のGaN系半導体デバイスの製造方法により、特性の高い横型のGaN系半導体デバイスを歩留まりよく実装することができる。以下、各工程を詳細に説明する。

[0045] (複合基板の準備工程)

まず、図2(A)を参照して、本実施形態のGaN系半導体デバイスの製造方法は、イオン注入分離法を用いて、GaNの熱膨張係数($6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$)に対する比が0.8以上1.2以下の熱膨張係数を有する支持基板10と、支持基板10に貼り合わされたGaN層21と、を含む複合基板1を準備する工程を含む。かかる工程は、上記の実施形態1Aと同様であり、ここでは繰り返さない。

[0046] (GaN系半導体層の成長工程)

次に、図2(B)を参照して、本実施形態のGaN系半導体デバイスの製造方法は、複合基板1のGaN層21上に少なくとも1層のGaN系半導体層40を成長させる工程を含む。かかる工程により、複合基板1のGaN層21上に少なくとも1層のGaN系半導体層40(たとえば、n型半導体層41、活性層43およびp型半導体層45)が形成された半導体層付複合基板2が得られる。かかる工程は、上記の実施形態1Aと同様であり、ここでは繰り返さない。

[0047] (GaN系半導体層のデバイス化およびチップ化工程)

次に、図2(C)を参照して、本実施形態のGaN系半導体デバイスの製造方法は、半導体層付複合基板2の複合基板10上に成長させたGaN系半導体層40をデバイス化およびチップ化する工程を含む。ここで、デバイス化とはGaN系半導体層40に電極(p側電極70pおよびn側電極70n)などを形成することにより半導体デバイス5とすることをいう。また、チップ化とは、半導体デバイス5を所定のサイズのチップに分割することをいう。チップ化の方法は、特に制限はなく、スクライブおよびブレイク法、ダ

イシング法などが好適に挙げられる。

[0048] たとえば、半導体層付複合基板2において、GaN系半導体層40のp型半導体層45上にp側電極70pを形成し、次いで、p側電極70pの一部、ならびにGaN系半導体層40のp型半導体層45および活性層43の一部をメサエッチングしてn型半導体層41の一部を露出させ、n型半導体層41の露出部分にn側電極70nを形成し、さらにチップ化することにより、横型デバイスとしてチップ化された半導体デバイス5が得られる。ここで、p側電極70pおよびn側電極70nの好適な例は、実施形態1Aと同様であり、ここでは繰り返さない。

[0049] なお、p側電極70pおよびn側電極70nは、後述の実装工程における超音波接合に耐えることができるように、いずれも厚膜のパッドで形成された保護用電極（図示せず）で覆われていることが好ましい。また、光取り出し効率を高める観点から、p側電極70p上には、高反射金属電極（図示せず）を形成することが好ましい。

[0050] （デバイス化およびチップ化されたGaN系半導体層40の実装工程）

次に、図2（D）を参照して、本実施形態のGaN系半導体デバイスの製造方法は、上記のデバイス化およびチップ化工程により得られたチップ化された半導体デバイス5のGaN系半導体層40を実装基板80上に実装する工程を含む。かかる工程により、横型の半導体デバイス5が実装基板80上にフリップチップ実装できる。本工程に用いられる実装基板80は、特に制限はないが、たとえば電気絶縁性の基礎基板81にp側導電部87pおよびn側導電部87nが形成されている。

[0051] 半導体デバイス5を実装基板80上に実装する方法は、とくに制限はなく、たとえば、半導体デバイス5のp側電極70pおよびn側電極70nのそれぞれに、導電性の接合材料で形成されたバンプ90を形成し、半導体デバイス5のp側電極70pが実装基板80のp側導電部87pに電氣的に接続し、半導体デバイス5のn側電極70nが実装基板80のn側導電部87nに電氣的に接続するように、半導体デバイス5を実装基板80上に実装する

。かかる工程により、実装基板 80 に実装された実装半導体デバイス 6 が得られる。

[0052] さらに、必要に応じて、電極接合部分（p側電極 70 p、n側電極 70 n、p側導電部 87 p、n側導電部 87 n および bumps 90）ならびにその部分の近傍をシリコン樹脂などのアンダーコート（図示せず）などで保護することが好ましい。

[0053] （支持基板の溶解による除去工程）

次に、図 2（E）を参照して、本実施形態の GaN 系半導体デバイスの製造方法は、実装基板 80 に実装された実装半導体デバイス 6 の支持基板 10 を溶解により除去する工程を含む。かかる工程により、実装基板 80 上に GaN 系半導体層 40 が貼り合わされることにより半導体デバイスが実装された実装半導体デバイス 7 が得られる。

[0054] 実装半導体デバイス 6 の支持基板 10 を溶解により除去する溶剤およびその方法は、実施形態 1 A の基板接合体 3 の支持基板 10 を溶解する溶剤およびその方法と同様であり、ここでは繰り返さない。さらに、実施形態 1 A と同様にして、実装半導体デバイス 6 の接合層 30 を溶解により除去する。

[0055] なお、実装半導体デバイス 6 から支持基板 10 および接合層 30 が溶解除去されることにより得られた実装半導体デバイス 7 の GaN 層 21 の露出された主面は極めて平坦であることから、光取り出し効率を高めるため、ドライエッチングまたはウェットエッチングにより粗面化処理を行うと、レーザーリフトオフ法により支持基板および接合層を除去した場合に比べて、極めて均一性の高い凹凸形状を形成することができる。

実施例

[0056] （実施例 1）

1. 複合基板の準備

図 1（A）を参照して、以下のようにして、Mo 基板（支持基板 10）上に SiO₂ 層（接合層 30）を介在させて GaN 層 21 が貼り合わされた複合基板 1 を準備した。

- [0057] 図3 (B1) を参照して、直径が4インチで厚さが600 μm で両主面が(0001)面(Ga原子面)および(000-1)面(N原子面)のGaN基板20を準備した。かかるGaN基板20の両主面のRMS(二乗平均平方根)粗さ(JIS B0601:2001のRqに相当)は、研磨されており、50 μm ×50 μm 角の範囲でAFM(原子間力顕微鏡)により測定したところ、5nm以下であった。また、GaN基板20の転位密度は、カソードルミネッセンス法により測定したところ、 $2 \times 10^5 \text{cm}^{-2}$ であった。
- [0058] 次いで、このGaN基板20の(000-1)面(N原子面)側の主面上に、プラズマCVD法により、厚さ300nmのSiO₂層(接合層32)を形成し、形成したSiO₂層(接合層32)をCMP(化学機械的研磨)により精密研磨して、RMS粗さが1nm以下の平坦な主面を有する厚さ150nmのSiO₂層(接合層32)とした。
- [0059] 次いで、図3 (B2) を参照して、GaN基板20の(000-1)面(N原子面)側の主面に形成されたSiO₂層(接合層32)側から水素イオンを注入して、GaN基板20の(000-1)面(N原子面)側の主面から300nmの深さの位置にイオン注入領域20iを形成した。
- [0060] また、図3 (A) を参照して、直径が4インチ(10.16cm)で厚さが600 μm の純度が99.99質量%のMo基板(支持基板10)を準備した。かかるMo基板(支持基板10)の熱膨張係数は $6.0 \times 10^{-6} \text{C}^{-1}$ であり、GaNの熱膨張係数($6.0 \times 10^{-6} \text{C}^{-1}$)とほぼ同じであった。また、かかるMo基板(支持基板10)は、その主面は研磨されており、その主面のRMS粗さが5nm以下であり、その充填率は99体積%以上(空隙率は1体積%以下)であった。
- [0061] 次いで、このMo基板(支持基板10)の主面上に、プラズマCVD法により、厚さ300nmのSiO₂層(接合層31)を形成し、形成したSiO₂層(接合層31)をCMP(化学機械的研磨)により精密研磨して、RMS粗さが1nm以下の平坦な主面を有する厚さ150nmのSiO₂層(接合層31)とした。

[0062] なお、上記において図3 (B1) および (B2) に示すGa N基板20へのSi O₂層 (接合層32) およびイオン注入領域20iの形成と、図3 (A) に示すMo基板 (支持基板10) へのSi O₂層 (接合層31) の形成とは、いずれが先であってもよい。

[0063] 次に、図3 (C1) を参照して、Ga N基板20上に形成されたSi O₂層 (接合層32) とMo基板 (支持基板10) 上に形成されたSi O₂層 (接合層31) とを、向かい合わせにして機械的に接合させた。かかる接合により、Si O₂層 (接合層32) とSi O₂層 (接合層31) とが一体化した厚さ300nmのSi O₂層 (接合層30) を介在させてMo基板 (支持基板10) とGa N基板20とが貼り合わされた接合基板1Pが得られた。

[0064] 次に、図3 (C1) および (C2) を参照して、接合基板1Pを加熱することにより、Ga N基板20をそのイオン注入領域20iでMo基板 (支持基板10) に貼り合わされたGa N層21と残りのGa N基板22とに分離して、厚さ600μmのMo基板 (支持基板10) 上に厚さ300nmのSi O₂層 (接合層30) を介在させて厚さ300nmのGa N層21が貼り合わされた複合基板1が得られた。

[0065] 2. Ga N系半導体層の成長

次に、図1 (B) を参照して、複合基板1のGa N層21上に、MOVPE法により、n型Ga N層 (n型半導体層41)、InGa N多重量子井戸活性層 (活性層43) およびp型Ga Nコンタクト層 (p型半導体層45) を順次成長させて、LED構造を有する全体の厚さが5μmのGa N系半導体層40を含む半導体層付複合基板2を得た。Mo基板 (支持基板10)、Ga N層21およびGa N系半導体層40の熱膨張係数がほぼ同じであるため、半導体層付複合基板2には反りおよびクラックが発生しなかった。

[0066] 3. Ga N系半導体層への転写支持基板の貼り合わせ

次に、図1 (C) を参照して、半導体層付複合基板2のGa N系半導体層40のp型Ga Nコンタクト層 (p型半導体層45) 上に、接続層60の一部として、真空蒸着法によるNi / Au電極層 (p側オーミック電極層61

) および真空蒸着法による厚さ $3\mu\text{m}$ のAu-Snはんだ層(はんだ層63)を形成した。

[0067] また、直径が4インチで厚さが $600\mu\text{m}$ で主面のRMS粗さが 5nm 以下のGe基板(転写支持基板50)を準備した。ここで、Ge基板の熱膨張係数は $6.1 \times 10^{-6}\text{°C}^{-1}$ であり、GaNの熱膨張係数($6.0 \times 10^{-6}\text{°C}^{-1}$)によく近似している。このGe基板(転写支持基板50)の主面上に、接続層60の一部として、真空蒸着法によるNi/Pt/Au電極層(オーミック電極層67)および真空蒸着法による厚さ $1\mu\text{m}$ のAuパッド層(金属パッド層65)を形成した。

[0068] 次に、半導体層付複合基板2のGaN系半導体層40のp型GaNコンタクト層(p型半導体層45)に形成されたAu-Snはんだ層(はんだ層63)と、Ge基板(転写支持基板50)に形成されたAuパッド層(金属パッド層65)とを、適度な圧力印加のもと 300°C の雰囲気温度で熱処理してメタルボンディングすることにより、半導体層付複合基板2のGaN系半導体層40とGe基板(転写支持基板50)とが接続層60を介在させて貼り合わされた基板接合体3が得られた。Mo基板(支持基板10)、GaN層21、GaN系半導体層40およびGe基板(転写支持基板50)の熱膨張係数がほぼ同じかまたは十分に近似しているため、基板接合体3には反りおよびクラックが発生しなかった。

[0069] 4. 支持基板の溶解による除去

次に、図1(D)を参照して、基板接合体3のGe基板(転写支持基板50)側をワックス(図示せず)で保護した後、基板接合体3を30質量%の硝酸水溶液に浸漬させることによりMo基板(支持基板10)を溶解させて除去し、次いで20質量%のフッ酸水溶液に浸漬させることにより SiO_2 層(接合層30)を溶解させて除去した。こうして、接続層60を介在させてGaN系半導体層40とGe基板(転写支持基板50)とが貼り合わされた半導体層付転写支持基板4が得られた。

[0070] 得られた半導体層付転写支持基板4のGaN層21の露出された主面は、

そのRMS粗さが0.36nmと、極めて平坦であった。結果を表1にまとめた。

[0071] 5. 半導体層付転写支持基板のデバイス化およびチップ化

次に、図1(E)を参照して、半導体層付転写支持基板4のGaN層21の一部を除去して、露出させたn型GaN層41上に、真空蒸着法によりNi/Pt/Au電極(n側電極70n)を1チップ当り1個形成した。また、半導体層付転写支持基板4のGe基板(転写支持基板50)上の全面に、真空蒸着法によりNi/Au電極(p側電極70p)を形成した。こうして、半導体層付転写支持基板4をデバイス化した半導体デバイス5としてLEDを得た。

[0072] 次に、半導体デバイス5を、ダイシング法により、100個の400 μ m \times 400 μ mの大きさのチップに分割した。チップ化された100個の半導体デバイス5を銀ペーストおよびワイヤを用いて実装基板に実装した。

[0073] 100個の実装されたチップ化された半導体デバイス5において、逆方向に5Vの電圧を印加したときにおけるリーク電流が100 μ A以下である良品の割合、すなわち歩留まり率は、99%であった。結果を表1にまとめた。

[0074] なお、実施例1においては支持基板10としてMo基板を用いたが、支持基板10として直径4インチで厚さが600 μ mのAl₂O₃:SiO₂が0.64:0.36の複合酸化物基板を用い、支持基板10を溶解するための溶剤として20質量%のフッ酸水溶液を用いたこと以外は、実施例1と同様にして半導体デバイス5としてLEDを作製し実装基板に実装したところ、実施例1と同様の結果が得られた。ここでAl₂O₃:SiO₂が0.64:0.36の複合酸化物基板(支持基板10)の熱膨張係数は5.5 \times 10⁻⁶°C⁻¹であり、GaNの熱膨張係数(6.0 \times 10⁻⁶°C⁻¹)と十分に近似していた。また、かかるAl₂O₃:SiO₂が0.64:0.36の複合酸化物基板(支持基板10)は、その主面は研磨されており、その主面のRMS粗さが5nm以下であり、その充填率は98体積%以上(空隙率は2体積%以下)であった。

[0075] (比較例1)

1. サファイア基板上へのGaN系半導体層の成長

図4(A)を参照して、直径4インチで厚さが600 μm の主面が(0001)面のサファイア基板(下地基板100)を準備した。かかるサファイア基板(下地基板100)の主面のRMS粗さは5nm以下であった。

[0076] 次に、図4(B)を参照して、サファイア基板(下地基板100)上に、MOVPE法により、n型GaNバッファ層120、n型GaN層(n型半導体層141)、InGaN多重量子井戸活性層(活性層143)およびp型GaNコンタクト層(p型半導体層145)を順次成長させて、LED構造を有する全体の厚さが5 μm のGaN系半導体層140を含む半導体層付下地基板102を得た。半導体層付下地基板102においては、サファイア基板(下地基板100)とn型GaNバッファ層120およびGaN系半導体層140との熱膨張係数の差により反りが発生した。

[0077] 2. GaN系半導体層への転写支持基板の貼り合わせ

次に、図4(C)を参照して、半導体層付下地基板102のGaN系半導体層140のp型GaNコンタクト層(p型半導体層145)上に、実施例1と同様に、接続層60の一部として、Ni/Au電極層(p側オーミック電極層61)および厚さ3 μm のAu-Snはんだ層(はんだ層63)を形成した。

[0078] また、実施例1と同様のGe基板(転写支持基板50)を準備した。このGe基板(転写支持基板50)の主面上に、実施例1と同様に、接続層60の一部として、Ni/Pt/Au電極層(オーミック電極層67)および厚さ1 μm のAuパッド層(金属パッド層65)を形成した。

[0079] 次いで、半導体層付下地基板102のGaN系半導体層140のp型GaNコンタクト層(p型半導体層145)に形成されたAu-Snはんだ層(はんだ層63)と、Ge基板(転写支持基板50)に形成されたAuパッド層(金属パッド層65)とを、実施例1と同様にメタルボンディングすることにより、半導体層付下地基板102のGaN系半導体層140とGe基板

(転写支持基板50)とが接続層60を介在させて貼り合わされた基板接合体103が得られた。

[0080] 3. 下地基板のレーザーリフトオフによる除去

次に、図4(D)を参照して、基板接合体103のサファイア基板(下地基板100)側から、波長355nmのTHG(第3次高調波)−Nd:YAG(ネオジム添加イットリウム・アルミニウム・ガーネット)レーザーを照射することにより、n型GaNバッファ層120のサファイア基板(下地基板100)との界面部分を熱分解させてGaドロップレットを析出させて、サファイア基板(下地基板100)をリフトオフして除去した。こうして、接続層60を介在させてGaN系半導体層140とGe基板(転写支持基板50)とが貼り合わされた半導体層付転写支持基板104が得られた。

[0081] 得られた半導体層付転写支持基板104のn型GaNバッファ層120の露出された主面は、そのRMS粗さが40nmと、粗かった。結果を表1にまとめた。

[0082] 4. 半導体層付転写支持基板のデバイス化およびチップ化

次に、図4(E)を参照して、半導体層付転写支持基板104のn型GaNバッファ層120上の一部に、実施例1と同様のNi/Pt/Au電極(n側電極70n)を1チップ当たり1個形成した。また、半導体層付転写支持基板104のGe基板(転写支持基板50)上の全面に、実施例1と同様のNi/Al電極(p側電極70p)を形成した。こうして、半導体層付転写支持基板104をデバイス化した半導体デバイス105としてLEDを得た。

[0083] 次に、半導体デバイス105を、実施例1と同様に、400μm×400μmの大きさの100個のチップに分割した。チップ化された100個の半導体デバイス105を銀ペーストおよびワイヤを用いて実装基板に実装した。

[0084] 100個の実装されたチップ化された半導体デバイス105において、実施例1と同様に測定したリーク電流が100μA以下である良品の割合、す

なわち歩留まり率は、75%であった。結果を表1にまとめた。

[0085] なお、実施例1および比較例1においては、転写支持基板50としてGe基板を用いた。転写支持基板50として、Ge基板に替えて、Si基板を用いると、基板接合体3, 103に反りが発生する。これは、Ge基板の熱膨張係数が $6.1 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ でありGaNの熱膨張係数($6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$)に十分によく近似しているのに対し、Si基板の熱膨張係数が $4.2 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ でありGaNの熱膨張係数に十分には近似していないためと考えられる。このため、基板接合体103において下地基板100をレーザーリフトオフにより除去することは困難であるが、支持基板10を溶解により除去することは可能である。

[0086] (実施例2)

1. 複合基板の準備

図2(A)を参照して、以下のようにして、支持基板10として、直径4インチで厚さが $600 \mu\text{m}$ の $\text{Al}_2\text{O}_3:\text{SiO}_2$ が0.64:0.36の複合酸化物基板を用いたこと以外は、実施例1と同様にして、 $\text{Al}_2\text{O}_3:\text{SiO}_2$ が0.64:0.36の複合酸化物基板(支持基板10)上に SiO_2 層(接合層30)を介在させてGaN層21が貼り合わされた複合基板1を準備した。なお、複合基板1の準備に用いた $\text{Al}_2\text{O}_3:\text{SiO}_2$ が0.64:0.36の複合酸化物基板(支持基板10)の熱膨張係数は $5.5 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ であり、GaNの熱膨張係数($6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$)と十分に近似していた。また、 $5.5 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ (支持基板10)は、その主面は研磨されており、その主面のRMS粗さが5nm以下であり、その充填率は98体積%以上(空隙率は2体積%以下)であった。

[0087] 2. GaN系半導体層の成長

次に、図2(B)を参照して、複合基板1のGaN層21上に、実施例1と同様に、n型GaN層(n型半導体層41)、InGaN多重量子井戸活性層(活性層43)およびp型GaNコンタクト層(p型半導体層45)を順次成長させて、LED構造を有する全体の厚さが $5 \mu\text{m}$ のGaN系半導体

層40を含む半導体層付複合基板2を得た。 $Al_2O_3:SiO_2$ が0.64:0.36の複合酸化物基板(支持基板10)、GaN層21およびGaN系半導体層40の熱膨張係数がほぼ同じかまたは十分に近似しているため、半導体層付複合基板2には反りおよびクラックが発生しなかった。

[0088] 3. 半導体層付転写支持基板のデバイス化およびチップ化

次に、図2(C)を参照して、半導体層付複合基板2のGaN系半導体層40のp型GaNコンタクト層(p型半導体層45)上の全面に、真空蒸着法によりNi/Au電極(p側電極70p)を形成した。さらに、Ni/Au電極(p側電極70p)の一部、ならびにGaN系半導体層40のp型GaNコンタクト層(p型半導体層45)およびInGaN多重量子井戸活性層(活性層43)の一部を、ICP-RIE(誘導結合プラズマ反応性イオンエッチング)法によりメサエッチングして、GaN系半導体層40のn型GaN層(n型半導体層41)の一部を露出させて、この露出部分上に、真空蒸着法によりTi/Al電極(n側電極70n)を形成した。こうして、こうして、半導体層付複合基板2をデバイス化した半導体デバイス5としてLEDを得た。

[0089] 次に、半導体デバイス5を、スクライブおよびブレイク法により、 $400\mu m \times 400\mu m$ 角の大きさの100個のチップに分割した。なお、Ni/Au電極(p側電極70p)およびTi/Al電極(n側電極70n)のそれぞれをAuのパッドで形成された保護用電極で覆った。

[0090] 4. 半導体デバイスの実装

次に、図2(D)を参照して、チップ化された半導体デバイス5のNi/Au電極(p側電極70p)上およびTi/Al電極(n側電極70n)上のそれぞれに、ボールボンダによりAuボールバンプ(バンプ90)を形成した。

[0091] 次いで、超音波接合法により、上記のバンプ90を介在させて、半導体デバイス5のNi/Au電極(p側電極70p)と実装基板80のp側導電部87pとを、半導体デバイス5のTi/Al電極(n側電極70n)と実装

基板80のn側導電部87nとを、それぞれ電氣的に接続するように実装することにより、実装基板80に実装された実装半導体デバイス6が得られた。

[0092] 5. 支持基板の溶解による除去

次に、図2(E)を参照して、実装基板80に実装された実装半導体デバイス6の電極接合部(p側電極70p、n側電極70n、p側導電部87p、n型導電部およびバンプ90)ならびにその近傍部にシリコーン樹脂のアンダーコートで保護した後、実装半導体デバイス6を20質量%のフッ酸水溶液に浸漬させることにより、 $Al_2O_3 : SiO_2$ が0.64 : 0.36の複合酸化物基板(支持基板10)および SiO_2 層(接合層30)を溶解させて除去することにより実装半導体デバイス7が得られた。

[0093] 実装半導体デバイス6から $Al_2O_3 : SiO_2$ が0.64 : 0.36の複合酸化物基板(支持基板10)および SiO_2 層(接合層30)が除去されることにより得られた実装半導体デバイス7のGaN層21の露出された主面は、そのRMS粗さが0.40nmと、極めて平坦であった。結果を表1にまとめた。

[0094] 実装基板80に実装された100個の実装半導体デバイス7において、実施例1と同様に測定したリーク電流が100 μ A以下である良品の割合、すなわち歩留まり率は、97%であった。結果を表1にまとめた。

[0095] なお、実施例2においては支持基板10として $Al_2O_3 : SiO_2$ が0.64 : 0.36の複合酸化物基板を用いたが、支持基板10として直径4インチで厚さが600 μ mのMo基板を用い、支持基板10を溶解するための溶剤として30質量%の硝酸水溶液を用いたこと以外は、実施例2と同様にして、半導体デバイス5としてのLEDを実装基板80に実装した実装半導体デバイス7を作製したところ、実施例2と同様の結果が得られた。Mo基板(支持基板10)の熱膨張係数は $6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ であり、GaNの熱膨張係数($6.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$)とほぼ同じであった。また、かかるMo基板(支持基板10)は、その主面は研磨されており、その主面のRMS粗さが5nm

以下であり、その充填率は99体積%以上（空隙率は1体積%以下）であった。

[0096] (比較例2)

1. サファイア基板上へのGaN系半導体層の成長

図5(A)を参照して、直径4インチで厚さが600 μm の主面が(0001)面のサファイア基板(下地基板100)を準備した。かかるサファイア基板(下地基板100)の主面のRMS粗さは5nm以下であった。

[0097] 次に、図5(B)を参照して、サファイア基板(下地基板100)上に、MOVPE法により、n型GaNバッファ層120、n型GaN層(n型半導体層141)、InGaN多重量子井戸活性層(活性層143)およびp型GaNコンタクト層(p型半導体層145)を順次成長させて、LED構造を有する全体の厚さが5 μm のGaN系半導体層140を含む半導体層付下地基板102を得た。半導体層付下地基板102においては、サファイア基板(下地基板100)とn型GaNバッファ層120およびGaN系半導体層140との熱膨張係数の差により反りが発生した。

[0098] 2. 半導体層付下地基板のデバイス化およびチップ化

次に、図5(C)を参照して、半導体層付下地基板102のGaN系半導体層140のp型GaNコンタクト層(p型半導体層145)上の全面に、真空蒸着法によりNi/Au電極(p側電極70p)を形成した。さらに、Ni/Au電極(p側電極70p)の一部、ならびにGaN系半導体層140のp型GaNコンタクト層(p型半導体層145)およびInGaN多重量子井戸活性層(活性層143)の一部を、実施例2と同様にメサエッチングして、GaN系半導体層140のn型GaN層(n型半導体層141)の一部を露出させて、この露出部分上に、真空蒸着法によりTi/Al電極(n側電極70n)を形成した。こうして、半導体層付下地基板102をデバイス化した半導体デバイス105としてLEDを得た。

[0099] 次に、半導体デバイス105を、実施例2と同様にして、400 μm ×400 μm 角の大きさの100個のチップに分割した。なお、実施例2と同様

に、Auのパッドで形成された保護用電極で、Ni/Au電極電極（p側電極70p）およびTi/Al電極電極（n側電極70n）のそれぞれを覆った。

[0100] 3. 半導体デバイスの実装

次に、図5（D）を参照して、実施例2と同様にして、チップ化された半導体デバイス105のNi/Au電極電極（p側電極70p）上およびTi/Al電極電極（n側電極70n）上のそれぞれに、バンプ90を形成した。

[0101] 次に、実施例2と同様に、上記のバンプ90を介在させて、半導体デバイス105のNi/Au電極（p側電極70p）と実装基板80のp側導電部87pとを、半導体デバイス105のTi/Al電極（n側電極70n）と実装基板80のn側導電部87nとを、それぞれ電氣的に接続することにより、実装基板80に実装された実装半導体デバイス106が得られた。

[0102] 4. 下地基板のレーザリフトオフによる除去

次に、図5（E）を参照して、実装半導体デバイス106のサファイア基板（下地基板100）側から、波長355nmのTHG（第3次高調波）-Nd:YAG（ネオジウム添加イットリウム・アルミニウム・ガーネット）レーザーを照射することにより、n型GaNバッファ層120のサファイア基板（下地基板100）との界面部分を熱分解させてGaドロップレットを析出させて、サファイア基板（下地基板100）をリフトオフして除去することにより、実装半導体デバイス107が得られた。

[0103] 実装半導体デバイス106のサファイア基板（下地基板100）が除去されることにより得られた実装半導体デバイス107のn型GaNバッファ層120の露出された主面は、そのRMS粗さが40nmと、粗かった。結果を表1にまとめた。

[0104] 100個の実装されたチップ化された半導体デバイス105において、実施例1と同様に測定したリーク電流が100μA以下である良品の割合、すなわち歩留まり率は、60%であった。結果を表1にまとめた。

[0105] [表1]

	基板が除去された主面の RMS 粗さ (nm)	半導体デバイスの 歩留まり率 (%)
実施例 1	0.36	99
比較例 1	40	75
実施例 2	0.40	97
比較例 2	40	60

[0106] 表 1 を参照して、GaN系半導体層に接合する基板を溶解により除去することにより作製した半導体デバイス（実施例 1 および 2）は、GaN系半導体層に接合する基板をレーザリフトオフにより除去することにより作製した半導体デバイス（比較例 1 および 2）に比べて、基板の除去により露出される GaN 系半導体層の主面が極めて平坦でかつ露出基板の除去する際のダメージが低いため、歩留まりよく特性の高い半導体デバイスが得られる。

[0107] 今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明でなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

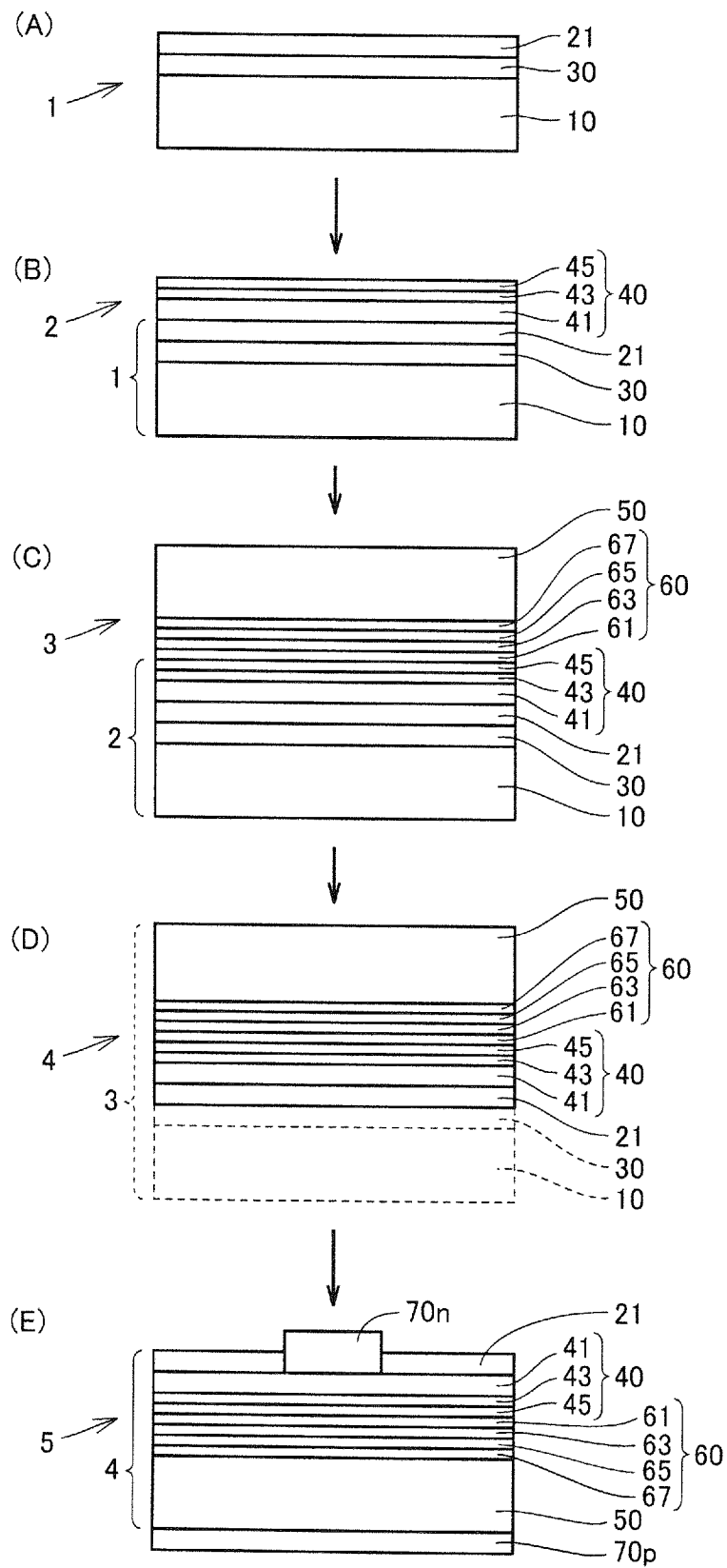
符号の説明

[0108] 1 複合基板、1P 接合基板、2 半導体層付複合基板、3, 103 基板接合体、4, 104 半導体層付転写支持基板、5, 105 半導体デバイス、6, 7, 106, 107 実装半導体デバイス、10 支持基板、20 GaN基板、21 GaN層、22 残りのGaN基板、30, 31, 32 接合層、40, 140 GaN系半導体層、41, 141 n型半導体層、43, 143 活性層、45, 145 p型半導体層、50 転写支持基板、60 接続層、61 p側オーミック電極層、63 はんだ層、65 金属パッド層、67 オーミック電極層、70n n側電極、70p p側電極、80 実装基板、81 基礎基板、87n n側導電部、87p p側導電部、90 バンプ、100 下地基板、102 半導体層付下地基板、120 n型GaNバッファ層。

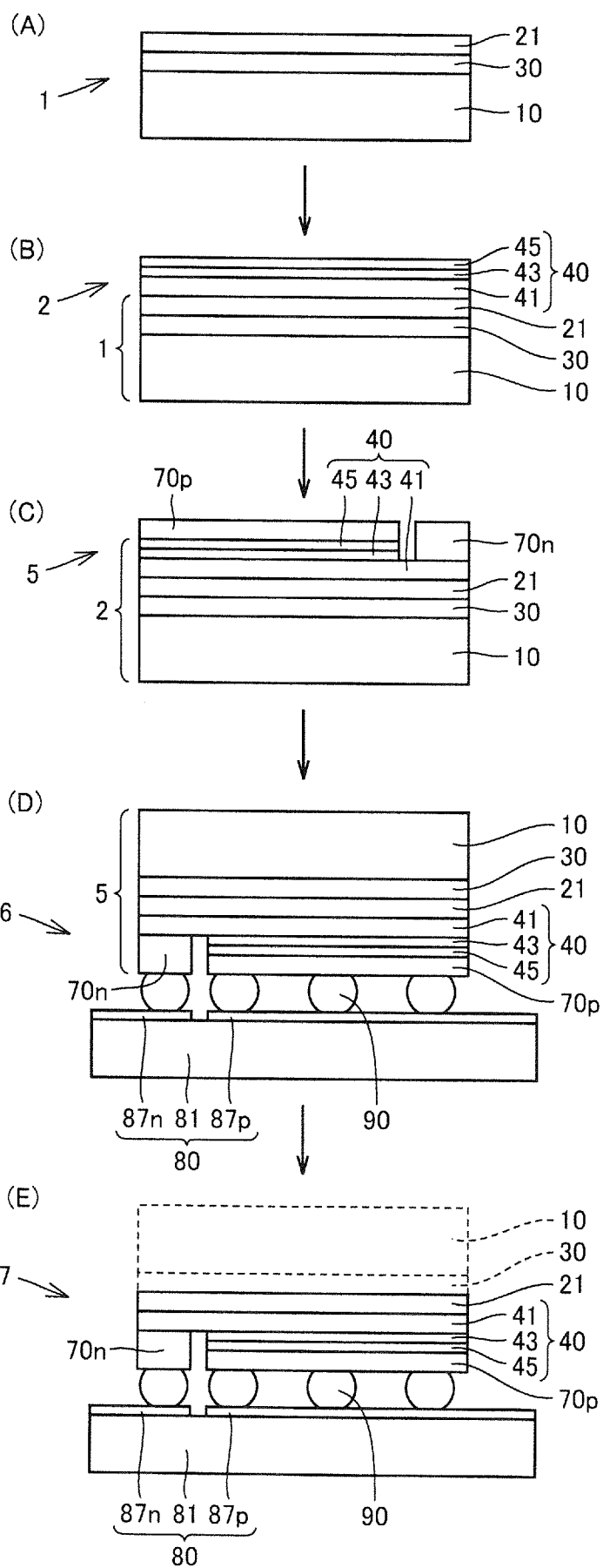
請求の範囲

- [請求項1] イオン注入分離法を用いて、GaNの熱膨張係数に対する比が0.8以上1.2以下の熱膨張係数を有する支持基板(10)と、前記支持基板(10)に貼り合わされたGaN層(21)と、を含む複合基板(1)を準備する工程と、
- 前記複合基板(1)の前記GaN層(21)上に少なくとも1層のGaN系半導体層(40)を成長させる工程と、
- 前記複合基板(1)の前記支持基板(10)を溶解することにより除去する工程と、を含むGaN系半導体デバイスの製造方法。
- [請求項2] 前記GaN系半導体層(40)を成長させる工程の後、前記支持基板(10)を溶解することにより除去する工程の前に、前記GaN系半導体層(40)に転写支持基板(50)を貼り合わせる工程をさらに含み、
- 前記支持基板(10)を溶解することにより除去する工程の後に、前記転写支持基板(50)および前記GaN系半導体層(40)をデバイス化およびチップ化する工程をさらに含む請求項1に記載のGaN系半導体デバイスの製造方法。
- [請求項3] 前記GaN系半導体層(40)を成長させる工程の後、前記支持基板(10)を溶解することにより除去する工程の前に、前記複合基板(1)上に成長させた前記GaN系半導体層(40)をデバイス化およびチップ化する工程と、デバイス化およびチップ化された前記GaN系半導体層(40)を実装基板上に実装する工程と、をさらに含む請求項1に記載のGaN系半導体デバイスの製造方法。
- [請求項4] 前記支持基板(10)は、モリブデンおよび酸化アルミニウム-酸化ケイ素の複合酸化物からなる群から選ばれる少なくとも1つを含む請求項1から請求項3のいずれかに記載のGaN系半導体デバイスの製造方法。

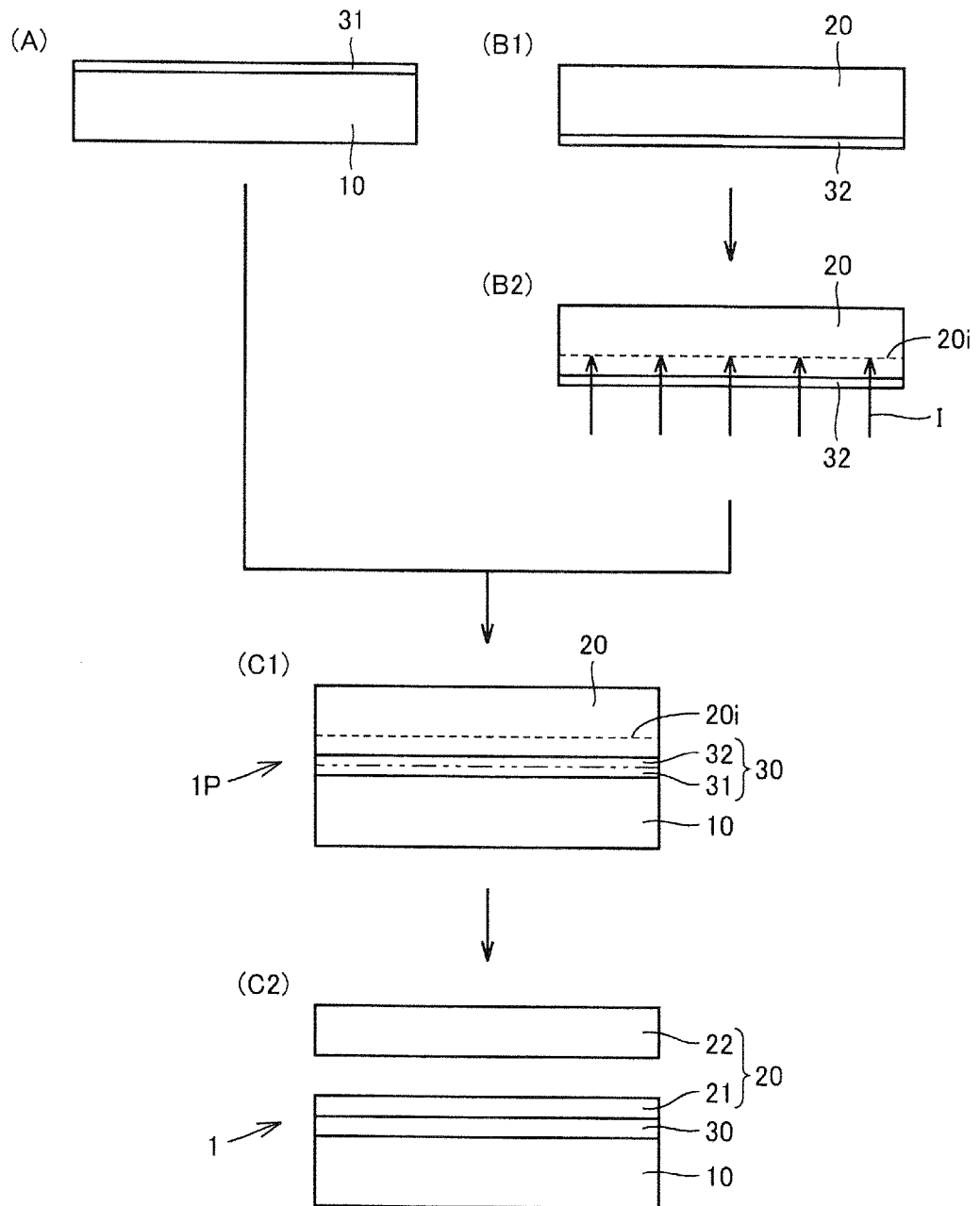
[図1]



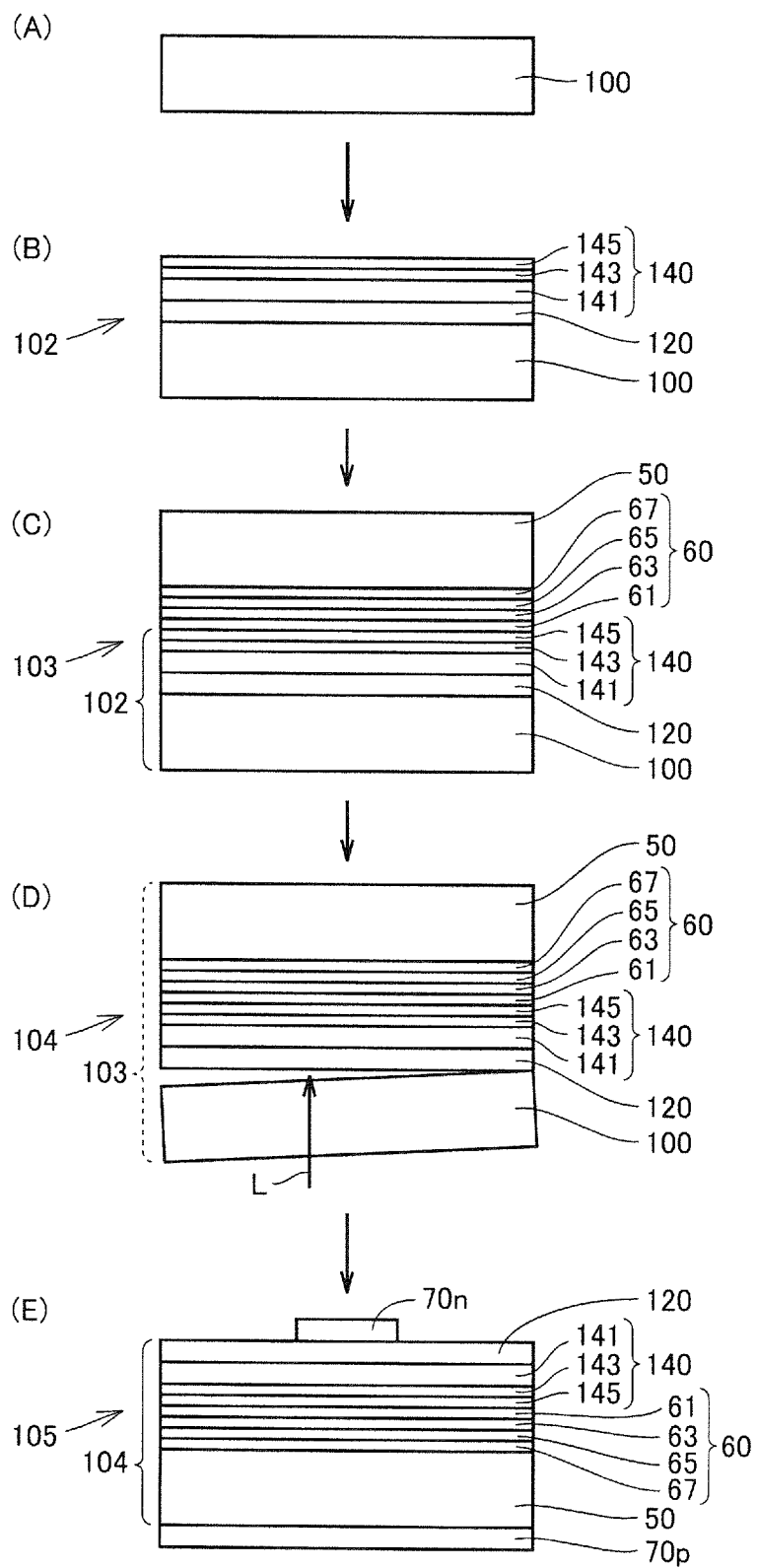
[図2]



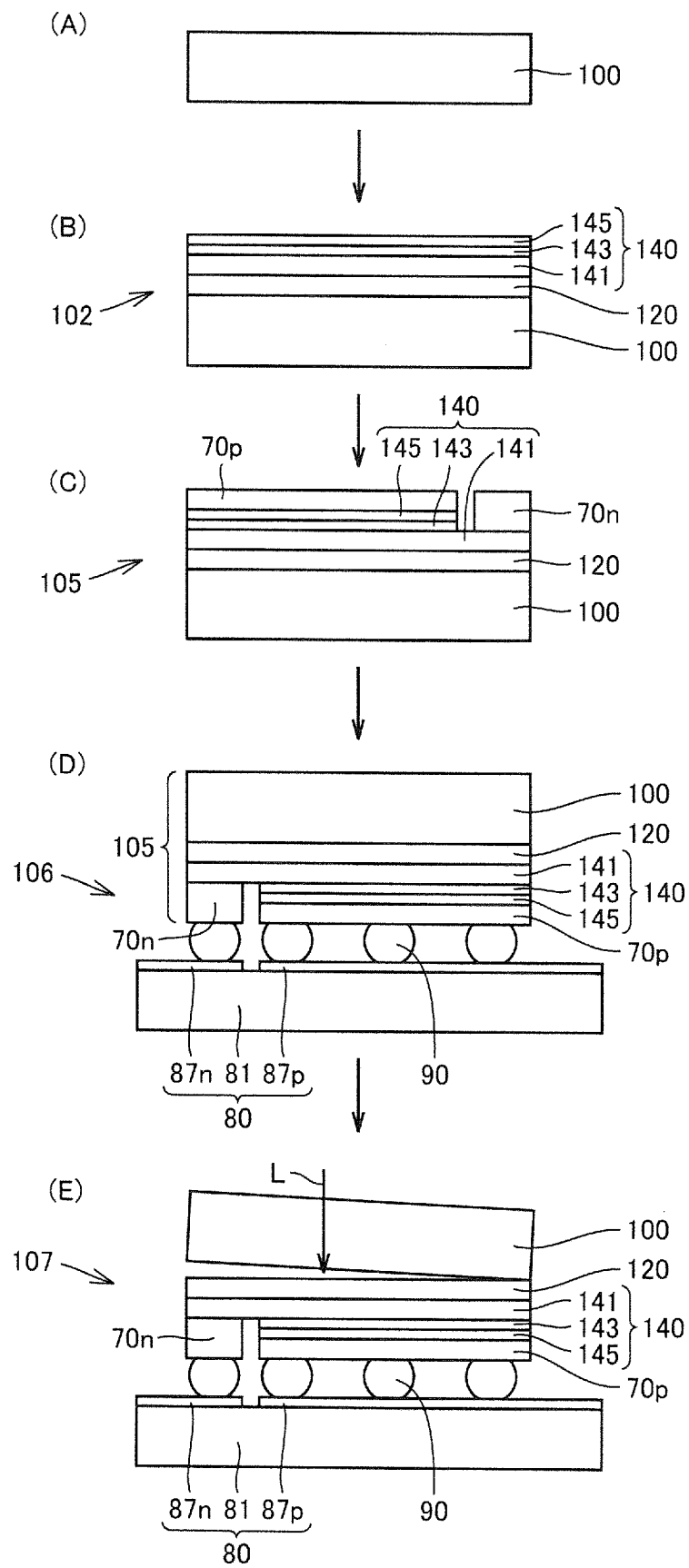
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057760

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/32 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-517472 A (S.O.I. Tec Silicon on Insulator Technologies), 10 June 2004 (10.06.2004), paragraphs [0064], [0069]; fig. 3 & US 2004/0029359 A1 & EP 1791170 A2 & WO 02/043112 A2	1-3 4
Y	JP 2010-232263 A (Showa Denko Kabushiki Kaisha), 14 October 2010 (14.10.2010), paragraph [0044]; fig. 1 & WO 2010/109801 A1	4
Y	WO 2010/150659 A1 (Kyocera Corp.), 29 December 2010 (29.12.2010), paragraph [0022]; fig. 1 & JP 2011-007597 A	4

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10 April, 2012 (10.04.12)

Date of mailing of the international search report
17 April, 2012 (17.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057760

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-056457 A (Kyocera Corp.), 11 March 2010 (11.03.2010), entire text; all drawings (Family: none)	1-4
A	JP 2009-111101 A (Mitsubishi Chemical Corp.), 21 May 2009 (21.05.2009), entire text; all drawings (Family: none)	1-4
A	JP 2008-277409 A (Matsushita Electric Industrial Co., Ltd.), 13 November 2008 (13.11.2008), entire text; all drawings (Family: none)	1-4
A	JP 2005-047792 A (S.O.I. Tec Silicon on Insulator Technologies), 24 February 2005 (24.02.2005), entire text; all drawings & US 2004/0241975 A1 & EP 1482549 A1 & AT 504082 T	1-4
A	JP 2002-175985 A (Hitachi Cable, Ltd.), 21 June 2002 (21.06.2002), entire text; all drawings (Family: none)	1-4
A	JP 2006-179922 A (Osram Opto Semiconductors GmbH), 06 July 2006 (06.07.2006), entire text; all drawings & US 2006/0172506 A1 & EP 1675189 A2 & DE 102004062290 A	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L33/32(2010.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L33/00-33/64		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-517472 A (エス オー イ テク シリコン オン イン シュレータ テクノロジース) 2004.06.10, 段落番号【0064】【0069】、図3 & US 2004/0029359 A1 & EP 1791170 A2 & WO 02/043112 A2	1-3 4
Y	JP 2010-232263 A (昭和電工株式会社) 2010.10.14, 段落番号【0044】、図1 & WO 2010/109801 A1	4
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 10.04.2012	国際調査報告の発送日 17.04.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松崎 義邦 電話番号 03-3581-1101 内線 3255	2K 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/150659 A1 (京セラ株式会社) 2010.12.29, 段落番号 [0022]、図1 & JP 2011-007597 A	4
A	JP 2010-056457 A (京セラ株式会社) 2010.03.11, 全文、全図 (ファミリーなし)	1-4
A	JP 2009-111101 A (三菱化学株式会社) 2009.05.21, 全文、全図 (ファミリーなし)	1-4
A	JP 2008-277409 A (松下電器産業株式会社) 2008.11.13, 全文、全図 (ファミリーなし)	1-4
A	JP 2005-047792 A (エス オー アイ テック シリコン オン イ ンシュレータ テクノロジーズ) 2005.02.24, 全文、全図 & US 2004/0241975 A1 & EP 1482549 A1 & AT 504082 T	1-4
A	JP 2002-175985 A (日立電線株式会社) 2002.06.21, 全文、全図 (ファミリーなし)	1-4
A	JP 2006-179922 A (オスラム オプト セミコンダクターズ ゲゼ ルシャフト ミット ベシユレンクテル ハフツング) 2006.07.06, 全文、全図 & US 2006/0172506 A1 & EP 1675189 A2 & DE 102004062290 A	1-4