

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3954532号

(P3954532)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 3 A
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 2 1
HO 1 L 21/3205 (2006.01)	HO 1 L 21/28 Z
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 S
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H

請求項の数 20 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2003-169161 (P2003-169161)	(73) 特許権者	000000295
(22) 出願日	平成15年6月13日(2003.6.13)		沖電気工業株式会社
(65) 公開番号	特開2005-5577 (P2005-5577A)		東京都港区虎ノ門1丁目7番12号
(43) 公開日	平成17年1月6日(2005.1.6)	(74) 代理人	100079049
審査請求日	平成15年8月26日(2003.8.26)		弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100085279
			弁理士 西元 勝一
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	森 徹
			東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内

最終頁に続く

(54) 【発明の名称】 SOI半導体装置の製造方法及びSOI半導体装置

(57) 【特許請求の範囲】

## 【請求項1】

支持基板と、前記支持基板上に第1絶縁膜を介して形成された半導体層とを備えるSOI基板において、前記半導体層にトランジスタと素子分離領域とを形成するステップと、前記トランジスタ及び前記素子分離領域を第2絶縁膜で覆うステップと、

前記第2絶縁膜、前記素子分離領域及び前記第1絶縁膜を貫通して前記支持基板を露出する第1開口部を形成するステップと、

前記トランジスタに電氣的に接続される第1ソース配線、第1ドレイン配線及び第1ゲート配線と、これらの配線と接続されかつ前記第1開口部を介して前記支持基板と電氣的に接続されるダミー配線とを、前記第2絶縁膜上に形成するステップと、

前記ダミー配線を切断して、前記第1ソース配線、第1ドレイン配線及び第1ゲート配線を、前記支持基板から電氣的に絶縁させるステップと、

を含むSOI半導体装置の製造方法。

## 【請求項2】

前記ダミー配線は、前記第1開口部に埋め込まれて前記支持基板と電氣的に短絡されるコンタクト部と、前記コンタクト部を前記第1ソース配線、第1ドレイン配線及び第1ゲート配線に電氣的に接続して前記第2絶縁膜上に形成されるダミー部とを含み、前記ダミー配線の切断では前記ダミー部を切断する、請求項1に記載のSOI半導体装置の製造方法。

## 【請求項3】

10

20

前記第 1 ソース配線、第 1 ドレイン配線及び第 1 ゲート配線、前記ダミー配線を第 3 絶縁膜で覆うステップをさらに含み、前記第 3 絶縁膜の形成後に前記ダミー部を切断する、請求項 2 に記載の S O I 半導体装置の製造方法。

【請求項 4】

前記第 1 ソース配線、第 1 ドレイン配線及び第 1 ゲート配線にそれぞれ電氣的に接続される第 2 ソース配線、第 2 ドレイン配線及び第 2 ゲート配線を、前記第 3 絶縁膜上に形成するステップをさらに含み、前記第 2 ソース配線、第 2 ドレイン配線及び第 2 ゲート配線の形成後に前記ダミー部を切断する、請求項 3 に記載の S O I 半導体装置の製造方法。

【請求項 5】

前記第 2 ソース配線、第 2 ドレイン配線及び第 2 ゲート配線を第 4 絶縁膜で覆うステップをさらに含み、前記第 4 絶縁膜の形成後に前記ダミー部を切断する、請求項 4 に記載の S O I 半導体装置の製造方法。

10

【請求項 6】

前記第 3 及び第 4 絶縁膜に前記ダミー部を露出する第 2 開口部を形成するステップをさらに含み、前記第 2 開口部の形成後に前記ダミー部を切断する、請求項 5 に記載の S O I 半導体装置の製造方法。

【請求項 7】

前記ダミー配線をレーザーリペアーにより切断する、請求項 1 から 6 のいずれかに記載の S O I 半導体装置の製造方法。

【請求項 8】

前記ダミー配線をエッチングにより切断する、請求項 1 から 6 のいずれかに記載の S O I 半導体装置の製造方法。

20

【請求項 9】

前記第 1 開口部は 2 つの開口部からなり、  
前記コンタクト部は、前記 2 つの開口部のそれぞれに埋め込まれる第 1 及び第 2 コンタクト部を含み、

前記ダミー部は、前記第 1 及び第 2 コンタクト部のそれぞれを前記第 1 ソース配線及び第 1 ドレイン配線に電氣的に接続する第 1 及び第 2 ダミー部と、前記第 1 及び第 2 コンタクト部のいずれか一方を前記第 1 ゲート配線に電氣的に接続する第 3 ダミー部とを含み、

前記ダミー部の切断では前記第 1 乃至第 3 ダミー部を切断する、請求項 5 に記載の S O I 半導体装置の製造方法。

30

【請求項 10】

前記第 3 及び第 4 絶縁膜を貫通して前記第 1 乃至第 3 ダミー部を露出する 2 つの開口部からなる第 2 開口部を形成するステップをさらに含み、前記第 1 乃至第 3 ダミー部の切断は前記第 2 開口部の形成後に行う、請求項 9 に記載の S O I 半導体装置の製造方法。

【請求項 11】

前記第 2 開口部を介して、前記第 1 乃至第 3 ダミー部をレーザーリペアーにより切断する、請求項 10 に記載の S O I 半導体装置の製造方法。

【請求項 12】

前記第 2 開口部の形成及び前記第 1 乃至第 3 ダミー部の切断を一度のエッチングにより行う、請求項 10 に記載の S O I 半導体装置の製造方法。

40

【請求項 13】

前記第 1 開口部は 1 つの開口部からなり、  
前記コンタクト部は第 1 コンタクト部を含み、  
前記ダミー部は、前記第 1 コンタクト部を前記第 1 ソース配線、第 1 ドレイン配線及び第 1 ゲート配線にそれぞれ電氣的に接続する第 1 乃至第 3 ダミー部を含み、前記ダミー部の切断は前記第 1 乃至第 3 ダミー部を切断する、請求項 5 に記載の S O I 半導体装置の製造方法。

【請求項 14】

前記第 3 及び第 4 絶縁膜を貫通して前記第 1 乃至第 3 ダミー部を露出する 1 つの開口部

50

からなる第2開口部を形成するステップをさらに含み、前記第1乃至第3ダミー部の切断は前記第2開口部の形成後に行う、請求項13に記載のSOI半導体装置の製造方法。

【請求項15】

前記第2開口部を介して、前記第1乃至第3ダミー部をレーザーリペアーにより切断する、請求項14に記載のSOI半導体装置の製造方法。

【請求項16】

前記第2開口部の形成及び前記第1乃至第3ダミー部の切断を一度のエッチングにより行う、請求項14に記載のSOI半導体装置の製造方法。

【請求項17】

支持基板と、前記支持基板上に第1絶縁膜を介して形成された半導体層とを備えるSOI基板と、

前記半導体層に形成されたトランジスタ及び素子分離領域と、

前記トランジスタ及び素子分離領域を覆う第2絶縁膜と、

前記第2絶縁膜、前記素子分離領域及び第1絶縁膜を貫通して形成された第1開口部と

、前記第2絶縁膜上に形成されかつ前記トランジスタに電氣的に接続された第1ソース配線、第1ドレイン配線及び第1ゲート配線と、

前記第1ソース配線、第1ドレイン配線及び第1ゲート配線に電氣的に接続され、かつ、前記第1開口部を介して支持基板に電氣的に接続されて形成された後に切断されたダミー配線と、を備えたSOI半導体装置。

【請求項18】

前記第1ソース配線、第1ドレイン配線及び第1ゲート配線を覆う第3絶縁膜と、前記第1ソース配線、第1ドレイン配線及び第1ゲート配線にそれぞれ電氣的に接続されて、第3絶縁膜上に形成された第2ソース配線、第2ドレイン配線及び第2ゲート配線と、をさらに備えた請求項17に記載のSOI半導体装置。

【請求項19】

前記第1開口部は2つの開口部からなり、前記ダミー配線は、前記2つの開口部のそれぞれを介して前記第1ソース配線及び第1ドレイン配線を前記支持基板に電氣的に接続するとともに、前記2つの開口部のいずれか一方を介して前記第1ゲート配線を前記支持基板に電氣的に接続する、請求項17に記載のSOI半導体装置。

【請求項20】

前記第1開口部は1つの開口部からなり、前記ダミー配線は、前記1つの開口部を介して前記第1ソース配線、第1ドレイン配線及び第1ゲート配線を前記支持基板に電氣的に接続する、請求項17に記載のSOI半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SOI半導体装置の製造方法、特に、支持基板と、前記支持基板上に絶縁膜を介して形成された半導体層とを備えるSOI基板にトランジスタ及び素子分離領域を形成するSOI半導体装置の製造方法に関する。

【0002】

【従来の技術】

低消費電力化及び高速化が可能な半導体装置として、シリコンからなる支持基板上に埋込酸化膜等の絶縁膜を介して形成された半導体層を備えるSOI(Silicon On Insulator)基板において、半導体層にトランジスタと素子分離領域とを形成したSOI半導体装置がある。半導体プロセスでは、微細化が進むにつれてゲート絶縁膜が薄膜化される一方、高密度プラズマCVD装置、高密度プラズマエッチング装置等のチャージダメージの大きい装置の使用が必要となり、薄いゲート絶縁膜がチャージングダメージを受けて、ゲート絶縁膜が劣化し、ゲート絶縁膜の耐圧不良やゲート絶縁膜界面での界面順位の発生のためにトランジスタの特性が劣化する虞がある。

10

20

30

40

50

## 【 0 0 0 3 】

従来のSOI半導体装置の製造方法は、例えば特許文献1に記載されている。この製造方法では、エッチングの際に、ゲート配線を支持基板に短絡するダミーパターンをゲート配線と同時に形成した後、ダミーパターンをエッチングし、ゲート配線と支持基板とを絶縁している。

## 【 0 0 0 4 】

## 【特許文献1】

特開平8-330250号公報(第5頁、第1図)

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

特許文献1の製造方法では、エッチング処理等の際にプラズマ中からゲート配線に電荷が入り込んでも、その電荷はダミー配線を介して支持基板に逃がされるが、ソース/ドレイン配線に入り込む電荷については記載されていない。また、支持基板上に直接トランジスタが形成されるので、ソース/ドレイン配線の電荷はソース/ドレイン領域から支持基板に逃げることができると考えられる。これに対して、SOI半導体装置では、支持基板上に埋込酸化膜が存在するため、ソース/ドレイン配線の電荷が支持基板に逃げることができず、ソース/ドレイン領域に蓄積される。これにより、ソース/ドレイン領域とゲート電極との間に大きな電位差が生じ、即ちゲート絶縁膜に大きな電界が加わり、ゲート絶縁膜がチャージングダメージを受ける。この場合、ゲート絶縁膜の耐圧が劣化したり、ゲート絶縁膜界面で界面順位が発生し、トランジスタの特性が劣化する虞がある。

10

20

## 【 0 0 0 6 】

本発明は、SOI半導体装置の製造方法において、チャージングダメージを低減し、トランジスタの特性向上を図ることにある。

## 【 0 0 0 7 】

## 【課題を解決するための手段】

本発明に係るSOI半導体装置の製造方法は、支持基板と、支持基板上に第1絶縁膜を介して形成された半導体層とを備えるSOI基板において半導体層にトランジスタと素子分離領域とを形成するステップと、トランジスタ及び素子分離領域を第2絶縁膜で覆うステップと、第2絶縁膜、素子分離領域及び第1絶縁膜を貫通して支持基板を露出する第1開口部を形成するステップと、トランジスタに電氣的に接続される第1ソース配線、第1ドレイン配線及び第1ゲート配線と、これらの配線と接続されかつ第1開口部を介して支持基板と電氣的に接続されるダミー配線とを、第2絶縁膜上に形成するステップと、ダミー配線を切断して、第1ソース配線、第1ドレイン配線及び第1ゲート配線を、支持基板から電氣的に絶縁させるステップと、を含んでいる。

30

## 【 0 0 0 8 】

## 【作用】

本発明に係るSOI半導体装置の製造方法では、第1ソース配線、第1ドレイン配線及び第1ゲート配線を形成する際に、これらの配線を支持基板と電氣的に接続するダミー配線を同時に形成するため、配線パターン形成工程においてこれらの配線に電荷が入り込んだとしても、これらの電荷はダミー配線を介して支持基板に逃がされる。これにより、各配線に蓄積される電荷の差に起因してゲート絶縁膜に加わる電界を低減し、ゲート絶縁膜が受けるチャージングダメージを低減し得る。この結果、ゲート絶縁膜の耐圧劣化やゲート絶縁膜界面での界面順位の発生を抑制し、トランジスタの特性向上を図ることができる。

40

## 【 0 0 0 9 】

## 【発明の実施の形態】

## (1) 第1実施形態

## 〔製造フロー〕

図1乃至図7は、本発明の第1実施形態に係るSOI半導体装置の製造方法を説明するためのフローである。ここでは、SOI基板上に形成されるMOSFETを例に挙げて説明する。

50

## 【0010】

図1は1M配線パターン200まで形成されたSOI半導体装置の上面図、図2は図1のII-IIで切った断面図である。図1及び図7では、説明の便宜ため、一部の層を省略して記載している。図1及び図2に示すように、支持基板1上にSiO<sub>2</sub>等の埋込酸化膜2を介して形成された半導体層に、拡散領域4（活性化領域）を絶縁膜からなる素子分離領域3で互いに分離して形成し、拡散領域4上にSiO<sub>2</sub>からなるゲート絶縁膜5及びp-Si等の導電膜からなるゲート電極6を形成する。ここでは、支持基板1上に埋込酸化膜2を介して半導体層を形成しているが、酸化膜以外にも窒化膜等の絶縁膜であれば良い。これらをSiO<sub>2</sub>からなる層間絶縁膜7で覆った後、層間絶縁膜7上にレジストパターンを形成し、層間絶縁膜7をエッチングして開口部108～109を形成し、引き続き素子分離領域3及び埋込酸化膜2をエッチングして開口部111、112を形成する。開口部108、109は、層間絶縁膜7を貫いて形成され、拡散領域4を露出する。開口部110は、層間絶縁膜7を貫いて形成され、ゲート電極6を露出する。開口部111、112は、層間絶縁膜7、素子分離領域3及び埋込酸化膜2を貫いて形成され、支持基板1を露出する。次に、開口部108、109からイオン注入、熱処理することにより、拡散領域4の開口部108、109で露出した部分にそれぞれ高濃度拡散領域としてのソース領域4a、ドレイン領域4bを形成する。

10

## 【0011】

次に、層間絶縁膜7上にAl、Al合金等からなる1M配線膜を堆積し、RIE（Reactive Ion Etching）により加工し、1M配線パターン200を形成する。1M配線パターン200は、ソース電極を含むソース配線8、ドレイン電極を含むドレイン配線9、ゲート配線10と、ダミー部13～15及びコンタクト部11、12とを含んでいる。ダミー部13は、開口部111に埋め込まれたコンタクト部11をソース配線8に電氣的に接続している。また、ダミー部15は、開口部112に埋め込まれたコンタクト部12をドレイン配線9及びゲート配線10にそれぞれ電氣的に接続している。ここで、1M配線パターン200のエッチングでは、1Mのソース配線8、ドレイン配線9、ゲート配線10がダミー部13～15及びコンタクト部11、12を介して支持基板1に電氣的に短絡されているので、ソース配線8、ドレイン配線9、ゲート配線10にプラズマ中から入り込む電荷がダミー部13～15及びコンタクト部11、12を介して支持基板1に逃される。また、ダミー部13～15は、第1配線パターン200形成から後述するPV膜21の形成までの間、ソース配線8、ドレイン配線9、ゲート配線10を、コンタクト部11、12を介して支持基板1に電氣的に短絡するとともに、PV膜21の形成後には切断される。即ち、ダミー部13～15は、ソース配線8、ドレイン配線9及びゲート配線10と支持基板1とを電氣的に短絡及び絶縁するヒューズの役割を果たす。

20

30

## 【0012】

次に、図3に示すように、1M配線パターン200を覆うようにSiO<sub>2</sub>等からなる層間絶縁膜16を高密度プラズマCVDにより堆積する。ここでも、1Mのソース配線8、ドレイン配線9、ゲート配線10がダミー部13～15及びコンタクト部11、12を介して支持基板1に電氣的に短絡されているので、ソース配線8、ドレイン配線9、ゲート配線10にプラズマ中から入り込む電荷が、ダミー部13～15及びコンタクト部11、12を介して支持基板1に逃がされる。次に、層間絶縁膜16上にレジストパターンを形成し、エッチングして開口部217～220を形成した後、層間絶縁膜16上にAl、Al合金等からなる2M配線膜を形成する。2M配線膜上にレジストパターンを形成した後RIEによりエッチングし、2M配線パターン250を形成する。2M配線パターン250は、開口部217を介して1Mのソース配線8に電氣的に接続されるソース配線17、開口部218を介して1Mのドレイン配線9に電氣的に接続されるドレイン配線18、開口部219を介して1Mのゲート配線10に電氣的に接続されるゲート配線19、開口部220を介して1Mのコンタクト部12に電氣的に接続されるコンタクト部20を含んでいる。ここで、2M配線パターン250のエッチングでは、2Mのソース配線17、ドレイン配線18、ゲート配線19が、1Mのソース配線8、ドレイン配線9、ゲート配線10

40

50

にそれぞれ電氣的に短絡されているので、ソース配線 17、ドレイン配線 18、ゲート配線 19 にプラズマ中から電荷が入り込んでも、その電荷は 1M のソース配線 8、ドレイン配線 9、ゲート配線 10 からダミー部 13 ~ 15 及びコンタクト部 11, 12 を介して支持基板 1 に逃がされる。

#### 【0013】

次に、2M 配線パターンを覆うように SiNx からなる PV 膜 (絶縁膜) 21 を堆積し、図 4 に示すように、PV 膜 21 上に 2 つの開口部を有するレジストパターン 22 を形成する。次に、図 5 に示すように、2 つの開口部を介して PV 膜 21、層間絶縁膜 16 をエッチングし、図 1 に示すようにダミー部 13 を露出する開口部 23 及びダミー部 14, 15 を露出する開口部 24 を PV 膜 21、層間絶縁膜 16 に形成する。その後、図 6 及び図 7 に示すように、開口部 23 に露出したダミー部 13、開口部 24 に露出したダミー部 14, 15 をレーザーリペアーにより切断する。

10

#### 【0014】

なお、ダミー部 13 ~ 15 をレーザーリペアーにより切断する代わりに、開口部 23, 24 の形成と、ダミー部 13 ~ 15 の切断を一度のエッチングで行っても良い。即ち、図 5 のように PV 膜 21、層間絶縁膜 16 での開口部 23, 24 をエッチングにより加工し、それに引き続き、エッチングガスを切り換えて、開口部 23, 24 を介して、図 6 及び図 7 に示すようにダミー部 13 ~ 15 を切断しても良い。

#### 【0015】

〔作用効果〕

20

バルク構造の半導体装置では、支持基板とソース/ドレイン領域を構成する拡散領域との間に埋込酸化膜が存在しないため、ソース配線及びドレイン配線にプラズマ中から電荷が入り込んでも、ソース領域及びドレイン領域から支持基板に電荷を逃がすことができる。一方、SOI 基板上に形成される半導体装置では、支持基板 1 とソース領域 4a 及びドレイン領域 4b を構成する拡散領域 4 との間に埋込酸化膜 2 が存在するため、ソース配線 8 及びドレイン配線 9 にプラズマ中から入り込んだ電荷は、拡散領域 4 から直接支持基板 1 に逃げることができず、拡散領域 4 に蓄積される。また、ソース領域 4a 及びドレイン領域 4b に蓄積される電荷量と、ゲート電極 6 に蓄積される電荷量とは、各配線のアンテナ比等により異なるため、拡散領域 4 とゲート電極 6 との間に大きな電位差が生じ、ゲート絶縁膜 5 に大きな電界が加わることになる。このため、ゲート絶縁膜 5 が劣化し、ゲート絶縁膜 5 の耐圧が劣化したり、ゲート絶縁膜 5 界面に界面順位が発生して、トランジスタの性能が劣化する虞がある。

30

#### 【0016】

そこで、本実施形態に係る製造方法では、1M 配線パターン 200 をエッチングする際に、ソース配線 8、ドレイン配線 9、ゲート配線 10 を支持基板 1 に電氣的に短絡するダミー部 13 ~ 15 及びコンタクト部 11, 12 を同時に形成する。これにより、ソース配線 8、ドレイン配線 9、ゲート配線 10 にプラズマ中から電荷が入り込んでも、その電荷をダミー部 13 ~ 15 及びコンタクト部 11, 12 を介して支持基板 1 に逃がすことができ、ソース領域 4a、ドレイン領域 4b 及びゲート電極 6 に電荷が蓄積されることを防止する。

40

#### 【0017】

また、1M 配線パターン 200 の表面に層間絶縁膜 16 を高密度プラズマ CVD により形成する際にも、ソース配線 8、ドレイン配線 9、ゲート配線 10 に侵入する電荷を同様に支持基板 1 に逃がすことができる。

#### 【0018】

さらに、2M 配線パターンをエッチングする際にも、2M 配線パターン 250 のソース配線 17、ドレイン配線 18、ゲート配線 19 がそれぞれ 1M 配線パターンのソース配線 8、ドレイン配線 9、ゲート配線 10 に短絡されている。このため、2M 配線パターンのソース配線 17、ドレイン配線 18、ゲート配線 19 に入り込む電荷を、それぞれ 1M 配線パターンのソース配線 8、ドレイン配線 9、ゲート配線 10 から、ダミー部 13 ~ 15 及

50

びコンタクト部 11, 12 を介して支持基板 1 に逃がすことができる。また P V 膜 21 を形成する際にも、2 M 配線パターンのソース配線 17、ドレイン配線 18、ゲート配線 19 に侵入する電荷を、同様に支持基板 1 に逃がすことができる。

【0019】

以上のように、各配線に入り込む電荷を支持基板 1 に逃がすことにより、ゲート絶縁膜 5 が受けるチャージングダメージを低減することができる。この結果、ゲート絶縁膜 5 の耐圧劣化やゲート絶縁膜 5 界面での界面準位の発生を抑制し、S O I 半導体装置の特性を向上し得る。

【0020】

(2) 第 2 実施形態

〔製造フロー〕

図 8 乃至図 14 は、本発明の第 2 実施形態に係る S O I 半導体装置の製造方法を説明するためのフローである。

【0021】

図 8 は 1 M 配線パターン 300 まで形成された S O I 半導体装置の上面図、図 9 は図 8 の I X - I X で切った断面図である。図 8 及び図 14 では、説明の便宜ため、一部の層を省略している。図 8 及び図 9 に示すように、支持基板 1 上に S i O<sub>2</sub> 等の埋込酸化膜 2 を介して形成された半導体層に、拡散領域 4 (活性化領域) を絶縁膜からなる素子分離領域 3 で互いに分離して形成し、拡散領域 4 上に S i O<sub>2</sub> からなるゲート絶縁膜 5 及び p - S i 等の導電膜からなるゲート電極 6 を形成する。これらを S i O<sub>2</sub> からなる層間絶縁膜 7 で覆った後、層間絶縁膜 7 上にレジストパターンを形成し、層間絶縁膜 7 をエッチングして開口部 108 ~ 110 を形成し、引き続き素子分離領域 3 及び埋込酸化膜 2 をエッチングして開口部 130 を形成する。開口部 108, 109 は、層間絶縁膜 7 を貫いて形成され、拡散領域 4 を露出する。開口部 110 は、層間絶縁膜 7 を貫いて形成され、ゲート電極 6 を露出する。開口部 130 は、層間絶縁膜 7、素子分離領域 3 及び埋込酸化膜 2 を貫いて形成され、支持基板 1 を露出する。次に、開口部 108, 109 からイオン注入、熱処理することにより、拡散領域 4 の開口部 108, 109 で露出した部分にそれぞれ高濃度拡散領域としてのソース領域 4a、ドレイン領域 4b を形成する。

【0022】

1 M 配線パターン 300 は、ソース電極を含むソース配線 8、ドレイン電極を含むドレイン配線 9、ゲート配線 10 と、ダミー部 31 ~ 33 及びコンタクト部 30 とを含んでいる。ダミー部 31 ~ 33 は、開口部 130 に埋め込まれたコンタクト部 30 をそれぞれソース配線 8、ドレイン配線 9 及びゲート配線 10 に電氣的に接続している。ここで、1 M 配線パターン 300 のエッチングでは、1 M のソース配線 8、ドレイン配線 9、ゲート配線 10 がダミー部 31 ~ 33 及びコンタクト部 30 を介して支持基板 1 に電氣的に短絡されているので、ソース配線 8、ドレイン配線 9、ゲート配線 10 にプラズマ中から入り込む電荷がダミー部 31 ~ 33 及びコンタクト部 30 を介して支持基板 1 に逃される。また、ダミー部 31 ~ 33 は、第 1 配線パターン 300 形成から後述する P V 膜 21 の形成までの間、ソース配線 8、ドレイン配線 9、ゲート配線 10 を、コンタクト部 30 を介して支持基板 1 に電氣的に短絡するとともに、P V 膜 21 の形成後には切断される。即ち、ダミー部 31 ~ 33 は、ソース配線 8、ドレイン配線 9 及びゲート配線 10 と支持基板 1 とを電氣的に短絡又は絶縁するヒューズの役割を果たす。

【0023】

次に、図 10 に示すように、1 M 配線パターン 300 を覆うように S i O<sub>2</sub> 等からなる層間絶縁膜 16 を高密度プラズマ C V D により堆積する。ここでも、1 M のソース配線 8、ドレイン配線 9、ゲート配線 10 がダミー部 31 ~ 33 及びコンタクト部 30 を介して支持基板 1 に電氣的に短絡されているので、ソース配線 8、ドレイン配線 9、ゲート配線 10 にプラズマ中から入り込む電荷が、ダミー部 31 ~ 33 及びコンタクト部 30 を介して支持基板 1 に逃がされる。次に、層間絶縁膜 16 上にレジストパターンを形成し、エッチングして開口部 217 ~ 220 を形成した後、層間絶縁膜 16 上に A l、A l 合金等から

10

20

30

40

50

なる2M配線膜を形成する。2M配線膜上にレジストパターンを形成した後RIEによりエッチングし、2M配線パターン350を形成する。2M配線パターン350は、開口部217を介して1Mのソース配線8に電氣的に接続されるソース配線17、開口部218を介して1Mのドレイン配線9に電氣的に接続されるドレイン配線18、開口部219を介して1Mのゲート配線10に電氣的に接続されるゲート配線19、開口部220を介して1Mのコンタクト部30に電氣的に接続されるコンタクト部20を含んでいる。2M配線パターン350のエッチングでは、2Mのソース配線17、ドレイン配線18、ゲート配線19が、1Mのソース配線8、ドレイン配線9、ゲート配線10にそれぞれ電氣的に短絡されているので、ソース配線17、ドレイン配線18、ゲート配線19にプラズマ中から入り込む電荷は、それぞれ1M配線パターン300のソース配線8、ドレイン配線9、ゲート配線10からダミー部31~33及びコンタクト部30を介して支持基板1に逃がされる。

10

**【0024】**

次に、2M配線パターン350を覆うようにSiNxからなるPV膜(絶縁膜)21を堆積し、図11に示すように、PV膜21上に1つの開口部を有するレジストパターン25を形成する。次に、図12に示すように、1つの開口部を介してPV膜21、層間絶縁膜16をエッチングし、図8に示すようにダミー部31~33を露出する開口部34をPV膜21、層間絶縁膜16に形成する。その後、図13及び図14に示すように、開口部34に露出したダミー部31~33をレーザーリペアーにより切断する。

**【0025】**

なお、ダミー部31~33をレーザーリペアーにより切断する代わりに、開口部34の形成と、ダミー部31~33の切断を一度のエッチングで行っても良い。即ち、図12のようにPV膜21、層間絶縁膜16での開口部34をエッチングにより加工し、それに引き続き、エッチングガスを切り換えて、開口部34を介して、図13及び図14のようにダミー部13~15を切断しても良い。

20

**【0026】****〔作用効果〕**

本実施形態に係るSOI半導体装置の製造方法でも、1M配線パターン300のエッチング及び層間絶縁膜16の堆積の際に、ソース配線8、ドレイン配線9、ゲート配線10が支持基板1に電氣的に短絡されるので、上記実施形態と同様に、ソース配線8、ドレイン配線9、ゲート配線10にプラズマ中から入り込む電荷を、ダミー部31~33及びコンタクト部30を介して支持基板1に逃がすことができる。

30

**【0027】**

また、2M配線パターン350のエッチング及びPV膜21の堆積の際に、2M配線パターン350が1M配線パターン300を介して支持基板1に電氣的に短絡されているので、2M配線パターンのソース配線17、ドレイン配線18、ゲート配線19に侵入する電荷を、それぞれ1M配線パターン300のソース配線8、ドレイン配線9、ゲート配線10から、ダミー部31~33及びコンタクト部30を介して支持基板1に逃がすことができる。

**【0028】**

以上のように、本実施形態によれば、上記実施形態と同様に、ゲート絶縁膜の耐圧劣化やゲート絶縁膜界面での界面準位の発生を抑制し、SOI半導体装置の特性を向上し得る。

40

**【0029】**

また、本実施形態では、ソース配線8、ドレイン配線9、ゲート配線10を支持基板1に短絡するために、コンタクト部30を1つ形成すれば良く、ダミー部31~33が隣接して配置されるためこれらを露出する開口部34を1つ形成すれば良いので、製造工程が簡易になる。

**【0030】****【発明の効果】**

本発明によれば、SOI半導体装置の製造方法において、各配線に入り込む電荷を支持基

50



板に逃がすことにより、ゲート絶縁膜が受けるチャージングダメージを低減し得る。この結果、ゲート絶縁膜の耐压劣化やゲート絶縁膜界面での界面順位の発生を抑制し、SOI半導体装置の特性向上を図ることができる。

【図面の簡単な説明】

【図1】第1実施形態に係るSOI半導体装置の製造フロー（上面図その1）。

【図2】第1実施形態に係るSOI半導体装置の製造フロー（断面図その1）。

【図3】第1実施形態に係るSOI半導体装置の製造フロー（断面図その2）。

【図4】第1実施形態に係るSOI半導体装置の製造フロー（断面図その3）。

【図5】第1実施形態に係るSOI半導体装置の製造フロー（断面図その4）。

【図6】第1実施形態に係るSOI半導体装置の製造フロー（断面図その5）。

10

【図7】第1実施形態に係るSOI半導体装置の製造フロー（上面図その2）。

【図8】第2実施形態に係るSOI半導体装置の製造フロー（上面図その1）。

【図9】第2実施形態に係るSOI半導体装置の製造フロー（断面図その1）。

【図10】第2実施形態に係るSOI半導体装置の製造フロー（断面図その2）。

【図11】第2実施形態に係るSOI半導体装置の製造フロー（断面図その3）。

【図12】第2実施形態に係るSOI半導体装置の製造フロー（断面図その4）。

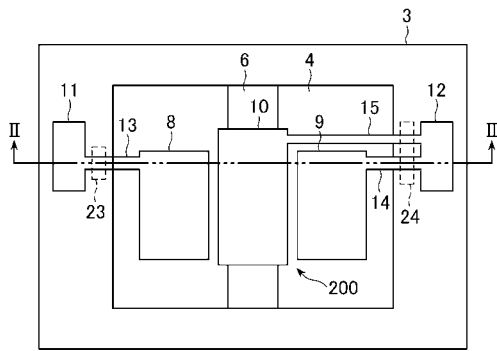
【図13】第3実施形態に係るSOI半導体装置の製造フロー（断面図その5）。

【図14】第3実施形態に係るSOI半導体装置の製造フロー（上面図その2）。

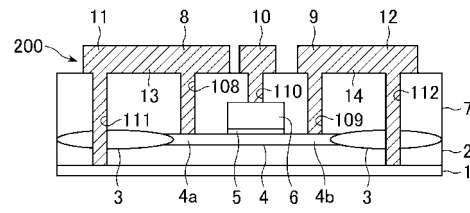
【符号の説明】

1	支持基板	20
2	埋込酸化膜	
3	素子分離領域	
4	拡散領域	
4 a	ソース領域	
4 b	ドレイン領域	
5	ゲート絶縁膜	
6	ゲート電極	
7, 16	層間絶縁膜	
8, 17	ソース配線	
9, 18	ドレイン配線	30
10, 19	ゲート配線	
11, 12, 20, 30	コンタクト部	
13 ~ 15, 31 ~ 33	ダミー部	
21	PV膜	
22, 25	レジスト	
23, 24, 34	開口部	

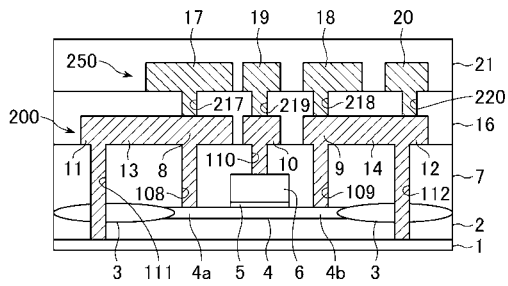
【 図 1 】



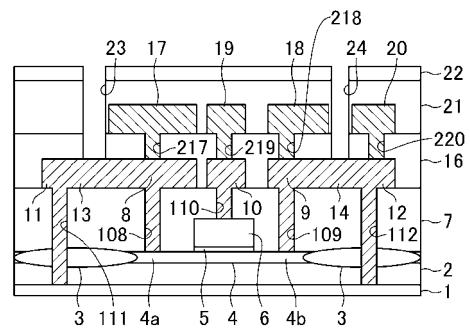
【 図 2 】



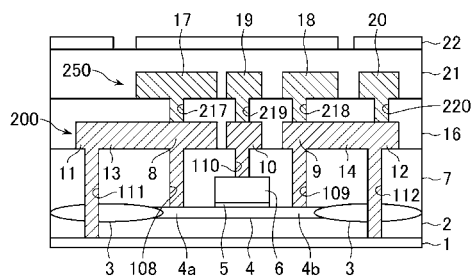
【 図 3 】



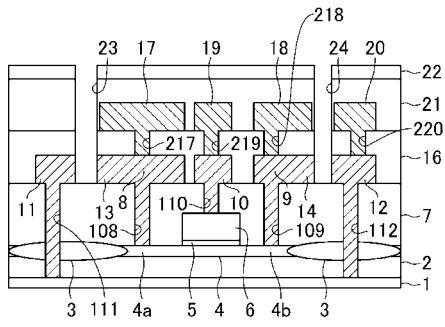
【 図 5 】



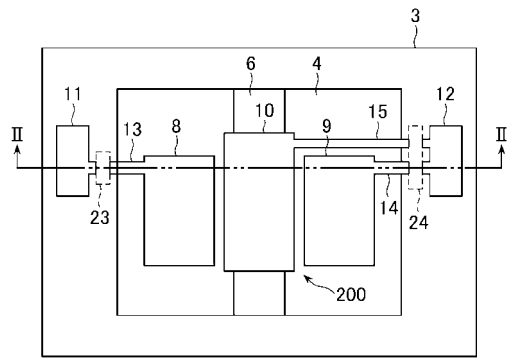
【 図 4 】



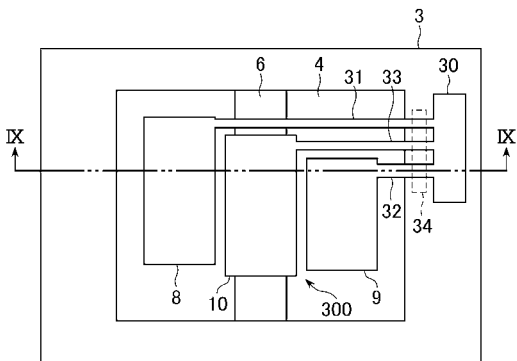
【 図 6 】



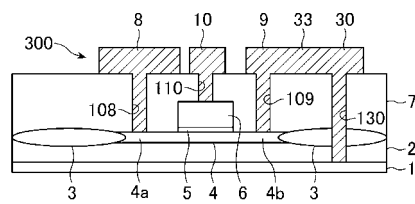
【 図 7 】



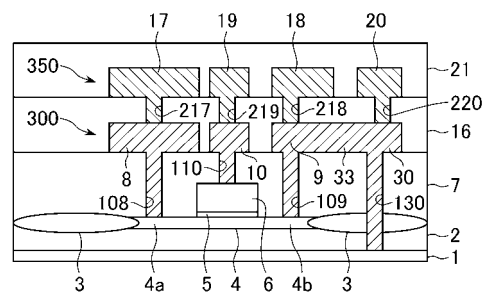
【 図 8 】



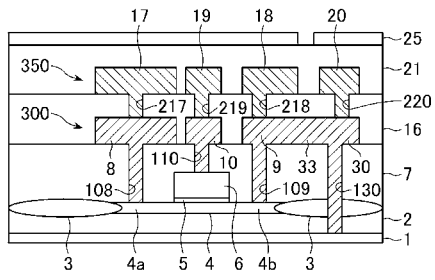
【 図 9 】



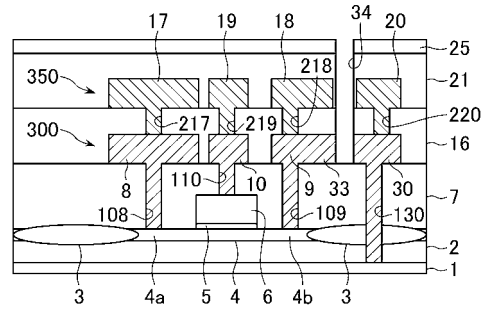
【 図 10 】



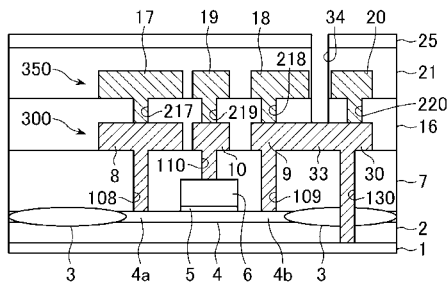
【 図 1 1 】



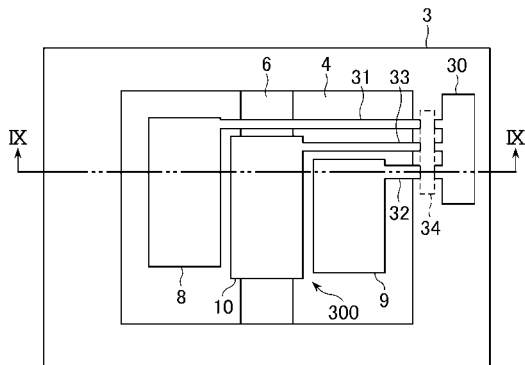
【 図 1 3 】



【 図 1 2 】



【 図 1 4 】



---

フロントページの続き

(51) Int.Cl. F I  
**H 0 1 L 27/04 (2006.01)**

審査官 河本 充雄

(56) 参考文献 特開 2 0 0 2 - 1 1 0 9 9 0 ( J P , A )

(58) 調査した分野(Int.Cl. , D B名)

H01L 29/786

H01L 21/336

H01L 21/28

H01L 21/3205

H01L 21/822

H01L 23/52

H01L 27/04