

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/00		(45) 공고일자 1999년06월 15일	
		(11) 등록번호 10-0202048	
		(24) 등록일자 1999년03월 17일	
(21) 출원번호	10-1990-0022248	(65) 공개번호	특1991-0013450
(22) 출원일자	1990년12월28일	(43) 공개일자	1991년07월31일
(30) 우선권주장	22891 A/89 1989년12월29일 이탈리아(IT)		
(73) 특허권자	에세지에세-통스미크로엘렉트로닉수에세.에르.엘 피에로 카폰셀리 이탈리아공화국, 20041 아그라이테 브리안자 엠아이 비아 시. 올리베티 엔 2		
(72) 발명자	쿠세페페르라 이탈리아95126카타니아시티비아아스카스텔로12 카르멜로마르고 이탈리아95125카타니아시티비아굴리엘미노16 파올로란자 이탈리아96010카사로에스엘비아란자5		
(74) 대리인	김성택, 장수길		

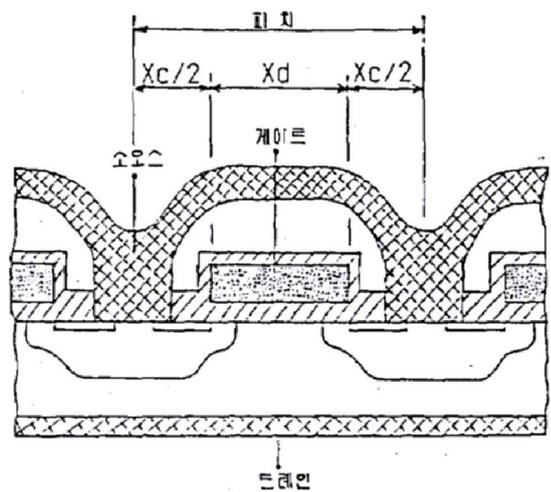
심사관 : 남승희

(54) 전력-MOS 반도체 장치의 제조공정 및 그에 따른 장치

요약

전력-MOS 반도체 장치를 제조하기 위한 공정은 자기 정렬 기술 및 스텝퍼형 노광 장치를 사용하여 높은 섀플 밀도를 달성할 수 있다. 이 공정은 상보 스페이서 기술에 의한 소스의 한정 및 형성과 게이트 벽(제11도) 상에 스페이서를 형성한 후에 규화물에 의한 소스 및 게이트 접촉 영역의 금속화에 적합하다.

대표도



명세서

[발명의 명칭]

전력-MOS 반도체 장치의 제조 공정 및 그에 따른 장치

[도면의 간단한 설명]

- 제1도는 공지된 기술의 전력-MOS의 구조를 도시한 도면.
- 제2도 내지 제10도는 본 발명에 따른 공정의 여러 단계들을 도시한 도면.
- 제11도는 동일한 공정에 의해 얻어진 전력-MOS 장치를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

- 2 : 이산화 실리콘층
- 3 : 다결정 실리콘
- 5 : 질화 실리콘층
- 6 : 이산화 실리콘층
- 7, 14 : 스페이서
- 8 : 몸체 영역
- 9, 10 : 이산화 실리콘층
- 12 : 소스 영역
- 16 : 접촉 영역
- 17 : 유전체 층

[발명의 상세한 설명]

본 발명은 고밀도 기본 MOS 셀을 갖는 전력-MOS 반도체 장치를 제조하기 위한 공정 및 상기 공정에 의해 얻어진 전력-MOS 장치에 관한 것이다.

전력-MOS 장치의 제조에 있어서, 통상적으로 사용되는 기술들은 예를 들어 보다 소형의 실리콘 면적 또는 사용된 소정의 실리콘 면적에 대한 보다 나은 성능과 같은 훨씬 소형의 규격 특성을 갖는 다수 셀의 장치 및 구조물을 집적하는 전형적인 고밀도 대규모 집적 회로(LSI) 기술의 실시를 목표로 한다. 전력-MOS 장치의 밀도는 평방 안치당 약 2 내지 3백만의 기본 셀이며, 이는 "X피치"가 게이트 전극의 측면 크기 $X_d(\text{dir } 7\mu\text{m})$ 와 다결정 실리콘 층에서 개구의 크기 $X_c(\text{약 } 10\mu\text{m})$ 의 합을 의미한다고 할 때, 약 $17\mu\text{m}$ 의 전형적인 "X피치"를 가지는 기본 셀에 해당한다.

종래의 공정에 의해 얻어진 셀의 최소 크기는 제조 공정의 여러 단계에 의해 부과된 공차(tolerance) 뿐만 아니라 사용된 사진 노광 시스템의 전력 및 정렬 제한을 해결함으로써 조절된다. 보다 상세히 말하면, X_c 의 최소 크기는 다결정 실리콘 내부에서 3개의 성공적인 정렬을 실행하기 위한 요구 조건 및 가능한 최소의 개구에 관련된 기술적 제한에 의해 결정된다. 종래의 투사형 사진 노광 장치를 사용하면, X_c 의 최소 크기는 약 $8\mu\text{m}$ 가 된다.

게이트(X_d)의 최소 측면 크기는 종래의 금속화에서 발생하는 소위 알루미늄 스파이크에 의한 단락 회로의 형성을 방지하기 위해 몸체 불순물의 확산을 충분히 깊게 허용하는 조건과 관련된다. X_d 의 상기 최소 크기는 사용되는 기술에 관계없이 약 6 내지 $7\mu\text{m}$ 이다.

본 발명의 목적은 해당 장치의 집적 밀도를 증가시키고 동시에 제조 공정을 간단하게 하기 위해 전력-MOS 장치의 기본 셀(X피치)의 최소 크기를 상당히 감소시키는 것이다.

본 발명에 따른 전력-MOS 반도체 장치의 제조 공정은 일정한 도전형의 실리콘 기판 상에 상기 도전형과 동일한 도전형의 실리콘 층을 적어도 하나 에피택셜 성장시키는 단계; 기판의 전체에 대한 게이트 산화 단계; 기판의 정면에 다결정 실리콘층을 피착하는 단계; 게이트 다결정실리콘을 정의하게 위해, 다결정질 실리콘층 내에 포토 에칭에 의해 게이트 윈도우를 개방하는 단계; 몸체를 형성하기 위해 게이트 윈도우에 불순물을 주입 및 확산시키는 단계; 소스 영역을 형성하기 위해 몸체에 불순물을 주입 및 확산시키는 단계; 기판의 정면에 P-바폭스(P-Vapox) 유전체를 피착하는 단계; 소스 접촉부를 형성하기 위해 기판의 정면에 윈도우를 개방하는 단계; 및 소스 금속화 및 소스와 게이트 패드의 금속화를 제공하기 위해, 기판의 정면 알루미늄을 피착하는 단계를 포함하여, 소스 영역의 정의 및 형성은 게이트 벽과 대향 배치된 유전 물질의 스페이서를 형성함으로써 얻어진 실리콘 산화 마스크를 사용하여 수행되며, 소스 및 게이트 접촉 영역의 금속화는 게이트 벽을 따라 유전 물질의 스페이서를 형성한 후 내화 금속인 규화물에 의해 실행되는 것을 특징으로 한다.

본 발명에 따른 다른 방법은 특허 청구의 범위에서 설명하였다.

이제, 첨부한 도면을 참조하여 본 발명을 상세히 설명하겠다.

아래에서, 본 발명에 따른 공정의 실시에는 N-채널 전력-MOS를 제조하는 경우에 대하여 설명된다. 그러나, 본 분야에 숙련된 기술자들에게는 필요한 변형이 가능하며, 또한 P-채널 전력-MOS 트랜지스터에도 적용될 수 있다.

공정은 다음 단계들의 순차를 포함하는데, 초기 단계, 특히 단계 a로부터 단계 d까지는 종래의 기술에서 이미 제공된 단계들이다.

- a. N+형 실리콘 기판에 N형 실리콘 층을 에피택셜 성장시키는 단계;
- b. 에피택셜층 상에 이산화 실리콘(필드 산화물) 층을 성장시킨 후, 포토에칭에 의해 칩의 에지를 정의하는 단계;
- c. 슬라이스 전체에 이산화 실리콘(게이트 산화물) 층(2)을 형성한 후, 다결정 실리콘층(3)을 피착하는 단계;
- d. 게이트를 형성하기 위해 다결정 실리콘층을 포토 에칭하는 단계;
- e. P형 불순물, 특히 붕소를 영역(4)에 주입하는 단계(제2도);
- f. 200-400Å 두께의 질화 실리콘 Si_3N_4 층(5)을 피착하는 단계;
- g. 화학적 기상 증착(CVD) 공정에 의해, 질화 실리콘층(5) 상에 약 5000Å 두께를 갖는 이산화 실리콘

SiO₂(바폭스) 층(6)을 피착하는 단계(제3도);

- h. 게이트 벽을 따라 스페이서(7)을 생성하도록 바폭스 이산화물층(6)을 반응성 이온 에칭(RIE)하는 단계(제4도);
- i. 스페이서의 보호되지 않은 영역 내의 실리콘 질화물층(5)을 에칭하는 단계;
- l. 하부 질화 실리콘(5)을 덮지 않도록 스페이서를 구비하는 바폭스 이산화물을 제거하는 단계(제5도);
- m. 영역(4)에 존재하는 불순물을 확산한 결과로 몸체 영역(8)을 형성하는 단계;
- n. 플라녹스(planox) 기술을 사용하는 선택성 산화 공정에 의해 몸체 및 게이트 다결정층 상에 이산화 실리콘 층(9 및 10)을 형성하는 단계;
- o. 스페이서에 의해 이미 점유된 영역으로부터 Si₃N₄ 층을 제거하는 단계;
- p. 이산화 실리콘층(9)을 마스크로서 사용하는, 스페이서에 의해 이미 점유된 영역(11) 상에 불순물, 특히 비소를 주입 또는 예비 피착하는 단계(제7도);
- q. 비소의 확산으로 소스 영역(12)을 형성하는 단계(제8도);
- r. 몸체 및 게이트 다결정 상에 이미 형성된 이산화물층(9 및 10)을 제거하는 단계;
- s. 약 1500 Å 두께의 바폭스 층을 피착한 후, 반응성 이온 에칭으로 게이트 벽을 따라 스페이서(14)를 제공하는 단계(제8도);
- t. 내화 금속, 특히 티타늄층(15)을 피착하는 단계(제9도);
- u. 제10도의 접촉 영역(16) 상에 급속 열적 어닐링(RTA)에 의해 TiSi₂규화물을 형성하는 단계; 및
- v. 상기 스페이서(14)를 덮고 있는 내화 금속을 제거하기 위해 선택성 에칭한 후, RTA 처리를 하며 TiSi₂[제10도의 층(16)]에 티타늄을 소결하는 단계를포함한다.

다음에 설명할 단계는 종래 기술에서 이미 제공된 것이다. 슬라이스의 정면에 약 11000 Å 두께인 유전체(17)을 피착하는 단계, 소스 접촉부를 형성하기 위해 유전체층 내에 윈도우를 개방하는 단계, 정면(제11도의 층(18))을 금속화하는 단계, 포토 에칭 단계, 패시베이션 단계 및 슬라이스 배면의 포토 에칭 및 최종 마무리 단계이다.

공정의 종료시 얻어진 장치의 구조는 제11도에 개략적으로 도시하였다.

상술한 공정의 단계(o)는 선택적이다. 실제로, 소스 영역의 형성을 위한 불순물의 주입은 Si₃N₄ 층을 미리 제거하지 않고 수행될 수 있다.

포토 에칭의 경우에는 2회의 연속적인 포토 에칭 사이에 0.35 μm의 최대 오정렬(misalignment)을 갖는 약 1 μm의 최소 개구를 허용하는 5:1 스텝퍼 형(stepper type)의 사진 석판 노광 장치가 사용된다.

스페이서 및 자기 정렬된 규화물과 같은 자기 정렬 기술과 함께 이러한 사진 석판 노광 기기를 사용하면 사진 석판 인쇄 기술의 개선 없이도 상당한 개량품을 얻을 수 있다.

본 발명에 따르면, 기본 셀의 X피치 크기는 평방 인치당 약 8 · 10⁷의 셀 밀도를 달성할 수 있도록 약 2-3 μm를 초과하지 않는 값으로 감소된다. 표시한 바와 같이, Xc는 약 1.8 μm이고 Xd는 약 1 μm일 수 있다. 실제로, Xc크기는 단일 정렬로 조절되어 약 1.8 μm이고 감소될 수 있으며, Xd는 약 1 μm의 값으로 감소될 수 있다.

작동 순서는 마스크 단계 7개에서 5개로 축소시킴으로써 간단하게 된다.

소스, 몸체 및 게이트 다결정 실리콘 상의 규화물은 활성 영역 상의 금속/반도체 접촉 영역의 상당한 감소에 의해 기생 저항도의 증가를 상당히 감소시키고 고집적도에 의해 게이트 다결정 실리콘의 저항도의 증가를 감소시킨다. 이것은 또한 금속화 알루미늄 상의 스파이크에 대한 위험성을 제거하여, 결과적으로 몸체 깊이(0.4 μm 이하)와 몸체 및 게이트의 측면 크기를 감소 시킨다.

다른 장점으로 RTA 공정은 게이트를 다른 전극과 단락 회로화시킬 위험 요인이 되는 스페이서 상의 규화물의 측면 성장을 제한시킬 수 있다.

상술한 장점에 다음의 전기적인 장점이 부과된다.

-소스 크기의 감소는 저전압 장치에서 2의 팩터만큼 Ron을 감소시킨다.

-기생 바이폴라 트랜지스터의 베이스-에미터 저항 RBE의 감소는 급속한 전압 가변에 따라 장치의 강도를 향상시킨다.

-기존의 4-6 μm에서 약 0.5 μm로의 소스의 크기의 감소는 10의 팩터만큼 전력-MOS의 세기를 증가시킨다.

본 발명의 특정한 실시예에 따라 설명하였으나, 본 분야에 숙련된 기술자들은 상술한 설명을 통해 다른 여러 가지 변형 및 변화를 실시할 수 있다. 예를 들어, 한개의 변형에는 상술한 공정의 단계(t)에서 Co,

W 또는 이들 합금과 같은 다른 내화 금속의 피착 단계 및 단계(u)에서 관련된 규화물을 형성하는 단계를 제공할 수 있다.

상술한 단계(i) 및 단계(l) 사이에 몸체 P+를 깊게 형성하기 위해 보다 자체-정렬된 불순물의 이온 주입을 실행함으로써 다른 변형이 구성될 수 있다.

(57) 청구의 범위

청구항 1

소정 도전형의 실리콘 기판 상에 상기 도전형과 동일한 도전형을 가진 적어도 하나의 실리콘층을 에피택셜 성장시키는 단계; 상기 기판 전체에 게이트 산화막을 형성하는 단계; 상기 기판의 정면에 다결정 실리콘층을 피착하는 단계; 게이트 다결정 실리콘을 정의하기 위해, 상기 다결정 실리콘층 내에 포토 에칭에 의해 게이트 윈도우를 개방하는 단계; 몸체를 형성하기 위해 상기 게이트 윈도우에 불순물을 주입 및 확산시키는 단계; 소스 영역을 형성하기 위해 상기 게이트 윈도우에 불순물을 주입 및 확산시키는 단계; 상기 기판의 정면에 P-바폭스(P-Vapox) 유전체를 피착하는 단계; 및 소스 금속화 (metallization) 및 소스와 게이트 패드의 금속화를 제공하기 위해, 상기 기판의 상기 정면에 알루미늄을 피착하는 단계를 포함하고, 상기 소스 영역의 정의 및 형성은 게이트 벽에 배치된 유전체 스페이서를 형성함으로써 얻어진 산화 실리콘 마스크를 사용하여 수행되며, 상기 소스 및 게이트 접촉 영역의 금속화는 상기 게이트 벽을 따라 유전체 스페이서를 형성한 후 내화 금속 규화물에 의해 수행되고, 상기 다결정 실리콘층 내에 상기 게이트 윈도우를 개방하는 단계 이후에, 상기 몸체를 형성하기 위해 상기 윈도우에 상기 기판의 표면 상에 불순물을 이온 주입하는 단계; 상기 기판 전체에 대해 질화 실리콘 Si₃N₄의 박막층을 CVD 방식으로 피착하는 단계; 상기 기판의 표면에 유전체층을 CVD 방식으로 피착하는 단계; 상기 유전체층을 RIE 처리하여, 상기 게이트 윈도우의 벽을 따라 스페이서를 제공하는 단계; 상기 스페이서에 의해 보호되지 않는 영역 내의 질화 실리콘층을 에칭하는 단계; 하부의 질화 실리콘이 노출되도록 상기 스페이서를 제거하는 단계; 상기 몸체 영역을 형성하기 위해 불순물을 확산시키고, 플라녹스(Planox) 기술을 사용하여 상기 게이트 다결정 실리콘 및 상기 몸체 상에 이산화 실리콘층을 각각 형성하는 단계; 상기 스페이서에 의해 점유되었던 영역으로부터 상기 질화 실리콘층을 제거하는 단계; 상기 몸체 상에 형성된 상기 이산화 실리콘층을 마스크로서 사용하여 상기 소스 영역을 제공하는 불순물을 주입 또는 예비 피착한 뒤 확산시켜, 상기 소스 영역을 제공하는 단계; 상기 몸체 및 상기 게이트 다결정 실리콘 상에 형성된 이산화 실리콘층을 제거하는 단계; 상기 게이트 벽을 따라 유전체 스페이서를 형성하는 단계; 내화 금속층을 피착함으로써 상기 소스 및 게이트 접촉 영역을 금속화하고, RTA에 의한 소결에 의해 규화물을 형성하는 단계; 상기 스페이서를 덮고 있는 상기 내화 금속을 제거하기 위해 선택성 에칭을 한 후, RTA에 의해 상기 규화물을 한번 더 소결시키는 단계; 및 상기 기판 정면에 유전체를 피착하고 상기 소스 접촉부를 형성하기 위해 윈도우를 개방하는 단계.

청구항 2

전력-MOS 반도체 장치의 제조 공정에 있어서, 소정 도전형의 실리콘 기판 상에 상기 도전형과 동일한 도전형을 가진 적어도 하나의 실리콘층을 에피택셜 성장시키는 단계; 상기 기판 전체에 게이트 산화막을 형성하는 단계; 상기 기판의 정면에 다결정 실리콘층을 피착하는 단계; 게이트 다결정 실리콘을 정의하기 위해, 상기 다결정 실리콘층 내에 포토 에칭에 의해 게이트 윈도우를 개방하는 단계; 몸체를 형성하기 위해 상기 게이트 윈도우에 불순물을 주입 및 확산시키는 단계; 소스 영역을 형성하기 위해 상기 몸체에 불순물을 주입 및 확산시키는 단계; 상기 기판의 정면에 P-바폭스 유전체를 피착하는 단계; 소스 접촉부를 형성하기 위해 상기 기판의 정면에 윈도우를 개방하는 단계; 및 소스 금속화 및 소스 게이트 패드와 금속화를 제공하기 위해, 상기 기판의 상기 정면에 알루미늄을 피착하는 단계를 포함하고, 상기 소스 영역의 정의 및 형성은 게이트 벽에 배치된 유전체 스페이서를 형성함으로써 얻어진 산화 실리콘 마스크를 사용하여 수행되며, 상기 소스 및 접촉 영역의 금속화는 상기 게이트 벽을 따라 유전체 스페이서를 형성한 후 내화 금속 규화물에 의해 수행되고, 상기 다결정 실리콘층 내에 상기 윈도우를 개방하는 단계 이후에, 상기 몸체를 형성하기 위해 상기 윈도우에 상기 기판의 표면 상에 불순물을 이온 주입하는 단계; 상기 기판 전체에 대해 질화 실리콘 Si₃N₄의 박막층을 CVD 방식으로 피착하는 단계; 상기 기판의 표면에 유전체층을 CVD 방식으로 피착하는 단계; 상기 유전체층을 RIE 처리하여, 상기 게이트 윈도우의 벽을 따라 스페이서를 제공하는 단계; 상기 스페이서에 의해 보호되지 않는 영역 내의 질화 실리콘층을 에칭하는 단계; 하부의 질화 실리콘이 노출되도록 상기 스페이서를 제거하는 단계; 상기 몸체 영역을 형성하기 위해 불순물을 확산시키고, 플라녹스 기술을 사용하여 상기 게이트 다결정 실리콘 및 상기 몸체 상에 이산화 실리콘층을 각각 형성하는 단계; 상기 몸체 상에 형성된 상기 이산화 실리콘층을 마스크로서 사용하여 상기 질화 실리콘층을 통해 불순물을 주입한 뒤 확산시켜, 상기 소스 영역을 제공하는 단계; 상기 스페이서에 의해 점유되었던 영역으로부터 상기 질화 실리콘층을 제거하는 단계; 상기 몸체 및 상기 게이트 다결정 실리콘 상에 형성된 이산화 실리콘층을 제거하는 단계; 상기 게이트 벽을 따라 유전체 스페이서를 형성하는 단계; 내화 금속층을 피착함으로써 상기 소스 및 게이트 접촉 영역을 금속화하고, RTA에 의한 소결에 의해 상기 규화물을 형성하는 단계; 상기 스페이서를 덮고 있는 상기 내화 금속을 제거하기 위해 선택성 에칭을 한 후, RTA에 의해 상기 규화물을 한번 더 소결시키는 단계; 및 상기 기판의 정면에 유전체를 피착하고 상기 소스 접촉부를 형성하기 위해 윈도우를 개방하는 단계가 수행되는 것을 특징으로 하는 전력-MOS 반도체 장치의 제조 공정.

청구항 3

제1항에 있어서, 상기 스페이서에 의해 보호되지 않는 영역 내의 질화 실리콘층을 에칭하는 단계 후에, 깊은(deep) 몸체 영역을 형성하기 위해, 상기 스페이서에 의해 정의되는 상기 윈도우에 불순물을 2차 주입하는 단계, 상기 스페이서를 제거 하는 단계, 및 상기 몸체 및 깊은 몸체 영역을 형성하기 위해 불순물을 확산시키는 단계가 수행되는 것을 특징으로 전력-MOS 반도체 장치의 제조 공정.

청구항 4

제1항에 있어서, 상기 질화 실리콘층은 200 내지 400 Å 사이의 두께를 가지고, 상기 층은 이산화 실리콘 SiO₂로 구성되고, 5000 Å 정도의 두께를 가지며, 상기 스페이서의 형성은 1500 Å 정도의 두께를 가지는 이산화 실리콘 SiO₂층을 피착함으로써 제공되는 것을 특징으로 하는 전력-MOS 반도체 장치의 제조 공정.

청구항 5

제1항에 있어서, 상기 포토에칭 공정은 5 : 1 스텝퍼 형(stepper type)의 사진 노광 장치를 사용하여 수행되는 것을 특징으로 하는 전력-MOS 반도체 장치의 제조 공정.

청구항 6

제1항에 있어서, 상기 몸체, 소스 및 게이트 접촉 영역의 금속화를 위해 티타늄 또는 코발트 또는 텅스텐 또는 이들의 합금의 규화물이 사용되는 것을 특징으로 하는 전력-MOS 반도체 장치의 제조 공정.

청구항 7

청구항 1항의 공정에 따라 제조된 MOS 반도체 장치로서, 상기 몸체, 소스 및 게이트 다결정 실리콘 상에 내화 금속 규화물이 형성되어 있을 뿐만 아니라, 소스와 게이트 사이에 분리 스페이서가 형성되어 있는 것을 특징으로 하는 MOS 반도체 장치.

청구항 8

제2항에 있어서, 상기 스페이서에 의해 보호되지 않는 영역 내의 질화 실리콘층을 에칭하는 단계 후에, 깊은 몸체 영역을 형성하기 위해, 상기 스페이서에 의해 정의되는 상기 윈도우에 불순물을 2차 이온 주입하는 단계, 상기 스페이서를 제거하는 단계, 및 상기 몸체 및 깊은 몸체 영역을 형성하기 위해 불순물을 확산시키는 단계가 수행되는 것을 특징으로 전력-MOS 반도체 장치의 제조 공정.

청구항 9

제2항에 있어서, 상기 질화 실리콘층은 200 내지 400 Å 사이의 두께를 가지고, 상기 유전체층은 이산화 실리콘 SiO₂로 구성되고 5000 Å 정도의 두께를 가지며, 상기 스페이서의 형성은 1500 Å 정도의 두께를 가지는 이산화 실리콘 SiO₂층을 피착함으로써 제공되는 것을 특징으로 하는 전력-MOS 반도체 장치의 제조 공정.

청구항 10

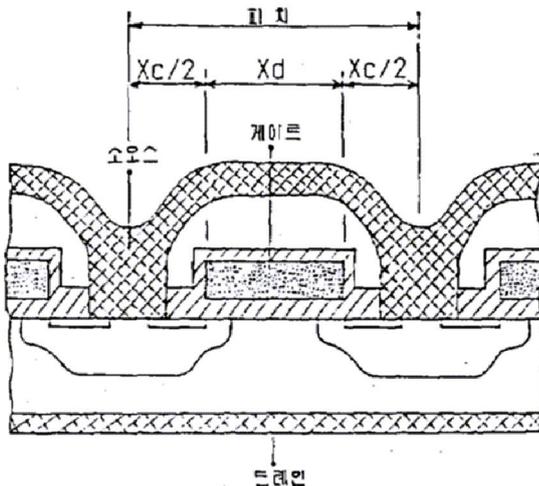
제2항에 있어서, 상기 포토에칭 공정은 5:1 스텝퍼 형의 사진 노광 장치를 사용하여 수행되는 것을 특징으로 하는 전력-MOS 반도체 장치의 제조 공정.

청구항 11

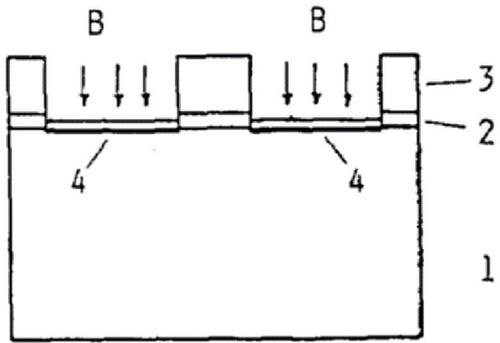
제2항에 있어서, 상기 몸체, 소스 및 게이트 접촉 영역의 금속화를 위해 티타늄 또는 코발트 또는 텅스텐 또는 이들의 합금의 규화물이 사용되는 것을 특징으로 하는 전력-MOS 반도체 장치의 제조 공정.

도면

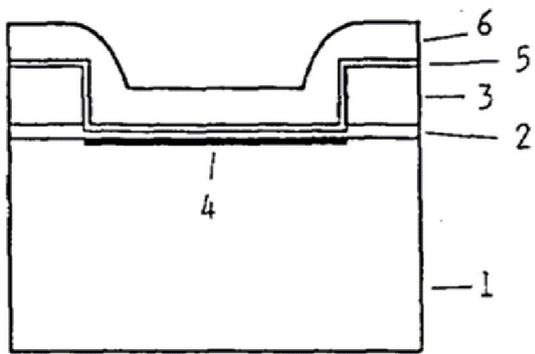
도면1



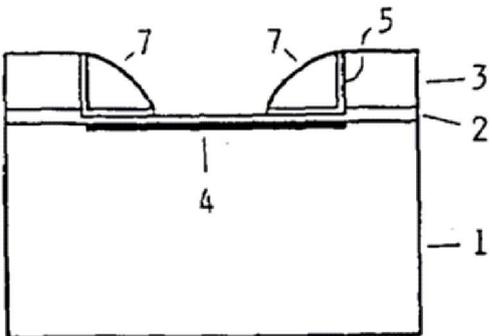
도면2



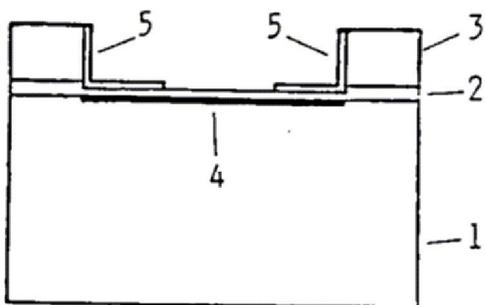
도면3



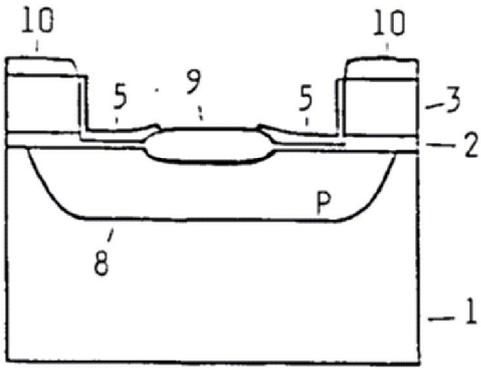
도면4



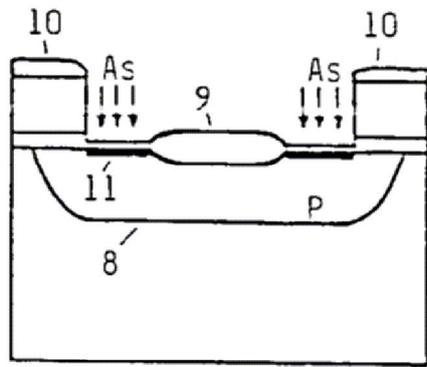
도면5



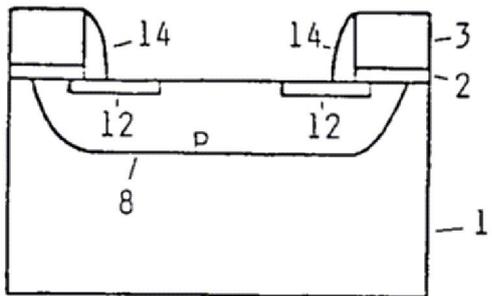
도면6



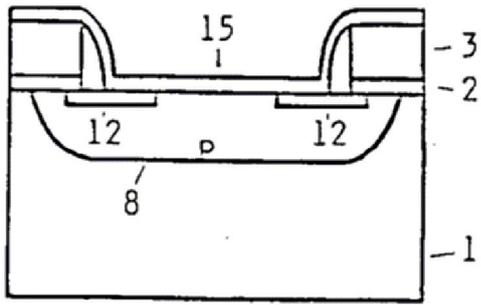
도면7



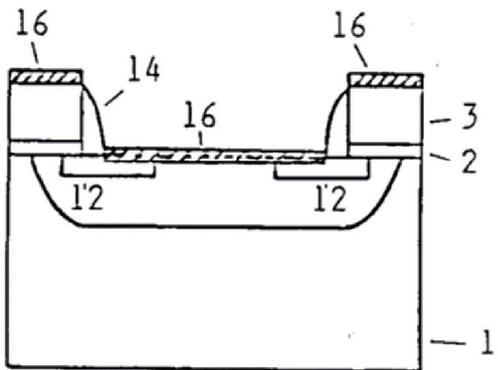
도면8



도면9



도면10



도면11

