

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3877462号

(P3877462)

(45) 発行日 平成19年2月7日(2007.2.7)

(24) 登録日 平成18年11月10日(2006.11.10)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 4 1
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 9 A

請求項の数 5 (全 15 頁)

(21) 出願番号	特願平11-102950	(73) 特許権者	390019839
(22) 出願日	平成11年4月9日(1999.4.9)		三星電子株式会社
(65) 公開番号	特開平11-339486		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成11年12月10日(1999.12.10)		C o . , L t d .
審査請求日	平成15年11月28日(2003.11.28)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	199812826	(74) 代理人	100064908
(32) 優先日	平成10年4月10日(1998.4.10)		弁理士 志賀 正武
(33) 優先権主張国	韓国(KR)	(74) 代理人	100089037
			弁理士 渡邊 隆
		(72) 発明者	劉 泰和
			大韓民国京畿道平澤市飛田2洞759-8
		審査官	小松 正

最終頁に続く

(54) 【発明の名称】 動作に関する単一ビット及び多重ビットモードを具えた不揮発性半導体メモリ装置及びそのプログラミング移行及び読出動作方法

(57) 【特許請求の範囲】

【請求項1】

不揮発性半導体メモリにおいて、

ノーマルデータを貯蔵するため使用されるメモリフィールドと、デバイスフォーミュレーション又はアドレスマッピングに対するデバイスデータを貯蔵するため使用される冗長フィールドを具えた不揮発性メモリセルアレーと、

前記メモリフィールドに連結された多数の第1ページバッファと、前記冗長フィールドに連結された多数の第2ページバッファを具えたページバッファ回路と、

前記第2ページバッファ内のラッチをイネーブル状態にするラッチイネーブル信号を生成して、該信号を前記第2ページバッファに提供するラッチ制御回路とを含み、

前記第1ページバッファは、前記メモリフィールドに対して多重ビット動作を行い、前記第2ページバッファは、前記冗長フィールドに対して、単一ビット動作を行い、

前記単一 - ビット動作区間は、前記多重 - ビットの動作区間と異なることを特徴とする不揮発性半導体メモリ。

【請求項2】

前記単一 - ビット動作区間は、多重 - ビット動作区間より短いことを特徴とする請求項1に記載の不揮発性半導体メモリ。

【請求項3】

前記冗長フィールドは、ナンド - タイプフラッシュメモリ配列内に構成された多数のストリングを含むことを特徴とする請求項2に記載の不揮発性半導体メモリ。

10

20

【請求項 4】

前記ページバッファ回路は、前記メモリフィールド及び前記冗長フィールド全部のためのプログラミング及び読出動作を行うことを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 5】

ノーマルデータを貯蔵する多重 - ビットメモリフィールドとデバイスデータを貯蔵する単一 - ビットメモリフィールド全部を具えた不揮発性半導体メモリ内での動作を行う方法において、

入力された命令がデバイスデータプログラム / 読出命令であるかの可否を検出する段階と、

前記入力された命令が前記デバイスデータプログラム / 読出命令ではないとき、前記メモリフィールド上に多重 - ビットプログラミング / 読出動作を行う段階と、

前記入力された命令が前記プログラム / 読出命令であるとき、前記単一 - ビットメモリフィールド上に正規単一 - ビットプログラミング / 読出動作を行う段階とを含み、

前記正規単一 - ビットプログラミング / 読出動作は、前記多重 - ビット単一 - ビットプログラミング / 読出動作区間より短い区間を有することを特徴とする単一 - ビットメモリフィールド及び多重 - ビットメモリフィールドを全部具えた不揮発性半導体メモリ内での動作を行う方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体メモリに関するものであり、より詳しくは単一 - ビット及び多重 - ビットメモリセルアレー全部を使用するフラッシュEEPROM (flash Electrically Erasable and Programmable Read Only Memory) に関するものである。又、本発明は、そのフラッシュEEPROM内にデータオペレーション (operations) の移行方法に関するものである。

【0002】

【従来の技術】

一般に、フラッシュEEPROM装置は、第1伝導性 (conductivity) タイプ (即ち、P - タイプ) の半導体基板 (substrate)、半導体基板内に一定の間隙を置いた第2伝導性タイプ (即ち、N - タイプ) のソース (source) 及びドレーン (drain) 領域、半導体基板内に一定の間隙を置いたソース及びドレーン領域の間にある半導体基板表面のチャンネル (channel) 領域、装置がプログラムされるとき、チャージキャリア (charge carriers) を貯蔵するためのフローティングゲート (floating gate)、そしてチャンネル領域の反対側、フローティングゲートに存在する制御ゲート (control gate) とを含む。

【0003】

このようなフラッシュEEPROM装置の動作は、典型的に三つのモード、即ちプログラミング (programming)、消去 (erasing)、読出 (reading) に分れる。

【0004】

フラッシュEEPROMの通常的なプログラミングは、一般に選択されたメモリセルトランジスタのドレーン領域が第1ポジティブバイアス (positive bias) (即ち、5 - 6V) にバイアスすることによって形成される。フローティングゲート上に貯蔵されたチャージの不在時、バイアスは、ソースとドレーン領域との間で半導体基板表面に電子の逆転層 (inversion-layer) を形成する原因になる。この分野の通常的な知識を持っている者が分かるようにドレーン - ソース電圧は、チャンネルを通して電子をドレーン領域に加速させるが、ここで電子は、十分に大きい運動エネルギー (kinetic energy) を獲得し、一般に “ホット” 電子 (“hot” elect

10

20

30

40

50

rons)に呼ばれる。

【0005】

制御ゲート上の大きいポジティブバイアスは、又トンネリングオキサイドレイヤ(tunneling oxide layer)内に電界(electric field)を形成するが、このトンネリングオキサイドレイヤは、チャンネル領域からフローティングゲートを分離する。制御ゲート及びチャンネル領域の間に配置されたこの電界(electric field)は、トンネリングに知られた過程によって、“ホット”電子を引かれ、フローティングゲートに加速させる。フローティングゲートは、“ホット”電子を蓄積し、電子を捕獲(trap)する。フローティングゲートを充電する過程は、自己-制限的(self-limiting)である。

10

【0006】

フローティングゲート上に蓄積された負電荷(negative charge)は、トンネリングオキサイドレイヤ内の電界の強度をチャンネル領域のドレイン側からの“ホット”電子がそれ以上加速されない点まで減らす。この分野に通常的な知識を持っている者が分かるように、フローティングゲート上に捕獲されている多くの量の電子に対する加速は、電界効果トランジスタ(field effect transistor)の効果的なスレシールド電圧 V_{th} を増加させる(即ち、約6-7Vまで)原因になる。

【0007】

もし、このような増加が十分に大きいと、 V_{th} は、 V_{read} より大きいため、通常的な読出動作の間、予め“読出”電圧 V_{read} (即ち、4-5V)が制御ゲートに加えられるとき、電界効果トランジスタは、伝導性のない“オフ”状態に留まるはずである。プログラムされた状態として知られたこの状態で、EEPROMセルは、論理“0”を貯蔵したり、又は“オフ-セル”と呼ばれる。一旦、プログラムされると、EEPROMセルは、その電源供給源(power supply)が長い時間の間中止されたり、消えるときまでもその高いスレシールド電圧内に留まる。

20

【0008】

EEPROMセルの消去は、そのフローティングゲート内に蓄積された電荷を除去することである。フローティド(floated)されたソース及びドレインを有するセルの除去動作は、例えば負バイアス(即ち、約-10V)をその制御ゲートに、第3正バイアス(即ち、5-6V)をそのバルク(bulk)に加えることによって行うことができる。これは、フローティングゲートとバルクとの間の薄い絶縁(insulation)(即ち、100オングストローム以下)を通して、EEPROMセル(即ち、1-3V)のスレシールド電圧内での減少を誘発するコールド電子トンネリング(cold electron tunneling)(即ち、Fowler-Nordheimトンネリング)を発生させる。

30

【0009】

消去電圧は、許容できる最大スレシールド電圧以下で、それが消去されるときまでセルに加えることができる。それ故、もしフラッシュセル(flash cell)が消去されると、それは多量に伝導されるはずである。この場合において、セルは、論理“1”を貯蔵するようになると呼ばれたり、又は“オン-セル”と呼ばれる。従ってビットライン電流をモニタリングすることによって、セルのプログラム、又は消去された状態(即ち、1又は0)を決定することができる。

40

【0010】

EEPROMセルの通常的な読出動作は、一般に同一なEEPROMセルの行(row)を連結するワードライン(word line)を通して読出電圧 V_{read} を制御ゲートに加え、かつ、一般に同一のEEPROMセルの列(column)をビットライン(bit line)を通して、第4正バイアス(約1V)をドレイン領域に供給することによって行われる。もしEEPROMセルがプログラムされたら、これはドレイン電流 I_{dc} を伝導しない。しかし、もしEEPROMセルがプログラムされなかったら(又は消去されなかったら)、これは多量に伝導される。従ってEEPROMセルのプログラムされた状

50

態（即ち、1又は0）は、ビットライン電流をモニタリングすることによって決定することができる。

【0011】

速いプログラミング速度と低い電力消費を含むそれらの進歩された性能特性（performance characteristics）のため、高集積度フラッシュメモリ（high density flash memories）は、近年、携帯用電子装置（デジタルスチルカメラ及びメモリカードのような）や、携帯用コンピューター内のハードディスク（hard disks）のため有用な大容量貯蔵装置（又は貯蔵メディア）に有効であると認められている。

【0012】

フラッシュメモリ内のさらに効果的な集積度のための、拡張されたメモリ容量のための産業上の要求は、多数のビットが単一メモリセル（single memory cell）内に貯蔵される多重-ビット（多重-レベル、多重-ステート、又は多重-ビットでも知られた）技術の発展を導いている。各々のメモリセル内に多重ビットの貯蔵を提供することによって、多重-ビット技術は、この技術を使用するフラッシュメモリ内のデータ貯蔵のビット当たり経費（cost-per-bit）節減に寄与する。

【0013】

多重-ビット構成に対する従来技術の1つは、M. Bauer等によって、“A Multilevel-Cell 32Mb Flash Memory”という題目で1995年2月に発刊されたISSCC Digest of Technical Papersのpp. 132-133に開示されている。特にここではノア（NOR）-タイプに配列されたセルアレーに対して開示されているが、メモリセルは、4つのデータ状態、即ち“00”、“01”、“10”、そして“11”のうち、1つを貯蔵するため2ビットを使用する（この分野の通常的な知識を有する者によく知られたように、フラッシュメモリは、メモリ内にメモリセルの論理的構成によって2つのタイプ、即ち、“ナンド（NAND）-タイプ”と“ノア-タイプ”に分類される）。

【0014】

各々の上の4つ状態は、単一電圧レベル（unique voltage level）、即ち“00”=2.5V、“01”=1.5V、“10”=0.5V、そして“11”=-3Vと一致する。この電圧レベルは、そこに貯蔵されたデータの4つ状態のうち、1つを有するメモリからデータが読出されることを許容するため割り当てられたスレシヨールド値である。意義深いことに、このメモリセルは、多様なスレシヨールド値に相応する配列状態（distribution profile）を有する。さらに、単一ワードライン（single wordline）に連結されたメモリセルは、相異なるスレシヨールド電圧を有することができる。

【0015】

多重-ビットメモリセルのデータ状態を検出するため、2つのスレシヨールド電圧レベルの間に挿入されたり、又はスレシヨールド電圧より低く、又は高く設定された電圧レベルを有する読出電圧は、そこに連結されたワードラインを通して各々のメモリセルのゲートに加えらるべきである。隣接するスレシヨールド電圧（以下、“ウィンドウ”という）の間の幅（width）は、通常的な単一-ビットフラッシュメモリ内に構成されたものより小さい。例えば、4-状態フラッシュメモリ内のウィンドウは、約0.6Vである。そして通常の動作を実行するためのワードライン電圧が約0.6Vウィンドウ内に位置するとき、スレシヨールド電圧プロファイル（threshold voltage profile）のエッジ（edge）とワードライン電圧のレベルの間の幅（margin）は、約0.3Vを超過しない（これと対照的に、通常的な単一-ビットメモリ内の幅は、約1.3Vである）。

【0016】

その結果、多重-ビットフラッシュメモリが工程変化、又はワードライン内での電圧レベル及び温度の変化によって影響されるとき、無効感知動作（invalid sensi

10

20

30

40

50

ng operations)の可能性が著しい。この外部状況の変化に対する弱い免疫性は、例えば幾つのデータビットの貯蔵の失敗が全体的に情報の構成を重大に侵害しなくても、貯蔵装置としての多重-ビットフラッシュメモリの効用性は、オーディオデータのような巨大情報の貯蔵に限界があることを示唆する。それ故、今まで一般的な単一-ビットフラッシュメモリは、例えば、バイオス(Basic Input/Output System)内での、又は字形(font)貯蔵のためのデータ貯蔵のような信頼性及び安全性が重要な情報を貯蔵するのに使用されてきた。

【0017】

最近、本出願人は、新たなフラッシュメモリを提案しているが、これは申請者一連番号(application Ser. No.)09/010、430に、“NON-VOL
ATILE SEMICONDUCTOR MEMORY PERFORMING SINGLE-BIT AND MULTI-BIT OPERATIONS”という題目(1998年1月21日提出)に開示されている。

10

【0018】

簡単に述べると、開示されたフラッシュメモリによると、セルアレー領域は、多数のメモリフィールドを含むメインメモリ領域とメモリフィールドに対応する多数の冗長フィールドを含むデバイスデータ貯蔵領域の2つの部分に各々分類される。従来のフラッシュメモリで、多重-ビット動作は、メモリフィールドに対して行われ、単一-ビット動作は、冗長フィールドに対して行われる。フラッシュメモリセルアレー構造(architecture)及びその周辺構成要素(peripheral components)は図1に図

20

【0019】

図1を参照すると、フラッシュメモリは、メモリセルアレー100を具えている。このメモリセルアレー100は、ノーマルデータ(normal data)を貯蔵するための多重メモリフィールド(multiple memory fields)102と、ノーマルメモリセルアレーの不良部分のアドレス及びアドレスマッピング(address mapping)の状態のようなデバイスデータを貯蔵するための多重冗長フィールド(multiple redundant fields)104を含む。冗長フィールド104内に貯蔵されたデータは、メモリデータのアクセス(access)動作が有効であるかの可否を感知するため非常に重要であるため、データ安定度を保証するため冗長

30

【0020】

フラッシュメモリは、又、行及び列アドレスデコーダ200、400を含むが、これらは行アドレス信号X-ADD及び列アドレス信号Y-ADDを使用するメモリセルアレー100の適切なワードライン及びビットラインを選択する。ページバッファ回路(page buffer circuit)300は、プログラム及び読出データをメモリセルアレー100に/から提供する。制御ロジック(control logic)500は、フラッシュメモリのためもっと提供される。制御ロジック500は、ページバッファ回路300の制御動作モードのため、幾つかの制御信号を外部から印加される命令(command)に依存するページバッファ回路300に加える。

40

【0021】

図2は、従来の冗長フィールド104の構造及び関連したページバッファ回路300aを示している。図2を参照すると、各々の冗長フィールド104は、多数のストリング110を含む。各々のストリング選択トランジスタST1、ST2及び多数のメモリセルM1-Mmを具える。各々のストリングは、ビットラインBL1-BLnのうち、対応する1つにさらに連結される。

【0022】

ページバッファ回路300aから、ビットラインBL1は、NMOSディプリーショントランジスタ(NMOS depletion transistor)304及びNM

50

OSトランジスタ342を通してノード340と連結される。別のビットラインBL2は、NMOSディプリーショントランジスタ304a及びNMOSトランジスタ364を通してノード362と連結される。NMOSディプリーショントランジスタ304、304aのゲートは共に、ビットライン遮蔽信号(bit line shielding signal)BLSHFに共通に連結される。NMOSトランジスタ342のゲートは、列アドレス信号Aiに連結される。そしてNMOSトランジスタ306は、第1禁止信号(first inhibition signal)IHT1に連結されたゲートを有し、これは電源電圧Vccとノード302との間に連結される。このノード302は、トランジスタ342、304の間に位置する。又、1つのNMOSトランジスタ306aは、電源電圧Vccとノード302aとの間に連結される。このトランジスタ306aのゲートは、第2禁止信号(second inhibition signal)IHT2に連結される。ノード302aは、トランジスタ364、304aの間に挿入されている。

10

【0023】

ビットライン放電信号(bit line discharge signal)DCBと連結されたゲートを具えたもう1つのNMOSトランジスタ350は、ノード340と接地Vssとの間に連結される。これと類似に、NMOSトランジスタ372は、ビットライン放電信号DCBに連結されたゲートを有し、これはノード362と接地Vssとの間に連結される。定電流(constant current)は、第1独立電流源(first independent current source)344を通して電源電圧をノード340に供給する。又定電流は、第2独立電流源(second independent current source)366を通して電源電圧をノード362に供給する。

20

【0024】

ノード340は、NMOSトランジスタ348を通して第1データラッチ(first data latch)354の第1端子(first NMOSトランジスタ348 terminal)Q1と連結されるが、NMOSトランジスタ348のゲートは、第1プログラミング信号(first programming signal)PGM1と連結される。又ターミナルQ1は、第1入力/出力ライン(first input/output line)IO1に連結される。相補第1端子-Q1は、NMOSトランジスタ356、358、そして360各々を通して接地Vssと連結される。トランジスタ356のゲートは、アドレス信号Aiと連結され、トランジスタ358のゲートは、ノード340に連結され、トランジスタ360のゲートは、ラッチ信号(latch signal)LATCHに連結される。

30

【0025】

ノード362は、NMOSトランジスタ370を通して第2データラッチ376の第2端子Q2に連結されるが、NMOSトランジスタ370のゲートは、第2プログラミング信号PGM2に連結される。又第2端子Q2は、第2入力/出力ライン102に連結される。相補第2端子-Q2は、NMOSトランジスタ378、380そして382各々を通して接地Vssと連結される。トランジスタ378のゲートは、列アドレス信号Biに連結され、トランジスタ380のゲートは、ノード362に連結され、トランジスタ382のゲートは、ラッチ信号LATCHに連結される。ラッチ信号LATCHは、データラッチ354、376各々を活性化させるため提供され、これはラッチ制御回路384のNORゲート390によって生成される。

40

【0026】

ラッチ制御回路384は、図1に図示された制御ロジック500からの幾つかの制御信号RD3、EVF、PGVF2、PGVF3が供給される。制御信号RD3、EVF、PGVF2、PGVF3は、区分された入力としてNORゲート386に供給される。NORゲート386の出力は、第1入力としてNORに加えられ、読出確認信号LRDVFの逆信号は、第2入力としてNORゲート390に加えられる。

50

【0027】

図3は、図2に図示された冗長フィールド104の読出動作を示すためのタイミング図である。図3を参照すると、冗長フィールド104は、メモリフィールド102内のノーマルメモリセルアレーのための多重-ビット読出シーケンス(sequence)のようなタイミングを使用して行われる読出段階を有する。図3に図示されたように、この分野の通常的な知識を持っている者にはよく知られるように、ノーマルメモリセルアレーのための典型的な多重-ビット(即ち、4-ビット)読出シーケンスは、3つの周期T1、T2、T3を含む。

【0028】

メモリフィールド102のための多重-ビット読出動作のような冗長フィールド104の単一-ビット読出動作のため、3つの読出電圧2V、1V、0Vが順次、選択されたワードラインに加えられる。ラッチ制御回路384に加えられる読出信号RD3は、実質的に冗長フィールド104のための単一-ビット読出動作が行われるときを決定する。従来のフラッシュメモリから、冗長フィールド104のための単一-ビット読出動作は、読出信号RD3に制御される多重-ビット読出動作タイミングの第3周期T3の間に行われる。しかし、従来のフラッシュメモリは、単一-ビット動作のため多重-ビット動作と同一のタイミングを使用するため、単一-ビット動作は、多重-ビット動作のような時間が掛かる。さらに、多重-ビット動作のようなタイミングを使用する単一-ビット読出タイミングは、多重-ビット動作のため定義されたデータ状態(データビット)が増加することによって増加する。

【0029】

前述のように、現在使用している装置及び方法の不利な点及び欠点を克服するフラッシュメモリ装置及びそこに貯蔵されたデバイスデータの読出方法に対する必要が、この分野に存在しているということを認識することができる。

【0030】

【発明が解決しようとする課題】

従って、本発明の目的は、前述の諸問題点を解決するため提案されたものとして、向上した性能を提供する動作の単一-ビット及び多重-ビットモードを有する不揮発性半導体メモリを提供することである。

【0031】

本発明の他の目的は、多重-ビットセル当たりのデータ状態に関係なく改善された速度で、単一-ビット遂行が可能な単一-ビット及び多重ビットモードを有する不揮発性半導体メモリを提供することである。

【0032】

【課題を解決するための手段】

本発明の目的は、新たなページバッファ回路及び新たな制御ロジックを具え、単一-ビット及び多重-ビットモードを有する非揮発性半導体メモリを提供することによって獲得される。ページバッファ及び制御回路は、多重-ビットプログラミング、又はノーマルデータを貯蔵するためのメモリフィールドの読出動作と別のタイミングシーケンス内に行われるデバイスデータを貯蔵するための冗長フィールドの読出動作を許容する。特に、本発明による非揮発性半導体メモリは、メモリフィールドのための多重-プログラミング、又は読出動作を行う多数の第1ページバッファ、そして制御ロジックの制御下で、冗長フィールドのための通常的な単一-ビットプログラミング、又は読出動作を行う多数の第2ページバッファを具える。制御ロジックは、第1バッファの多重-ビット動作より短い第2ページバッファの単一-ビット動作区間を形成する。その他、制御ロジックは、プログラムされることを防止するため、単一-ビットプログラミング動作の間、第1ページバッファを制御することによって、メモリフィールドがアクセスされることを禁止する。その結果、本発明による単一-ビット及び多重-ビットモードを共に有する非揮発性半導体メモリは、2つのモードを有する従来の非揮発性半導体メモリよりさらに速い速度で単一-ビット動作を行うことができ、それによってそれらの性能を向上させることができる。

【 0 0 3 3 】

【 発明の実施の形態 】

本発明は、図 1 に図示されたメモリ装置のような構造を有する非揮発性半導体メモリのようなものに適用可能である。図 1 を参照すると、本発明が有する発明の概念が適用できる非揮発性半導体メモリ装置は、多重メモリフィールド (multiple memory fields) 102 及び多重冗長フィールド (又予備フィールド) 104 を含むメモリセルアレー 100 を具える。各々のメモリフィールド 102 は、ノーマルメモリセルアレー及び冗長メモリセルアレーを含む。ノーマルメモリセルアレーは、ノーマルデータを貯蔵することに使用される。冗長メモリセルアレーは、対応するメモリフィールド内にノーマルメモリセルアレーの不良部分として代用することができる。各々の冗長フィールド 104 は、ノーマルセルアレーの不良部分のアドレスとアドレスマッピングの状態のようなデバイスフォーミュレーション (formulation) に関する情報を貯蔵する。従来技術部分で、このような適用に対して説明したように、安定なデータを保有するため、冗長フィールド 104 は、不安定な多重 - ビット保有領域内に置かれるよりは、安定な単一 - ビット保有環境内に置かれるべきである。

10

【 0 0 3 4 】

又、フラッシュメモリは、行デコーダ 200、ページバッファ回路 300、列デコーダ 400 及び制御ロジック 500 とを含む。行デコーダ 200 は、行アドレス信号 X - ADD に応じて、1つ、又はそれ以上のワードライン WL1 - WLn (図 5 参照) 及び選択ライン SSL、GSL (図 5 参照) を含む適切な行ラインを選択し、列デコーダ 200 は、列アドレス信号 Y - ADD に応じてビットライン BL1 - BLn (図 5 参照) を選択する。ページバッファ回路 300 は、メモリセルアレー 100 に / からデータをプログラムし読出する。ページバッファ回路 300 の制御動作のため、制御ロジック 500 は、プログラム、消去、又は読出命令のような外部から印加される命令に応じて多数の制御信号をページバッファ回路 300 に供給する。制御信号は、制御ロジック 500 によって発生され、後述される。

20

【 0 0 3 5 】

図 4 は、本発明による制御ロジック 500 の命令処理段階を示す流れ図である。

【 0 0 3 6 】

本発明による不揮発性半導体メモリの動作遂行方法は、ノーマルデータを貯蔵するための少なくとも 1 つ以上の多重 - ビットメモリフィールド 102 と、デバイスデータを貯蔵するための少なくとも 1 つ以上の単一 - ビットメモリフィールド 104 の双方を有する。

30

【 0 0 3 7 】

段階 S100 から、外部から命令が印加されたかどうかを判別する。もし外部から命令が印加されたら、制御フローは、段階 S110 に進行して入力命令がプログラム、又は読出命令であるかどうかを聞く。もし外部から命令が印加されなかったら、制御フローは、段階 S120 に進行して、制御ロジック 500 は、入力命令に相応する消去 (消去確認を含む) 動作、又はテスト動作のような動作を制御する。段階 S110 から、もし入力命令がプログラム / 読出命令に確認されたら、フローは、次の質問段階 S130 に進行して、ここでプログラム / 読出命令が冗長フィールド 104 と関連したデバイスデータプログラム / 読出命令であるかどうかを判別する。

40

【 0 0 3 8 】

もしそうであれば、フローは続いて段階 S140 に進行して、制御ロジック 500 は、通常的な単一 - ビットプログラミング、又は冗長フィールド 104 の読出動作を制御する。段階 S130 から、もしそうでないと、制御ロジック 500 は、段階 S150 でメモリフィールド 102 に関連した多重 - ビットプログラミング / 読出動作を制御する。通常の単一 - ビット区間は、多重 - ビット動作のためタイミングと同一のタイミングを使用する単一 - ビット区間より短いことは、この分野に通常の知識を持っている者には自明である。従って、動作の単一 - ビット及び多重 - ビットモードを共に有する非揮発性半導体メモリは、改善された速度に単位 - ビット動作の遂行ができ、それによってそれらの性能の向上

50

が可能である。

【0039】

図5は、本発明による望ましい実施形態による冗長フィールド104及びそれと関連したページバッファ回路300bの構成を示す回路図である。図5を参照すると、冗長フィールド104は、ナンド-タイプフラッシュメモリ配列内に構成された多数のストリング110を含む。各々のストリング110は、2つのストリング選択トランジスタST1、ST2及び多数のメモリセルM1-Mmを具える。各々のストリング110は、さらにビットラインBL1-BLnのうち、対応される1つに連結される。

【0040】

特に、各々のストリング110には、メモリセルM1-Mmが2つのストリング選択トランジスタST1、ST2の間に直列に連結される。第1ストリング選択トランジスタST1は、ビットラインBL1と第1メモリセルM1との間に連結されており、第2ストリング選択トランジスタST2は、最後のメモリセルMmと共通ソースライン(common source line)との間に連結される。第1ストリング選択トランジスタST1のゲートは、ストリング選択ライン(string selection line)SSLに連結され、第2ストリング選択トランジスタST2のゲートは、接地選択ライン(ground selection line)GSLに連結される。各々のメモリセルM1-Mmのゲートは、ワードラインWL1-WLmのうち、対応する1つに連結される。ストリング選択ラインSSL、接地選択ラインGSL及びワードラインWL1-WLmは、行デコーダ200の出力と連結される。ビットラインBL1-BLnは、ページバッファ回路300bに連結される。

【0041】

ページバッファ回路300bは、各々ビットラインBL1-BLnと連結される多数のページバッファ510を含む。特に各々のページバッファ510内には、対応するビットライン(即ちBL1)が、NMOSディプリーショントランジスタ512とNMOSトランジスタ514を通してノード516と連結される。NMOSディプリーショントランジスタ512のゲートは接地される。NMOSトランジスタ514のゲートは、列アドレス信号Aiと連結される。定電流は、電源電圧Vccから独立電流源518を通してノード516に供給される。

【0042】

ビットライン放電信号DCBにゲートが連結されたNMOSトランジスタ524は、ノード516と接地電圧源Vssとの間に連結される。ノード516は、ゲートがプログラミング信号PGMと連結されたNMOSトランジスタ522を通して2つの交差して連結されたCMOSインバータ530、532からなるデータラッチ528の端子Qと連結される。データラッチ528の端子Q(又はノード520)は、対応する入力/出力ライン10にも連結される。データラッチ528の相補端子-Q(又はノード526)は、NMOSトランジスタ534、536、538を通して接地電源Vssと連結される。トランジスタ534のゲートは、アドレス信号Aiに連結され、トランジスタ536のゲートは、ノード516に連結される。トランジスタ538のゲートは、ラッチイネイブル信号(latch enable signal)LATCHに連結されるが、このラッチイネイブル信号LATCHは、データラッチ528を活性化させるため提供され、これはラッチ制御回路540のノアゲート542によって発生される。

【0043】

ラッチ制御回路540は、制御ロジック500(図1参照)からの多数の制御信号を供給するが、ここには、例えば通常の単一-ビット感知イネイブル信号RDsp、読出信号RD3、消去確認信号EVF、第1プログラム確認信号PGVF2、第2プログラム確認信号PGVF3、そして読出確認信号LRDVFがある。通常的な単一-ビットイネイブル信号RDspは、基準フィールド(reference field)104に関する通常のプログラム/読出動作の感知周期区間を決定する。読出信号RD3は、多重-ビット読出動作の第3読出区間(図3のT3参照)の限界を決める。第1及び第2プログラム確

10

20

30

40

50

認信号 P G V F 2、P G V F 3 は、メモリフィールド 1 0 2 のための多重 - ビットプログラミング動作の第 2 及び第 3 プログラム周期の限界を各々決める。読出確認信号 L R D V F は、多重 - ビット動作の全ての読出周期でデータ感知が終了するときに発生されるパルス信号 (p u l s e s i g n a l) である。信号 R D s p、R D 3 . E V F、P G V F 2、P G V F 3 は、分離された入力としてラッチ制御回路 5 4 0 内のノアゲート 5 4 4 に印加される。このノアゲート 5 4 4 の出力は、ノアゲート 5 4 2 に第 1 入力として印加され、読出確認信号 L R D V F の反転された信号は、第 2 入力としてノアゲート 3 9 0 に印加される。

【 0 0 4 4 】

図 6 は、図 1 に図示されたように冗長フィールド 1 0 4 のための新たな単一 - ビット読出動作のタイミングを示す。ここでは、冗長フィールド 1 0 4 のための単一 - ビット読出動作 (以下、“正規”単一 - ビット読出動作と称する) は、図 5 及び図 6 を参照して詳細に説明される。図面を参照すると、冗長フィールド 1 0 4 のデータ読出段階は、冗長フィールド 1 0 4 のための通常的な単一 - ビット動作とは別の正規単一 - ビット動作を使用して行われるが、この冗長フィールド 1 0 4 は、メモリフィールド 1 0 2 (図 3 参照) のための多重 - ビット読出動作のようなタイミングを使用する。従来の単一 - ビット (又は多重 - ビット) プログラミング、又は読出動作の典型的なシーケンスは、大体に 3 つ以上の感知 (又は、読出) 周期を含む。例えば、メモリフィールド 1 0 2 のようなセル当たり 4 - ビットの貯蔵能力を有するメモリセルのための読出動作は、3 つの周期を含む (図 3 の T 1、T 2、T 3 参照) 。

【 0 0 4 5 】

図 6 を参照すると、本発明によるフラッシュメモリは、フラグ信号 (f l a g s i g n a l) S P r e a d がハイ状態になるとき、冗長フィールド 1 0 4 のための正規単一 - ビット読出動作モードに入る。このような読出動作は、2 つの区間、即ち初期化区間 T i 及びデータ感知区間 T s を有する。

【 0 0 4 6 】

初期化区間 T i の間、データラッチ 5 2 8 は、各々のページバッファ 5 1 0 内で貯蔵され、信号 P G M、D C B、A i は、高レベル (即ち、V c c) になるため、全てのビットライン B L 1 - B L n は、0 V に放電される。このレベルは、トランジスタ 5 1 4、5 2 2、5 2 4 を流れるようにする。その結果、ノード 5 2 0 (即ち、データラッチ 5 2 8 の端子 Q) は、ノード 5 2 0 に連結された対応する入力 / 出力ライン 1 0 と共に低 (l o w) (データ “ 1 ” 状態) 状態になる。

【 0 0 4 7 】

データ感知区間 T s の間、多重 - ビット動作とは異なり、0 V (V s s) である 1 つの読出電圧だけが選択されたワードラインに印加され、正規単一 - ビット感知イネイブル信号 P D s p は、活性化 (V c c) される。信号 R D s p (即ち、T s) のパルス持続期間は、前述された多重 - ビットタイミングシーケンス (即ち、図 3 の T 1、T 2、又は T 3) を使用する従来の単一ビット動作のいかなる感知周期区間よりも決して長くはない。

【 0 0 4 8 】

このような正規感知区間 T s の間に、共通ソースライン C S L には、0 V の電圧が印加され、選択されないワードライン、接地選択ライン G S L 及びソース選択ライン S S L は、6 V の電圧が印加される。この状態で、もしビットライン B L 1 が選択されると、アドレス信号 A i の電圧レベルは、最高 6 V まで増加する。

【 0 0 4 9 】

これは、トランジスタ 5 1 4、5 3 4 をターンオンさせ、トランジスタ 5 2 2、5 2 4 をターンオフさせる。その結果フラッシュメモリ装置は、その正規単一 - ビットデータ感知モードに入る。

【 0 0 5 0 】

選択されたメモリセルにおいて、そのゲートには、0 V が印加され、そのメモリセルは、データ “ 0 ” を貯蔵するため、1 つ (即ち、1 . 3 V のシュレシヨルド電圧を有する “ 0 ”

10

20

30

40

50

フ - セル”) がプログラムされる。それから、電流源 5 1 2 は、ディプリーショントランジスタ 5 1 2 (即ち、約 1 . 5 V) のシャット - オフ電圧まで選択されたビットライン B L 1 が上がるのを許容する。

【 0 0 5 1 】

反対に、もし選択されたセルがデータ “ 1 ” を貯蔵するために、その 1 つ (即ち、 - 2 . 7 V であるそのスレシヨルド電圧を有する “ オン - セル ”) が消去されると、電流源 5 1 8 からの全ての電流は、トランジスタ 5 1 4、5 1 2、S T 1、M 1 - M m、S T 2) を通して共通ソースライン C S L (即ち、0 V の V s s) に移動する。ビットライン B L 1 及びノード 5 1 6 が 0 V を維持するため、トランジスタ 5 3 6 は、ターンオフされる。これはその決められた状態内で、即ちデータ “ 1 ” 状態内で端子 Q、- Q が、各々低電位 (0 V) 及び高電位 (V c c) を維持する状態内で、データラッチを維持する原因になる。

10

【 0 0 5 2 】

さらに、正規単一 - ビット感知イネイブル信号 R D s p は、活性化 (V c c) され、信号 R D 3、E V F、P G V F 2、P G V F 3 は、非活性化 0 V 状態を維持する。その結果、ノアゲート 5 4 4 の出力は、周期 T s の間、ローを維持する。読出確認信号 L R D V F は、正規単一 - ビット感知の終了までローが維持される。その結果ラッチイネイブル信号 L A T C H は、その時までローを維持する。

【 0 0 5 3 】

正規単一 - ビット感知の終了後、読出確認信号 L R D V F は、ハイに変換される。その結果ラッチイネイブル信号 L A T C H もハイに変換される。これは選択されたビットライン B L 1 上に感知されたデータをラッチするためデータラッチ 5 2 8 をイネイブルさせる。このとき、もし選択されたセルがオン - セルであると、データラッチ 5 2 8 は、その初期状態 (即ち、データ “ 1 ” 状態) を維持する。ここで、端子 Q (又はノード 5 2 0) 及び相補端子 - Q (又はノード 5 2 6) は、トランジスタ 5 3 6 に電流が流れないため、その後、各々ロー及びハイを維持する。その結果データラッチ 5 2 8 は、感知されたデータ “ 1 ” をラッチするようになる。しかし、もし選択されたセルが “ オフ - セル ” であると、トランジスタ 5 3 6 に電流が流れるようになり、端子 Q (又はノード 5 2 0) 及び端子 - Q (又はノード 5 2 6) が、各々ハイ及びロー状態を維持するため、データラッチ 5 2 8 のデータ保有状態は反転される。その結果、ビットライン B L 1 上に感知されたデータ “ 0 ” は、データラッチ 5 2 8 によって実質的にラッチされる。

20

30

【 0 0 5 4 】

本発明の正規単一 - ビット読出動作は、信号 S P r e a d、R D s p を感知することによって終結する。

【 0 0 5 5 】

前述のように本発明による単一 - ビット多重 - ビットモードを有する不揮発性半導体メモリは、従来のメモリより速い速度で単一 - ビット読出動作を行うことができる。なぜならば、冗長フィールドのための正規単一 - ビット読出動作区間は、メモリフィールド 1 0 2 のための多重 - ビット動作タイミングと同一のタイミングを使用する従来の単一 - ビット動作のタイミングより短いためである。

40

【 0 0 5 6 】

反面、デバイスデータプログラム / 読出命令が発生するとき、本発明の制御ロジック 5 0 0 は、通常単一 - ビット読出動作と類似な冗長フィールド 1 0 4 のための正規単一 - ビットプログラミング動作を制御する。本発明の単一 - ビットプログラミング周期区間は、多重 - ビットプログラミングのようなシーケンスを使用する従来の単一 - ビットプログラミング動作の 3 周期のある区間より長くはない。

【 0 0 5 7 】

この正規プログラム動作において、制御ロジック 5 0 0 は、よく知られたようにページプログラミング技術のためメモリフィールド 1 0 2 がプログラムされることを防止するため関係するページバッファ回路を制御することによってメモリフィールド 1 0 2 がアクセス

50

されることを抑制する。メモリフィールド102及び多重-ビット動作と同一のタイミングを使用する単一-ビットプログラミング方法のために、使用されるこのようなページバッファ回路の例は、例えば本発明の申請者が指定した朴(Park)によってU.S. Patent No. 5,862,074に開示された“INTEGRATED CIRCUIT MEMORY DEVICES HAVING RECONFIGURABLE NONVOLATILE MULTI-BIT MEMORY CELLS THEREIN AND METHODS OF OPERATING SAME”に十分に叙述され、これに開示された事項は、この文書において参考文献として取り入れた。

【0058】

本発明の制御ロジック500も、デバイスデータプログラム命令に応じて、正規プログラミング区間を制御する。 10

【0059】

【発明の効果】

以上のような本発明によると、制御ロジックは、メモリフィールドが冗長フィールドのための正規単一-ビットプログラミング動作内でプログラムされることを抑制するため、単一-ビット及び多重-ビットモードを共に有する不揮発性半導体メモリは、マルチ-ビットプログラミング動作の同一のタイミングシーケンスを使用する単一-ビットプログラミング動作を行う従来のメモリよりも高い速度で冗長フィールドのための単一-ビットプログラミング動作を行うことができる。

【図面の簡単な説明】 20

【図1】 本発明による実施形態を実行することができる動作の単一-ビット及び多重ビットモードを具えた不揮発性半導体メモリを示すブロック図である。

【図2】 従来の不揮発性半導体メモリ内の冗長フィールド及びその関連したページバッファを示す回路図である。

【図3】 図2に図示された冗長フィールドに関連した単一-ビット読出動作のタイミングを示すタイミング図である。

【図4】 本発明による不揮発性半導体メモリ内に挿入された制御ロジックの命令処理順序を示す流れ図である。

【図5】 本発明による不揮発性半導体メモリ内の冗長フィールド及びその関連したページバッファ回路を示す回路図である。 30

【図6】 図5に図示された冗長フィールドに関連した新たな単一-ビット読出動作のタイミングを示すタイミング図である。

【符号の説明】

100：メモリセルアレー

102：多重メモリフィールド

104：多重冗長フィールド

300：ページバッファ回路

302、302a：ノード

304、304a：NMOSディプリーショントランジスタ

340、362：ノード 40

354、376：データラッチ

386、390：ノアゲート

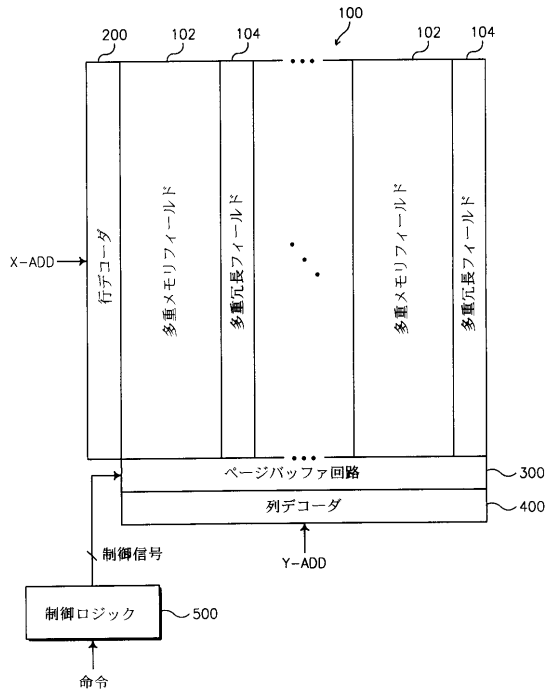
342、348、350、356、358、360、364370378、380、38

2：NMOSTランジスタ

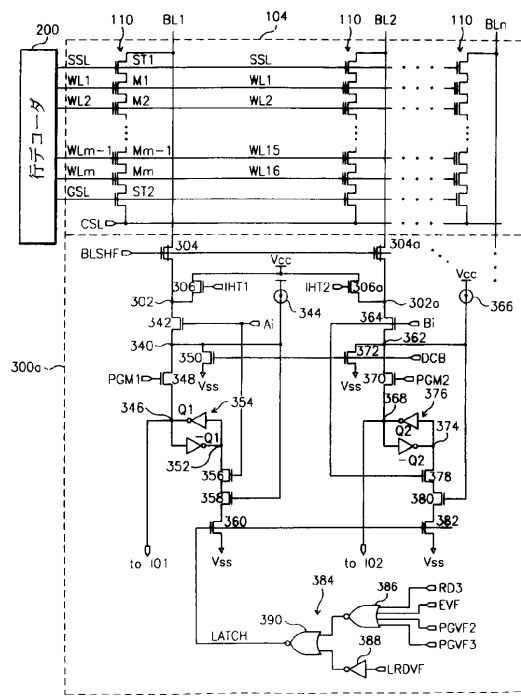
384：ラッチ制御回路

500：制御ロジック

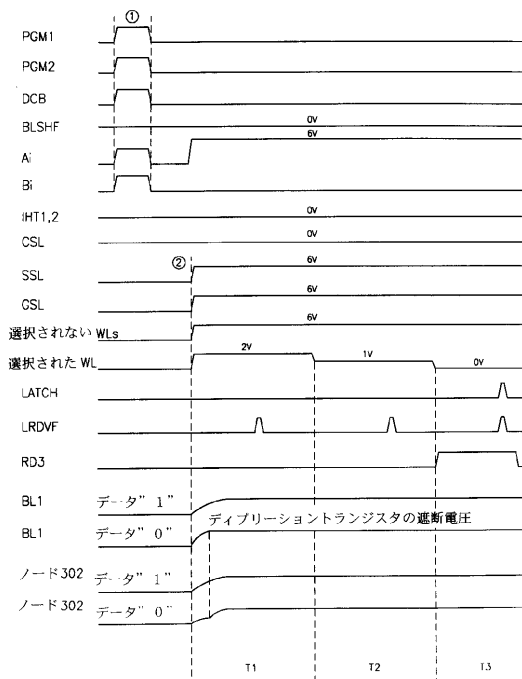
【図1】



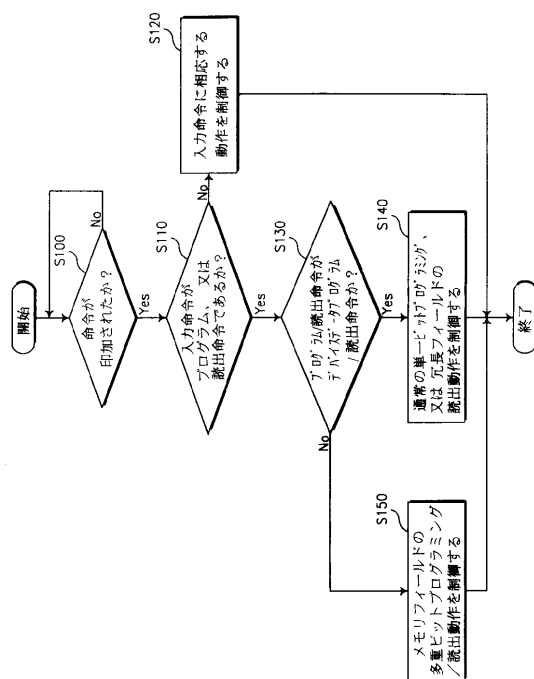
【図2】



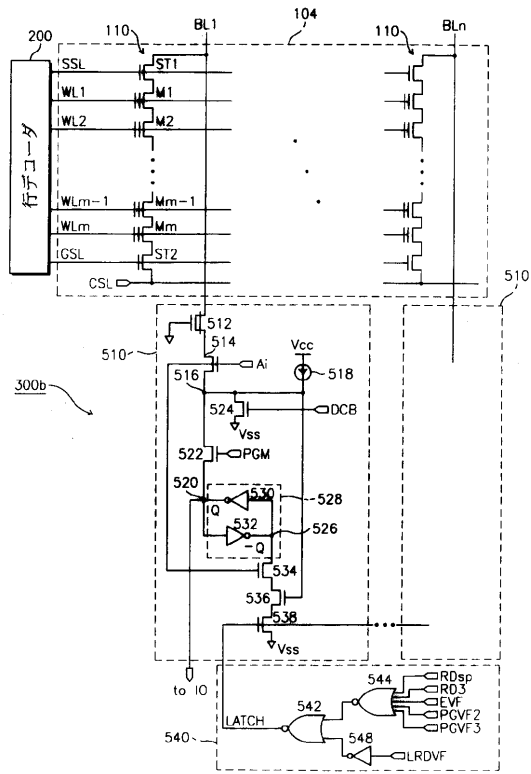
【図3】



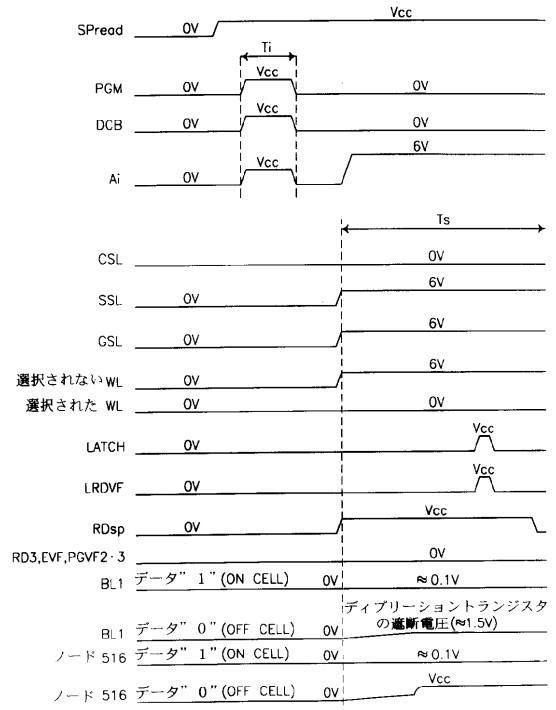
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開平09-213079(JP,A)
特開平08-007581(JP,A)

(58)調査した分野(Int.Cl.,DB名)
G11C 16/00-16/34