

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|--|-------------------------------------|--|
| (51) 。 Int. Cl. G11C 5/14 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2006년04월05일 10-0567916 2006년03월29일 |
|--|-------------------------------------|--|

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2004-0027101 | (65) 공개번호 | 10-2005-0101868 |
| (22) 출원일자 | 2004년04월20일 | (43) 공개일자 | 2005년10월25일 |

| | |
|-----------|---------------------------------------|
| (73) 특허권자 | 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1 |
| (72) 발명자 | 진승언 서울특별시용산구동빙고동222-1 |
| (74) 대리인 | 신영무 |

심사관 : 이인용

(54) 반도체 메모리 소자의 전원 공급 장치 및 방법

요약

본 발명은 반도체 메모리 소자의 전원 공급 장치 및 방법은 전류 소비가 급격히 증가하는 동작 초기에는 높은 레벨의 외부 전압을 공급하고 일정 시간이 지난 후에는 목표 레벨의 내부 전압을 공급하되, 한 쌍의 비트라인이 선택되는 경우보다 다수의 비트라인 쌍이 선택되어 전류 소비가 보다 더 증가되는 경우 외부 전압을 보다 긴 시간동안 공급함으로써, 상대적으로 적은 수의 내부 전압 발생부를 구비하고 이들을 동작시키면서도 회로의 동작에 대한 신뢰성을 향상시킬 수 있다.

대표도

도 2

색인어

전원공급, 소비전류, 외부전압, 내부전압, 비트라인, 센스앰프

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 전원 공급 장치를 설명하기 위한 개념도이다.

도 2는 본 발명의 실시예에 따른 반도체 메모리 소자의 전원 공급 장치를 설명하기 위한 회로의 개념도이다.

도 3은 도 2의 펄스 발생부를 설명하기 위한 회로도이다.

도 4는 주변 회로로 공급되는 전압 특성을 비교하기 위한 특성 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 전원 공급 장치 110, 210 : 펄스 발생부

211 : 제1 펄스 발생부 212 : 제2 펄스 발생부

120, 220 : 내부 전압 발생부 130, 231 : 센스 앰프

230 : 주변 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 전원 공급 장치 및 방법에 관한 것으로, 특히 소비 전력에 따라 전압 공급 시간을 조절할 수 있는 반도체 메모리 소자의 전원 공급 장치 및 방법에 관한 것이다.

대부분의 회로에서는 전원 공급 장치가 사용된다. 이 중에서도 메모리 소자에서 사용되는 전원 공급 장치에 관하여 설명하기로 한다.

반도체 메모리 소자에 포함된 센스앰프는 여러 가지 목적으로 사용되지만, 비트라인 쌍의 전압차를 증폭하는 데에도 사용된다. 특히, DRAM에서는 센스앰프로 비트라인의 전압차를 증폭하는 동작을 통해, 메모리 셀의 데이터 리드/라이트 동작과 데이터 리프레쉬 동작을 수행한다. 이와 같이, 센스 앰프의 여러 가지 동작은 별도로 마련된 센스앰프 제어회로에 의해 제어된다.

한편, 반도체 메모리 소자가 고집적 및 저전력화 되고 동작 전압이 낮아지면서, 메모리 소자의 센스앰프 동작을 돕기 위한 여러 가지 기술적 보완들이 있는데, 그 중의 하나가 센스앰프 오버 드라이브 방법이다.

프리차지 전압에서 내부전압으로 풀업하는 동작에서 내부전압이 낮아 프리차지 전압과 차이가 크지 않기 때문에 원하는 레벨(내부전압)까지 상승하는데 많은 시간이 소요된다. 이것을 극복하기 위하여, 전원 공급 장치를 이용하여 일정구간 동안은 상대적으로 레벨이 높은 외부전압을 공급하는데, 이를 오버 드라이브이라고 한다.

좀 더 구체적으로 설명하면, 센스앰프가 활성화 될 때, 센스앰프의 데이터 센싱 속도의 향상을 위하여 먼저 상대적으로 높은 외부 전압(예를 들면, 3.3V)을 먼저 공급한 후, 센스앰프의 전압을 유지하기 위하여 내부전압(예를 들면, 2.2V)을 공급한다.

이때, 외부 전압을 일정 구간 동안만 공급하기 위한 전원 공급 장치가 필요하며, 종래 기술에 따른 전원 공급 장치의 구성 및 동작을 설명하면 다음과 같다.

도 1은 종래 기술에 따른 전원 공급 장치를 설명하기 위한 개념도이다.

도 1을 참조하면, 전원 공급 장치(100)는 초기에는 일정 구간(이하, '오버 드라이브 구간'이라 함) 동안만 센스앰프(130)에 상대적으로 높은 외부 전압(VDD)을 인가하고, 그 이후에 내부 전압(Vcore)을 공급하기 할 수 있도록 펄스 발생부(110)와 내부 전압 발생부(120)를 포함한다.

상기에서, 펄스 발생부(110)는 액티브 코맨드(Active command)가 입력되면 하이 레벨이 되는 인에이블 신호(ACT)에 따라 동작하며, 오버 드라이브 구간 동안만 오버 드라이버 신호(ovdb)를 발생시켜 외부 전압 단자에 접속된 스위칭 소자(P101)를 턴온시킨다. 스위칭 소자(P101)가 턴온되면 외부 전압(VDD)이 오버 드라이브 구간 동안만 센스앰프(130)로 공급된다.

이 상태에서, 제1 및 제2 센스앰프 구동신호(SAP 및 SAN)에 의해 선택된 센스앰프(130)로 외부 전압(VDD)이 인가되며, 이로 인해 센스앰프(130)의 입력단에 프리차지되어 있던 전압이 빠른 속도로 상승하기 시작한다.

이어서, 오버 드라이브 구간이 종료되면 펄스 발생부(110)의 오버 드라이버 신호(ovdb)에 의해 스위칭 수단(P101)이 오프 상태가 되고, 센스앰프(130)에는 외부 전압(VDD) 대신에 내부 전압 발생부(120)에서 생성된 내부 전압(Vcore)이 인가된다. 상기의 동작에서, 한 쌍의 비트라인이 선택되는 경우에는 소비 전력이 크지 않기 때문에 문제가 되지 않지만, 리프레쉬 동작과 같이 n개의 비트라인 쌍이 동시에 선택된다면 전류 소비가 n배 이상 증가하게 된다.

따라서, 리프레쉬 동작의 경우 오버 드라이브 구간이 종료되는 시점에서 전류 소비가 크기 때문에, 드라이브 구간이 종료되는 시점에서 외부 전압(VDD)이 차단되고 상대적으로 낮은 내부 전압(Vcore)이 공급되면 정상적인 동작이 진행되지 않는다.

이러한 문제점을 해결하기 위하여, 리프레쉬 동작 시 다수의 내부 전압 발생부(120)를 동작시켜야 하며, 전원 공급 장치(100)에는 다수의 내부 전압 발생부(120)가 구비되어야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 대하여, 본 발명이 제시하는 반도체 메모리 소자의 전원 공급 장치 및 방법은 전류 소비가 급격히 증가하는 동작 초기에는 높은 레벨의 외부 전압을 공급하고 일정 시간이 지난 후에는 목표 레벨의 내부 전압을 공급하되, 한 쌍의 비트라인이 선택되는 경우보다 다수의 비트라인 쌍이 선택되어 전류 소비가 보다 더 증가되는 경우 외부 전압을 보다 긴 시간동안 공급함으로써, 상대적으로 적은 수의 내부 전압 발생부를 구비하고 이들을 동작시키면서도 회로의 동작에 대한 신뢰성을 향상시킬 수 있다.

발명의 구성 및 작용

본 발명의 실시예에 따른 반도체 메모리 소자의 전원 공급 장치는 내부 동작 전압을 생성하여 출력 단자로 출력하는 내부 전압 발생부; 액티브 코맨드 신호에 따라 하이 레벨로 되는 인에이블 신호와, 리프레쉬 동작 신호에 응답하여, 전류 소비가 많은 동작 모드 인지 또는 전류 소비가 적은 동작 모드 인지를 판단하고, 그 판단 결과에 따라 폭이 긴 펄스 신호를 생성하거나, 또는 폭이 짧은 펄스 신호를 생성하는 펄스 발생부; 및 펄스 신호에 응답하여, 외부 전원 전압을 출력 단자로 출력하거나 또는 출력 동작을 정지하는 스위칭 소자를 포함한다. 바람직하게, 스위칭 소자가 출력 단자에 외부 전원 전압의 출력 동작을 정지할 때, 출력 단자에는 내부 동작 전압만이 공급된다.

삭제

삭제

삭제

삭제

삭제

삭제

본 발명의 실시예에 따른 반도체 메모리 소자의 전원 공급 방법은 주변 회로의 동작 초기에, 주변 회로의 동작이 안정화될 때까지, 높은 레벨의 고전압을 주변 회로에 공급하는 단계; 및 주변 회로의 동작이 안정화될 때, 목표 레벨의 저전압을 주변 회로에 공급하는 단계를 포함한다. 바람직하게, 고전압을 주변 회로에 공급하는 단계에서, 고전압이 공급되는 시간은, 주변 회로의 동작이 안정화되는데 걸리는 시간이 증가할 때 증가하고, 주변 회로의 동작이 안정화되는데 걸리는 시간이 감소할 때 감소한다.

본 발명의 다른 실시예에 따른 반도체 메모리 소자의 전원 공급 방법은 리프레쉬 동작 신호와 인에이블 신호에 응답하여, 리프레쉬 동작 모드인지 또는 일반 동작 모드인지를 판단하는 단계; 전류 소비량이 많은 리프레쉬 동작 모드일 때, 외부의

고전압을 제1 설정 시간 동안 주변 회로에 공급한 후, 목표 레벨의 저전압을 주변 회로에 공급하는 단계; 및 전류 소비량이 적은 일반 동작 모드일 때, 외부의 고전압을 제1 설정 시간 보다 짧은 제2 설정 시간 동안 주변 회로에 공급한 후, 목표 레벨의 저전압을 주변 회로에 공급하는 단계를 포함한다.

삭제

삭제

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

도 2는 본 발명의 실시예에 따른 반도체 메모리 소자의 전원 공급 장치를 설명하기 위한 회로의 개념도이다.

도 2를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 소자의 전원 공급 장치(200)는 주변 회로(230)가 동작하는 초기의 일정 구간(이하, '오버 드라이브 구간'이라 함) 동안에 상대적으로 높은 외부 전압(VDD)을 인가한다. 그리고, 오버 드라이브 구간이 종료되면 외부 전압(VDD)을 차단하고 목표 전위의 내부 전압(Vcore)을 공급한다. 이때, 본 발명의 전원 공급 장치(200)는 주변 회로(230)의 전류 소비량을 판단할 수 있는 신호(이하, '제어 신호'라 함; REF)에 따라 외부 전압(VDD)의 공급 시간을 달리한다. 즉, 제어 신호(REF)에 따라 전류 소비가 적어 회로의 동작이 빠르게 안정된다고 판단되면 외부 전압(VDD)을 짧은 시간동안만 제공하고, 전류 소비가 상대적으로 많다고 판단되면 외부 전압(VDD)을 오랜 시간 동안 공급한다.

이러한, 전원 공급 장치(200)는 펄스 발생부(210), 스위칭 소자(P201) 및 내부 전압 발생기(220)로 구현할 수 있다.

여기서, 펄스 발생부(210)는 액티브 코맨드(Active command)가 입력되면 하이 레벨이 되는 인에이블 신호(ACT)에 따라 인에이블되며, 제어 신호(REF)에 따라 펄스 신호(ovdb)의 폭을 다르게 생성한다.

스위칭 소자(P201)는 외부 전압 단자와 출력 단자 사이에 접속되며, 펄스 발생부(210)에서 생성된 펄스 신호(ovdb)에 따라 외부 전압(VDD)을 출력 단자로 스위칭 한다.

내부 전압 발생기(220)는 외부 전압(VDD)보다 낮은 레벨의 내부 전압(Vcore)을 생성하여 출력 단자로 출력한다. 내부 전압 발생기(220)는 낮은 전압에서 동작하는 저전력 소자에서 통상적으로 사용되는 장치이다.

그러면, 주변 회로(230)가 DRAM에서 다수의 비트라인들과 센스 앰프(231)로 이루어진 경우를 예로 들어 전원 공급 장치(200)의 동작을 설명하기로 한다.

DRAM의 경우 한 쌍의 비트라인이 선택되는 경우보다 다수의 비트라인 쌍이 선택되는 리프레쉬 동작의 경우에서 전류 소비가 크기 때문에, 오버 드라이브 구간을 짧게 설정하면 회로의 동작이 안정되기도 전에 상대적으로 낮은 레벨의 내부 전압(Vcore)이 공급되어 회로가 안정적으로 동작할 수 없다. 반대로, 전류 소비가 그다지 많지 않은 일반 동작 모드에서 오버 드라이브 구간을 길게 설정하면 불필요하게 소비 전력이 증가하거나 회로에 무리가 갈 수 있다.

따라서, 본 발명의 전원 공급 장치(200)는 리프레쉬 동작이 이루어지는 경우에만 외부 전압(VDD)을 상대적으로 긴 시간 동안 공급한다. 공급 시간은 전원 공급 장치(200)에 포함된 지연부의 지연 시간으로 조절할 수 있으며, 회로가 안정화되는데 걸리는 시간을 고려하는 것이 바람직하다. 이 경우, 리프레쉬 동작 신호가 전류 소비량의 많고 적음을 판단할 수 있는 제어 신호(REF)로서 사용될 수 있다.

이 상태에서, 리프레쉬 동작 신호가 제어 신호(REF)로 인가되면, 이 신호에 따라 전원 공급 장치(200)는 외부 전압(VDD)의 오버 드라이브 구간을 길게 또는 짧게 설정하여 외부 전압(VDD)을 긴 시간 또는 짧은 시간 동안 공급한다. 전원 공급 장치(200)로부터 공급된 전압(VDD 또는 Vcore)은 제1 및 제2 센스앰프 구동신호(SAP 및 SAN)에 의해 선택된 센스앰프(231)로 인가된다. 이로써, 회로가 안정화되기 전까지는 외부 전압(VDD)이 충분한 시간동안 공급되어, 주변회로(230)에 포함된 센스앰프(231)들의 입력 단자를 빠른 속도로 상승시킬 수 있다.

이렇게, 전류 소비량에 따라 외부 전압(VDD)의 공급 시간을 조절하기 위해서는 전류 소비량에 따라 펄스 신호(ovdb)의 폭을 다르게 발생시켜야 하며, 이러한 동작을 하는 펄스 발생부(210)의 구성 및 동작을 보다 상세하게 설명하면 다음과 같다.

도 3은 도 2의 펄스 발생부를 설명하기 위한 회로도이다.

도 3을 참조하면, 펄스 발생부는 서로 다른 폭의 펄스 신호(ovdb1 또는 ovdb2)를 발생시키는 제1 펄스 발생부(211)와 제2 펄스 발생부(212)를 포함하며, 제어 신호(REF)를 반전시키기 위한 인버터(I211)가 더 포함된다.

제1 펄스 발생부(211)는 인에이블 신호(ACT)와 인버터(I211)에 의해 반전된 제어 신호(REF)에 따라 제1 펄스 신호(ovdb1)를 생성한다. 이러한 제1 펄스 발생부(211)는 지연 수단(D211)과 인버터(I213)로 이루어진 반전 지연 수단과 낸드 게이트(N212)로 구현할 수 있다.

이들의 접속 관계를 설명하면, 반전 지연 수단(D211 및 I213)은 인에이블 신호(ACT)를 소정의 시간만큼 지연시킨 후 이를 반전시킨다. 인에이블 신호(ACT)와, 반전 지연 수단(D211 및 I213)의 출력 신호와, 반전된 제어 신호(REF)는 낸드 게이트(N212)로 입력된다. 이때, 낸드 게이트(N212)로 입력되는 인에이블 신호(ACT)와 반전된 제어 신호(REF)가 하이 레벨이면 제1 펄스 발생부(211)가 정상적으로 동작된다. 이 상태에서, 하이 레벨의 인에이블 신호(ACT)가 낸드 게이트(N212)로 입력되고, 소정의 시간 차이로 반전된 인에이블 신호(ACT)가 낸드 게이트(N212)로 입력되면, 낸드 게이트(N212)는 제1 펄스 신호(ovdb1)를 소정의 시간만큼 로우 레벨로 발생시킨다. 이때, 지연 수단(D211)에 의해 지연되는 시간이 제1 펄스 신호(ovdb1)의 펄스 폭이 된다.

한편, 제1 펄스 발생부(211)가 동작하는 동안 제2 펄스 발생부(212)는 제어 신호(REF)에 의해 디스에이블되어 동작하지 않는다. 제1 펄스 발생부(211)에서 생성된 제1 펄스 신호(ovdb1)는 낸드 게이트(N211)와 인버터(I212)를 거쳐 펄스 신호(ovdb)로 출력된다.

제2 펄스 발생부(212)는 제1 펄스 발생부(211)와 동일한 구성으로 이루어지지만, 제어 신호(REF)가 인버터(I211)를 거치지 않고 바로 낸드 게이트(N213)로 입력된다는 것과 지연 수단(D212)의 지연 정도가 다르다. 이로 인하여, 제1 펄스 발생부(211)가 동작하지 않으면 제2 펄스 발생부(212)가 동작하며, 제2 펄스 발생부(212)는 제1 펄스 발생부(211)와 다른 폭의 제2 펄스 신호(ovdb2)를 생성한다. 제2 펄스 발생부(212)에서 제2 펄스 신호(ovdb2)가 생성되면, 제1 펄스 신호(ovdb1)와 마찬가지로 낸드 게이트(N211)와 인버터(I212)를 거쳐 펄스 신호(ovdb)로 출력된다.

상기에서, 제2 펄스 신호(ovdb2)의 펄스 폭이 제1 펄스 신호(ovdb1)의 펄스 폭보다 길다고 가정하면, 제어 신호(REF)가 하이 레벨로 입력되는 경우 긴 폭의 제2 펄스 신호(ovdb2)가 펄스 발생부(210)의 펄스 신호(ovdb)로 출력되며, 이 신호에 의해 외부 전압(VDD)이 스위칭 소자(도 2의 P201)를 거쳐 주변 회로(도 2의 230)로 긴 시간동안 공급된다. 반대로, 제어 신호(REF)가 로우 레벨로 입력되는 경우 짧은 폭의 제1 펄스 신호(ovdb1)가 펄스 발생부(210)의 펄스 신호(ovdb)로 출력되며, 이 신호에 의해 외부 전압(VDD)이 스위칭 소자(도 2의 P201)를 거쳐 주변 회로(도 2의 230)로 짧은 시간동안 공급된다.

상기의 동작을 통해, 본 발명의 반도체 메모리 소자의 전원 공급 장치는 전류 소비량에 따라 오버 드라이빙 시간을 조절할 수 있다. 또한, 리프레쉬 동작 신호를 제어 신호(REF)로 입력하면, DRAM의 일반 동작 모드에서는 오버 드라이빙 구간을 짧게 설정하고, 전류 소비가 급격하게 증가하는 리프레쉬 동작 모드에서는 오버 드라이빙 구간을 길게 설정하여 회로가 안정적으로 동작할 수 있도록 할 수 있다.

도 4는 주변 회로로 공급되는 전압 특성을 비교하기 위한 특성 그래프이다.

도 4를 참조하면, 종래와 같이 오버 드라이브 구간(A)이 짧게 고정되어 있는 경우 주변 회로로 공급되는 내부 전압(Vcore)이 목표 레벨로 상승하는데 많은 시간이 소요되며, 안정적으로 공급되지 못한다. 하지만, 본 발명과 같이 소비 전력에 따라 오버 드라이브 구간(B)을 길게 변경해주면, 짧은 시간 내에 내부 전압(Vcore)이 목표 레벨로 상승하여 내부 전압(Vcore)이 안정적으로 공급되는 것을 알 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 전류 소비가 급격히 증가하는 동작 초기에는 높은 레벨의 외부 전압을 공급하고 일정 시간이 지난 후에는 목표 레벨의 내부 전압을 공급하되, 한 쌍의 비트라인이 선택되는 경우보다 다수의 비트라인 쌍이 선택되어 전류 소비가 보다 더 증가되는 경우 외부 전압을 보다 긴 시간동안 공급함으로써, 상대적으로 적은 수의 내부 전압 발생부를 구비하고 이들을 동작시키면서도 회로의 동작에 대한 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

내부 동작 전압을 생성하여 출력 단자로 출력하는 내부 전압 발생부;

액티브 코멘드 신호에 따라 하이 레벨로 되는 인에이블 신호와, 리프레쉬 동작 신호에 응답하여, 전류 소비가 많은 동작 모드 인지 또는 전류 소비가 적은 동작 모드 인지를 판단하고, 그 판단 결과에 따라 폭이 긴 펄스 신호를 생성하거나, 또는 폭이 짧은 펄스 신호를 생성하는 펄스 발생부; 및

상기 펄스 신호에 응답하여, 외부 전원 전압을 상기 출력 단자로 출력하거나 또는 출력 동작을 정지하는 스위칭 소자를 포함하고,

상기 스위칭 소자가 상기 출력 단자에 상기 외부 전원 전압의 출력 동작을 정지할 때, 상기 출력 단자에는 상기 내부 동작 전압만이 공급되는 반도체 메모리 소자의 전원 공급 장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1 항에 있어서, 상기 펄스 발생부는,

상기 리프레쉬 동작 신호를 반전시키기 위한 제1 인버터;

상기 제1 인버터의 출력 신호 및 상기 인에이블 신호에 응답하여, 상기 펄스 신호를 제1 펄스 폭으로 생성하는 제1 펄스 발생부; 및

상기 리프레쉬 동작 신호 및 상기 인에이블 신호에 응답하여, 상기 펄스 신호를 상기 제1 펄스 폭보다 넓은 제2 펄스 폭으로 생성하는 제2 펄스 발생부를 포함하고,

상기 제1 펄스 발생부와 상기 제2 펄스 발생부 중 어느 하나가 상기 펄스 신호를 생성할 때, 나머지 하나는 상기 펄스 신호를 생성하지 않는 반도체 메모리 소자의 전원 공급 장치.

청구항 5.

제 4 항에 있어서, 상기 펄스 발생부는,

상기 제1 펄스 발생부의 출력 단자와 상기 제2 펄스 발생부의 출력 단자에 각각 연결되는 입력 단자들을 포함하는 낸드 게이트; 및

상기 낸드 게이트의 출력 신호를 반전시키는 제2 인버터를 더 포함하는 반도체 메모리 소자의 전원 공급 장치.

청구항 6.

제 4 항에 있어서, 상기 제1 펄스 발생부는,

상기 인에이블 신호를 반전지연시키는 반전 지연부; 및

상기 인에이블 신호, 상기 반전 지연부의 출력 신호 및 상기 제1 인버터의 출력 신호에 응답하여, 상기 제1 펄스 폭을 갖는 상기 펄스 신호를 출력하는 낸드 게이트를 포함하는 반도체 메모리 소자의 전원 공급 장치.

청구항 7.

제 6 항에 있어서,

상기 반전 지연부는 상기 인에이블 신호를 상기 제1 펄스 폭만큼 지연시킨 후, 그 반전된 신호를 출력하는 반도체 메모리 소자의 전원 공급 장치.

청구항 8.

제 4 항에 있어서, 상기 제2 펄스 발생부는,

상기 인에이블 신호를 반전지연시키는 반전 지연부; 및

상기 인에이블 신호, 상기 반전 지연부의 출력 신호 및 상기 리프레시 동작 신호에 응답하여, 상기 제2 펄스 폭을 갖는 상기 펄스 신호를 출력하는 낸드 게이트를 포함하는 반도체 메모리 소자의 전원 공급 장치.

청구항 9.

제 8 항에 있어서,

상기 반전 지연부는 상기 인에이블 신호를 상기 제2 펄스 폭만큼 지연시킨 후, 그 반전된 신호를 출력하는 반도체 메모리 소자의 전원 공급 장치.

청구항 10.

제 1 항에 있어서,

상기 스위칭 소자가 PMOS 트랜지스터로 이루어진 반도체 메모리 소자의 전원 공급 장치.

청구항 11.

주변 회로의 동작 초기에, 상기 주변 회로의 동작이 안정화될 때까지, 높은 레벨의 고전압을 상기 주변 회로에 공급하는 단계; 및

상기 주변 회로의 동작이 안정화될 때, 목표 레벨의 저전압을 상기 주변 회로에 공급하는 단계를 포함하고,

상기 고전압을 상기 주변 회로에 공급하는 단계에서, 상기 고전압이 공급되는 시간은, 상기 주변 회로의 동작이 안정화되는데 걸리는 시간이 증가할 때 증가하고, 상기 주변 회로의 동작이 안정화되는데 걸리는 시간이 감소할 때 감소하는 반도체 메모리 소자의 전원 공급 방법.

청구항 12.

리프레쉬 동작 신호와 인에이블 신호에 응답하여, 리프레쉬 동작 모드인지 또는 일반 동작 모드인지를 판단하는 단계;

전류 소비량이 많은 상기 리프레쉬 동작 모드일 때, 외부의 고전압을 제1 설정 시간 동안 주변 회로에 공급한 후, 목표 레벨의 저전압을 상기 주변 회로에 공급하는 단계; 및

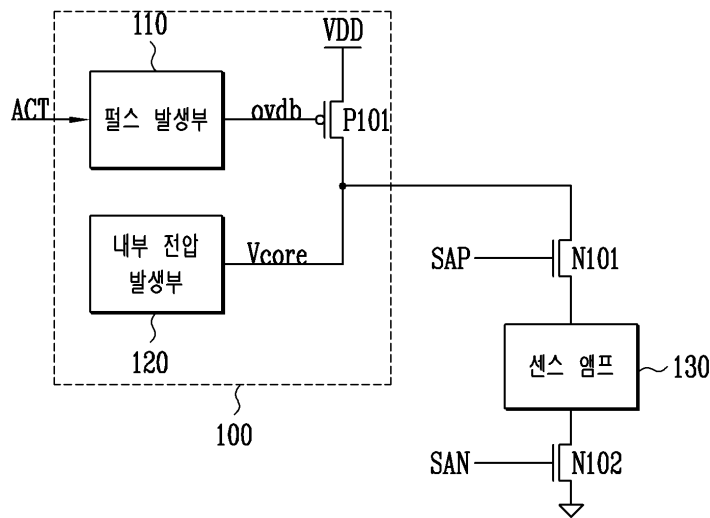
상기 전류 소비량이 적은 상기 일반 동작 모드일 때, 외부의 고전압을 상기 제1 설정 시간 보다 짧은 제2 설정 시간 동안 상기 주변 회로에 공급한 후, 상기 목표 레벨의 저전압을 상기 주변 회로에 공급하는 단계를 포함하는 반도체 메모리 소자의 전원 공급 방법.

청구항 13.

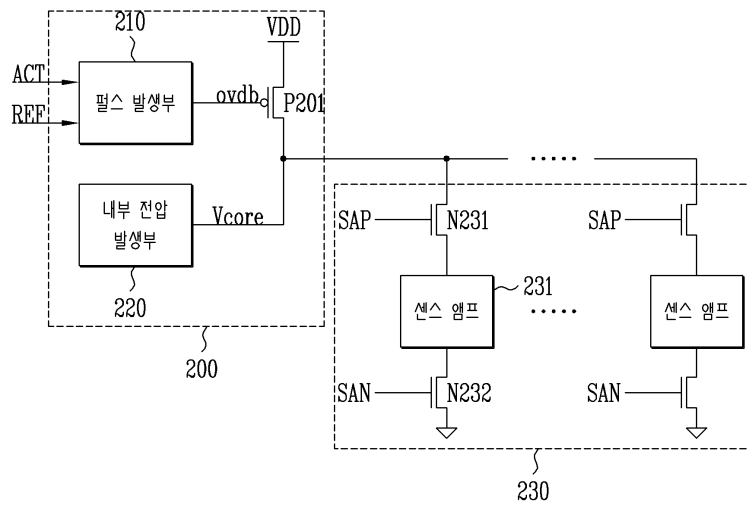
삭제

도면

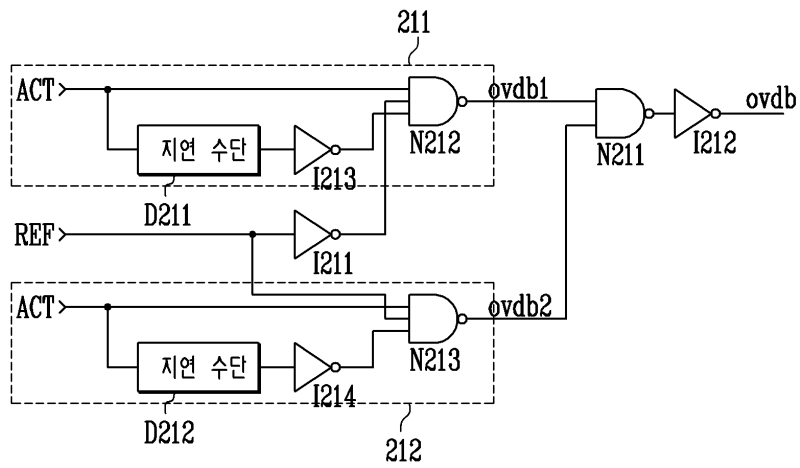
도면1



도면2



도면3



도면4

