



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I624030 B

(45)公告日：中華民國 107 (2018) 年 05 月 11 日

(21)申請案號：106110412

(22)申請日：中華民國 102 (2013) 年 09 月 06 日

(51)Int. Cl. : H01L27/04 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2012/09/10 日本

2012-198568

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本(72)發明人：外村文男 TONOMURA, FUMIO (JP) ; 石井秀雄 ISHII, HIDEO (JP) ; 太田毅
OTA, TSUYOSHI (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

US 2009/0114947A1

審查人員：林弘恩

申請專利範圍項數：16 項 圖式數：31 共 67 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本發明提供一種能夠以不會對 MOSFET 的動作造成影響的方式進行溫度檢測的半導體裝置。本發明之實施態樣的半導體裝置，在晶片的第 1 區域形成第 1MOSFET，在第 2 區域形成第 2MOSFET。在第 1 區域中於晶片的表面上，形成了第 1 源極端子以及第 1 閘極端子。在第 2 區域中於晶片的表面上，形成了以和第 1 源極端子與第 1 閘極端子的並排方向大略平行並排的方式配置的第 2 源極端子、第 2 閘極端子。在第 1 源極端子與第 2 源極端子之間，設置了並未與第 1MOSFET 以及第 2MOSFET 電連接的溫度檢測二極體。第 1 端子與第 2 端子的並排方向，係和第 1 源極端子與第 1 閘極端子的並排方向以及第 2 源極端子與第 2 閘極端子的並排方向大略平行的第 1 方向。

A first MOSFET is formed in a first region of a chip, and a second MOSFET is formed in a second region thereof. A first source terminal and a first gate terminal are formed in the first region. In the second region, a second source terminal and a second gate terminal are arranged so as to be aligned substantially parallel to a direction in which the first source terminal and the first gate terminal are aligned. A temperature detection diode is arranged between the first source terminal and the second source terminal. A first terminal and a second terminal of the temperature detection diode are aligned in a first direction substantially parallel to a direction in which the first source terminal and the first gate terminal are aligned or in a second direction substantially perpendicular thereto.

指定代表圖：

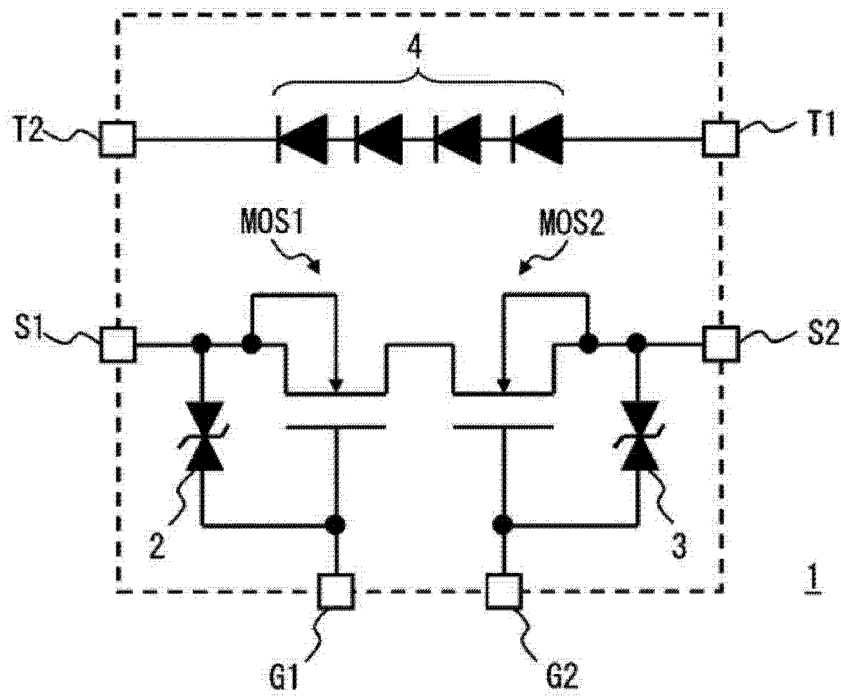


圖 1

符號簡單說明：

- 1 . . . 半導體裝置
- 2 . . . 雙向齊納二極體
- 3 . . . 雙向齊納二極體
- 4 . . . 溫度檢測二極體
- MOS1 . . . N 通道 MOSFET
- MOS2 . . . N 通道 MOSFET
- T1 . . . 陽極端子
- T2 . . . 陰極端子
- G1 . . . 閘極端子
- G2 . . . 閘極端子
- S1 . . . 源極端子
- S2 . . . 源極端子

【發明說明書】

【中文發明名稱】

半導體裝置及其製造方法

【英文發明名稱】

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE
SAME

【技術領域】

【0001】

本發明係關於一種半導體裝置及其製造方法，且係關於一種具有垂直式電晶體構造的半導體裝置及其製造方法。

【先前技術】

【0002】

近年來，在以行動電話或筆記型PC為首的各領域，使用高容量且小型的Li離子電池。Li離子電池雖具備高性能，惟容易因為過充電、過放電、短路等而導致發熱或劣化，有時會發生破損等的問題。為了安全使用Li離子電池，設置保護電路有其必要。因此，在電池組之中設置了監視過充電、過放電、過電流、異常發熱等問題並控制充放電的保護電路基板。

【0003】

保護電路基板具備：MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor，金氧半場效電晶體)、電阻、溫度檢測元件、控制IC。MOSFET係使充電路徑、放電路徑ON/OFF的構件。MOSFET可使用例如汲極電極為共用的2個FET以1片晶片構成的雙向MOSFET。電阻係檢測充放電電流的構件。溫度檢測元件

係檢測MOSFET以及保護電路基板的溫度的構件，可使用例如熱敏電阻等。控制IC可處理來自該等元件的資訊並控制MOSFET。

【0004】

行動電話或筆記型PC朝向小型化、低價格化發展，保護電路基板也被要求小型化、薄型化或低價格化。其中，有文獻提出將溫度檢測元件搭載於MOSFET的技術。專利文獻1揭示：在形成功率MOSFET的區域上，在與溫度最高的主動區域上的源極墊片隣接的位置上設置溫度檢測元件。該溫度檢測元件，與同一晶片內的控制電路形成區域連接，無法將檢測信號取出到外部。

【0005】

專利文獻2記載了具備與2個輸出用MOSFET的閘極分別連接的2個雙極性電晶體，檢測各雙極性電晶體的漏電流，以檢測出輸出用MOSFET的過熱狀態的技術。

[先前技術文獻]

[專利文獻]

【0006】

[專利文獻1]日本特開2004-31980號公報

[專利文獻2]日本特開2007-95848號公報

【發明內容】

【0007】

[發明所欲解決的問題]

在專利文獻2中，由於雙極性電晶體與輸出用MOSFET的閘極連接，故與閘極連接的電容量增加。因此，輸出用MOSFET受到雙極性電晶體的影響，會有動作速度變慢之虞。

【0008】

其他問題與新穎特徵，根據本說明書的敘述以及所附圖式應可明瞭。

[解決問題的手段]

【0009】

根據其中一實施態樣，半導體裝置，在晶片的形成於第1區域的第1MOSFET的第1源極端子與形成於第2區域的第2MOSFET的第2源極端子之間，設置了並未與第1MOSFET以及第2MOSFET電連接的溫度檢測二極體。溫度檢測二極體的第1端子與第2端子的並排方向，係和第1MOSFET的第1源極端子與第1閘極端子的並排方向以及第2MOSFET的第2源極端子與第2閘極端子的並排方向大略平行的第1方向或是大略垂直的第2方向。

[發明的功效]

【0010】

根據實施態樣，便能夠以不會對MOSFET的動作造成影響的方式進行溫度檢測。

【圖式簡單說明】**【0011】**

圖1係表示實施態樣1之半導體裝置的構造的電路圖。

圖2係表示圖1所示之半導體裝置的表面布局圖。

圖3係圖2所示之半導體裝置的III-III線的剖面圖。

圖4係圖2所示之半導體裝置的IV-IV線的剖面圖。

圖5係表示圖2所示之半導體裝置所使用的溫度檢測二極體的構造圖。

圖6係圖5所示之溫度檢測二極體的部分放大圖。

圖7係表示圖2所示之半導體裝置所使用的雙向齊納二極體的構造圖。

圖8A係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。

圖8B係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。

圖8C係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。

圖8D係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。

圖8E係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。

圖8F係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。

圖8G係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。

圖9係表示使用實施態樣1之半導體裝置的電池保護電路的構造的電路圖。

圖10係表示使用實施態樣1之半導體裝置的電池保護電路安裝於基板的狀態圖。

圖11係表示使用實施態樣1之半導體裝置的電池保護電路安裝於基板的狀態圖。

圖12係實施態樣2之半導體裝置所使用的溫度檢測二極體的部分放大圖。

圖13A係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13B係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13C係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13D係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13E係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13F係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13G係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13H係實施態樣2之半導體裝置的製造步驟剖面圖。

圖13I係實施態樣2之半導體裝置的製造步驟剖面圖。

圖14係實施態樣3之半導體裝置所使用的溫度檢測二極體的部分放大圖。

圖15A係實施態樣3之半導體裝置的製造步驟剖面圖。

- 圖15B係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖15C係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖15D係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖15E係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖15F係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖15G係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖15H係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖15I係實施態樣3之半導體裝置的製造步驟剖面圖。
- 圖16係表示實施態樣4之半導體裝置的構造的電路圖。
- 圖17係表示圖16所示之半導體裝置的表面布局圖。
- 圖18係圖17所示之半導體裝置的XVIII-XVIII線的剖面圖。
- 圖19係圖17所示之半導體裝置的XIX-XIX線的剖面圖。
- 圖20係表示圖17所示之半導體裝置所使用的保護二極體的構造圖。
- 圖21係表示實施態樣5之半導體裝置的構造的電路圖。
- 圖22係表示圖21所示之半導體裝置的表面布局圖。
- 圖23係圖22所示之半導體裝置的XXIII-XXIII線的剖面圖。
- 圖24係圖22所示之半導體裝置的XXIV-XXIV線的剖面圖。
- 圖25係圖22所示之半導體裝置的XXV-XXV線的剖面圖。
- 圖26係表示實施態樣6之半導體裝置的表面布局圖。
- 圖27係圖26所示之半導體裝置的XXVII-XXVII線的剖面圖。
- 圖28係圖26所示之半導體裝置的XXVIII-XXVIII線的剖面圖。
- 圖29係圖26所示之半導體裝置的XXIX-XXIX線的剖面圖。
- 圖30係表示實施態樣7之半導體裝置的表面布局圖。
- 圖31係表示實施態樣8之半導體裝置的表面布局圖。

【實施方式】**【0012】**

本實施態樣，係關於半導體裝置以及半導體裝置的製造方法，例如，係關於具有共用汲極電極的2個MOSFET以1片晶片構成的Li離子電池的充放電控制用MOSFET或類似的垂直式電晶體構造的半導體裝置及其製造方法。

【0013】

實施態樣之半導體裝置，例如，係在晶片上設置墊片的CSP(Chip size package，晶片尺寸封裝)型MOSFET，為橋式晶片安裝。MOSFET內建溫度檢測二極體，可實現搭載該構件的保護電路基板的低成本化、小型化、薄型化。

【0014】

另外，考慮在半導體裝置中的溫度檢測二極體的端子配置、元件配置、元件構造，為了解決晶片尺寸增大的問題，提供最佳的布局。藉此，可使保護電路基板的低成本化、小型化、薄型化，同時正確地檢測到MOSFET的發熱，進而實現小型且安全性高的電池組。以下，說明本實施態樣的具體構造。

【0015】**[實施態樣1]**

參照圖式說明實施態樣1的半導體裝置。在以下的圖式中，相同構成要件會附上相同的符號，並適當省略說明。圖1係表示實施態樣1之半導體裝置1的構造的電路圖。如圖1所示的，半導體裝置1具備：2個N通道MOSFET(以下分為MOS1、MOS2)、齊納二極體2、3以及溫度檢測二極體4。

【0016】

MOS1、MOS2以汲極共用的方式連接。MOS1的源極與源極端子S1連接，閘極與閘極端子G1連接。MOS2的源極與源極端子S2連接，閘極與閘極端子G2連接。另外，MOS1、MOS2亦可為P通道MOSFET。

【0017】

在實施態樣1中，溫度檢測二極體4具有複數個二極體元件串聯連接的構造。在圖1所示的例子中，溫度檢測二極體4係由4段二極體元件所構成，惟亦可因應外部應用程式選擇適當的段數。溫度檢測二極體4的陽極與陽極端子T1(第1端子)連接，陰極與陰極端子T2(第2端子)連接。溫度檢測二極體4與MOS1、MOS2其中任一個均未連接。因此，實施態樣1，不會對MOSFET的動作造成影響，而可進行溫度檢測。

【0018】

在MOS1、MOS2的閘極-源極之間，分別設置了閘極保護用的雙向齊納二極體2、3。另外，在圖1所示的例子中，雙向齊納二極體2、3為1段，惟有時會因應所保護的MOSFET的耐壓而複數段連接。另外，亦可不設置雙向齊納二極體。

【0019】

圖2係表示實施態樣1之半導體裝置1的晶片表面的布局。如圖2所示的，晶片分成第1區域10與第2區域20區域。在圖2中，第1區域10與第2區域20的分界線以一點鏈線表示。在第1區域10形成MOS1，在第2區域20形成MOS2。在第1區域10配置了與MOS1連接的源極端子S1與閘極端子G1。在第2區域20配置了與MOS2連接的源極端子S2與閘極端子G2。源極端子S1與閘極端子G1的並排方向，和源極端子S2與閘極端子G2的並排方向大略平行。在此，將源極端子S1與閘極端子G1的並排方向以及源極端子S2與閘極端子G2的並排方向定義為Y方向(第1方向)。

【0020】

源極端子S1與源極端子S2，以夾著第1區域10與第2區域20的分界互相對向的方式配置。閘極端子G1與閘極端子G2，以夾著第1區域10與第2區域20的分界互相對向的方式配置。源極端子S1與源極端子S2的並排方向，和閘極端子G1與閘極端子G2的並排方向大略平行。在此，將源極端子S1與源極端子S2的並排方向，以及，閘極端子G1與閘極端子G2的並排方向，定義為X方向(第2方向)。在源極端子S1與源極端子S2之間，配置了溫度檢測二極體4。溫度檢測二極體4，配置在形成MOS1的第1區域10與形成MOS2的第2區域20之間。

【0021】

溫度檢測二極體4的陽極端子T1、陰極端子T2，配置在第1區域10與第2區域20之間。陽極端子T1以及陰極端子T2，以在Y方向(第1方向)上並排的方式配置。

【0022】

陽極端子T1配置在源極端子S1與源極端子S2之間。亦即，源極端子S1、陽極端子T1、源極端子S2，依照該順序，以在X方向(第2方向)上並排的方式配置。

【0023】

在通過源極端子S1與源極端子S2的直線以及第1區域10與第2區域20的分界線的交點配置陽極端子T1。源極端子S1與陽極端子T1的距離，和源極端子S2與陽極端子T1的距離大略相等。溫度檢測二極體4，以通過源極端子S1與源極端子S2的直線以及第1區域10與第2區域20的分界線的交點為中心，配置在陽極端子T1的下部。

【0024】

陰極端子T2配置在閘極端子G1與閘極端子G2之間。亦即，閘極端子G1、陰極端子T2、閘極端子G2，以依照該順序而在X方向(第2方向)上並排的方式配置。閘極端子G1與陰極端子T2的距離和閘極端子G2與陰極端子T2的距離大略相等。

【0025】

源極端子S1與閘極端子G1之間的距離、陽極端子T1與陰極端子T2之間的距離、源極端子S2與閘極端子G2之間的距離大略相等。源極端子S1、S2、閘極端子G1、G2、陽極端子T1、陰極端子T2分別藉由焊料等構件固定、連接於保護電路基板。藉由使端子的間距均等，在將焊料以熱熔化並連接時，可防止半導體裝置的連接位置偏移。

【0026】

在第1區域10的表面上配置了MOS1的源極鋁配線11，在第2區域20的表面上配置了MOS2的源極鋁配線21。在其之下配置了複數個MOSFET的單元。在源極鋁配線11的外周圍，以包圍源極鋁配線11的方式配置了閘極鋁配線12。閘極鋁配線12利用引出線13與閘極端子G1連接。

【0027】

在源極鋁配線21的外周圍，以包圍源極鋁配線21的方式配置了閘極鋁配線22。閘極鋁配線利用引出線23與閘極端子G2連接。在閘極鋁配線12、閘極鋁配線22的外周圍，配置了分離配線30。分離配線30，係稱為EQR(EQui-potential Ring：等電位環)的環狀配線。藉由將分離配線30保持在汲極電位，可抑制空乏層的擴散，使晶片的邊緣不會到達空乏層，並可維持晶片邊緣的耐壓。

【0028】

在陽極端子T1的下部形成陽極配線41，在陰極端子T2的下部形成陰極配線42。陰極配線42以包圍陽極配線41的周圍的方式牽繞。在半導體裝置1的背面，設置了在圖2中未顯示的汲極電極。該汲極電極為MOS1與MOS2所共用。

【0029】

在此，參照圖3、4，說明半導體裝置1的剖面構造。圖3係圖2的III-III線的剖面圖，圖4係圖2的IV-IV線的剖面圖。如圖3所示的，半導體裝置1更具有：半導

體基板5、基底區域6、閘極溝渠7、汲極電極8、層間絕緣膜31、接觸部32、保護絕緣膜33等構件。

【0030】

半導體基板5，例如係由Si所構成的N型半導體基板。在半導體基板5上形成了圖中未顯示的N型磊晶區域。該磊晶區域係作為汲極區域而發揮功能。在半導體基板5上形成了P型基底區域6、閘極溝渠7。基底區域6係作為通道區域而發揮功能。在基底區域6，雖圖中未顯示，惟形成了閘極溝渠7與源極區域。在閘極溝渠7，形成了圖中未顯示的由多晶矽等材料所構成的閘極電極、閘極絕緣膜。再者，層間絕緣膜等亦可形成於閘極溝渠7內。大概在形成了源極鋁配線11、21的區域之下，形成了垂直式電晶體構造。

【0031】

在MOS1與MOS2之間，在半導體基板5上隔著絕緣膜40設置了溫度檢測二極體4。在此，參照圖5、6，說明溫度檢測二極體4的構造。圖5係從頂面觀察溫度檢測二極體4的圖式，圖6係圖5的部分放大圖。

【0032】

如圖5所示的，溫度檢測二極體4，具有連接構造體配置成同心狀的構造，該連接構造體構成由P型多晶矽43、N型多晶矽44所組成的複數個PN接合。如圖6所示的，在隣接的連接構造體之間，分別設置了接觸金屬47。在PN接合與PN接合之間的NP接合部分形成接觸金屬47以消除NP接合，藉此將雙向二極體轉換成多段二極體列。

【0033】

在設於中心的P型多晶矽43設置複數個陽極接觸部45。如圖3所示的，在陽極接觸部45的上層設置了陽極配線41、陽極端子T1。陽極端子T1與P型多晶矽43透過陽極接觸部45、陽極配線41連接。

【0034】

在設於最外周圍的N型多晶矽44設置複數個陰極接觸部46。如圖3、4所示的，在陰極接觸部46的上層設置了陰極配線42、陰極端子T2。陰極端子T2與N型多晶矽44透過陰極接觸部46、陰極配線42連接。亦即，溫度檢測二極體4，以第1端子(亦即陽極端子T1)為中心構成同心狀。

【0035】

參照圖3，在半導體基板5、溫度檢測二極體4上，以覆蓋該等構件的方式設置了層間絕緣膜31。在層間絕緣膜31上，設置了包含上述的源極鋁配線11、閘極鋁配線12、源極鋁配線21、閘極鋁配線22、分離配線30、陽極配線41、陰極配線42在內的配線層。源極鋁配線11、閘極鋁配線12、源極鋁配線21、閘極鋁配線22、分離配線30，透過設於層間絕緣膜31之中的接觸部32，分別與下層的基底區域6、閘極溝渠7等構件連接。

【0036】

參照圖4，在閘極端子G1、G2的下部，分別形成了雙向齊納二極體2、3。在此，參照圖7，說明雙向齊納二極體2、3的構造。圖7係表示雙向齊納二極體2、3的構造圖。另外，由於雙向齊納二極體2、3的構造相同，故在此僅說明雙向齊納二極體2的構造。

【0037】

雙向齊納二極體2，在半導體基板5上隔著絕緣膜40形成。參照圖7，雙向齊納二極體2具有P型多晶矽25與N型多晶矽26彼此形成同心狀的構造。在設於中心的P型多晶矽25設置複數個接觸部27。P型多晶矽25，透過接觸部27，與閘極鋁配線12連接。在設於最外周的P型多晶矽25設置複數個接觸部28。P型多晶矽25，透過接觸部28，與源極鋁配線11連接。

【0038】

在配線層上，以覆蓋該等構件的方式設置保護絕緣膜33。在源極鋁配線11上形成源極端子S1，在源極鋁配線21上形成源極端子S2。另外，在陽極配線41上形成陽極端子T1，在陰極配線42上形成陰極端子T2。在引出線13上形成閘極端子G1，在引出線23上形成閘極端子G2。源極端子S1、S2、閘極端子G1、G2、陽極端子T1、陰極端子T2從保護絕緣膜33露出。

【0039】

在半導體基板5的背面側設置了汲極電極8。具有本構造的半導體裝置，在從源極端子S1向源極端子S2流過電流時，如圖3的箭號所示的，從源極端子S1經由背面的汲極電極8朝源極端子S2的方向形成電流路徑。另外，垂直式電晶體構造，只要是對晶片的表面的源極鋁配線11、源極鋁配線21、背面的汲極電極8朝垂直方向流過電流的構造，則無論是哪種構造都沒有關係。另外，上述的構造僅為一例，N型與P型亦可相反。

【0040】

如上所述，在通過源極端子S1與源極端子S2的直線和MOS1、MOS2的分界線的交點配置陽極端子T1，以該點為中心配置溫度檢測二極體4。流過MOSFET的電流，會從源極端子S1通過元件、汲極電極8流向源極端子S2。此時，在成為最短路徑的連結源極端子S1與源極端子S2的直線上流過較多的電流。當異常電流流過時，該最短路徑上形成峰值，最大發熱量變大。

【0041】

如實施態樣1，溫度檢測二極體4配置在源極端子S1與源極端子S2之間的電流為峰值的位置，藉此便可更正確地檢測出異常電流流過時的溫度上升。另外，在陽極端子T1之下配置溫度檢測二極體4可使配線為最短，故可使配置MOSFET元件的區域(亦即源極鋁配線區域)更廣。由於源極鋁配線的區域與主動區域大略

相等，故該區域越多便形成導通電阻越低的MOSFET。藉此，便可不擴大尺寸而增加有效單元面積。

【0042】

在此，參照圖8A~8G，說明實施態樣1之半導體裝置的製造方法。圖8A~8G，係說明實施態樣1之半導體裝置的製造方法的製造步驟剖面圖。圖8A~8G表示半導體裝置1所使用的溫度檢測二極體4的製造步驟。

【0043】

首先，如圖8A所示的，在半導體基板5上形成氧化膜等的絕緣膜40之後，使多晶矽S成長。之後，注入硼以形成P型多晶矽PS(圖8B)。然後，在P型多晶矽PS上形成光阻之後，利用已知的方法將P型多晶矽PS蝕刻成既定的形狀(圖8C)。

【0044】

之後，在P型多晶矽PS上形成層間絕緣膜31a，並在其上形成光阻PR。將該光阻PR當作遮罩，對P型多晶矽PS的一部分注入砷以使其N型化。藉此，形成P型多晶矽43、N型多晶矽44交替並排的構造(圖8D)。然後，在將光阻PR剝離之後，形成層間絕緣膜31b。層間絕緣膜31a、31b成為層間絕緣膜31(圖8E)。

【0045】

在形成層間絕緣膜31b之後，使用圖中未顯示的光阻進行蝕刻，以切斷PN接合的方式在P型多晶矽43與N型多晶矽44的分界形成接觸孔CT(圖8F)。此時，在成為陽極接觸部45、陰極接觸部46的位置也同時形成開口部。然後，在濺鍍障壁金屬之後，在接觸孔CT內形成接觸金屬47、陽極接觸部45、陰極接觸部46(圖8G)。另外，關於圖7所示的雙向齊納二極體2、3的製造法步驟與上述的步驟相同，僅形成的位置不同。

【0046】

像這樣，溫度檢測二極體4可用與雙向齊納二極體2、3的製造步驟相同的步驟形成。一般而言，由於ESD(electro-static discharge，靜電放電)保護的關係，在搭載雙向齊納二極體2、3之後，不需要追加步驟，故不會使製造成本提高，而能夠搭載溫度檢測二極體4。另外，本構造的溫度檢測二極體4，係連續形成複數個二極體，並以接觸金屬47分離，使其導體連接。藉此，便能夠以最短距離實現多段連接的溫度檢測二極體4，故可形成面積較小的溫度檢測二極體4。

【0047】

圖9係表示使用了實施態樣1的半導體裝置的電池保護電路100的電路圖。電池保護電路100具備：半導體裝置1、控制IC101、電流檢測電阻102。使一定的電流從控制IC101內的定電流源103流過半導體裝置1內的溫度檢測二極體4，以監視陽極-陰極間電壓VF。當半導體裝置1發熱時，因為溫度檢測二極體4所持的負的溫度傾斜，VF發生變化。控制IC101在VF到達既定的電壓時判斷發熱異常，使MOS1、MOS2為OFF，將電流遮斷。

【0048】

圖10、11係表示將圖9所示之電池保護電路100安裝於基板的例子。圖11係從橫向觀察圖10所示之電池保護電路100的圖式。在基板106上，半導體裝置1、墊片104、105、控制IC101、電流檢測電阻102以圖10所示的方式安裝。溫度檢測二極體4係內建於半導體裝置1內，並未安裝於基板106上。像這樣，藉由將溫度檢測二極體4內建於半導體裝置1內，便可減少零件數，並可縮小安裝區域。

【0049】

另外，由於在半導體裝置1的背面側形成汲極電極8，故在將半導體裝置1安裝於基板106時，頂面會露出汲極電極8。因此，在將溫度檢測二極體4配置在半導體裝置1之上時，為了使汲極電極8絕緣，必須配置絕緣片。然而，在實施態

樣1中，由於溫度檢測二極體4內建於半導體裝置1內，故不需要絕緣片，可如圖11所示的降低安裝高度。因此，能夠降低成本，並使其薄型化。

【0050】

[實施態樣2]

參照圖12說明實施態樣2之半導體裝置。圖12係實施態樣2之半導體裝置所使用的溫度檢測二極體4A的構造的部分放大圖。如圖12所示的，P型多晶矽43具有：設置於N型多晶矽44側的第1雜質濃度區域43a，以及設置於接觸金屬47側的第2雜質濃度區域43b。第2雜質濃度區域43b比第1雜質濃度區域43a雜質濃度更高。

【0051】

像這樣藉由使與接觸部47接觸的第2雜質濃度區域43b的雜質濃度比第1雜質濃度區域43a更高，便可獲得與接觸部47的充分連接性。另外，由於與實施態樣1同樣能夠以最短距離實現二極體的多段連接，故可形成面積較小的溫度檢測二極體4A。

【0052】

圖13A~13I係表示說明實施態樣2之半導體裝置的製造方法的製造步驟剖面圖。由於圖13A~13C與圖8A~8C相同，故說明省略。如圖13D所示的，在P型多晶矽PS上形成層間絕緣膜31a，並在其上形成在成為第2雜質濃度區域43b的區域具有開口部的光阻PR。將該光阻PR當作遮罩，注入硼，形成第2雜質濃度區域43b。

【0053】

之後，將光阻PR剝離(圖13E)。然後，如圖13F所示的，在層間絕緣膜31a上形成在成為N型多晶矽44的區域具有開口部的光阻PR，對P型多晶矽PS的一部分注入砷，以使其N型化。藉此，形成第2雜質濃度區域43b、第1雜質濃度區域43a、

N型多晶矽44依序並排的構造(圖13F)。然後，在將光阻PR剝離之後，形成層間絕緣膜31b。層間絕緣膜31a、31b成為層間絕緣膜31(圖13G)。

【0054】

在形成層間絕緣膜31b之後，使用圖中未顯示的光阻進行蝕刻，在第2雜質濃度區域43b與N型多晶矽44的分界形成接觸孔CT(圖13H)。另外，上述的步驟與圖7所示的雙向齊納二極體2、3的製造法步驟相同，僅形成的位置不同。然後，在濺鍍障壁金屬之後，在接觸孔CT內形成接觸金屬47(圖13I)。另外，與此同時亦形成陽極接觸部45、陰極接觸部46。

【0055】

像這樣，溫度檢測二極體4A，可用與雙向齊納二極體2、3的製造步驟相同的步驟形成。藉此，便可不增加製造步驟，而將溫度檢測二極體4A搭載於半導體裝置1。

【0056】

[實施態樣3]

參照圖14說明實施態樣3之半導體裝置。圖14係實施態樣3之半導體裝置所使用的溫度檢測二極體4B的構造的部分放大圖。如圖14所示的，在絕緣膜40上，P型多晶矽43、N型多晶矽44在橫方向上交替形成。P型多晶矽43、N型多晶矽44被層間絕緣膜31所覆蓋。

【0057】

在P型多晶矽43與N型多晶矽44的連接構造體之間，形成了接觸金屬47。實施態樣3，與實施態樣1、2不同，形成接觸金屬47與P型多晶矽43、N型多晶矽44高度大略相同，而被層間絕緣膜31所覆蓋的構造。

【0058】

像這樣，在接觸金屬47與形成了包含源極鋁配線11、源極鋁配線21等在內的配線層的膜層之間，配置層間絕緣膜31。藉此，便可在溫度檢測二極體4B的正上方形成配線層，並形成效率更佳的布局。

【0059】

圖15A~15I係表示說明實施態樣2之半導體裝置的製造方法的製造步驟剖面圖。由於圖15A~15D與圖8A~8D相同，故說明省略。在形成N型多晶矽44之後，將光阻PR剝離，形成用以形成接觸金屬47的光阻。將該光阻當作遮罩進行蝕刻，在P型多晶矽43與N型多晶矽44的連接構造體之間形成接觸孔CT。

【0060】

之後，在濺鍍障壁金屬之後，在接觸孔CT內形成接觸金屬47(圖15F)。然後，以覆蓋接觸金屬47的方式，形成層間絕緣膜31b。層間絕緣膜31a、31b成為層間絕緣膜31(圖15G)。在形成層間絕緣膜31b之後，使用圖中未顯示的光阻進行蝕刻，在成為陽極接觸部45、陰極接觸部46的位置形成接觸孔CT(圖15H)。然後，在濺鍍障壁金屬之後，在接觸孔CT內形成陽極接觸部45、陰極接觸部46(圖15I)。

【0061】

[實施態樣4]

參照圖16說明實施態樣4之半導體裝置。圖16係表示實施態樣4之半導體裝置1A的構造的電路圖。在實施態樣4中，與實施態樣1不同的點，為設置了保護二極體9此點。在實施態樣4中，與實施態樣1相同的構成要件會附上相同的符號，並省略說明。

【0062】

如圖16所示的，保護二極體9，與溫度檢測二極體4並聯，與溫度檢測二極體4相反方向連接。圖17係表示實施態樣4之半導體裝置1A的表面布局。在圖17中，將第1區域10與第2區域20的分界線以一點鏈線表示。如圖17所示的，在連

結源極端子S1與源極端子S2的直線和MOS1與MOS2的分界線的交點配置了陽極端子T1。在陽極端子T1之下，以陽極端子T1為中心配置了溫度檢測二極體4。

【0063】

另外，在連結閘極端子G1與閘極端子G2的直線和MOS1與MOS2的分界線的交點配置了陰極端子T2。在陰極端子T2之下配置了保護二極體9。圖18係圖17所示的半導體裝置的XVIII-XVIII線的剖面圖。由於圖18所示的剖面圖與圖3所示的剖面圖相同，故說明省略。

【0064】

圖19係圖17所示的半導體裝置的XIX-XIX線的剖面圖。如圖19所示的，在陰極端子T2之下配置了保護二極體9。保護二極體9隔著絕緣膜40形成在半導體基板5上。圖20表示保護二極體9的構造。圖20係從頂面觀察保護二極體9的圖式。如圖20所示的，保護二極體9具有：N型多晶矽91、P型多晶矽92、接觸部93、接觸部94。

【0065】

以包圍N型多晶矽91的外周圍的方式設置了P型多晶矽92。N型多晶矽91、P型多晶矽92以陰極端子T2的形成位置為中心配置成同心狀。在N型多晶矽91設置了接觸部93。N型多晶矽91透過接觸部93與陰極配線42連接。

【0066】

如圖19所示的，P型多晶矽92透過接觸部94與陽極配線41連接。保護二極體9可與雙向齊納二極體2、3等構件在相同的步驟同時形成。另外，在閘極端子G1、G2之下分別設置了雙向齊納二極體2、3。該構造與在實施態樣1中所說明的構造相同。

【0067】

如上所述的，在實施態樣4中，與溫度檢測二極體4並聯朝相反方向設置了保護二極體9。因此，即使在對溫度檢測二極體4朝相反方向施加了ESD等的衝擊的情況下，也能夠以保護二極體9吸收衝擊，進而防止溫度檢測二極體4的故障。另外，實施態樣4，係在溫度檢測二極體4的陰極端子T2的下部，以陰極端子T2的形成位置為中心將保護二極體9形成同心狀。如是，便可利用搭載溫度檢測二極體4所必要的區域，以晶片尺寸不會隨著加大的方式搭載保護二極體9。藉此，便可抑制成本增加。

【0068】

[實施態樣5]

參照圖21說明實施態樣5的半導體裝置。圖21係表示實施態樣5之半導體裝置1B的構造的電路圖。在實施態樣5中，與實施態樣4不同的點，為更追加了2個源極端子此點。在實施態樣5中，與上述實施態樣相同的構成要件會附上相同的符號，並省略說明。

【0069】

如圖21所示的，MOS1的源極，除了源極端子S1之外，更與源極端子S3連接。另外，MOS2的源極，除了源極端子S2之外，更與源極端子S4連接。實施態樣5，與實施態樣4同樣，保護二極體9與溫度檢測二極體4並聯且與溫度檢測二極體4相反方向連接。

【0070】

圖22表示實施態樣4之半導體裝置1B的表面布局。如圖22所示的，在實施態樣5中，設置了源極端子S1、S2、S3、S4、閘極端子G1、G2、陽極端子T1、陰極端子T2等8個端子。在圖22中，第1區域10與第2區域20的分界線以一點鏈線表示。源極端子S1與源極端子S2，以夾著第1區域10、第2區域20的分界線而互相對向的方式配置。源極端子S3與源極端子S4，以夾著第1區域10、第2區域20的

分界線而互相對向的方式配置。閘極端子G1與閘極端子G2，以夾著第1區域10、第2區域20的分界線而互相對向的方式配置。

【0071】

在第1區域10中，閘極端子G1配置在源極端子S1與源極端子S3之間。閘極端子G1與源極端子S1的距離和閘極端子G1與源極端子S3的距離大略相等。在第2區域20中，閘極端子G2配置在源極端子S2與源極端子S4之間。閘極端子G2與源極端子S2的距離和閘極端子G2與源極端子S4的距離大略相等。藉由使端子的間距均等，便可防止在將焊料以熱熔化連接時位置產生偏差。

【0072】

在連結源極端子S1與源極端子S2的直線和MOS1與MOS2的分界線的交點配置了陽極端子T1。在陽極端子T1之下，以陽極端子T1為中心配置了溫度檢測二極體4。另外，在連結源極端子S3與源極端子S4的直線和MOS1與MOS2的分界線的交點配置了陰極端子T2。在陰極端子T2之下配置了保護二極體9。

【0073】

圖23係圖22所示之半導體裝置的XXIII-XXIII線的剖面圖。由於圖23所示的剖面圖與圖3所示的剖面圖相同，故說明省略。圖24係圖22所示之半導體裝置的XXIV-XXIV線的剖面圖。實施態樣5在閘極端子G1、G2之間並未設置端子。在閘極端子G1、G2之下分別設置了雙向齊納二極體2、3。該構造與在實施態樣1中所說明的構造相同。

【0074】

圖25係圖22所示之半導體裝置的XXV-XXV線的剖面圖。如圖25所示的，在陰極端子T2之下配置了保護二極體9。保護二極體9隔著絕緣膜40形成在半導體基板5上。保護二極體9的構造可使用與圖20所示的構造相同的構造。

【0075】

實施態樣5，在MOS1、MOS2分別設置複數個源極端子，使有效單元面積擴大。藉此，便可實現低導通電阻。另外，由於內建了溫度檢測二極體4、保護二極體9，故可獲得與上述同樣的功效。

【0076】

[實施態樣6]

參照圖26說明實施態樣6之半導體裝置。圖26係表示實施態樣6之半導體裝置1C的表面布局圖。在實施態樣6中，與實施態樣5不同的點，係溫度檢測二極體4在陽極端子T1、陰極端子T2的下部分散形成此點。在實施態樣6中，與上述的實施態樣相同的構成要件會附上相同的符號，並省略說明。在圖26中，第1區域10與第2區域20的分界線以一點鏈線表示。

【0077】

如圖26所示的，在實施態樣6中，設置了源極端子S1、S2、S3、S4、閘極端子G1、G2、陽極端子T1、陰極端子T2等8個端子。該等端子的配置與圖22所示的實施態樣5相同。

【0078】

在連結源極端子S1與源極端子S2的直線和MOS1與MOS2的分界線的交點配置了陽極端子T1。在陽極端子T1之下，以陽極端子T1為中心配置了溫度檢測二極體4的一部分，亦即溫度檢測二極體4a。另外，在連結源極端子S3與源極端子S4的直線和MOS1與MOS2的分界線的交點配置了陰極端子T2。在陰極端子T2之下，配置了溫度檢測二極體4的另一部分，亦即溫度檢測二極體4b，與實施態樣5不同的是並未配置保護二極體9。

【0079】

圖27係圖26所示之半導體裝置的XXVII-XXVII線的剖面圖。圖27所示之剖面圖與圖3所示之剖面圖大略相同。實施態樣1在陽極端子T1之下配置了4段二極體，相對於此，實施態樣6配置了由2段二極體所構成的溫度檢測二極體4a。

【0080】

圖28係圖26所示之半導體裝置的XXVIII-XXVIII線的剖面圖。實施態樣6在閘極端子G1、G2之間並未設置端子。在閘極端子G1、G2之下，分別設置了雙向齊納二極體2、3。該構造與在實施態樣1中所說明的構造相同。

【0081】

圖29係圖26所示之半導體裝置的XXIX-XXIX線的剖面圖。如圖29所示的，在陰極端子T2之下，配置了由2段二極體所構成的溫度檢測二極體4b。實施態樣6，在陽極端子T1與陰極端子T2的下部分別配置各2段二極體，該等4段二極體構成溫度檢測二極體4。像這樣，藉由將溫度檢測二極體4分散形成在陽極端子T1的下部與陰極端子T2的下部，便可使面積縮小。

【0082】

[實施態樣7]

參照圖30說明實施態樣7之半導體裝置。圖30係表示實施態樣7之半導體裝置1D的表面布局圖。在圖30中，第1區域10與第2區域20的分界線以一點鏈線表示。如圖30所示的，源極端子S1與閘極端子G2，以夾著第1區域10與第2區域20的分界線互相對向的方式配置。另外，閘極端子G1與源極端子S2，以夾著第1區域10與第2區域20的分界線互相對向的方式配置。亦即，源極端子S1與源極端子S2以對角的方式配置，閘極端子G1與閘極端子G2以對角的方式配置。

【0083】

在本實施態樣中，陽極端子T1對應第2端子，陰極端子T2對應第1端子。陽極端子T1與陰極端子T2，以夾著第1區域10與第2區域20的分界線互相對向的方

式配置。亦即，陽極端子T1與陰極端子T2的並排方向，係相對於源極端子S1與閘極端子G1的並排方向以及源極端子S2與閘極端子G2的並排方向(Y方向)大略垂直的X方向。

【0084】

在第1區域10上，陰極端子T2配置在源極端子S1與閘極端子G1之間。在第2區域20上，陽極端子T1配置在源極端子S2與閘極端子G2之間。溫度檢測二極體4，在第1區域10與第2區域20之間，形成在連結源極端子S1與源極端子S2的直線上。另外，溫度檢測二極體4的構造與圖5所示者相同。

【0085】

具有本構造的半導體裝置1D，從源極端子S1經由背面的汲極電極8朝源極端子S2的方向形成電流路徑。溫度檢測二極體4配置在最多電流流過的通過源極端子S1與源極端子S2的直線上。藉此，便可更正確地檢測出異常電流流過時的溫度上升。

【0086】**[實施態樣8]**

參照圖31說明實施態樣8的半導體裝置。圖31係表示實施態樣8之半導體裝置1E的表面布局圖。在圖31中，將第1區域10與第2區域20的分界線以一點鏈線表示。如圖31所示的，在實施態樣8中，設置了源極端子S1、S2、S3、S4、閘極端子G1、G2、陽極端子T1、陰極端子T2等8個端子。在本實施態樣中，陽極端子T1對應第2端子，陰極端子T2對應第1端子。

【0087】

在第1區域10中，源極端子S1、陰極端子T2、源極端子S3、閘極端子G1依照該順序以大略等間隔並排的方式配置。在第2區域20中，源極端子S2、陽極端子T1、源極端子S4、閘極端子G2依照該順序以大略等間隔並排的方式配置。源

極端子S1與源極端子S2，陰極端子T2與陽極端子T1，源極端子S3與源極端子S4，閘極端子G1與閘極端子G2分別以夾住第1區域10與第2區域20的分界互相對向的方式配置。

【0088】

陽極端子T1與陰極端子T2的並排方向，係相對於源極端子S1與閘極端子G1的並排方向以及源極端子S2與閘極端子G2的並排方向大略垂直的方向。溫度檢測二極體4配置在連結源極端子S1與源極端子S4的直線和連結源極端子S3與源極端子S2的直線的交點之下。另外，溫度檢測二極體4的構造與圖5所示者相同。在本實施態樣中，溫度檢測二極體4亦配置在最多電流流過的源極端子之間。藉此，便可更正確地檢測出異常電流流過時的溫度上升。

【0089】

以上，係根據實施態樣具體說明本發明人的發明，惟本發明並非限定於上述的實施態樣，在不超出其主旨的範圍內可存在各種變化，自不待言。例如，在上述的說明中，係表示源極配線或閘極配線等的配線材料使用鋁的實施例的說明，惟配線材料不限於鋁，亦可為銅等的其他材料，或是含有該等材料的合金。

【0090】

上述的實施態樣的一部分或全部，亦可記載成如以下的附註那樣，惟並不限於以下內容。

【0091】

(附註1)

一種半導體裝置，包含：

晶片，其具有形成於第1區域的第1MOSFET以及形成於第2區域的第2MOSF

ET；

該第1MOSFET以及第2MOSFET共用的汲極電極，其形成於該晶片的背面；

該第1MOSFET的第1源極端子、第1閘極端子，其在該第1區域中形成於該晶片的表面；

該第2MOSFET的第2源極端子、第2閘極端子，其在該第2區域中形成於該晶片的表面，以和該第1源極端子與該第1閘極端子的並排方向大略平行並排的方式配置；

溫度檢測二極體，其形成於該第1源極端子與該第2源極端子之間，且並未與該第1MOSFET以及該第2MOSFET電連接；以及

該溫度檢測二極體的第1端子、該第2端子，其以在和該第1源極端子與第1閘極端子的並排方向以及該第2源極端子與該第2閘極端子的並排方向大略平行的第1方向上並排的方式配置。

【0092】

(附註2)

如附註1所記載的半導體裝置，其中，

該第1源極端子與該第2源極端子，以夾著該第1區域與該第2區域的分界互相對向的方式配置，

該第1閘極端子與該第2閘極端子，以夾著該第1區域與該第2區域的分界互相對向的方式配置，

在該第1源極端子與該第2源極端子之間形成該第1端子，

在該第1閘極端子與該第2閘極端子之間形成該第2端子，

在該第1端子的下部設置了該溫度檢測二極體。

【0093】

(附註3)

一種半導體裝置，包含：

第 25 頁，共 29 頁(發明說明書)

晶片，其具有形成於第1區域的第1MOSFET以及形成於第2區域的第2MOSFET；

該第1MOSFET以及第2MOSFET共用的汲極電極，其形成於該晶片的背面；

該第1MOSFET的第1源極端子以及第1閘極端子，其在該第1區域中形成於該晶片的表面；

該第2MOSFET的第2源極端子、第2閘極端子，其在該第2區域中形成於該晶片的表面，以和該第1源極端子與該第1閘極端子的並排方向大略平行並排的方式配置；

溫度檢測二極體，其形成於該第1源極端子與該第2源極端子之間，且並未與該第1MOSFET以及該第2MOSFET電連接；以及

該溫度檢測二極體的第1端子以及第2端子，其以相對於該第1源極端子與第1閘極端子的並排方向以及該第2源極端子與該第2閘極端子的並排方向大略垂直並排的方式配置；

該第1端子，以在該第1區域上被該第1源極端子與該第1閘極端子夾住的方式配置，

該第2端子，以在該第2區域上被該第2源極端子與該第2閘極端子夾住的方式配置。

【0094】

(附註4)

如附註3所記載的半導體裝置，其中，

該第1源極端子與該第2閘極端子，以夾著該第1區域與該第2區域的分界互相對向的方式配置，

該第1閘極端子與該第2源極端子，以夾著該第1區域與該第2區域的分界互相對向的方式配置，

該溫度檢測二極體配置在第1區域與該第2區域之間。

【符號說明】

【0095】

- 1、1A~1E 半導體裝置
- 2 雙向齊納二極體
- 3 雙向齊納二極體
- 4、4a、4b、4A、4B 溫度檢測二極體
- 5 半導體基板
- 6 基底區域
- 7 閘極溝渠
- 8 汲極電極
- 9 保護二極體
- 10 第1區域
- 11 源極鋁配線
- 12 閘極鋁配線
- 13 引出線
- 20 第2區域
- 21 源極鋁配線
- 22 閘極鋁配線
- 23 引出線
- 25 P型多晶矽
- 26 N型多晶矽
- 27 接觸部

- 28 接觸部
- 30 分離配線
- 31、31a、31b 層間絕緣膜
- 32 接觸部
- 33 保護絕緣膜
- 40 層間絕緣膜
- 41 陽極配線
- 42 陰極配線
- 43 P型多晶矽
- 43a 第1雜質濃度區域
- 43b 第2雜質濃度區域
- 44 N型多晶矽
- 45 陽極接觸部
- 46 陰極接觸部
- 47 接觸金屬
- 91 N型多晶矽
- 92 P型多晶矽
- 93 接觸部
- 94 接觸部
- 100 電池保護電路
- 101 控制IC
- 102 電流檢測電阻
- 103 定電流源
- 104 墊片

| | |
|------|-----------|
| 105 | 墊片 |
| 106 | 基板 |
| MOS1 | N通道MOSFET |
| MOS2 | N通道MOSFET |
| T1 | 陽極端子 |
| T2 | 陰極端子 |
| G1 | 閘極端子 |
| G2 | 閘極端子 |
| S1 | 源極端子 |
| S2 | 源極端子 |
| S3 | 源極端子 |
| S4 | 源極端子 |
| S | 多晶矽 |
| PS | P型多晶矽 |
| PR | 光阻 |
| CT | 接觸孔 |

III-III、IV-IV、XVIII-XVIII、XIX-XIX、XXIII-XXIII、XXIV-XXIV、
XXV-XXV、XXVII-XXVII、XXVIII-XXVIII、XXIX-XXIX 剖面線

X、Y 軸



【發明摘要】

【中文發明名稱】

半導體裝置及其製造方法

【英文發明名稱】

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

【中文】

本發明提供一種能夠以不會對MOSFET的動作造成影響的方式進行溫度檢測的半導體裝置。

本發明之實施態樣的半導體裝置，在晶片的第1區域形成第1MOSFET，在第2區域形成第2MOSFET。在第1區域中於晶片的表面上，形成了第1源極端子以及第1閘極端子。在第2區域中於晶片的表面上，形成了以和第1源極端子與第1閘極端子的並排方向大略平行並排的方式配置的第2源極端子、第2閘極端子。在第1源極端子與第2源極端子之間，設置了並未與第1MOSFET以及第2MOSFET電連接的溫度檢測二極體。第1端子與第2端子的並排方向，係和第1源極端子與第1閘極端子的並排方向以及第2源極端子與第2閘極端子的並排方向大略平行的第1方向。

【英文】

A first MOSFET is formed in a first region of a chip, and a second MOSFET is formed in a second region thereof.

A first source terminal and a first gate terminal are formed in the first region. In the second region, a second source terminal and a second gate terminal are arranged so as

to be aligned substantially parallel to a direction in which the first source terminal and the first gate terminal are aligned. A temperature detection diode is arranged between the first source terminal and the second source terminal. A first terminal and a second terminal of the temperature detection diode are aligned in a first direction substantially parallel to a direction in which the first source terminal and the first gate terminal are aligned or in a second direction substantially perpendicular thereto.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

- 1 半導體裝置
- 2 雙向齊納二極體
- 3 雙向齊納二極體
- 4 溫度檢測二極體

MOS1 N通道MOSFET

MOS2 N通道MOSFET

T1 陽極端子

T2 陰極端子

G1 閘極端子

G2 閘極端子

S1 源極端子

S2 源極端子

【特徵化學式】

無

【發明圖式】

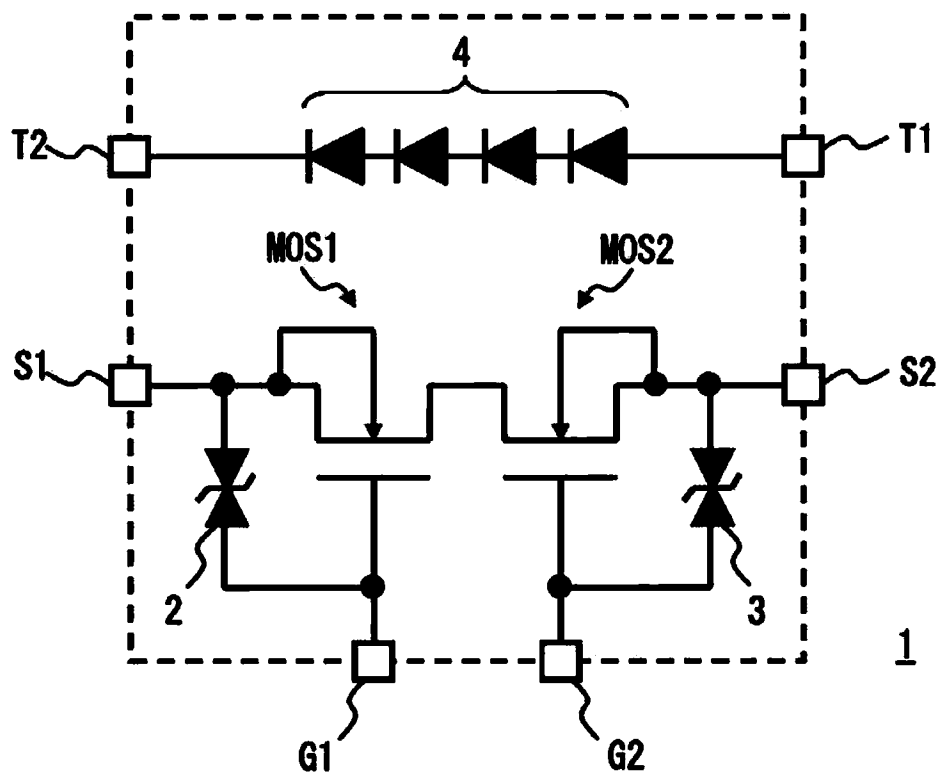


圖 1

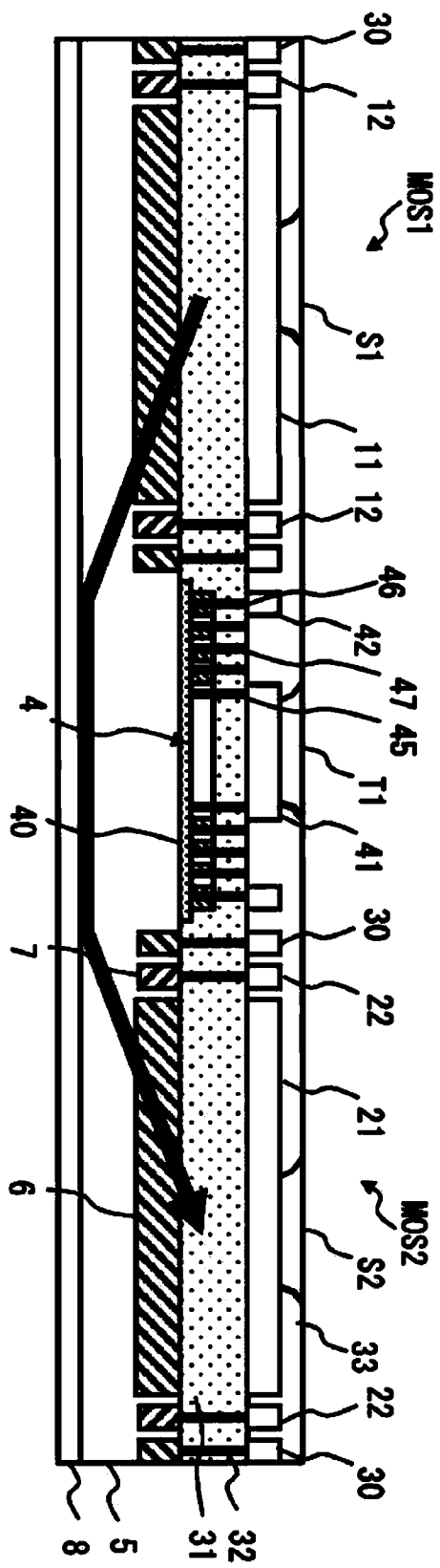


圖 3

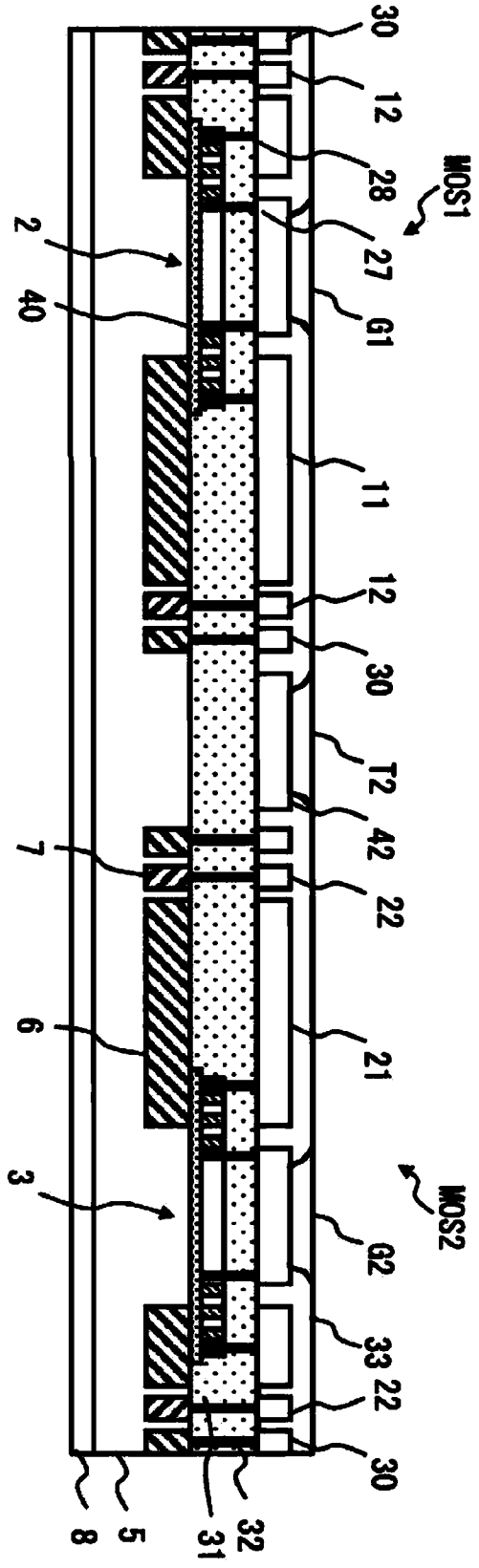


圖 4

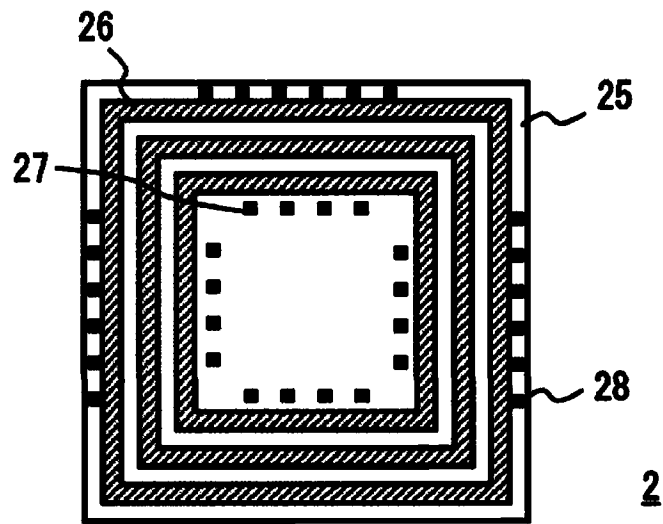


圖 7

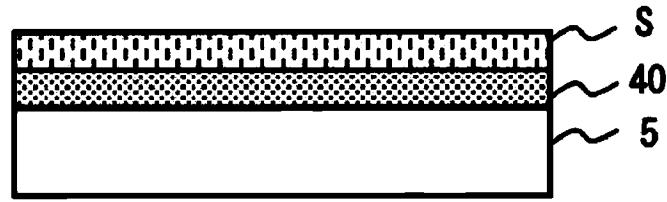


圖 8A

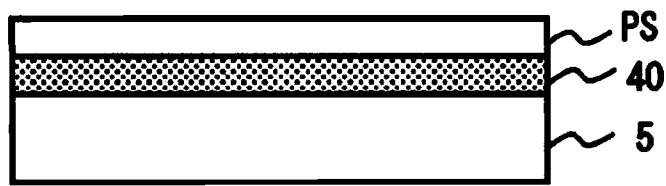


圖 8B

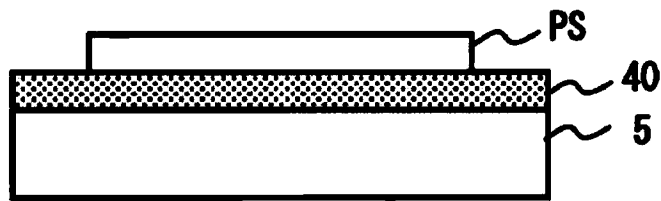


圖 8C

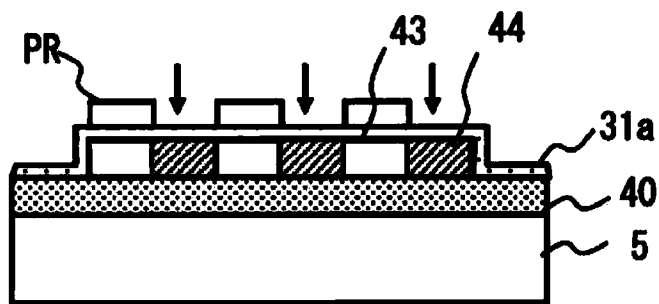


圖 8D

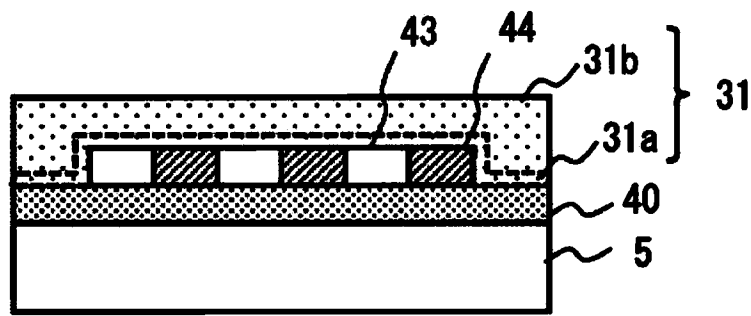


圖 8E

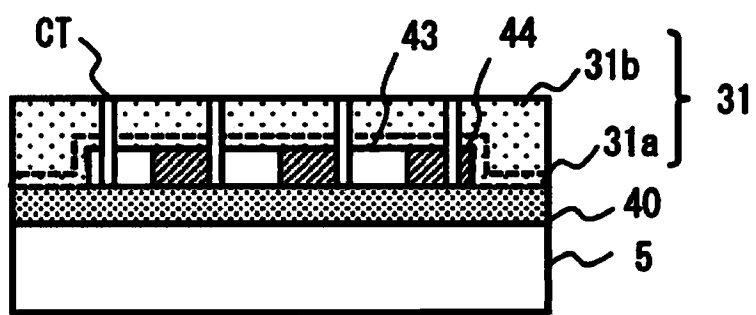


圖 8F

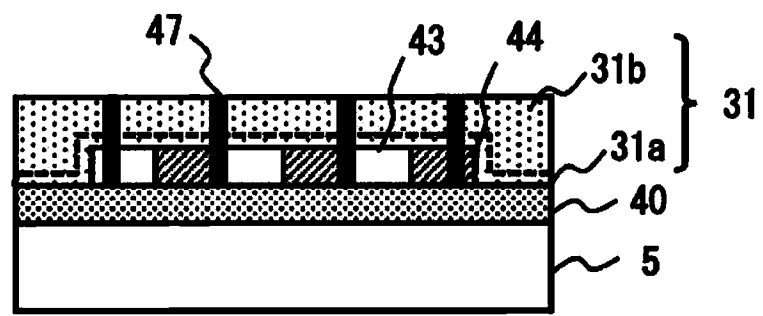


圖 8G

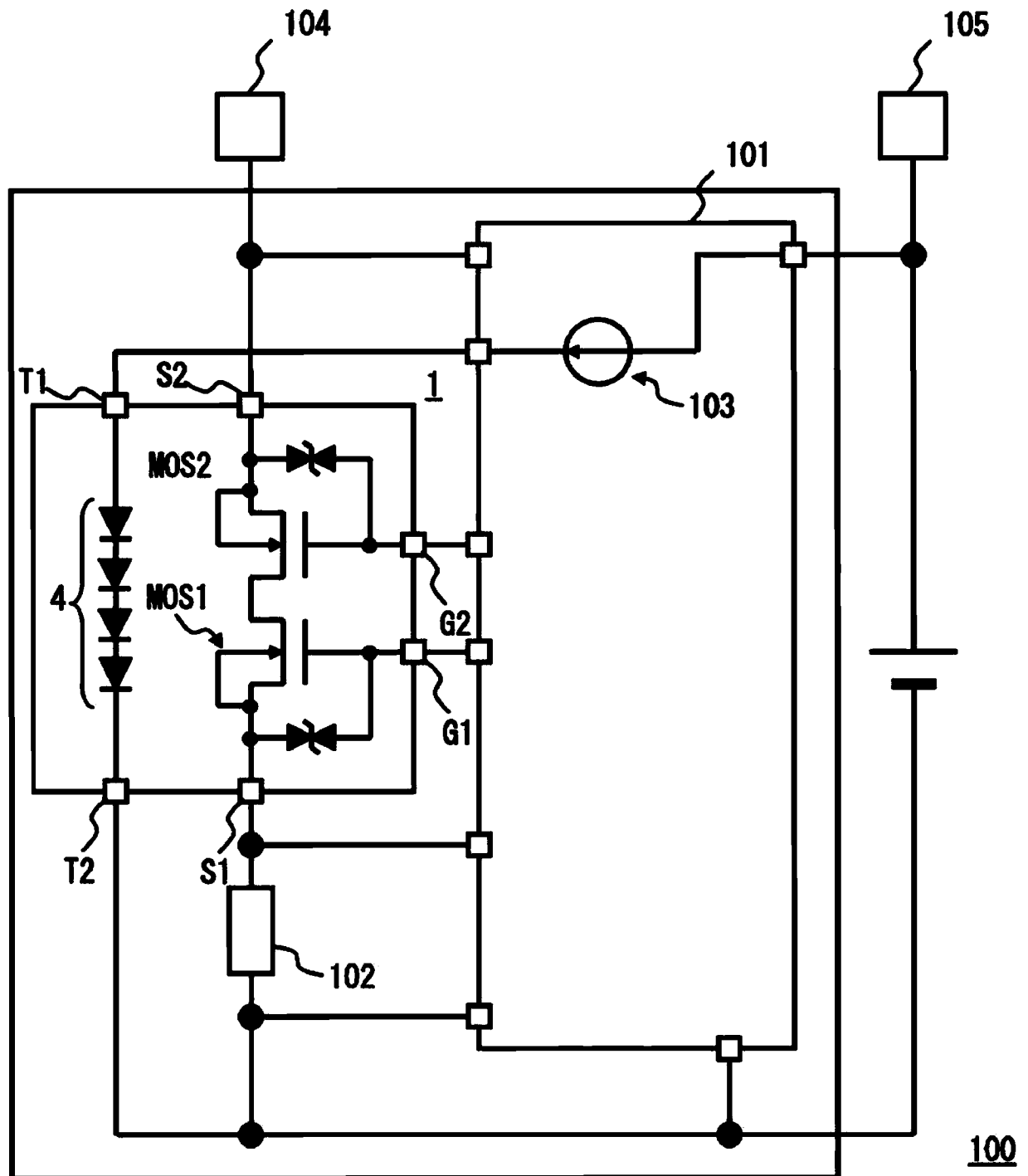


圖 9

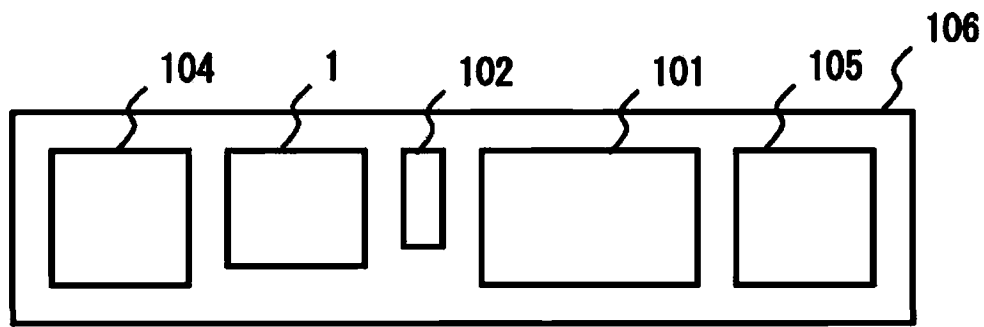


圖 10

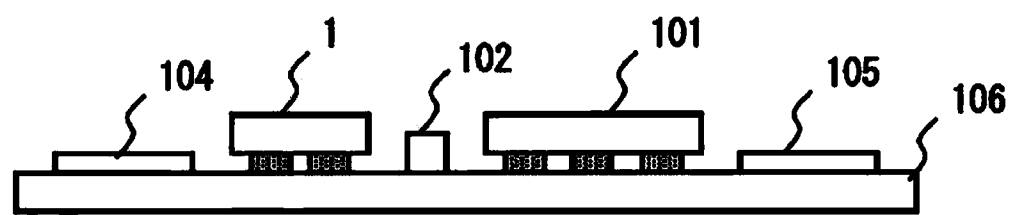


圖 11

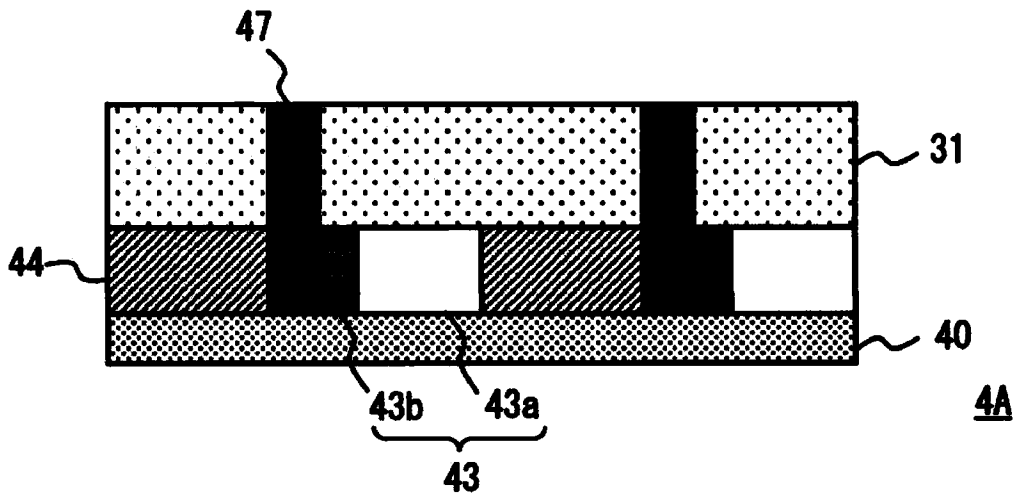


圖 12

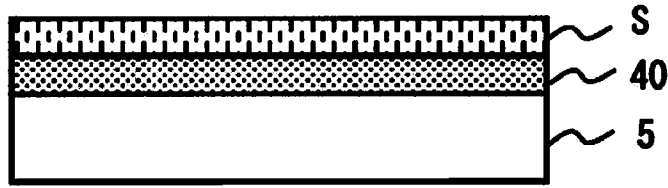


圖 13A

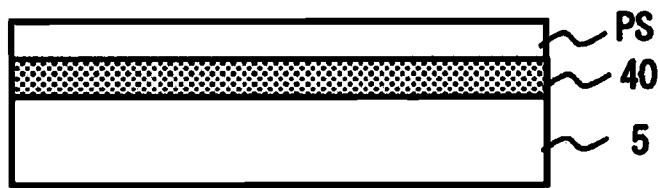


圖 13B

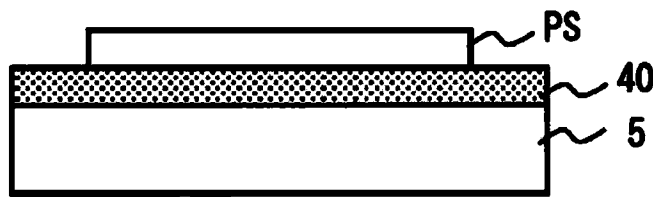


圖 13C

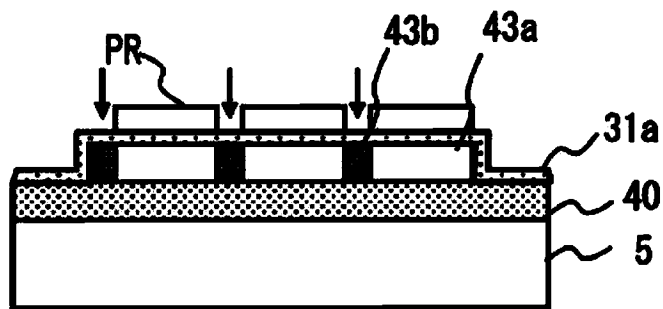
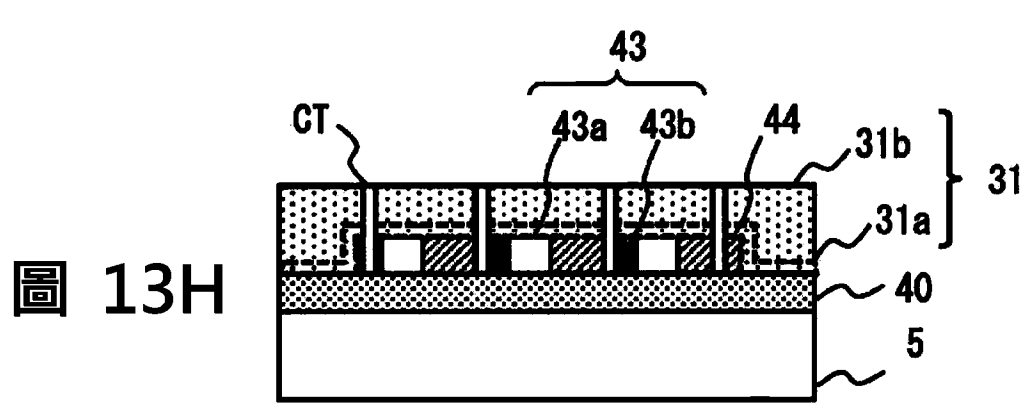
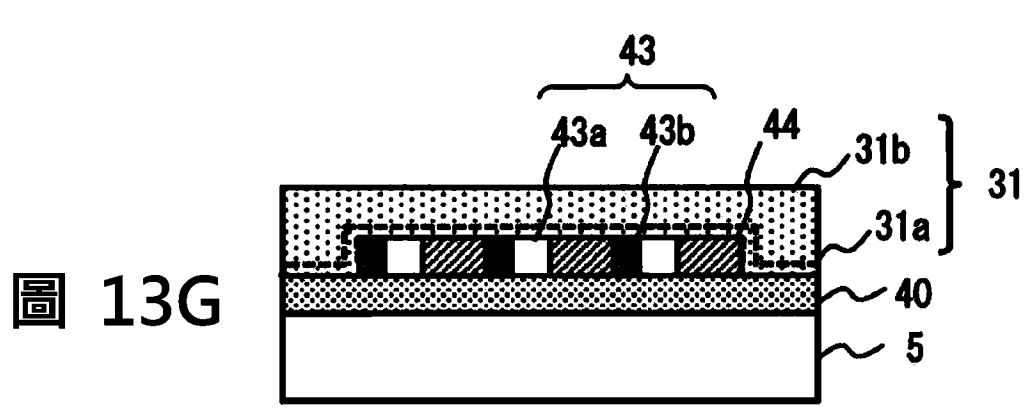
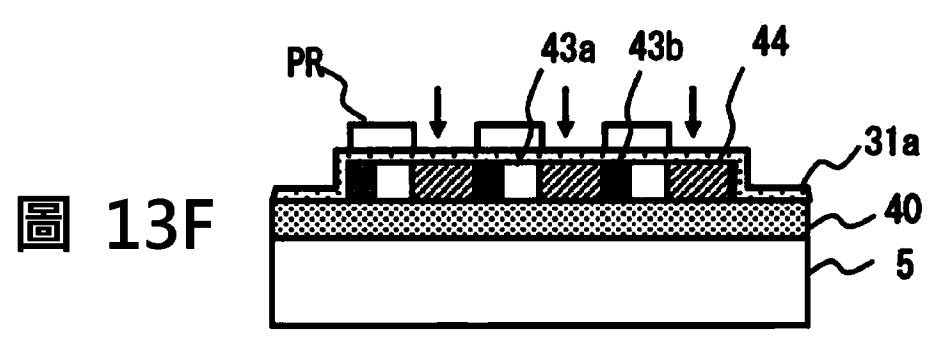
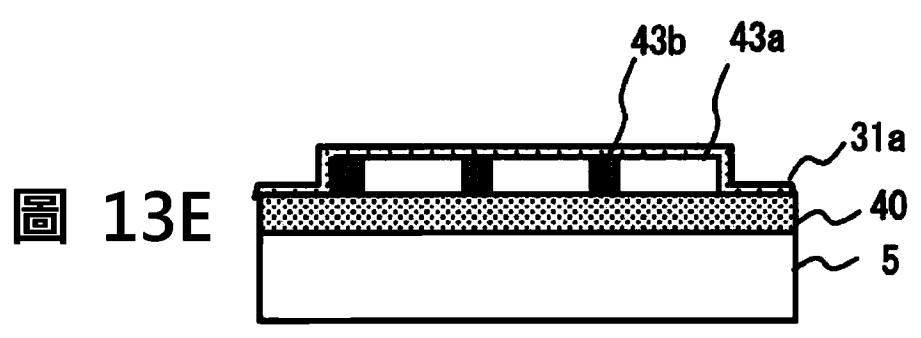


圖 13D



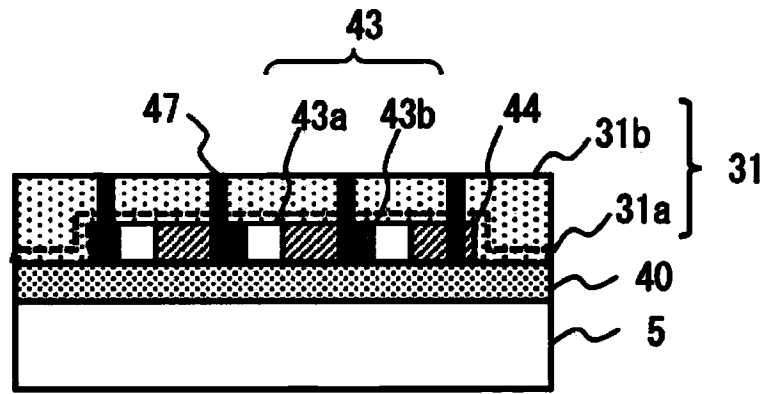


圖 13I

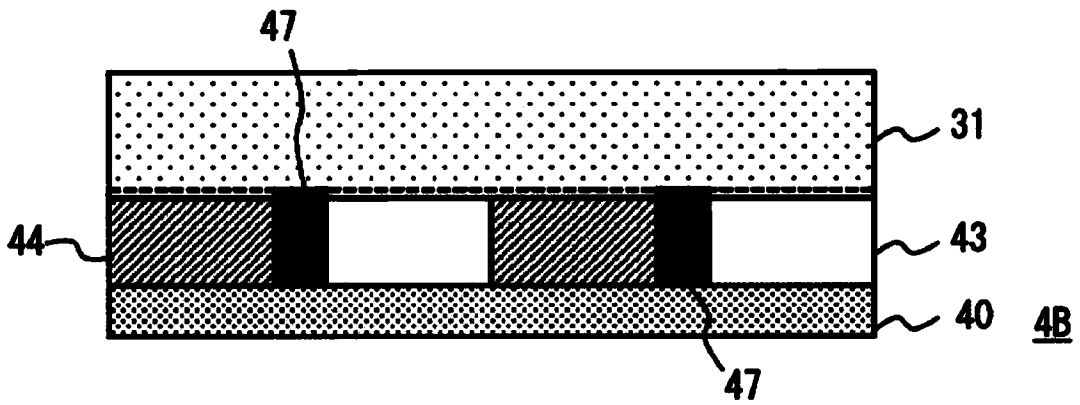


圖 14

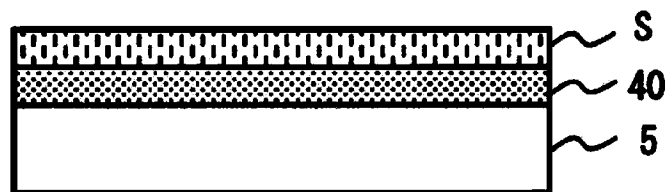
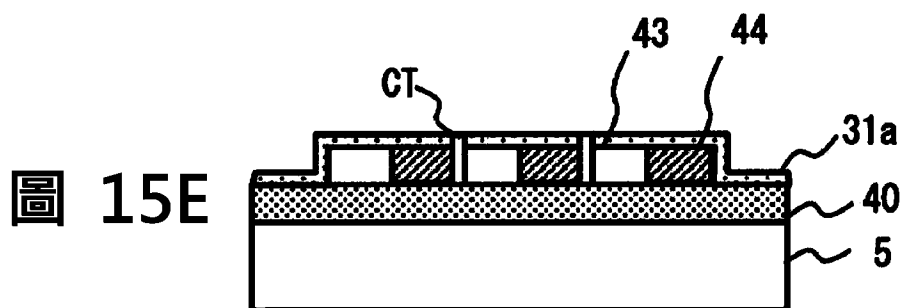
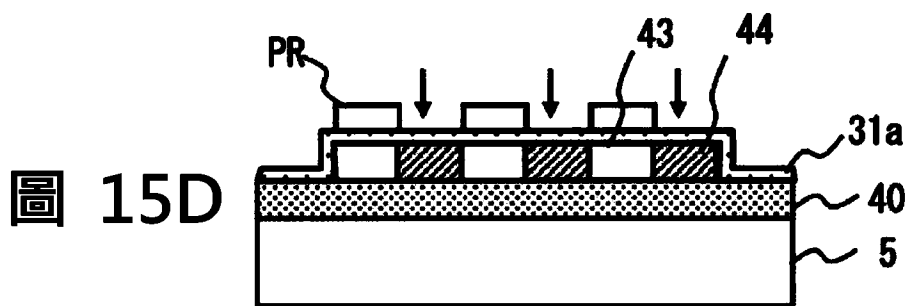
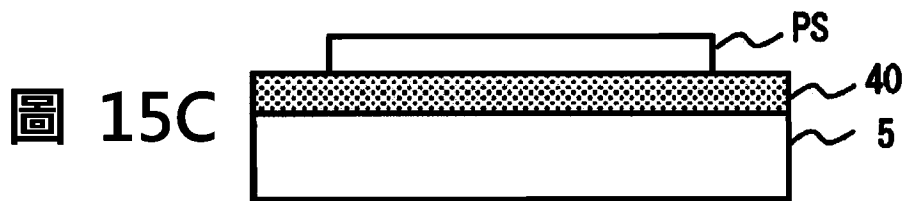
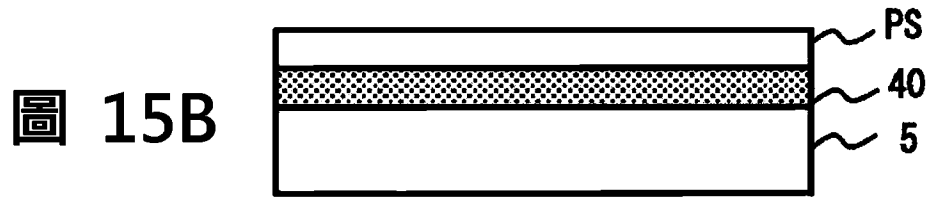


圖 15A



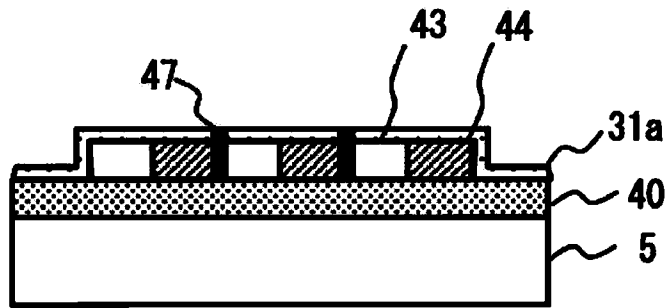


圖 15F

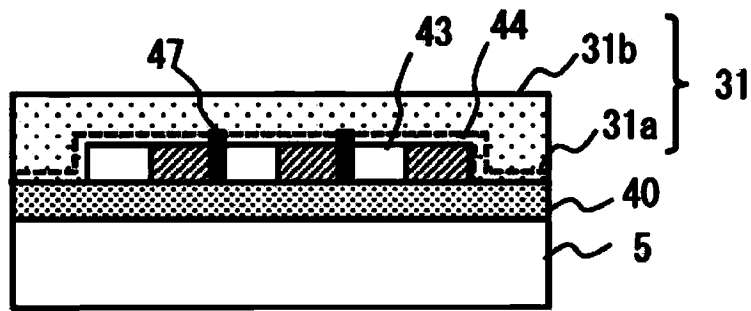


圖 15G

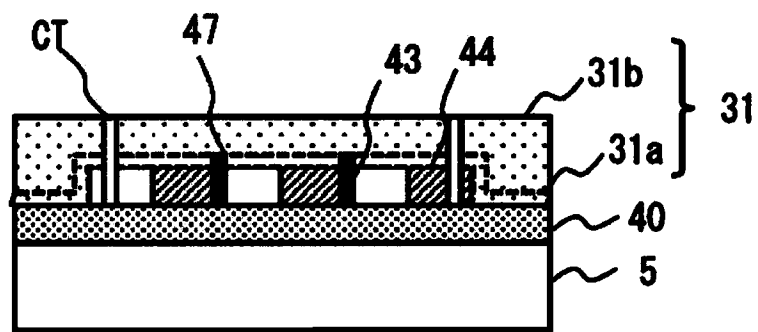


圖 15H

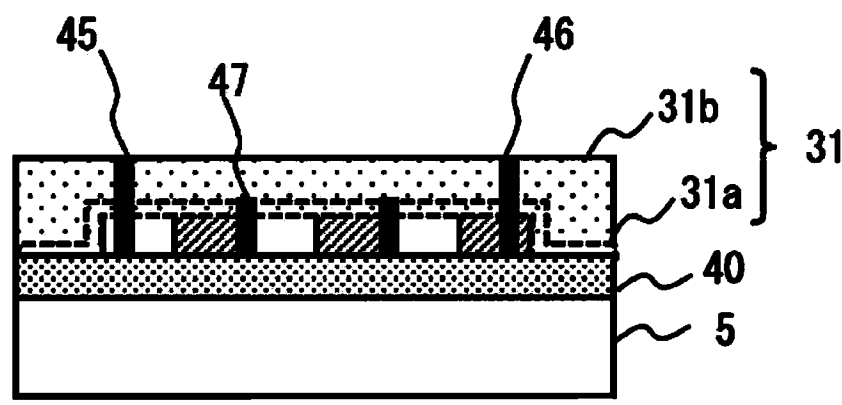


圖 15I

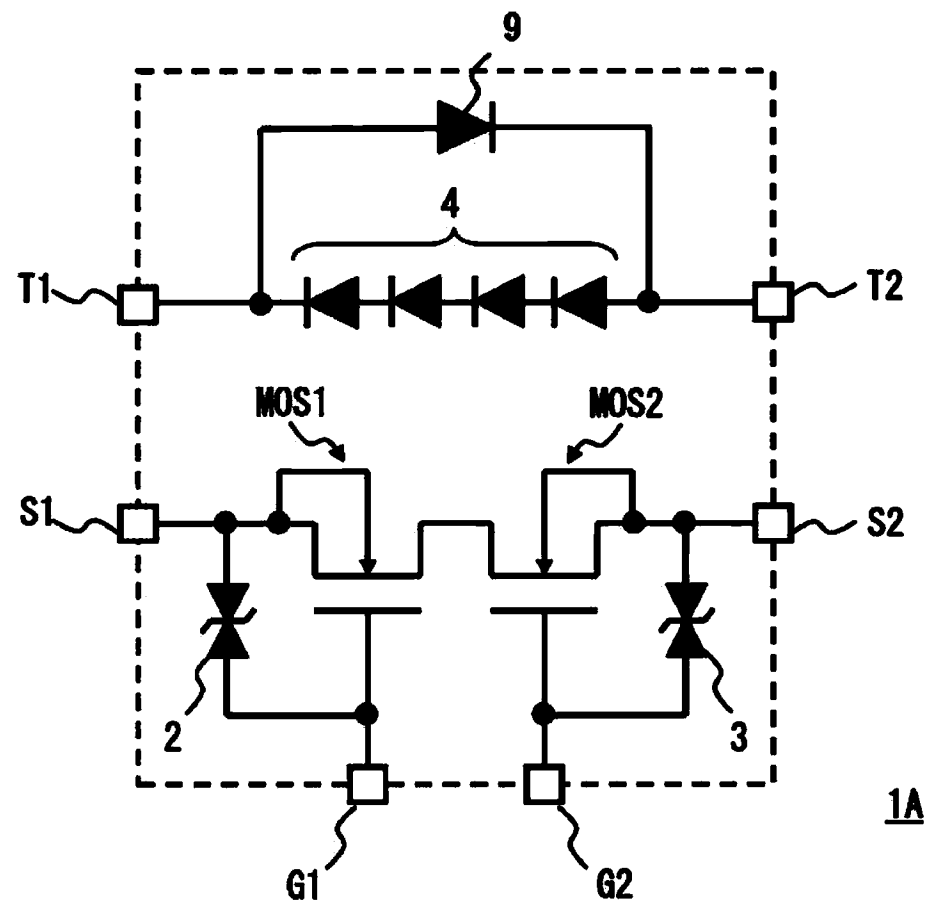


圖 16

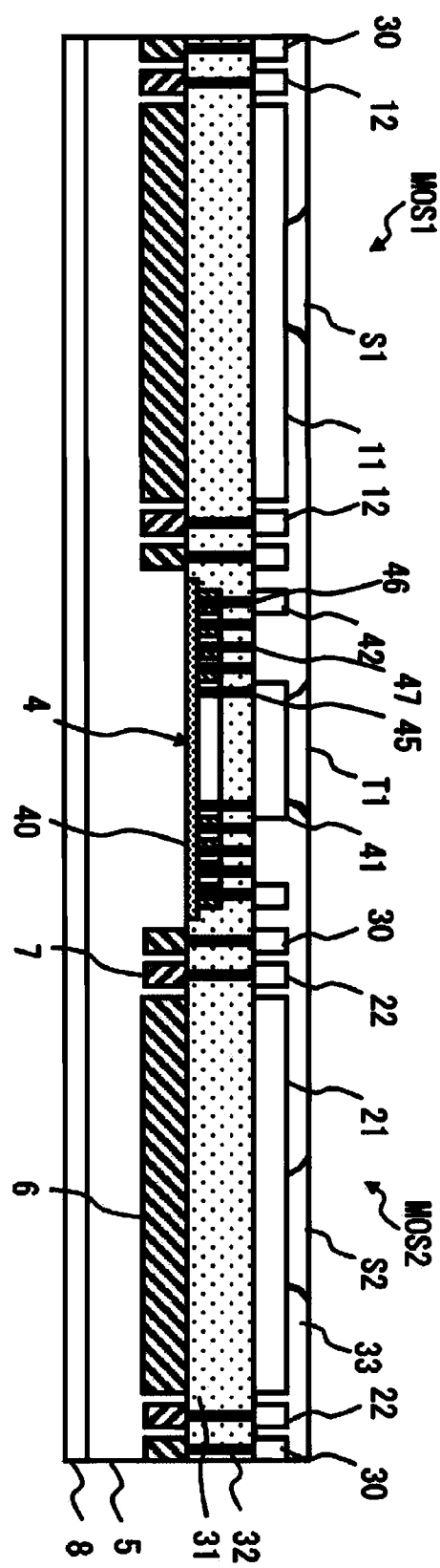


圖 18

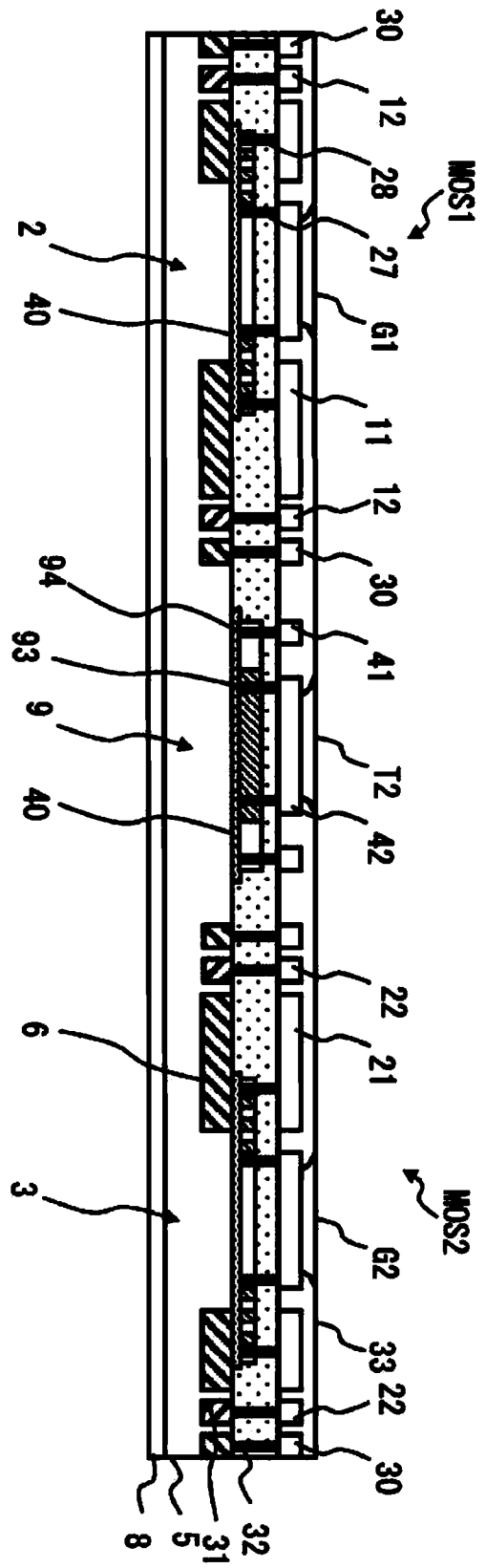


圖 19

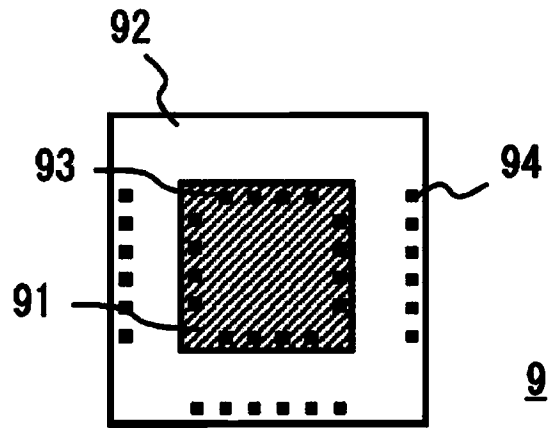


圖 20

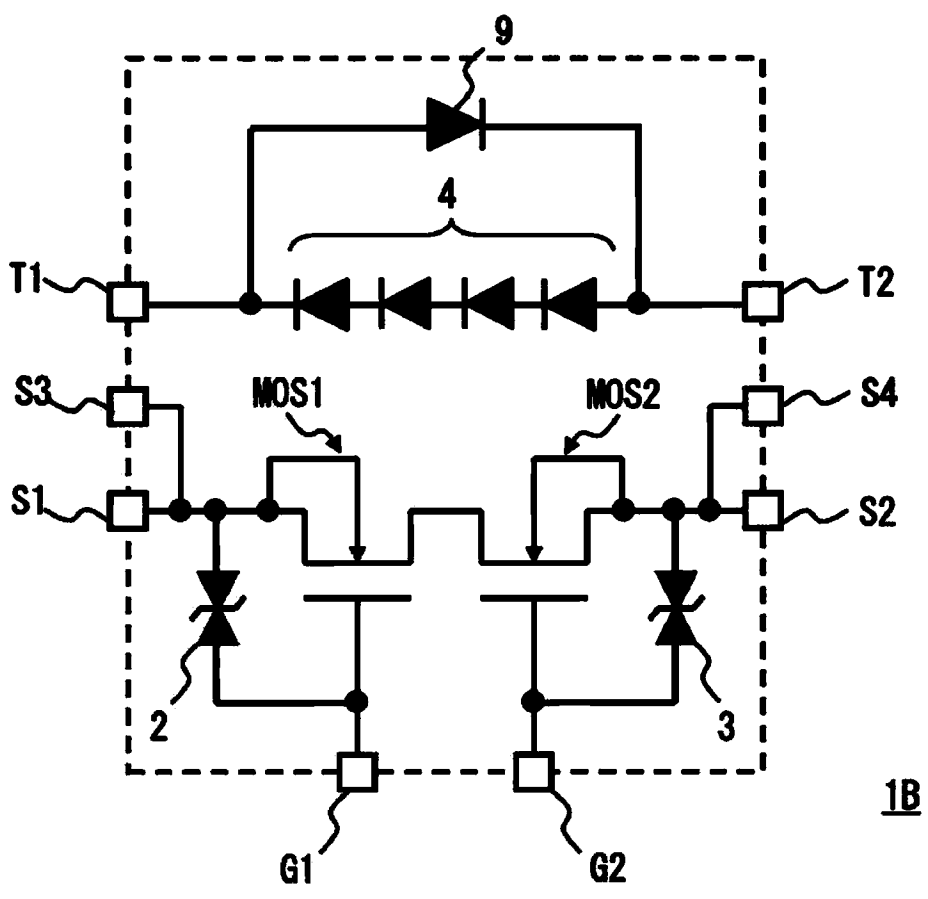


圖 21

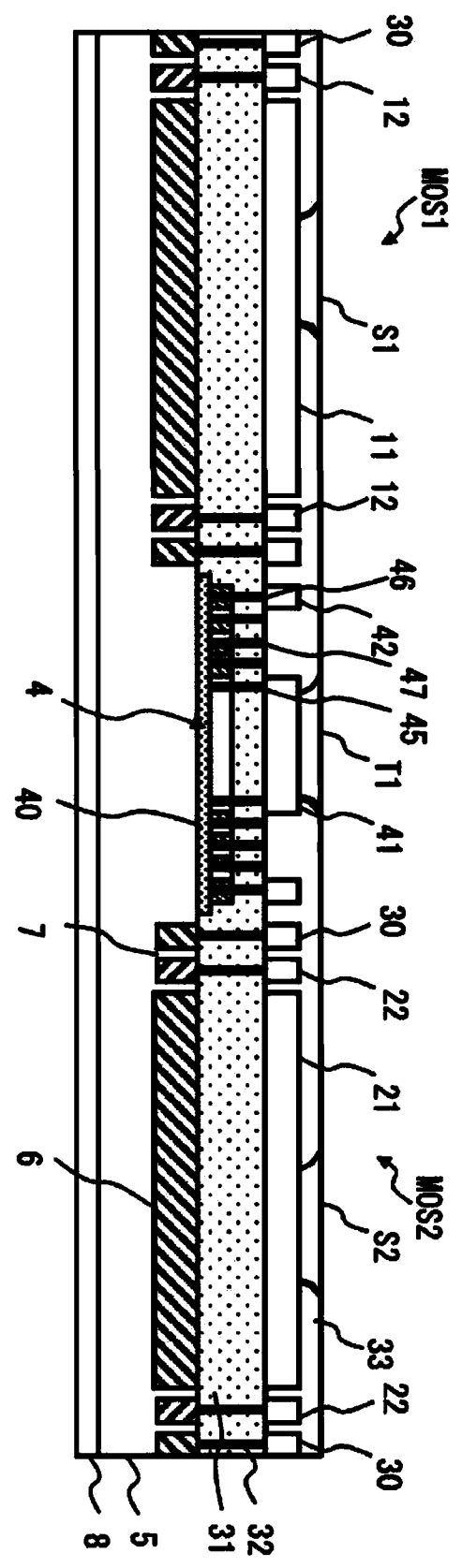


圖 23

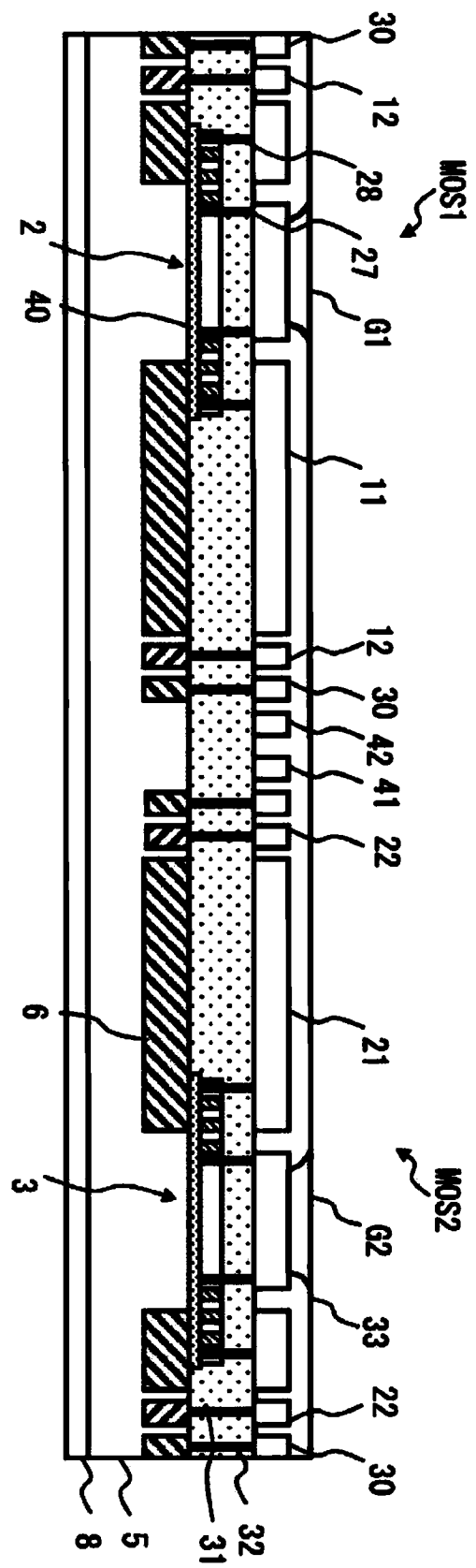


圖 24

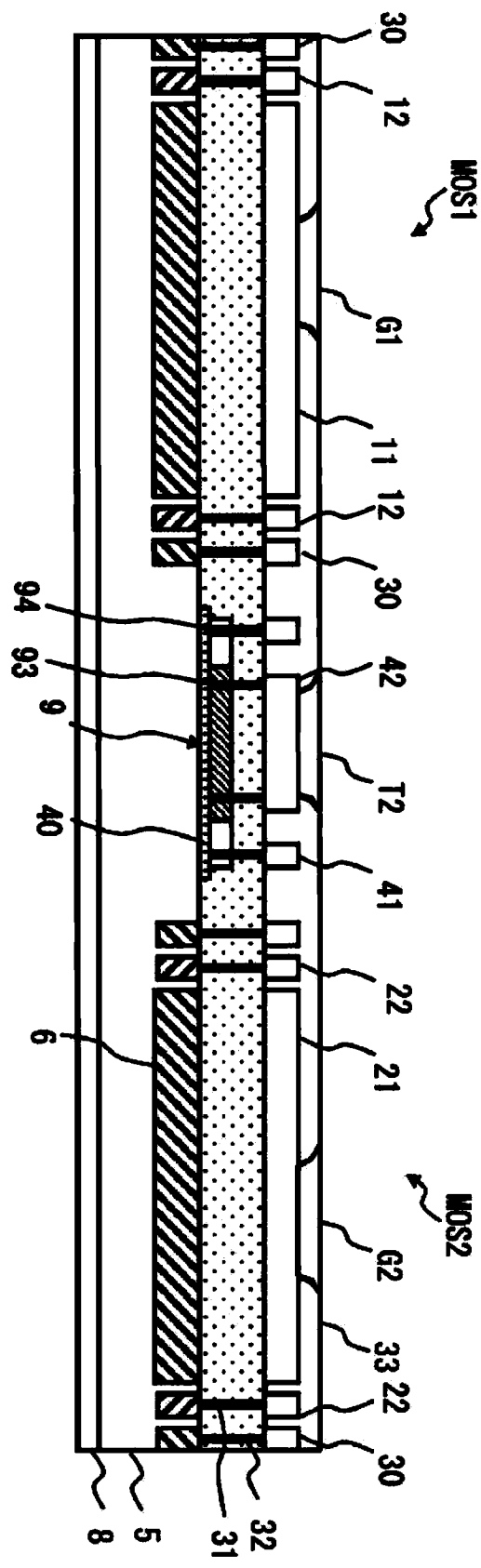


圖 25

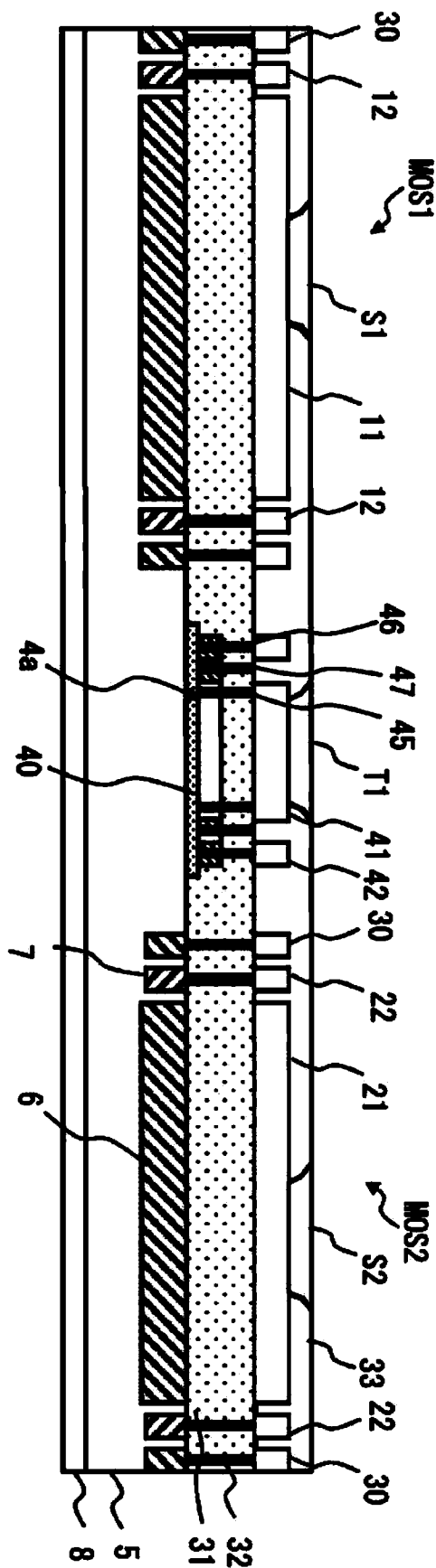


圖 27

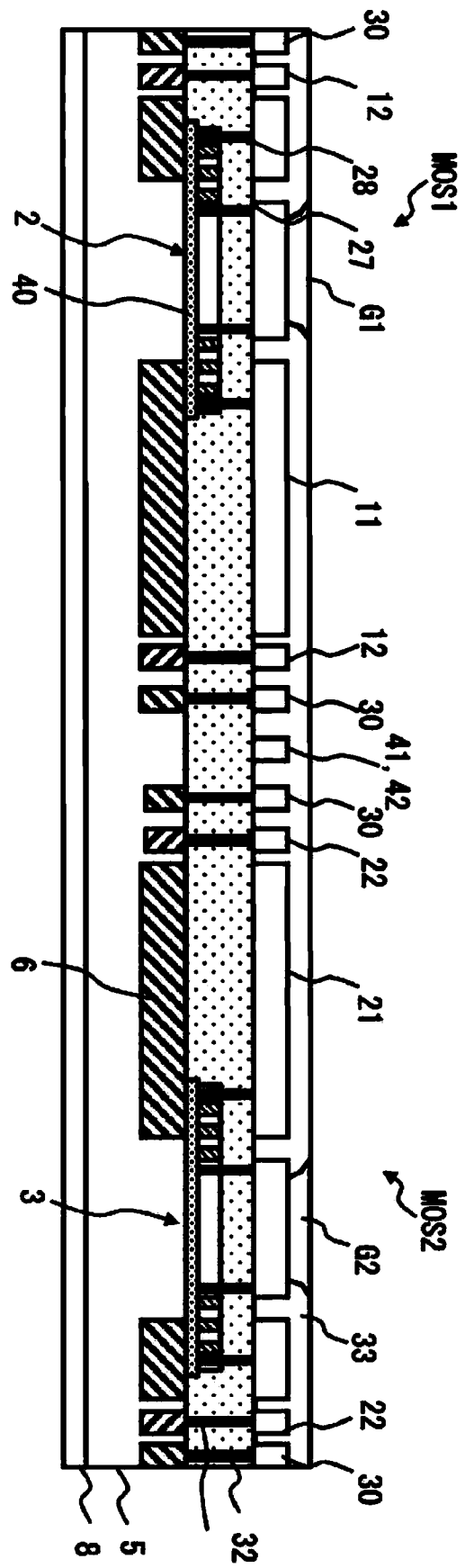


圖 28

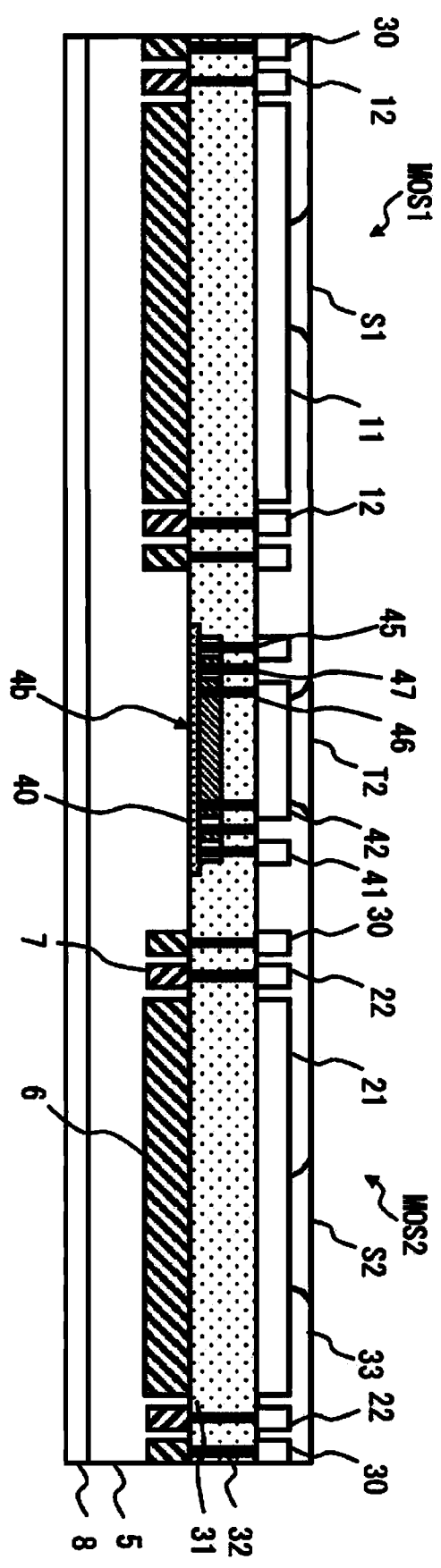


圖 29

to be aligned substantially parallel to a direction in which the first source terminal and the first gate terminal are aligned. A temperature detection diode is arranged between the first source terminal and the second source terminal. A first terminal and a second terminal of the temperature detection diode are aligned in a first direction substantially parallel to a direction in which the first source terminal and the first gate terminal are aligned or in a second direction substantially perpendicular thereto.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

- 1 半導體裝置
- 2 雙向齊納二極體
- 3 雙向齊納二極體
- 4 溫度檢測二極體

MOS1 N通道MOSFET

MOS2 N通道MOSFET

T1 陽極端子

T2 陰極端子

G1 閘極端子

G2 閘極端子

S1 源極端子

S2 源極端子

【特徵化學式】

無

【發明申請專利範圍】

【第1項】

一種晶片，包含：

設置在第1區域中的第1MOSFET，包括在第1方向上並排的第1閘極端子與第1源極端子；

設置在第2區域中的第2MOSFET，包括在該第1方向上並排的第2閘極端子與第2源極端子；

位於該第1與第2MOSFET之間的二極體，該二極體包括在該第1方向或與該第1方向垂直的第2方向上並排的第1端子與第2端子，

其中在該第1MOSFET以及該第2MOSFET的閘極與源極之間，分別設置了雙向齊納二極體。

【第2項】

如申請專利範圍第1項之晶片，

其中該第1端子與該第2端子的並排方向為該第1方向，

該第1端子與該第2端子形成在該第1區域與該2區域之間。

【第3項】

如申請專利範圍第2項之晶片，

其中該二極體形成於該第1端子的下部。

【第4項】

如申請專利範圍第2項之晶片，

其中該二極體分割形成於該第1端子的下部與該第2端子的下部。

【第5項】

如申請專利範圍第2項之晶片，

其中該第1源極端子與該第2源極端子，以夾著該第1區域與該第2區域的分界互相對向的方式配置；

其中該第1閘極端子與該第2閘極端子，以夾著該第1區域與該第2區域的分界互相對向的方式配置；

其中該第1端子形成在該第1源極端子與該第2源極端子之間；且

其中該第2端子形成在該第1閘極端子與該第2閘極端子之間。

【第6項】

如申請專利範圍第5項之晶片，

其中該第1源極端子與該第1端子的距離，和該第2源極端子與該第1端子的距離大略相等；且

其中該第1閘極端子與該第2端子的距離，和該第2閘極端子與該第2端子的距離大略相等。

【第7項】

如申請專利範圍第6項之晶片，

其中該第1源極端子與該第1閘極端子的距離、該第2源極端子與該第2閘極端子的距離、及該第1端子與該第2端子的距離大略相等。

【第8項】

如申請專利範圍第2項之晶片，

更包含保護二極體，其與該二極體並聯，且以相反極性連接。

【第9項】

如申請專利範圍第8項之晶片，

其中該二極體形成在該第1端子的下部；且

其中該保護二極體形成在該第2端子的下部。

【第10項】

如申請專利範圍第1項之晶片，
其中該第1端子與該第2端子的並排方向為該第2方向，
該二極體形成在該第1區域與該第2區域之間，且
該第1端子形成在該第1區域上，且該第2端子形成在該第2區域上。

【第11項】

如申請專利範圍第2項之晶片，
其中該第1端子以被該第1源極端子與該第1閘極端子夾住的方式配置；且
其中該第2端子以被該第2源極端子與該第2閘極端子夾住的方式配置。

【第12項】

如申請專利範圍第1項之晶片，
其中該第1源極端子與該第2閘極端子，以夾著該第1區域與該第2區域的分界互
相對向的方式配置；
其中該第1閘極端子與該第2源極端子，以夾著該第1區域與該第2區域的分界互
相對向的方式配置；且
其中該二極體配置在第1區域與該第2區域之間。

【第13項】

如申請專利範圍第1項之晶片，
其中該二極體以該第1端子為中心構成同心狀。

【第14項】

如申請專利範圍第13項之晶片，
其中該二極體包含：
複數個連接構造體，其包括第1導電型半導體層與第2導電型半導體層；以及
複數個接觸金屬，其形成於相鄰的該連接構造體之間。

【第15項】

如申請專利範圍第14項之晶片，

其中該第1導電型半導體層包含：

第1雜質濃度區域，其形成於該第2導電型半導體層側；以及

第2雜質濃度區域，其形成於該接觸金屬側，且具有比在該第1雜質濃度區域中的雜質濃度更高的雜質濃度。

【第16項】

如申請專利範圍第14項之晶片，

其中該複數個接觸金屬中的一接觸金屬具有與該第1導電型半導體層以及該第2導電型半導體層的高度大略相等的高度。