



(12)发明专利申请

(10)申请公布号 CN 111696593 A

(43)申请公布日 2020.09.22

(21)申请号 201910599225.6

G11C 7/10(2006.01)

(22)申请日 2019.07.04

G11C 7/12(2006.01)

(30)优先权数据

G11C 8/08(2006.01)

2019-046225 2019.03.13 JP

(71)申请人 东芝存储器株式会社

地址 日本东京

(72)发明人 原田佳和

(74)专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 杨林勳

(51)Int.Cl.

G11C 5/02(2006.01)

G11C 5/06(2006.01)

G11C 5/14(2006.01)

G11C 7/06(2006.01)

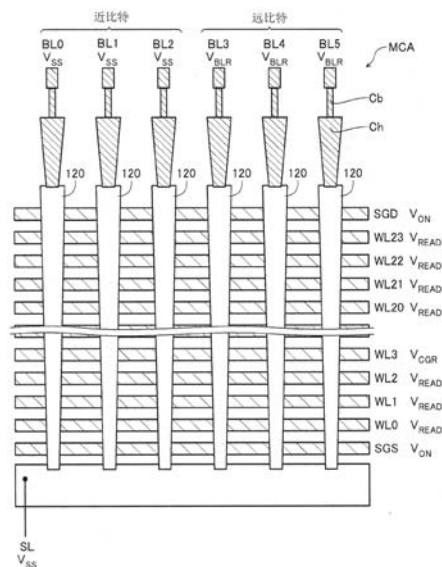
权利要求书2页 说明书15页 附图24页

(54)发明名称

半导体存储装置

(57)摘要

本发明的实施方式提供一种峰值电流较小的半导体存储装置。实施方式的半导体存储装置具备：第1、第2位线；第1、第2存储晶体管，分别连接于第1、第2位线；源极线，连接于第1、第2存储晶体管；以及字线，连接于第1、第2存储晶体管的栅极电极。在删除第1、第2存储晶体管的数据的删除动作中，执行第1删除电压施加动作，只对第1、第2存储晶体管的一者执行删除验证动作，对第1、第2存储晶体的另一者不执行删除验证动作而执行第2删除电压施加动作。



1. 一种半导体存储装置,具备:
第1位线及第2位线;
第1存储晶体管,连接于所述第1位线;
第2存储晶体管,连接于所述第2位线;
源极线,连接于所述第1存储晶体管及所述第2存储晶体管;以及
字线,连接于所述第1存储晶体管的栅极电极及所述第2存储晶体管的栅极电极;且
在删除所述第1存储晶体管及所述第2存储晶体管的数据的删除动作中,
执行第1删除电压施加动作,
只对所述第1存储晶体管及所述第2存储晶体管的一者执行删除验证动作,
对所述第1存储晶体管及所述第2存储晶体的另一者不执行删除验证动作而执行第2
删除电压施加动作。

2. 一种半导体存储装置,具备:
第1位线及第2位线;
第1存储晶体管,连接于所述第1位线;
第2存储晶体管,连接于所述第2位线;
源极线,连接于所述第1存储晶体管及所述第2存储晶体管;以及
字线,连接于所述第1存储晶体管的栅极电极及所述第2存储晶体管的栅极电极;且
在删除所述第1存储晶体管及所述第2存储晶体管的数据的删除动作中,
开始所述删除动作,
只对所述第1存储晶体管及所述第2存储晶体管的一者执行预读出动作,
对所述第1存储晶体管及所述第2存储晶体的另一者不执行预读出动作而执行删除
电压施加动作。

3. 根据权利要求1或2所述的半导体存储装置,具备:
第1电压供给线及第2电压供给线;
第1连接晶体管,连接于所述第1位线与所述第1电压供给线之间;
第2连接晶体管,连接于所述第1位线与所述第2电压供给线之间;
第1锁存电路,连接于所述第1连接晶体管的栅极电极及所述第2连接晶体管的栅极电
极;
第3连接晶体管,连接于所述第2位线与所述第1电压供给线之间;
第4连接晶体管,连接于所述第2位线与所述第2电压供给线之间;以及
第2锁存电路,连接于所述第3连接晶体管的栅极电极及所述第4连接晶体管的栅极电
极;且
在所述删除动作中,在所述第1锁存电路及所述第2锁存电路锁存不同的数据。

4. 根据权利要求1或2所述的半导体存储装置,具备:
电压供给线;
第5连接晶体管,连接于所述电压供给线与所述第1位线之间;以及
第6连接晶体管,连接于所述电压供给线与所述第2位线之间;且
在所述删除动作中,对所述第5连接晶体管的栅极电极及所述第6连接晶体管的栅极电
极供给不同的电压。

5. 根据权利要求1或2所述的半导体存储装置,具备:

第3电压供给线,连接于所述第1位线;以及

第4电压供给线,连接于所述第2位线;且

在所述删除动作中,对所述第3电压供给线及所述第4电压供给线供给不同的电压。

6. 一种半导体存储装置,具备:

存储区块,包含多个存储晶体管;

周边电路,连接于所述存储区块;以及

焊盘电极,能够对所述周边电路供给电力;且

如果包含在所述存储区块内的所述多个存储晶体管在删除状态的情况下对所述存储晶体管执行读出动作,那么第1电流流动于所述焊盘电极,

如果包含在所述存储区块内的所述多个存储晶体管在删除状态的情况下对所述存储晶体管执行删除动作,那么在所述删除动作的预读出动作时第2电流流动于所述焊盘电极,且

所述第2电流比所述第1电流小。

半导体存储装置

[0001] 【相关申请案】

[0002] 本申请案享有以日本专利申请案2019-46225号(申请日:2019年3月13日)为基础申请案的优先权。本申请案通过参照该基础申请案而包含基础申请案的全部内容。

技术领域

[0003] 本实施方式涉及一种半导体存储装置。

背景技术

[0004] 已知有包含多个存储晶体管的半导体存储装置。

发明内容

[0005] 实施方式提供一种峰值电流较小的半导体存储装置。

[0006] 一实施方式的半导体存储装置具备:第1位线及第2位线;第1存储晶体管,连接于第1位线;第2存储晶体管,连接于第2位线;源极线,连接于第1存储晶体管及第2存储晶体管;以及字线,连接于第1存储晶体管的栅极电极及第2存储晶体管的栅极电极。在将第1存储晶体管及第2存储晶体管的数据删除的删除动作中,执行第1删除电压施加动作,只对第1存储晶体管及第2存储晶体管的一者执行删除验证动作,对第1存储晶体管及第2存储晶体管的另一者不执行删除验证动作而执行第2删除电压施加动作。

[0007] 一实施方式的半导体存储装置具备:第1位线及第2位线;第1存储晶体管,连接于第1位线;第2存储晶体管,连接于第2位线;源极线,连接于第1存储晶体管及第2存储晶体管;以及字线,连接于第1存储晶体管的栅极电极及第2存储晶体管的栅极电极。在将第1存储晶体管及第2存储晶体管的数据删除的删除动作中,开始删除动作,只对第1存储晶体管及第2存储晶体管的一者执行预读出动作,对第1存储晶体管及第2存储晶体管的另一者不执行预读出动作而执行删除电压施加动作。

[0008] 一实施方式的半导体存储装置具备:存储区块,包含多个存储晶体管;周边电路,连接于存储区块;以及焊盘电极,能够对周边电路供给电力。如果在存储区块所包含的多个存储晶体管为删除状态的情况下对存储晶体管执行读出动作,那么在焊盘电极流动第1电流。如果在存储区块所包含的多个存储晶体管为删除状态的情况下对存储晶体管执行删除动作,那么在删除动作的预读出动作时,在焊盘电极流动第2电流。第2电流比第1电流小。

附图说明

[0009] 图1是表示第1实施方式的半导体存储装置的构成的示意性框图。

[0010] 图2是表示第1实施方式的半导体存储装置的一部分构成的示意性电路图。

[0011] 图3是表示第1实施方式的半导体存储装置的一部分构成的示意性框图。

[0012] 图4是表示第1实施方式的半导体存储装置的一部分构成的示意性电路图。

[0013] 图5是表示第1实施方式的半导体存储装置的一部分构成的示意性立体图。

- [0014] 图6是图5的A所示的部分的示意性放大图。
- [0015] 图7是用来对读出动作进行说明的示意性剖视图。
- [0016] 图8是用来对写入动作进行说明的示意性流程图。
- [0017] 图9是用来对写入动作进行说明的示意性剖视图。
- [0018] 图10是用来对写入动作进行说明的示意性剖视图。
- [0019] 图11是用来对删除动作进行说明的示意性流程图。
- [0020] 图12是用来对删除动作进行说明的示意性流程图。
- [0021] 图13是用来对删除动作进行说明的示意性剖视图。
- [0022] 图14是用来对删除动作进行说明的示意性波形图。
- [0023] 图15是用来对删除动作进行说明的示意性剖视图。
- [0024] 图16是用来对删除动作进行说明的示意性剖视图。
- [0025] 图17是用来对删除动作进行说明的示意性剖视图。
- [0026] 图18是用来对删除动作进行说明的示意性剖视图。
- [0027] 图19是表示第2实施方式的半导体存储装置的一部分构成例的示意性框图。
- [0028] 图20是表示第2实施方式的半导体存储装置的一部分构成例的示意性框图。
- [0029] 图21是表示第3实施方式的半导体存储装置的一部分构成例的示意性框图。
- [0030] 图22是表示第3实施方式的半导体存储装置的一部分构成例的示意性框图。
- [0031] 图23是用来对第4实施方式的半导体存储装置进行说明的示意性直方图。
- [0032] 图24是用来对跟踪读出动作进行说明的示意性流程图。
- [0033] 图25是用来对第5实施方式的半导体存储装置进行说明的示意性直方图。
- [0034] 图26是用来对EPD读出动作进行说明的示意性流程图。

具体实施方式

[0035] 接下来,参照附图对实施方式的半导体存储装置详细地进行说明。此外,以下实施方式终究为一例,并非出于限定本发明的意图而进行表示。另外,以下附图是示意性的图,为方便说明,有时将一部分构成省略。另外,对于对多个实施方式来说共通的部分,基本上省略说明。

[0036] 另外,在本说明书中,将相对于基板的表面平行的特定的方向称为X方向,将相对于基板的表面平行且与X方向垂直的方向称为Y方向,将相对于基板的表面垂直的方向称为Z方向。

[0037] 另外,在本说明书中,有时将沿着特定的面的方向称为第1方向,将沿着该特定的面与第1方向交叉的方向称为第2方向,将与该特定的面交叉的方向称为第3方向。所述第1方向、第2方向及第3方向可以与X方向、Y方向及Z方向的任一方向对应,也可以不对应。

[0038] 另外,在本说明书中,“上”或“下”等的表述是以基板为基准。例如,将沿着所述第1方向远离基板的方向称为上,将沿着第1方向靠近基板的方向称为下。另外,当对某构成提到下表面或下端的情况下,是指该构成的基板侧的面或端部,在提到上表面或上端的情况下,是指该构成的与基板为相反侧的面或端部。另外,将与第2方向或第3方向交叉的面称为侧面等。

[0039] 另外,在本说明书中当提到“半导体存储装置”的情况下,有时是指存储器裸片,有

时是指存储器芯片、存储卡、SSD(solid state disk,固态硬盘)等包含控制裸片的存储系统。进而,有时也指智能手机、平板终端、个人电脑等包含主机电脑的构成。

[0040] 另外,在本说明书中,当提到第1构成“电连接”于第2构成的情况下,第1构成可以直接连接于第2构成,第1构成也可以经由配线、半导体部件或晶体管等而连接于第2构成。例如,在将3个晶体管串联连接的情况下,即便第2个晶体管为断开状态,第1个晶体管也“电连接”于第3个晶体管。

[0041] 另外,在本说明书中,当提到第1构成“连接于”第2构成与第3构成“之间”的情况下,有时是指第1构成、第2构成及第3构成串联连接,且第1构成设置于第2构成及第3构成的电流路径上。

[0042] 另外,在本说明书中,当提到电路等使2条配线等“导通”的情况下,有时是指例如该电路等包含晶体管等,该晶体管等设置于2条配线之间的电流路径上,该晶体管等成为接通状态。

[0043] [第1实施方式]

[0044] [构成]

[0045] 图1是表示第1实施方式的半导体存储装置的构成的示意性等效电路图。

[0046] 本实施方式的半导体存储装置具备存储单元阵列MCA、及控制存储单元阵列MCA的周边电路PC。

[0047] 存储单元阵列MCA具备多个存储区块MB。所述多个存储区块MB像图2所示的那样,分别具备多个串单元SU。所述多个串单元SU分别具备多个存储串MS。所述多个存储串MS的一端分别经由位线BL而连接于周边电路PC。另外,所述多个存储串MS的另一端分别经由共通的源极线SL而连接于周边电路PC。

[0048] 存储串MS具备串联连接于位线BL与源极线SL之间的漏极选择晶体管STD、多个存储单元MC、以及源极选择晶体管STS。以下,有时将漏极选择晶体管STD、及源极选择晶体管STS简称为选择晶体管(STD、STS)。

[0049] 存储单元MC是具备作为通道区域发挥功能的半导体层、包含电荷储存膜的栅极绝缘膜、及栅极电极的场效应型晶体管。存储单元MC的阈值电压根据电荷储存膜中的电荷量而变化。此外,在与1个存储串MS对应的多个存储单元MC的栅极电极分别连接有字线WL。这些字线WL分别共通连接于1个存储区块MB中的所有存储串MS。

[0050] 选择晶体管(STD、STS)是具备作为通道区域发挥功能的半导体层、栅极绝缘膜及栅极电极的场效应型晶体管。在选择晶体管(STD、STS)的栅极电极分别连接有选择栅极线(SGD、SGS)。漏极选择线SGD对应于串单元SU而设置,且共通连接于1个串单元SU中的所有存储串MS。源极选择线SGS共通连接于1个存储区块MB中的所有存储串MS。

[0051] 周边电路PC像图1所示的那样,具备行解码器RD、感测放大器模块SAM、电压产生电路VG、计数电路CNT、以及定序器SQC。另外,周边电路PC具备地址寄存器ADR、指令寄存器CMR、以及状态寄存器STR。另外,周边电路PC具备输入输出控制电路I/O、以及逻辑电路CTR。

[0052] 行解码器RD例如具备解码电路及开关电路。解码电路对保持于地址寄存器ADR的行地址RA进行解码。开关电路根据解码电路的输出信号使与行地址RA对应的字线WL及选择栅极线(SGD、SGS)与对应的电压供给线导通。

[0053] 感测放大器模块SAM像图3所示的那样,具备与多个位线BL对应的多个感测放大器

单元SAU。感测放大器单元SAU具备连接于位线BL的感测放大器SA、数据锁存器SDL、ADL、BDL、CDL、XDL、逻辑电路OP、以及连接于这些构成的配线LBUS。

[0054] 感测放大器SA像图4所示的那样,具备串联连接于位线BL与传感器节点SEN之间的耐电压晶体管31、钳位晶体管32、节点COM、及放电晶体管33。另外,感测放大器SA具备串联连接于配线LBUS与接地电压供给线之间的开关晶体管34及感测晶体管 35。接地电压供给线连接于接地电压 V_{SS} 供给用焊盘电极。

[0055] 耐电压晶体管31是NMOS (Negative channel Metal Oxide Semiconductor, 负通道型金属氧化物半导体) 型耐电压晶体管。耐电压晶体管31例如在对源极线SL (图2) 供给了相对较大的电压时,保护感测放大器SA。来自定序器SQC的控制信号经由信号线BLS 而供给至耐电压晶体管31的栅极电极。

[0056] 钳位晶体管32是NMOS型晶体管。钳位晶体管32控制位线BL的电压。来自定序器SQC的控制信号经由信号线BLC而供给至钳位晶体管32的栅极电极。

[0057] 节点COM连接于充电晶体管36、充电晶体管37及电源电压供给线 V_{DD} 。电源电压供给线 V_{DD} 连接于电源电压供给用的焊盘电极。另外,节点COM经由放电晶体管38 而连接于电压供给线 V_{SRC} 。充电晶体管36及放电晶体管38是NMOS型晶体管。充电晶体管37是PMOS型晶体管。来自定序器SQC的控制信号经由信号线BLX而供给至充电晶体管36的栅极电极。充电晶体管37及放电晶体管38的栅极电极分别连接于数据锁存器SDL的节点INV。

[0058] 放电晶体管33是NMOS型晶体管。放电晶体管33释放传感器节点SEN的电荷。来自定序器SQC的控制信号经由信号线XXL而供给至放电晶体管33的栅极电极。

[0059] 传感器节点SEN经由充电晶体管39及充电晶体管37而连接于电源电压供给线 V_{DD} 。另外,传感器节点SEN经由电容器40而连接于信号线CLK。从定序器SQC对该信号线CLK供给控制信号。充电晶体管39是NMOS型晶体管。来自定序器SQC的控制信号经由信号线HLL而供给至充电晶体管39的栅极电极。

[0060] 开关晶体管34是NMOS型晶体管。开关晶体管34使配线LBUS及感测晶体管35 导通。来自定序器SQC的控制信号经由信号线STB而供给至开关晶体管34的栅极电极。

[0061] 感测晶体管35是NMOS型晶体管。感测晶体管35根据传感器节点SEN的电压而释放或维持配线LBUS中的电荷。感测晶体管35的栅极电极连接于传感器节点SEN。

[0062] 此外,像图3所例示的那样,在本实施方式中,上述信号线BLS、BLC、BLX、XXL、HLL、STB分别在感测放大器模块SAM所包含的所有感测放大器单元SAU之间共通地连接。另外,在本实施方式中,上述电源电压供给线 V_{DD} 及电压供给线 V_{SRC} 分别在感测放大器模块SAM所包含的所有感测放大器单元SAU之间共通地连接。

[0063] 数据锁存器SDL像图4所示的那样具备节点LAT及节点INV、并联连接于这些节点LAT与节点INV之间的反相器41、42、连接于节点LAT与配线LBUS之间的开关晶体管43、及连接于节点INV与配线LBUS之间的开关晶体管44。反相器41的输出端子及反相器42的输入端子连接于节点LAT。反相器41的输入端子及反相器42的输出端子连接于节点INV。此外,虽然省略图示,但数据锁存器ADL、BDL、CDL、XDL 具备与数据锁存器SDL同样的构成。

[0064] 对数据锁存器ADL、BDL、CDL例如适当传送包含于数据锁存器SDL的数据。逻辑电路OP (图3) 例如对数据锁存器ADL、BDL、CDL中的数据进行AND、OR、XOR 等逻辑运算,算出分配到存储单元MC的用户数据。

[0065] 数据锁存器XDL连接于构成配线LBUS及总线DB的配线db(图3)。在数据锁存器 XDL中例如储存写入至存储单元MC的用户数据或从存储单元MC读出的用户数据。

[0066] 另外,感测放大器模块SAM具备未图示的解码电路及开关电路。解码电路对保持于地址寄存器ADR(图1)的列地址CA进行解码。开关电路根据解码电路的输出信号使与列地址CA对应的数据锁存器XDL与总线DB导通。

[0067] 电压产生电路VG(图1)例如具备连接于电源电压供给线 V_{DD} 及接地电压供给线的电荷泵电路等升压电路、调节器等降压电路、及未图示的多个电压供给线。电压产生电路 VG依照来自定序器SQC的内部控制信号,产生当对存储单元阵列MCA进行读出动作(read operation)、写入动作(write operation)及删除动作(erase operation)时供给至位线BL、源极线SL、字线WL及选择栅极线(SGD、SGS)的多种动作电压,并从多条电压供给线同时输出。

[0068] 计数电路CNT连接于总线DB,计数数据锁存器XDL所包含的数据中的表示“1”的数据的个数、及表示“0”的数据的个数。另外,计数电路CNT也可以抽选表示“1”或“0”的数据的个数进行计数。即,也可以并非计数保持于感测放大器模块SAM所包含的所有数据锁存器XDL中的数据中的个数,而是只基于保持于一部分数据锁存器XDL的数据计数存储单元MC的个数。

[0069] 定序器SQC对保持于指令寄存器CMR的指令数据CMD依序进行解码,并从多个信号线输出而对行解码器RD、感测放大器模块SAM、电压产生电路VG、及计数电路 CNT输出内部控制信号。另外,定序器SQC适当地将表示自身状态的状态数据输入至状态寄存器STR。例如,当执行写入动作或删除动作时,输出表示写入动作或删除动作是否正常结束的信息作为状态数据。

[0070] 输入输出控制电路I/O具备数据输入输出端子I/00~I/07、连接于这些数据输入输出端子I/00~I/07的移位寄存器、以及连接于该移位寄存器的FIFO缓冲器。输入输出控制电路I/O是8个焊盘电极,根据来自逻辑电路CTR的内部控制信号而将从数据输入输出端子I/00~I/07输入的数据输出至感测放大器模块SAM内的数据锁存器XDL、地址寄存器ADR或指令寄存器CMR。另外,将从数据锁存器XDL或状态寄存器STR输入的数据输出至数据输入输出端子I/00~I/07。

[0071] 逻辑电路CTR经由外部控制端子/ CEn 、 CLE 、 ALE 、 $/WE$ 、 $/RE$ 而从控制裸片CD接收外部控制信号,并据此而对输入输出控制电路I/O输出内部控制信号。

[0072] 接下来,参照图5及图6对本实施方式的半导体存储装置的构成例进行说明。图5是表示本实施方式的半导体存储装置的一部分构成的示意性立体图。图6是图5的A所示的部分的示意性放大图。

[0073] 像图5所示的那样,本实施方式的半导体存储装置具备:半导体基板100;多个导电层110,设置于半导体基板100的上方;多个半导体层120;多个栅极绝缘膜130,分别设置于多个导电层110与多个半导体层120之间;导电层140,连接于半导体基板100的表面;以及导电层150,连接于半导体层120的上端。

[0074] 半导体基板100是例如包含硼(B)等P型杂质的单晶硅(Si)等半导体基板。在半导体基板100的表面的一部分设置有包含磷(P)等N型杂质的N型阱。另外,在N型阱的表面的一部分设置有包含硼(B)等P型杂质的P型阱。

[0075] 导电层110是在X方向延伸的大致板状的导电层,在Z方向排列有多个。导电层 110例如可以包含氮化钛(TiN)及钨(W)的积层膜等,也可以包含含有磷或硼等杂质的多晶硅等。另外,在导电层110之间设置有氧化硅(SiO₂)等的绝缘层101。

[0076] 多个导电层110中的位于最下层的一个或多个导电层110作为源极选择线SGS(图2)及连接于该源极选择线SGS的多个源极选择晶体管STS的栅极电极发挥功能。另外,较其更位于上方的多个导电层110作为字线WL(图2)及连接于该字线WL的多个存储单元MC(图2)的栅极电极发挥功能。另外,较其更位于上方的一个或多个导电层110作为漏极选择线SGD及连接于该漏极选择线SGD的多个漏极选择晶体管STD(图2)的栅极电极发挥功能。作为漏极选择晶体管STD发挥功能的导电层110隔着在X方向延伸的绝缘层SHE而在Y方向分断。

[0077] 半导体层120在X方向及Y方向配设多个。半导体层120例如是非掺杂的多晶硅(Si)等的半导体膜。半导体层120具有大致圆筒状的形状,在中心部分设置有氧化硅等的绝缘膜121。另外,半导体层120的外周面分别由导电层110包围。半导体层120的下端部经由非掺杂的单晶硅等的半导体层122而连接于半导体基板100的P型阱。半导体层 122介隔氧化硅等的绝缘层123而与导电层110对向。半导体层120的上端部经由包含磷(P)等N型杂质的半导体层124、接点Ch及Cb而连接于位线BL。半导体层120分别作为1个存储串MS(图2)所包含的多个存储单元MC及漏极选择晶体管STD的通道区域发挥功能。半导体层122作为源极选择晶体管STS的一部分通道区域发挥功能。

[0078] 栅极绝缘膜130例如像图6所示的那样,具备积层于半导体层120与导电层110之间的隧道绝缘膜131、电荷储存膜132、及阻挡绝缘膜133。隧道绝缘膜131及阻挡绝缘膜133例如是氧化硅等的绝缘膜。电荷储存膜132例如是氮化硅(SiN)等的能够储存电荷的膜。隧道绝缘膜131、电荷储存膜132、及阻挡绝缘膜133具有大致圆筒状的形状,且沿着半导体层120的外周面在Z方向延伸。

[0079] 此外,在图6中示出了栅极绝缘膜130具备氮化硅等的电荷储存膜132的例子,但栅极绝缘膜130例如也可以具备包含N型或P型杂质的多晶硅等的浮动栅。

[0080] 导电层140例如像图5所示的那样,是在X方向及Z方向延伸的大致板状的导电层。导电层140例如可以包含氮化钛(TiN)及钨(W)的积层膜等,也可以包含含有磷等杂质的多晶硅等。另外,在导电层140与导电层110之间设置有绝缘层141。导电层140作为源极线SL发挥功能。

[0081] 导电层150在Y方向延伸,且在X方向配设有多个。导电层150可以包含氮化钛(TiN)及铜(Cu)的积层膜等,也可以包含含有磷等杂质的多晶硅等。导电层150作为位线BL 发挥功能。

[0082] [读出动作]

[0083] 接下来,参照图7,对本实施方式的半导体存储装置的读出动作进行说明。图7是用来对读出动作进行说明的示意性剖视图。

[0084] 此外,在以下说明中,将多条字线WL例示为字线WL0~WL23。最靠近源极选择线SGS的字线是字线WL0,最靠近漏极选择线SGD的字线是字线WL23。另外,在以下说明中,将多条位线BL例示为位线BL0~BL5。另外,在以下说明中,将连接于字线WL3的多个存储单元MC例示为选择存储单元MC。

[0085] 在读出动作中,例如使感测放大器模块SAM所包含的所有数据锁存器SDL(图3)保

持“1”。由此,所有数据锁存器SDL的节点LAT(图4)成为“H”状态。由此,充电晶体管37成为接通状态,放电晶体管38成为断开状态。

[0086] 而且,例如,以将耐电压晶体管31、钳位晶体管32、充电晶体管36及充电晶体管39设为接通状态、将放电晶体管33设为断开状态的方式从定序器SQC供给控制信号。由此,经由电源电压供给线 V_{DD} 而对位线BL及传感器节点SEN进行充电,像图7所示的那样,对位线BL供给特定的读出位线电压 V_{BLR} 。

[0087] 另外,在读出动作中,例如,使选择存储单元MC与位线BL及源极线SL导通。例如,对漏极选择线SGD及源极选择线SGS供给接通电压 V_{ON} 。接通电压 V_{ON} 例如在漏极选择晶体管STD及源极选择晶体管STS的通道区域形成电子的通道,且具有漏极选择晶体管STD及源极选择晶体管STS成为接通状态程度的大小。另外,对非选择字线WL0~WL2、WL4~WL23(以下,有时仅记载为“非选择字线WL”)供给读出路径电压 V_{READ} 。读出路径电压 V_{READ} 例如具有不管记录于存储单元MC的数据而均使存储单元MC成为接通状态的程度的大小。

[0088] 另外,在读出动作中,例如,对选择字线WL3供给读出电压 V_{CGR} 。读出电压 V_{CGR} 例如具有存储单元MC根据记录于选择存储单元MC的数据而成为接通状态或成为断开状态的程度的大小。读出电压 V_{CGR} 比读出路径电压 V_{READ} 小。

[0089] 另外,在读出动作中,例如,对源极线SL供给接地电压 V_{SS} 。

[0090] 由此,可以基于流经位线BL的电流而判定保持于存储单元MC的数据。

[0091] 例如,以使图4所例示的充电晶体管39为断开状态且使放电晶体管33为接通状态的方式从定序器SQC供给控制信号。由此,连接于接通状态的存储单元MC的传感器节点SEN的电压减少,与此对应的感测晶体管35成为断开状态。另一方面,连接于断开状态的存储单元MC的传感器节点SEN的电压并未大幅地减少,与此对应的感测晶体管35成为接通状态。

[0092] 接下来,例如,以使开关晶体管34为接通状态的方式从定序器SQC供给控制信号。此时,连接于接通状态的存储单元MC的配线LBUS的电荷得以维持,该配线LBUS的电压并未大幅地减少。另一方面,连接于断开状态的存储单元MC的配线LBUS的电荷经由感测晶体管35而释放,该配线LBUS的电压减少。

[0093] 接下来,例如以使开关晶体管43为接通状态的方式从定序器SQC供给控制信号。此时,连接于接通状态的存储单元MC的节点LAT的电压并未大幅地减少,节点LAT维持为“H”状态。另一方面,连接于断开状态的存储单元MC的节点LAT的电压减少,节点LAT成为“L”状态。由此,各数据锁存器SDL获取表示存储单元MC是接通状态还是断开状态的1比特的数据。该数据例如传送至数据锁存器XDL。

[0094] [写入动作]

[0095] 接下来,参照图8~图10,对本实施方式的半导体存储装置的写入动作进行说明。图8是用来对写入动作进行说明的示意性流程图。图9及图10是用来对写入动作进行说明的示意性剖视图。

[0096] 此外,在写入动作中,多个选择存储单元MC的一部分存储单元MC的阈值电压被调整,一部分存储单元MC的阈值电压不被调整。以下,有时将选择存储单元MC中的进行阈值调整的存储单元MC称为“写入存储单元MC”,将不进行阈值调整的存储单元MC称为“禁止存储单元MC”。

[0097] 在步骤S101中,将循环次数n设定为1。循环次数n记录于寄存器等。另外,使与连接

于写入存储单元MC的位线BL对应的感测放大器单元SAU中的数据锁存器SDL(图4)保持“0”(“L”),使与连接于禁止存储单元MC的位线BL对应的感测放大器单元SAU中的数据锁存器SDL保持“1”(“H”)。

[0098] 在步骤S102中,执行编程动作。在编程动作中,例如,在像图9所例示的那样的形态中,对存储单元MC等供给电压。另外,例如,以使图4所例示的耐电压晶体管31、钳位晶体管32及充电晶体管36为接通状态且使放电晶体管33及充电晶体管39为断开状态的方式,从定序器SQC供给控制信号。

[0099] 由此,对于写入存储单元MC,因为在对应的感测放大器单元SAU中的数据锁存器SDL储存有“0”(“L”),所以充电晶体管37成为断开状态,放电晶体管38成为接通状态。因此,位线BL与电压供给线 V_{SRC} 导通,且对位线BL供给接地电压 V_{SS} 程度的电压。另一方面,对于禁止存储单元MC,因为在对应的感测放大器单元SAU中的数据锁存器SDL储存有“1”(“H”),所以充电晶体管37成为接通状态,放电晶体管38成为断开状态。因此,位线BL与电源电压供给线 V_{DD} 导通,且对位线BL供给写入禁止电压 V_{IHB} 。写入禁止电压 V_{IHB} 例如比接地电压 V_{SS} 大。

[0100] 另外,在编程动作中,使写入存储单元MC选择性地与位线BL导通。例如,对漏极选择线SGD供给接通电压 V_{ON}' 。接通电压 V_{ON}' 例如具有连接于供给了接地电压 V_{SS} 的位线BL的漏极选择晶体管STD成为接通状态且连接于供给了写入禁止电压 V_{IHB} 的位线BL的漏极选择晶体管STD成为断开状态的程度的大小。另外,对源极选择线SGS供给断开电压 V_{OFF} 。断开电压 V_{OFF} 例如具有漏极选择晶体管STD及源极选择晶体管STS成为断开状态的程度的大小。另外,对非选择字线WL供给写入路径电压 V_{PASS} 。写入路径电压 V_{PASS} 具有例如不管记录于存储单元MC的数据而均使存储单元MC成为接通状态的程度的大小。写入路径电压 V_{PASS} 例如比读出路径电压 V_{READ} 大。

[0101] 然后,对选择字线WL3供给编程电压 V_{PGM} 。编程电压 V_{PGM} 比写入路径电压 V_{PASS} 大。由此,在写入存储单元MC的电荷储存膜132(图6)储存电子,写入存储单元MC的阈值电压增大。

[0102] 在步骤S103(图8)中,执行验证动作。在验证中,例如,在像图10所例示的那样的形态中,对存储单元MC等供给电压。

[0103] 验证动作基本上与读出动作相同。但是,在读出动作中使感测放大器模块SAM所包含的所有数据锁存器SDL保持“1”(“H”),相对于此,在验证动作中,只使与成为对象的存储单元MC对应的数据锁存器SDL保持“1”(“H”),使与未成为对象的存储单元MC对应的数据锁存器SDL保持“0”(“L”)。具体来说,只使与成为验证对象的编程动作中的写入存储单元MC对应的数据锁存器SDL保持“1”(“H”),使与禁止存储单元MC对应的数据锁存器SDL保持“0”(“L”)。由此,对与写入存储单元MC对应的位线BL供给特定的读出位线电压 V_{BLR} ,另一方面,经由电压供给线 V_{SRC} (图4)而对与禁止存储单元MC对应的位线BL供给接地电压 V_{SS} 程度的电压。例如,使储存于数据锁存器ADL等其它数据锁存器的数据(如果有必要,适当进行运算)传送至数据锁存器SDL,由此,可以根据成为验证对象的编程动作,使感测放大器模块SAM所包含的数据锁存器SDL保持“1”(“H”)或“0”(“L”)。

[0104] 然后,使选择存储单元MC与位线BL及源极线SL导通。

[0105] 另外,对选择字线WL3供给验证电压 V_{VFY} 。验证电压 V_{VFY} 的大小可以使存储单元MC根据记录于选择存储单元MC的数据,变成接通状态或断开状态。验证电压 V_{VFY} 比读出电压 V_{CGR} 大。

[0106] 另外,对源极线SL供给接地电压 V_{SS} 。

[0107] 由此,对于成为验证对象的编程动作中的写入存储单元MC,可以通过对应的感测放大器单元SAU,基于连接于所述写入存储单元MC的位线BL的电流而判定存储单元MC是接通状态还是断开状态。例如,连接于断开状态的写入存储单元MC的数据锁存器SDL的节点LAT成为“L”状态,该写入存储单元MC在写入动作中的以后的步骤中,设为禁止存储单元MC。这时,基于数据锁存器SDL的数据,而适当更新保持于数据锁存器ADL等其它数据锁存器的数据。另外,数据锁存器SDL的数据传送到XDL。

[0108] 在步骤S104(图8)中,执行计数动作。在计数动作中,例如,基于保持于感测放大器模块SAM(图3)的数据锁存器XDL的数据,计数接通状态的存储单元MC的个数。此外,在计数动作中,也可以抽选存储单元MC。即,也可以并非基于保持于感测放大器模块SAM所包含的所有数据锁存器XDL的数据来计数接通状态的存储单元MC的个数,而是只基于保持于一部分数据锁存器XDL的数据来计数接通状态的存储单元MC的个数。

[0109] 在步骤S105中,例如,判定在计数动作中计数的接通状态的存储单元MC的个数是否为特定数以下。在不是特定数以下的情况下,前进至步骤S106,在是特定数以下的情况下前进至步骤S108。

[0110] 在步骤S106中,判定循环次数 n 是否达到特定的次数 N 。在未达到的情况下前进至步骤S107。在达到的情况下,前进至步骤S109。

[0111] 在步骤S107中,在循环次数 n 加1,使编程电压 V_{PGM} 增大而前进至步骤S102。

[0112] 在步骤S108中,输出写入动作正常结束的意旨的状态数据,结束写入动作。

[0113] 在步骤S109中,输出写入动作未正常结束的意旨的状态数据,结束写入动作。

[0114] [删除动作]

[0115] 接下来,参照图11~图13,对本实施方式的半导体存储装置的删除动作进行说明。图11及图12是用来对删除动作进行说明的示意性流程图。图13是用来对删除动作进行说明的示意性剖视图。

[0116] 在步骤S201(图11)中,执行预读出动作。预读出动作基本上与读出动作同样地执行。在下文中对预读出动作的详情进行叙述。

[0117] 在步骤S202中,执行计数动作。在计数动作中,例如,基于保持于感测放大器模块SAM(图3)的数据锁存器XDL的数据,计数接通状态的存储单元MC的个数。此外,在计数动作中,也可以抽选存储单元MC。

[0118] 在步骤S203中,例如判定在计数动作中计数的接通状态的存储单元MC的个数是否为特定数以下。在不是特定数以下的情况下前进至步骤S204,在是特定数以下的情况下前进至步骤S221。

[0119] 在步骤S204中,执行预编程动作。预编程动作例如与写入动作中的编程动作(图8、图9)同样地执行。

[0120] 此外,步骤S201至步骤S204的动作可以与一条字线WL3对应地只执行1次,也可以依序选择多条字线WL而重复执行多次。另外,在预编程动作中,可以将一条字线WL选择为选择字线并供给编程电压,也可以对所有字线WL供给编程电压。

[0121] 在步骤S221(图12)中,将循环次数 n 设定为1。循环次数 n 记录于寄存器等。

[0122] 在步骤S222中,执行删除电压施加动作。在删除电压施加动作中,例如,在像图13

所例示的那样的形态中,对存储单元MC等供给电压。

[0123] 例如,在删除电压施加动作中,对源极线SL供给删除电压 V_{ERA} 。删除电压 V_{ERA} 比写入路径电压 V_{PASS} 大。

[0124] 另外,例如,在删除电压施加动作中,对漏极选择线SGD供给断开电压 V_{OFF} ,对源极选择线SGS供给接通电压 V_{ON} 。接通电压 V_{ON} 例如具有在源极选择晶体管STS 的通道区域形成电子空穴的通道且源极选择晶体管STS成为接通状态的程度的大小。

[0125] 另外,例如,在删除电压施加动作中,对所有字线WL供给接地电压 V_{SS} 。由此,在存储单元MC的电荷储存膜132(图6)储存电子空穴,存储单元MC的阈值电压减少。

[0126] 在步骤S223(图12)中,执行删除验证动作。删除动作中的删除验证动作基本上与写入动作中的验证动作同样地执行。在下文中对删除验证动作的详情进行叙述。

[0127] 在步骤S224中,执行计数动作。在计数动作中,例如,基于保持于感测放大器模块SAM(图3)的数据锁存器XDL的数据,计数断开状态的存储单元MC的个数。此外,在计数动作中,也可以抽选存储单元MC。

[0128] 在步骤S225中,例如,判定在计数动作中计数的断开状态的存储单元MC的个数是否是特定数以下。在不是特定数以下的情况下,前进至步骤S226,在是特定数以下的情况下前进至步骤S228。

[0129] 在步骤S226中,判定循环次数n是否达到特定的次数N。在未达到的情况下,前进至步骤S227。在达到的情况下前进至步骤S229。

[0130] 在步骤S227中,在循环次数n加1,使删除电压 V_{ERA} 增大而前进至步骤S222。

[0131] 在步骤S228中,输出删除动作正常结束的意旨的状态数据,结束删除动作。

[0132] 在步骤S229中,输出删除动作未正常结束的意旨的状态数据,结束删除动作。

[0133] [预读出动作及删除验证动作]

[0134] 如上所述,在本实施方式的删除动作中,在删除电压施加动作(图12的步骤S222)之前执行预读出动作(图11的步骤S201),在接通状态的存储单元MC的个数为特定数以下的情况下执行预编程动作(图11的步骤S204)。由此,能够抑制对删除状态的存储单元MC进一步执行删除电压施加动作,从而能够抑制存储单元MC的阈值电压变得过小。

[0135] 尤其是,在只对存储区块MB所包含的一部分字线WL执行编程动作的情况下,连接于剩余的字线WL的存储单元MC成为删除状态。如果对这样的存储区块MB执行删除动作,那么存在多个存储单元MC的阈值电压变得过小的情况。因此,例如,通过对存储区块MB中的写入动作的执行顺序晚的字线WL执行预读出动作,在预编程动作中对存储单元阵列MA中的所有字线WL供给编程电压,能够适当地抑制存储单元MC的阈值电压变得过小。

[0136] 另外,在本实施方式的删除动作中,在执行删除电压施加动作(图12的步骤S222)后执行删除验证动作(图12的步骤S223),在断开状态的存储单元MC的个数并非特定数以下的情况下,再次执行删除电压施加动作。由此,能够跨多次慢慢进行存储单元MC的阈值电压的调整,从而适当地控制存储单元MC的阈值电压的分布。

[0137] 然而,在预读出动作及删除验证动作中,存在流动于多个存储单元MC的电流的总量变大的情况。例如,在图14中表示删除动作中的字线WL3的电压、源极线SL的电压、及流动于电源电压供给线 V_{DD} 及接地电压供给线的至少一者的电源电流 I_{CC} 。像图示的那样,在控制存储单元MC的阈值电压的预编程动作(S204)或删除电压施加动作(S222)等中,在存储单

元MC几乎未流动电流,也几乎未流动电源电流 I_{CC} 。另一方面,在用来确认存储单元MC的阈值电压的预读出动作(S201)及删除验证动作中,存在如下情况:相对较大的电流流动于多个存储单元MC,像图14所示的那样,电源电流 I_{CC} 也成为相对较大的电流 I_{CC0} 。由此,存在导致峰值电流增大、及消耗电力增大的情况。

[0138] 此处,通过预读出动作及删除验证动作而取得的数据既不像读出动作(图7)那样用于用户数据的运算,也不像写入动作中的验证动作(图8的步骤S103)那样用于写入存储单元MC向禁止存储单元MC的变更。通过预读出动作及删除验证动作而取得的数据只用于之后进行的计数动作(图11的步骤S202、及图12的步骤S224)。另外,像上述那样,在这些计数动作中,存在抽选存储单元MC的情况。因此,认为即使在预读出动作及删除验证动作中抽选在计数动作中抽选的存储单元MC,也不会对各种判定动作造成影响。

[0139] 另外,通过在预读出动作及删除验证动作中进行存储单元MC的抽选,能够抑制流动于存储单元MC的电流,从而像图14所示的那样,使电源电流 I_{CC} 为相对较小的电流 I_{CC1} 。由此,能够实现峰值电流及消耗电力的大幅削减。

[0140] 接下来,参照图15及图16,对本实施方式的预读出动作进行说明。图15及图16是用来对预读出动作进行说明的示意性剖视图。

[0141] 在本实施方式的预读出动作中,例如,使感测放大器模块SAM所包含的多个数据锁存器SDL(图3)中的与抽选的存储单元MC对应的数据锁存器SDL保持“0”,使与未抽选的存储单元MC对应的数据锁存器SDL保持“1”。

[0142] 抽选的存储单元MC能够通过各种形态选择。例如,像图15所例示的那样,可以抽选与近比特(靠近行解码器RD(图1)的半数的比特)对应的存储单元MC,也可以抽选与远比特(远离行解码器RD(图1)的半数的比特)对应的存储单元MC。另外,例如,像图16所例示的那样,可以抽选与奇数比特对应的存储单元MC,也可以抽选与偶数比特对应的存储单元MC。另外,如此,并非抽选所有存储单元MC中的半数的存储单元MC,可以抽选3/4的存储单元MC,可以抽选7/8的存储单元MC,也能以其他形态抽选存储单元MC。但是,抽选的存储单元MC理想的是不会用于计数动作(图11的步骤S202)的存储单元MC。抽选的存储单元MC例如也可以是不会用于计数动作的所有的存储单元MC。

[0143] 另外,在预读出动作中,以与参照图7所说明的读出动作大致同样的形态对位线BL、源极线SL、字线WL及选择栅极线(SGD、SGS)供给电压。其中,经由电压供给线 V_{SRC} (图4)而对与抽选的存储单元MC对应的位线BL供给接地电压 V_{SS} 程度的电压。

[0144] 另外,在预读出动作中,进行基于流经位线BL的电流的判定。

[0145] 此外,在本实施方式中,在一次删除动作中,不对所抽选的存储单元MC执行预读出动作。即,在从开始删除动作至执行预编程动作(图11的步骤S204)或删除电压施加动作(图12的步骤S222)为止的期间只执行对未抽选的存储单元MC的预读出动作,不执行对抽选的存储单元MC的预读出动作。

[0146] 另外,本实施方式的预读出动作以与参照图7所说明的读出动作大致同样的形态执行,并抽选存储单元MC。因此,也可以假定如下情况:在对相同条件的存储区块执行读出动作及预读出动作的情况下,上述电源电流 I_{CC} 与抽选的存储单元MC的个数大致呈正比例减少。例如,假定如下情况:当在预读出动作中抽选存储单元MC的半数的情况下,预读出动作中的电源电流 I_{CC} 成为读出动作中的电源电流 I_{CC} 的约一半。此外,认为读出动作及预读出动作

作中的电源电流 I_{cc} 的差例如能够通过对删除状态的存储区块 MB 执行读出动作及预读出动作而确认。

[0147] 接下来,参照图17及图18,对本实施方式的删除验证动作进行说明。图17及图 18 是用来对删除验证动作进行说明的示意性剖视图。

[0148] 像图示的那样,删除验证动作基本上与预读出动作同样地执行。但是,在删除验证动作中,对所有字线 $WL0 \sim WL23$ 供给删除验证电压 V_{ERV} 。删除验证电压 V_{ERV} 例如也可以具有与接地电压 V_{SS} 相同程度的大小。

[0149] 抽选的存储单元MC与预读出动作同样地能够通过各种形态选择。例如,像图17 所例示的那样,可以抽选与近比特对应的存储单元MC,也可以抽选与远比特对应的存储单元MC。另外,例如,像图18所例示的那样,可以抽选与奇数比特对应的存储单元 MC,也可以抽选与偶数比特对应的存储单元MC。另外,如此,并非抽选所有存储单元 MC中的半数的存储单元MC,可以抽选3/4的存储单元MC,可以抽选7/8的存储单元 MC,也能以其它形态抽选存储单元MC。但是,抽选的存储单元MC理想的是在计数动作(图12的步骤S224)中不使用的存储单元MC。抽选的存储单元MC例如也可以是在计数动作中不会使用的所有的存储单元MC。

[0150] 在本实施方式中,在从执行一次删除电压施加动作(图12、图13)至再次执行删除电压施加动作为止的期间,不对抽选的存储单元MC执行删除电压施加动作。

[0151] 此外,在本实施方式中,示出了删除动作包含图11所示的预读出动作及预编程动作、及图12所示的删除电压施加动作及删除验证动作的例子,但也可以省略预读出动作及预编程动作。即,作为删除动作,也可以只执行图12所示的删除电压施加动作及删除验证动作。

[0152] [第2实施方式]

[0153] 接下来,参照图19及图20,对第2实施方式的半导体存储装置进行说明。图19及图20是表示本实施方式的感测放大器模块SAM的构成例的示意性框图。此外,在图19 中,将与近比特及远比特对应的感测放大器单元SAU分别表示为“SAUn”及“SAUf”。另外,在图20中,将与奇数比特及偶数比特对应的感测放大器单元SAU分别表示为“SAUo”及“SAUe”。

[0154] 在第1实施方式中,示出了通过对数据锁存器SDL的数据进行操作而抽选存储单元MC的例子。然而,存储单元MC的抽选也可以通过所述方法以外的方法进行。

[0155] 例如,像参照图3所说明的那样,在第1实施方式的半导体存储装置中,感测放大器单元SAU所包含的信号线BLC在感测放大器模块SAM所包含的所有感测放大器单元SAU之间共通地连接。

[0156] 另一方面,像图19及图20所示的那样,在第2实施方式的半导体存储装置中,与抽选的存储单元MC对应的信号线BLC、及与未抽选的存储单元MC对应的信号线BLC 构成为能够独立地进行控制。

[0157] 例如,在图19的例子中,与近比特对应的信号线BLC及与远比特对应的信号线BLC 构成为能够独立地进行控制。例如,在图示的例子中,与近比特对应的信号线BLC连接于共通的信号线 BLC_n ,与远比特对应的信号线BLC连接于共通的信号线 BLC_f ,信号线 BLC_n 、 BLC_f 电性独立地构成。

[0158] 另外,例如,在图20的例子中,与偶数比特对应的信号线BLC及与奇数比特对应的信号线BLC构成为能够独立地进行控制。例如,在图示的例子中,与偶数比特对应的信号线

BLC连接于共通的信号线BLCe,与奇数比特对应的信号线BLC连接于共通的信号线BLCo,信号线BLCe、BLCo电性独立地构成。

[0159] 根据这样的构成,通过使与在上述预读出动作及删除验证动作时抽选的存储单元MC对应的信号线BLC为“L”状态、使与未抽选的存储单元MC对应的信号线BLC为“H”状态,能够不对数据锁存器SDL的数据进行操作而抽选存储单元MC。因此,与第1实施方式相比,可以期待删除动作的高速化。

[0160] 此外,在图19及图20的例子中,示出了构成为能够在多个感测放大器单元SAU间独立地控制信号线BLC的例子,但也可以构成为能够独立地控制其它信号线。另外,在图19及图20的例子中,示出了将多个感测放大器单元SAU分组为2组的例子,但也可以将多个感测放大器单元SAU分组为3个以上的组。

[0161] [第3实施方式]

[0162] 接下来,参照图21及图22,对第3实施方式的半导体存储装置进行说明。

[0163] 在第2实施方式中,示出了与抽选的存储单元MC对应的信号线、及与未抽选的存储单元MC对应的信号线构成为能够独立地进行控制的例子。然而,存储单元MC的抽选也可以利用所述方法以外的方法进行。

[0164] 例如,像图21及图22所示的那样,在第3实施方式的半导体存储装置中,参照图4所说明的充电晶体管37的一端连接于电压供给线V₁或V₂而未连接于电源电压供给线V_{DD}。

[0165] 例如,图21的构成係构成为能够对与近比特对应的感测放大器单元SAU_n及与远比特对应的感测放大器单元SAU_f供给不同的电压。例如,在图示的例子中,与近比特对应的充电晶体管37的一端连接于共通的电压供给线V₁,与远比特对应的充电晶体管37的一端连接于共通的电压供给线V₂,电压供给线V₁、V₂电性独立地构成。

[0166] 另外,例如,图22的构成係构成为能够对与偶数比特对应的感测放大器单元SAU_e及与奇数比特对应的感测放大器单元SAU_o供给不同的电压。例如,在图示的例子中,与奇数比特对应的充电晶体管37的一端连接于共通的电压供给线V₁,与偶数比特对应的充电晶体管37的一端连接于共通的电压供给线V₂,电压供给线V₁、V₂电性独立地构成。

[0167] 根据这样的构成,通过在上述预读出动作及删除验证动作时对电压供给线V₁、V₂的一者供给接地电压V_{SS},对另一者供给读出位线电压V_{BLR},能够不对数据锁存器SDL的数据进行操作而抽选存储单元MC。因此,与第1实施方式相比,可以期待删除动作的高速化。

[0168] 此外,在图21及图22的例子中,示出了构成为能够在多个感测放大器单元SAU间独立地控制连接于充电晶体管37的一端的电压供给线的例子,但也可以构成为能够独立地控制其它电压供给线。另外,在图21及图22的例子中,示出了将多个感测放大器单元SAU分组为2个组的例子,但也可以将多个感测放大器单元SAU分组为3个以上的组。

[0169] [第4实施方式]

[0170] 接下来,参照图23及图24,对第4实施方式的半导体存储装置进行说明。

[0171] 在第1实施方式~第3实施方式中,示出了在预读出动作及删除验证动作时抽选存储单元MC的例子。然而,存储单元MC的抽选也可以在预读出动作及删除验证动作以外的动作中进行。

[0172] 例如,存在如下情况:在读出动作时,执行跟踪读出动作。图23是用来对跟踪读出动作进行说明的示意性直方图。图24是用来对跟踪读出动作进行说明的示意性流程图。

[0173] 像图23所示的那样,连接于选择字线WL3的多个存储单元MC的阈值跨特定的范围分布。图中的分布Er例如与记录有数据“0”的存储单元MC的阈值分布对应。分布A例如与记录有数据“1”的存储单元MC的阈值分布对应。

[0174] 此处,存在如下情况:像图示的那样,分布Er及分布A一部分重复。即,存在如下情况:记录数据“0”的存储单元MC的一部分具有比记录数据“1”的存储单元MC的一部分大的阈值电压。如果对这样的存储单元MC执行读出动作,那么该存储单元MC的比特成为错比特。在错比特为特定数以下的情况下,能够通过错误检查纠正(ECC, Error Checking and Correcting)适当地读出数据。然而,如果错比特大于特定数,那么,存在无法适当地读出数据的情况。

[0175] 因此,在跟踪读出动作中,像图示的那样,一面将读出电压 V_{CGR} 调整为多个阈值电压 $V_{TH1} \sim V_{TH4}$ 一面执行多个第1读出动作,检测错比特变为最少的阈值电压 V_{TH} ,将该阈值电压 V_{TH} 用作读出电压 V_{CGR} 而执行第2读出动作。

[0176] 在步骤S301(图24)中,进行读出电压 V_{CGR} 的调整。例如,在第1周循环中,将读出电压 V_{CGR} 设定为阈值电压 V_{TH1} ,在第2周循环中,将读出电压 V_{CGR} 设定为阈值电压 V_{TH2} 。同样地,在第3周或第4周循环中,将读出电压 V_{CGR} 设定为阈值电压 V_{TH3} 或阈值电压 V_{TH4} 。

[0177] 在步骤S302中,使用在步骤S301中调整的读出电压 V_{CGR} 执行第1读出动作。第1读出动作与预读出动作(图15、图16)同样地执行。

[0178] 在步骤S303中,执行计数动作。在计数动作中,例如,基于保持于感测放大器模块SAM(图3)的数据锁存器XDL的数据,计数接通状态的存储单元MC的个数。此外,在计数动作中,也可以抽选接通状态的存储单元MC的个数进行计数。

[0179] 在步骤S304中,判定第1读出动作是否结束。在未结束的情况下,前进至步骤S301,在结束的情况下前进至步骤S305。

[0180] 在步骤S305中,检测错比特变为最少的阈值电压 V_{TH} 。例如,算出第 k (k 为自然数)次执行的第1读出动作中的接通状态的存储单元MC的个数与第 $k+1$ 次执行的第1读出动作中的接通状态的存储单元MC的数的差分。接下来,基于该算出的差分,检测错比特变为最少的阈值电压 V_{TH} 。

[0181] 在步骤S306中,执行第2读出动作。第2读出动作基本上与读出动作(图7)同样地执行。另外,在第2读出动作时,将在步骤S305中检测出的阈值电压 V_{TH} 用作读出电压 V_{CGR} 。

[0182] 此外,在本实施方式中,在从执行一次读出电压 V_{CGR} 的调整(S301)至再次执行读出电压 V_{CGR} 的调整(S301)为止的期间,不对所抽选的存储单元MC执行第1读出动作(S302)。

[0183] [第5实施方式]

[0184] 接下来,参照图25及图26,对第5实施方式的半导体存储装置进行说明。

[0185] 在第1实施方式~第4实施方式中,示出了在预读出动作、删除验证动作及跟踪读出动作时抽选存储单元MC的例子。然而,存储单元MC的抽选也可以在预读出动作、删除验证动作及跟踪读出动作以外的动作中进行。

[0186] 例如,存在如下情况:在写入动作中,在参照图8~图10所说明的动作结束后,执行确认删除状态的存储单元MC的阈值分布的上沿的范围的EPD读出动作。图25是用来对EPD读出动作进行说明的示意性直方图。图26是用来对EPD读出动作进行说明的示意性流程图。

[0187] 像图25所示的那样,如果对连接于选择字线WL3的多个存储单元MC执行编程动作,

那么存在如下情况:不仅写入存储单元MC的阈值电压变动,禁止存储单元MC的阈值电压也变动。在EPD读出动作中,检测这样的禁止存储单元MC的阈值电压的变动。

[0188] 在步骤S401(图24)中,进行读出电压 V_{CGR} 的调整。例如,将读出电压 V_{CGR} 设定为 EPD 读出电压 V_{EPD1} (图25)。

[0189] 在步骤S402中,执行第1EPD读出动作。第1EPD读出动作与预读出动作(图15、图16)同样地执行。

[0190] 在步骤S403中,执行计数动作。在计数动作中,例如,基于保持于感测放大器模块SAM(图3)的数据锁存器XDL的数据,计数接通状态的存储单元MC的个数。此外,在计数动作中,也可以抽选接通状态的存储单元MC的个数进行计数。

[0191] 在步骤S404中,进行读出电压 V_{CGR} 的调整。例如,将读出电压 V_{CGR} 设定为EPD 读出电压 V_{EPD2} (图25)。EPD读出电压 V_{EPD2} 比EPD读出电压 V_{EPD1} 大。

[0192] 在步骤S405中,执行第2EPD读出动作。第2EPD读出动作与预读出动作(图15、图16)同样地执行。

[0193] 在步骤S406中执行计数动作。在计数动作中,例如,基于保持于感测放大器模块SAM(图3)的数据锁存器XDL的数据,计数接通状态的存储单元MC的个数。此外,在计数动作中,也可以抽选接通状态的存储单元MC的个数进行计数。

[0194] 然后,能够通过对在步骤S403及步骤S406中数出的接通状态的存储单元MC的个数进行比较,而算出阈值电压为EPD读出电压 V_{EPD1} 及EPD读出电压 V_{EPD2} 之间的范围的存储单元MC的个数、比例等。

[0195] 此外,在本实施方式中,在一次EPD读出动作中,不执行对在第1EPD读出动作(S402)中抽选的存储单元MC的第1EPD读出动作。同样地,在一次EPD读出动作中,不执行对在第2EPD读出动作(S405)中抽选的存储单元MC的第2EPD读出动作。

[0196] [其它]

[0197] 已对本发明的若干实施方式进行了说明,但这些实施方式是作为例子提出的,并不意图限定发明的范围。这些新颖的实施方式能够以其它多种方式实施,可以在不脱离发明的主旨的范围内进行各种省略、置换、变更。这些实施方式或其变化包含在发明的范围或主旨中,并且包含在权利要求书所记载的发明及其均等的范围内。

[0198] 【符号说明】

[0199]	MC	存储单元(存储晶体管)
[0200]	BL	位线
[0201]	SL	源极线
[0202]	WL	字线
[0203]	V_{PGM}	编程电压
[0204]	V_{VFY}	验证电压
[0205]	V_{ERA}	删除电压
[0206]	V_{ERV}	删除验证电压

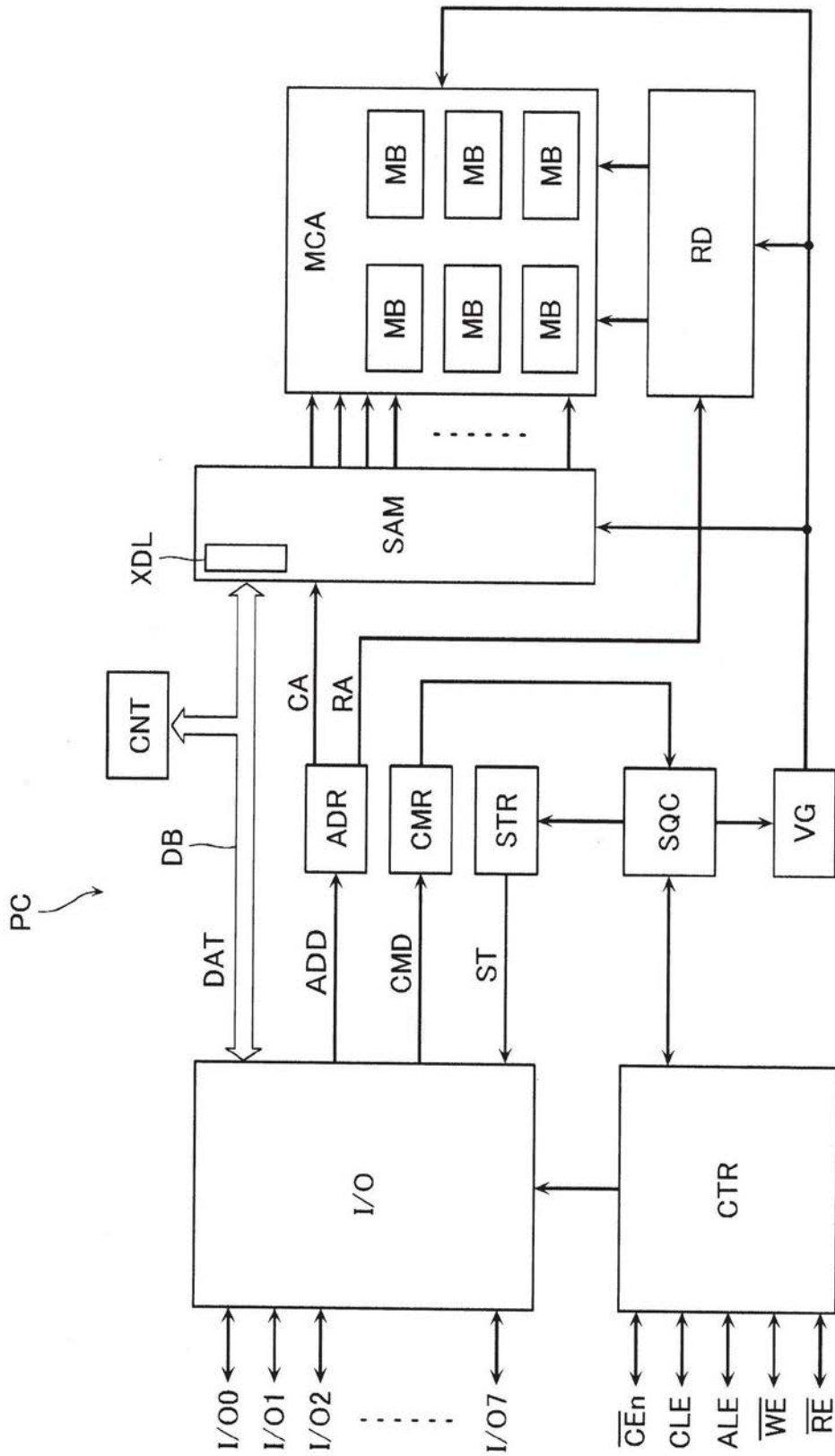


图1

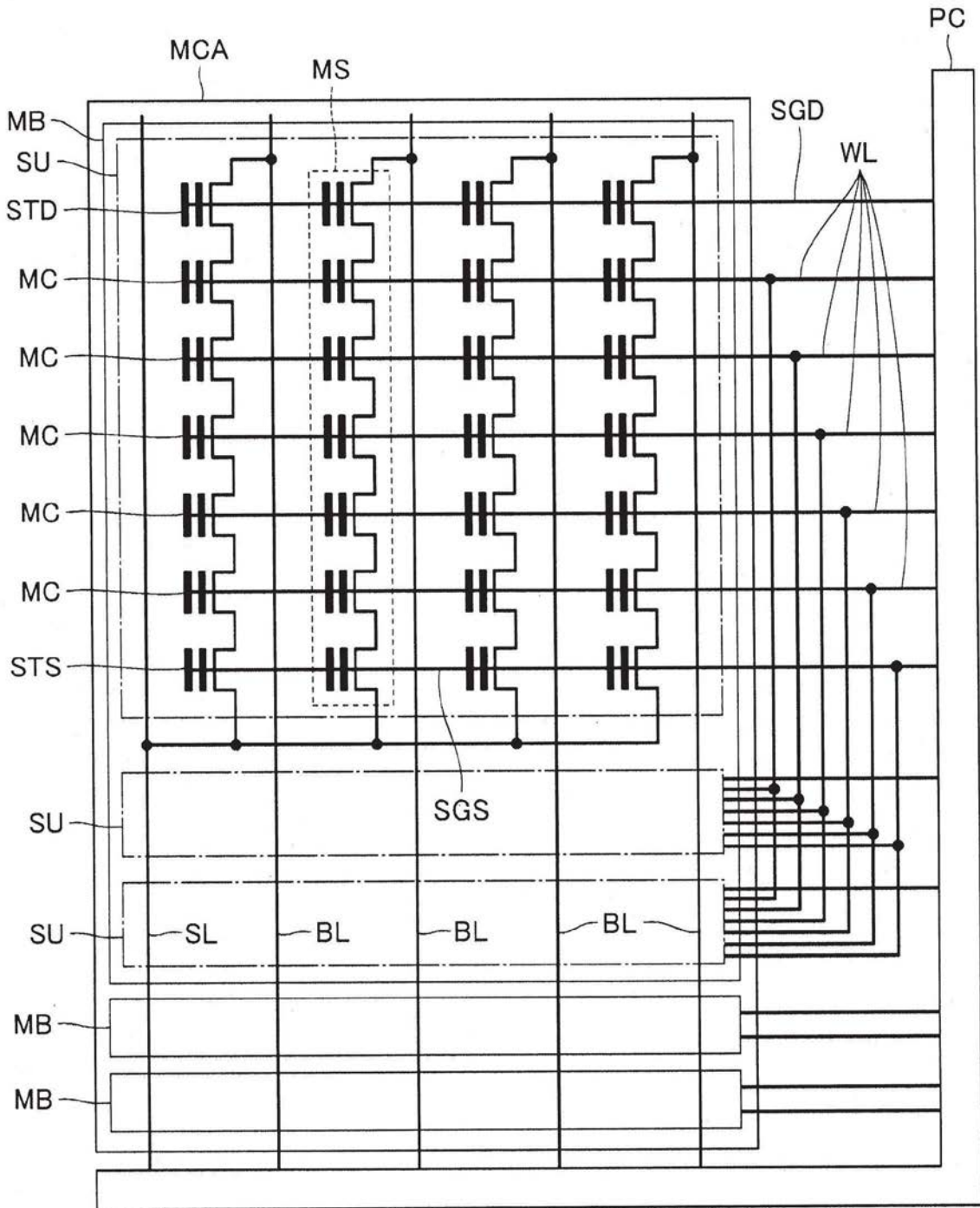


图2

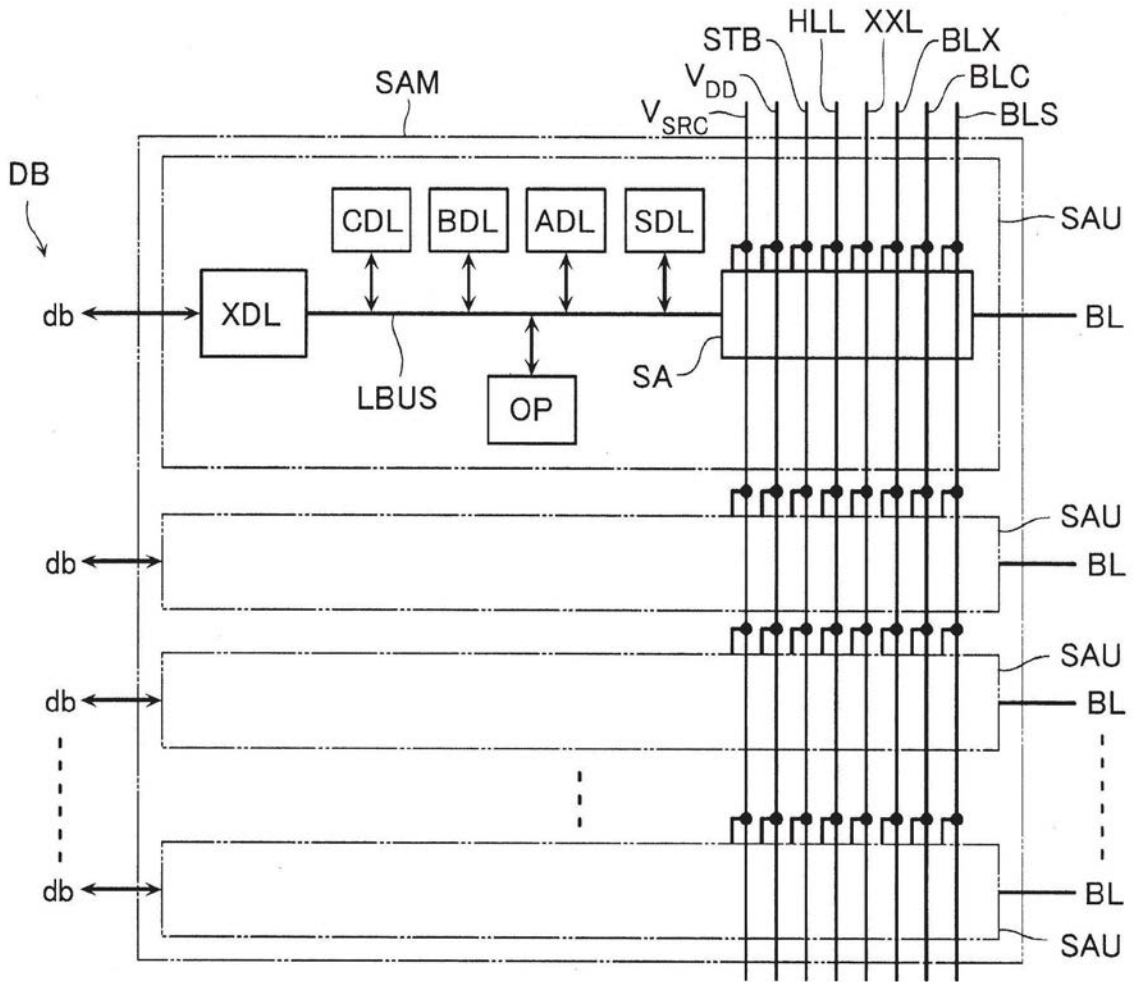


图3

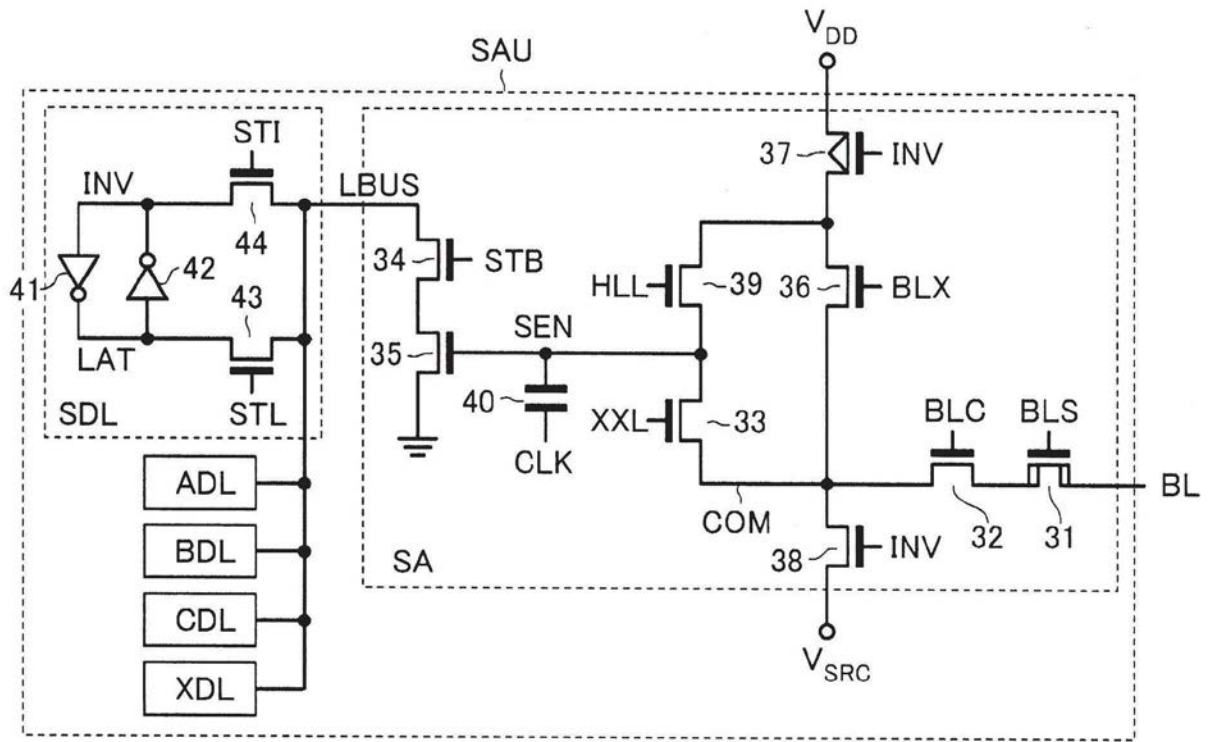


图4

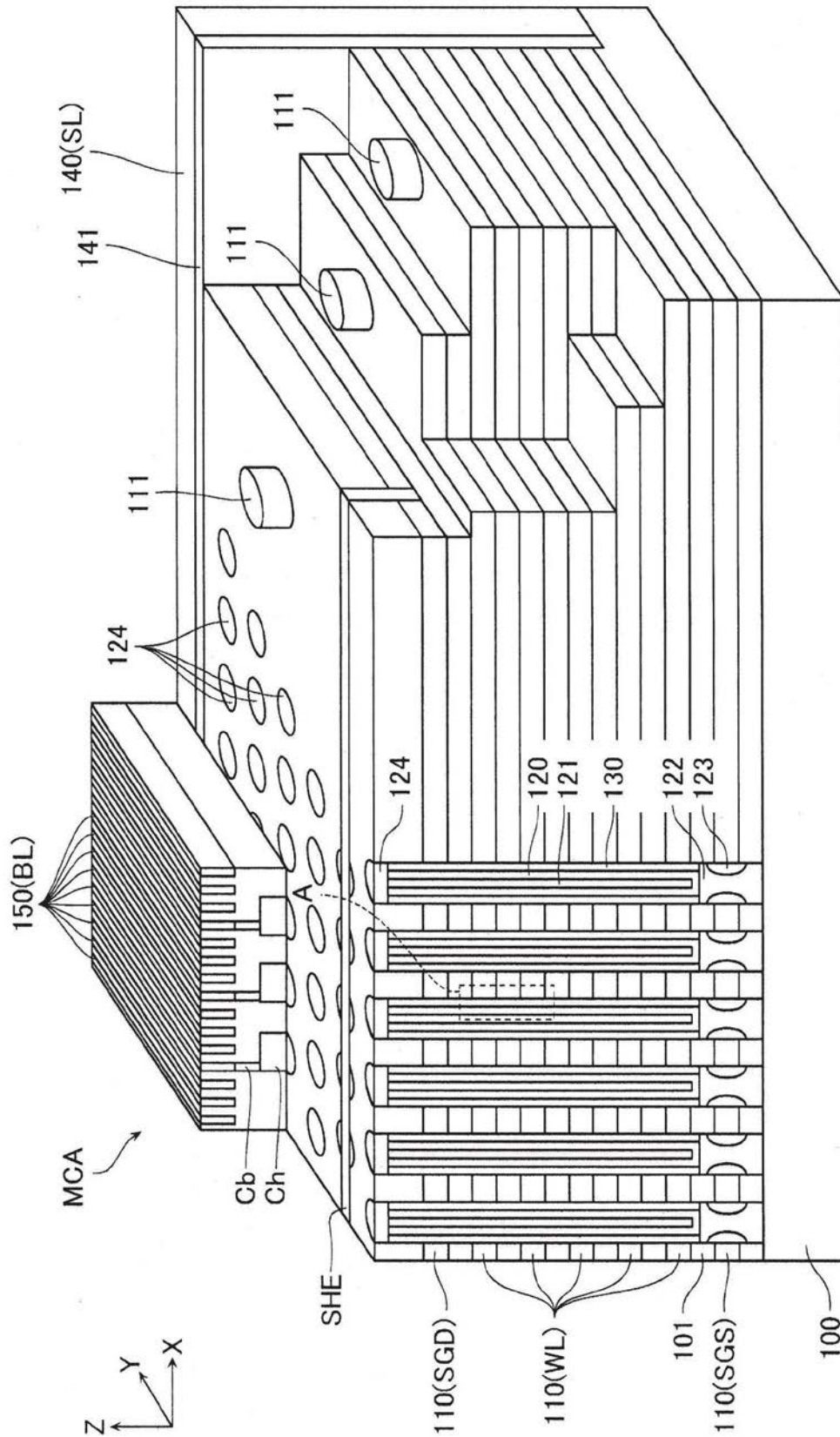


图5

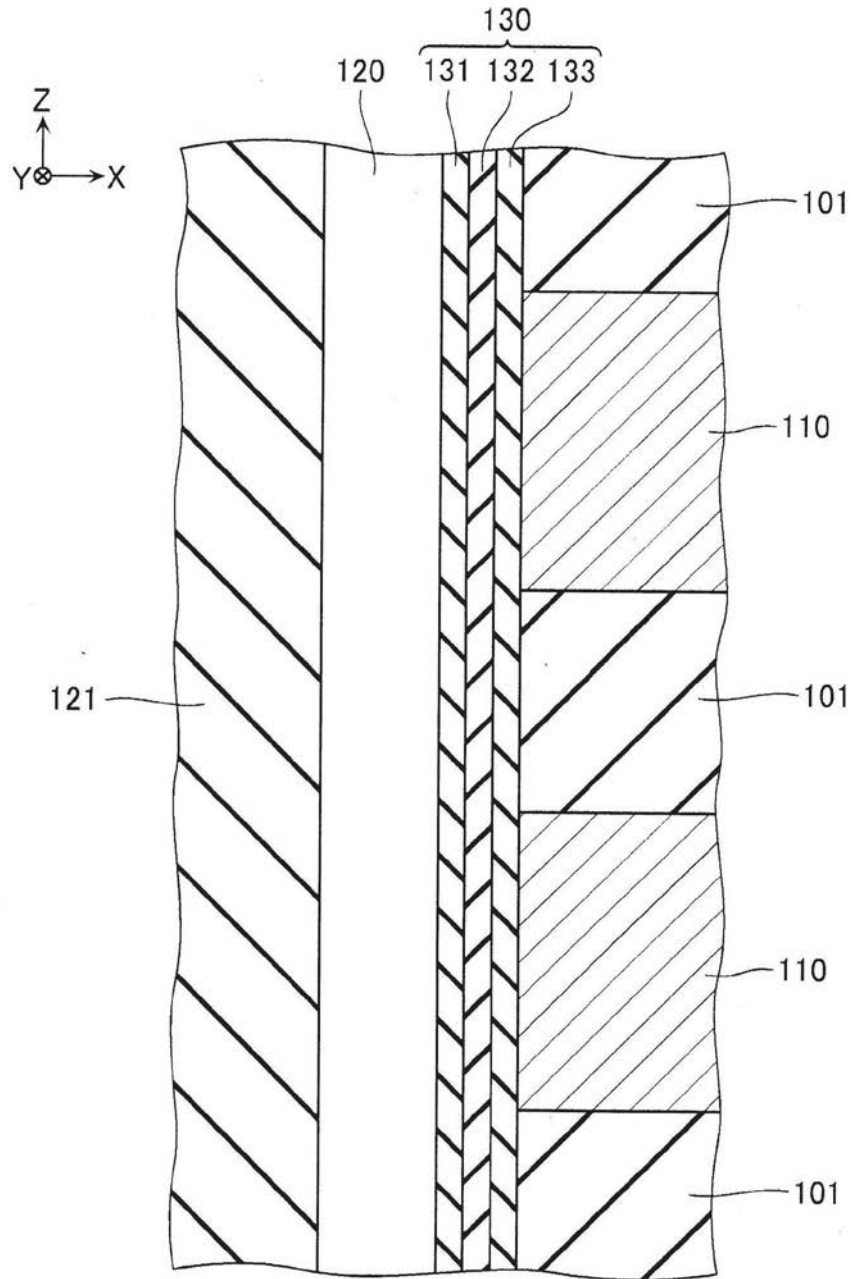


图6

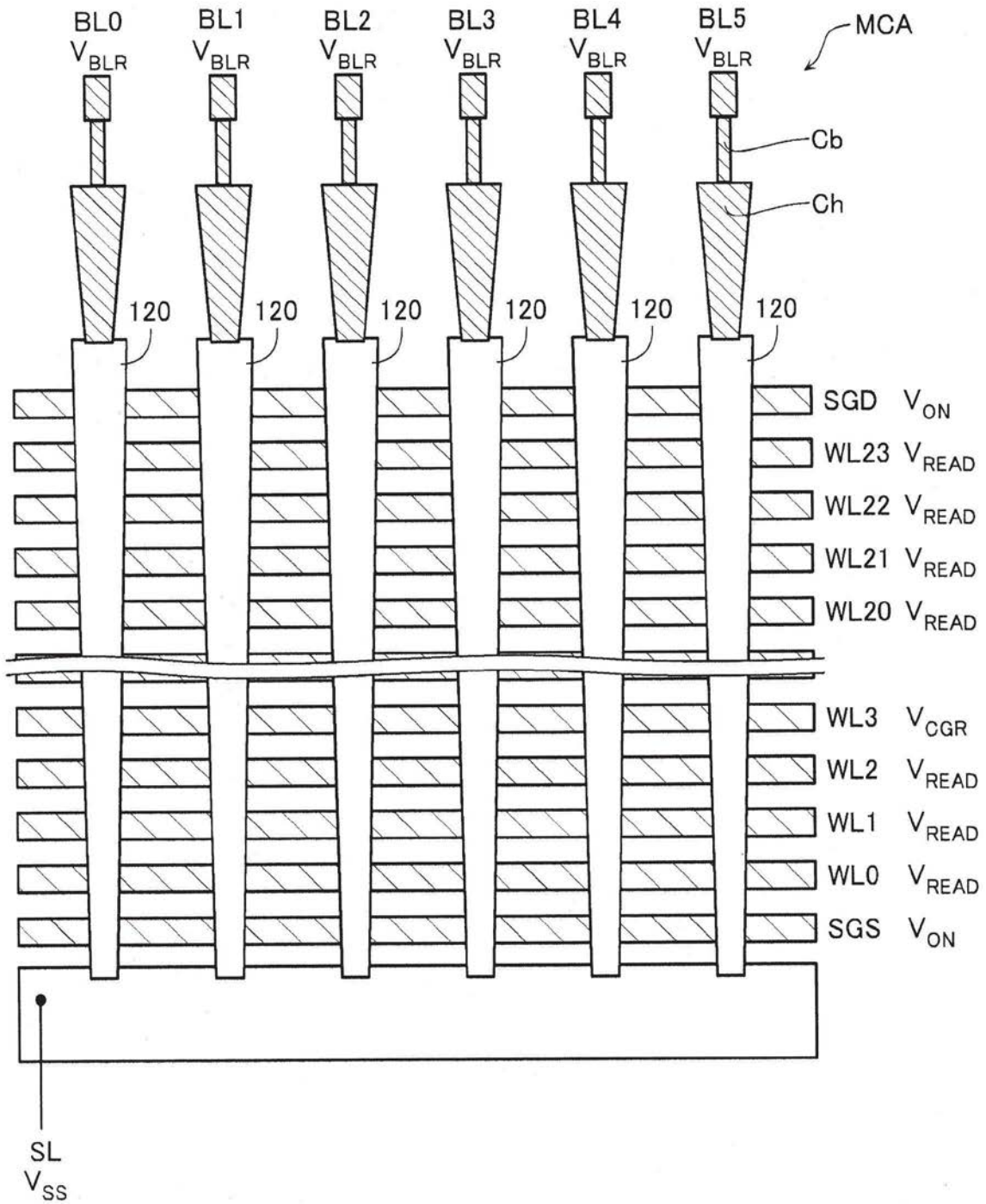


图7

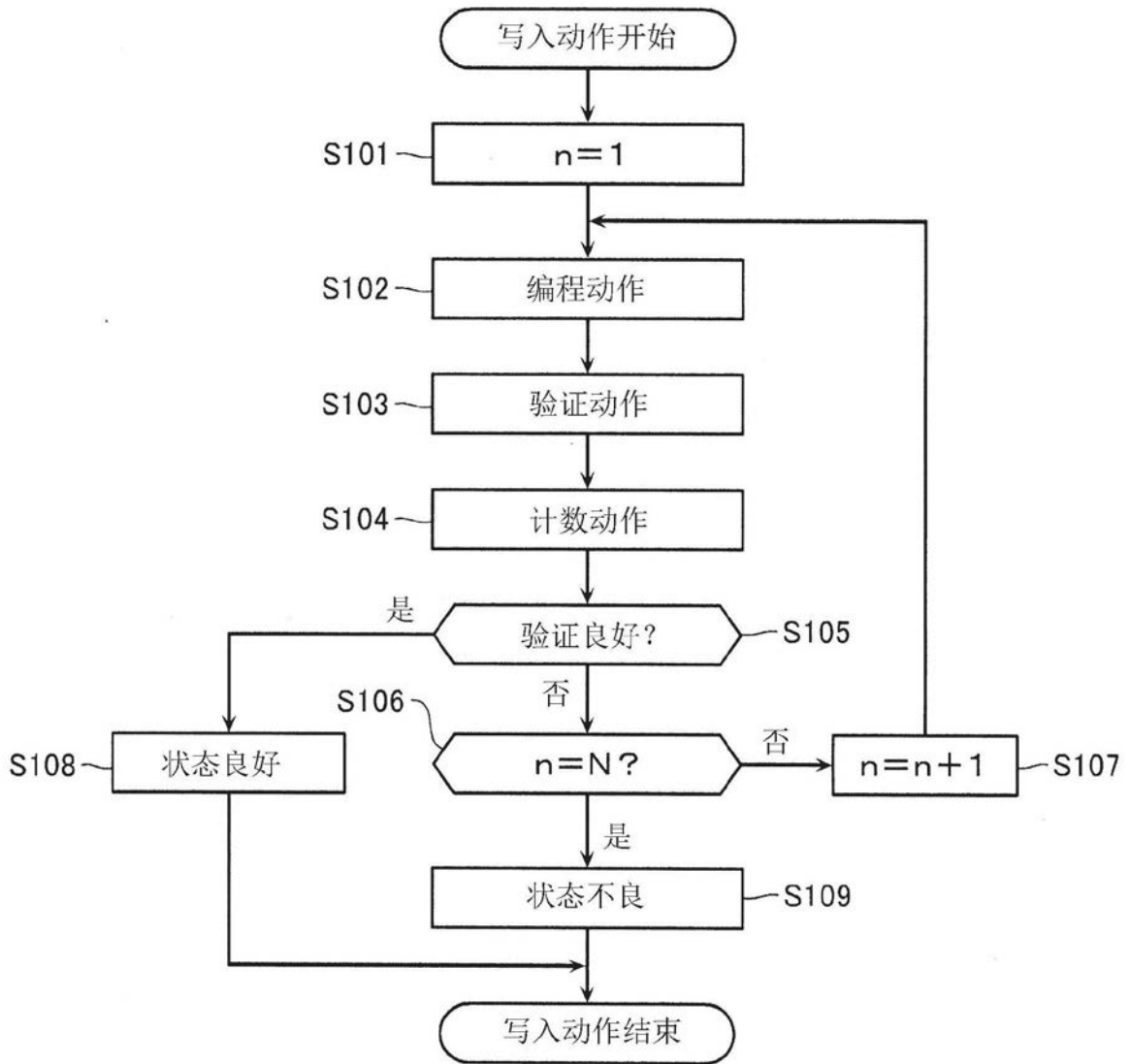


图8

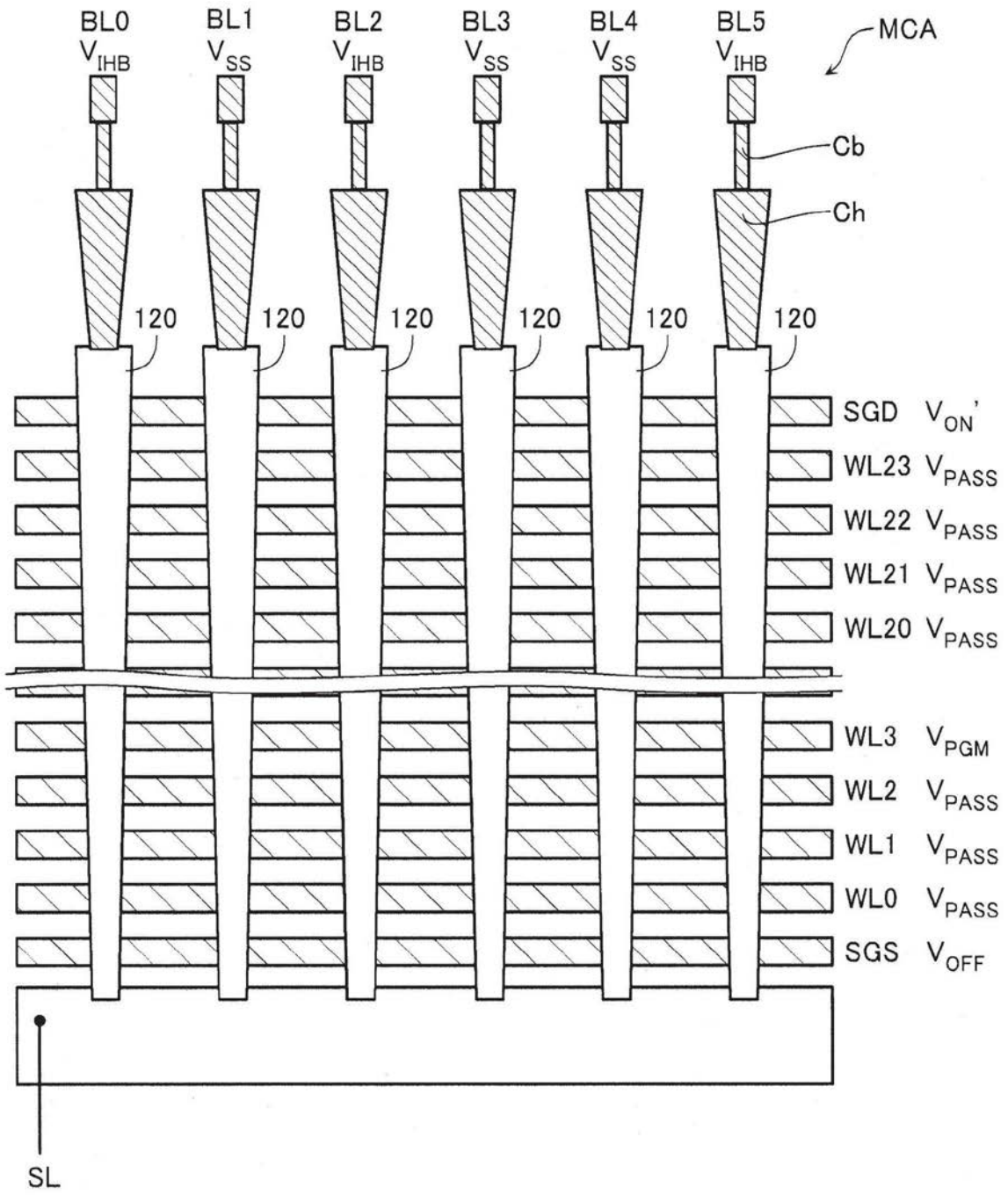


图9

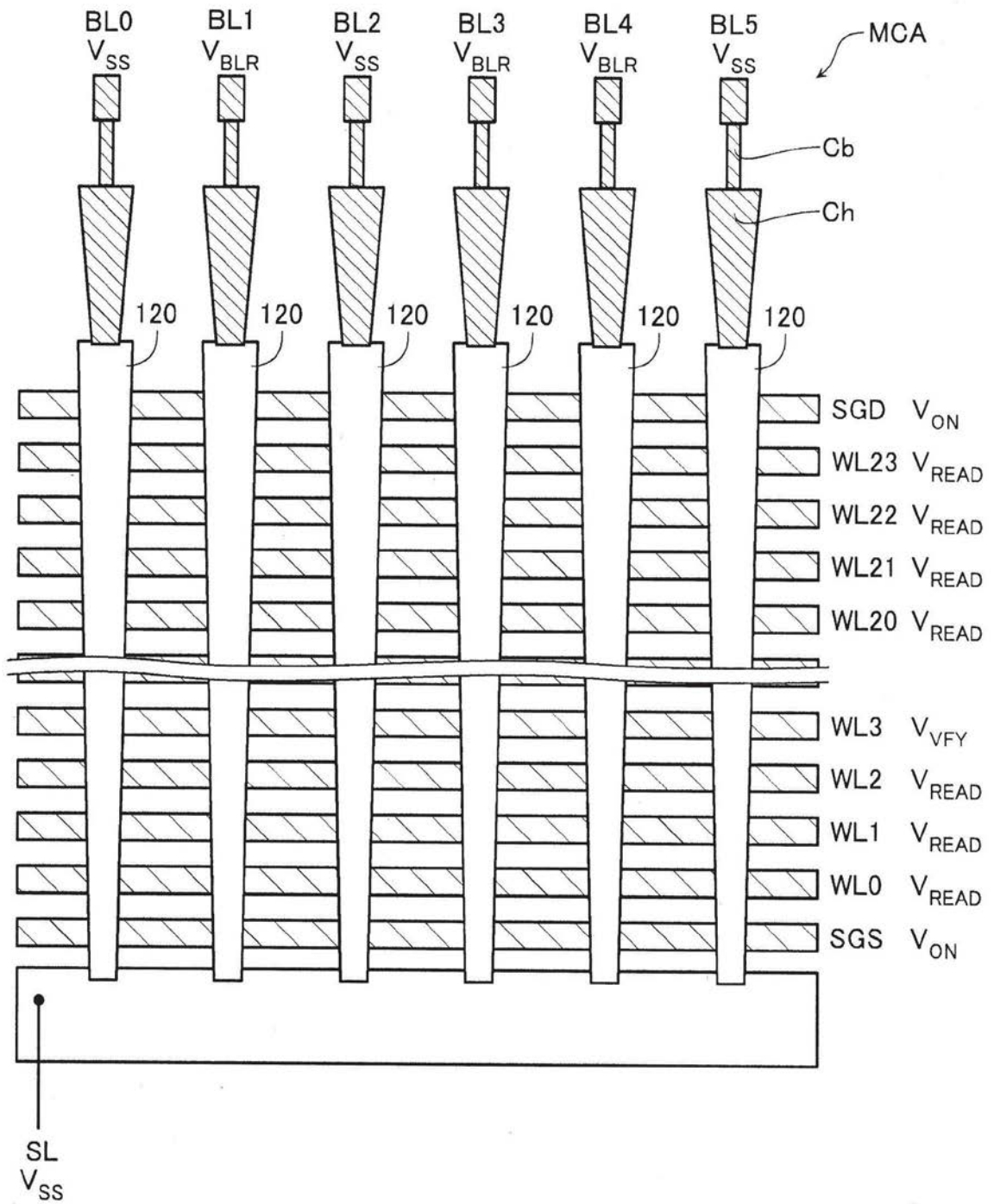


图10

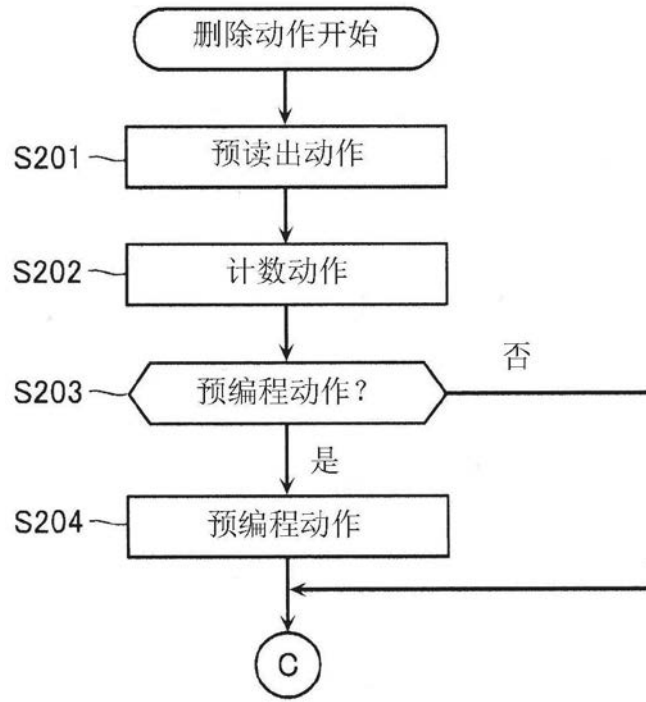


图11

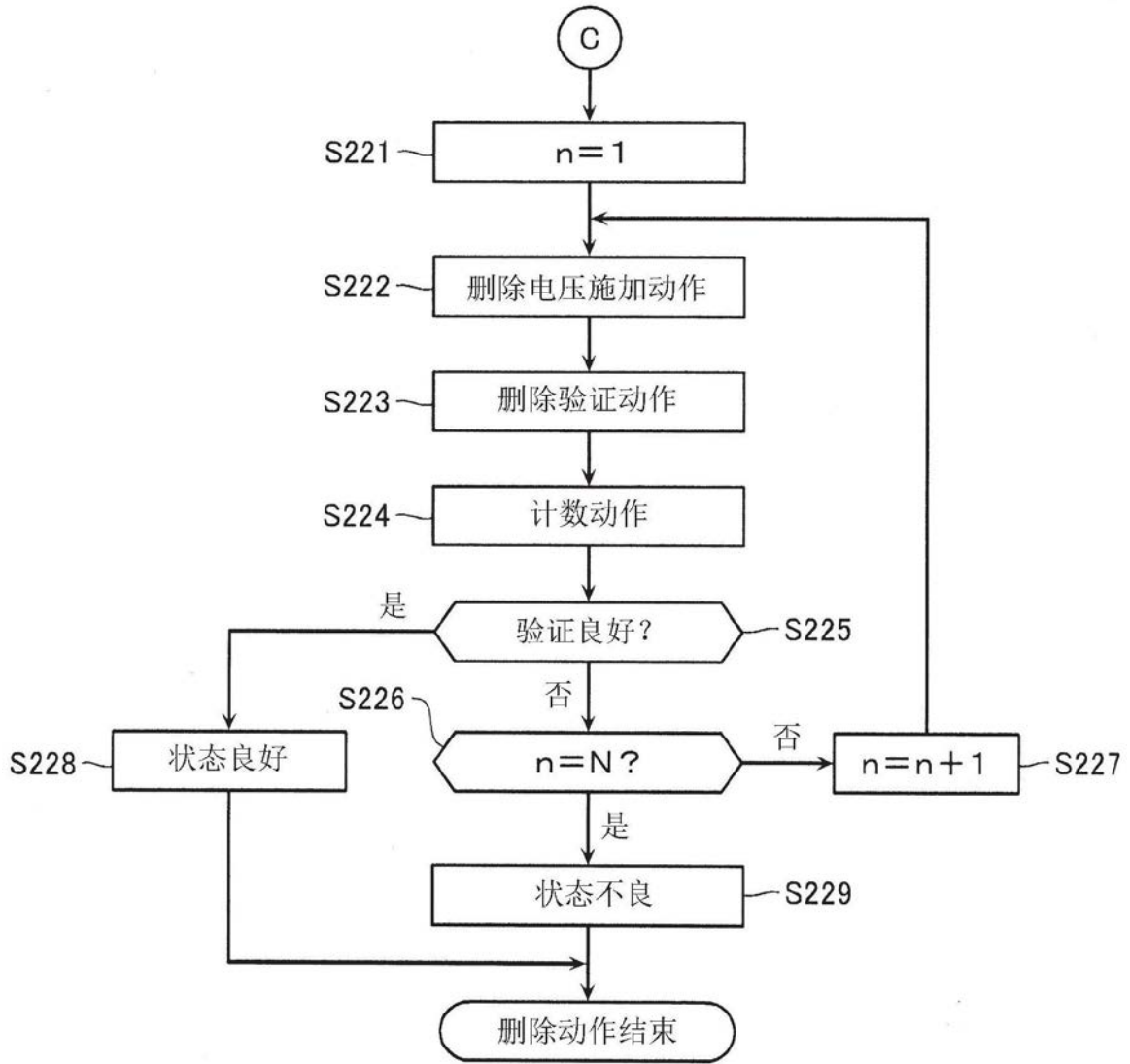


图12

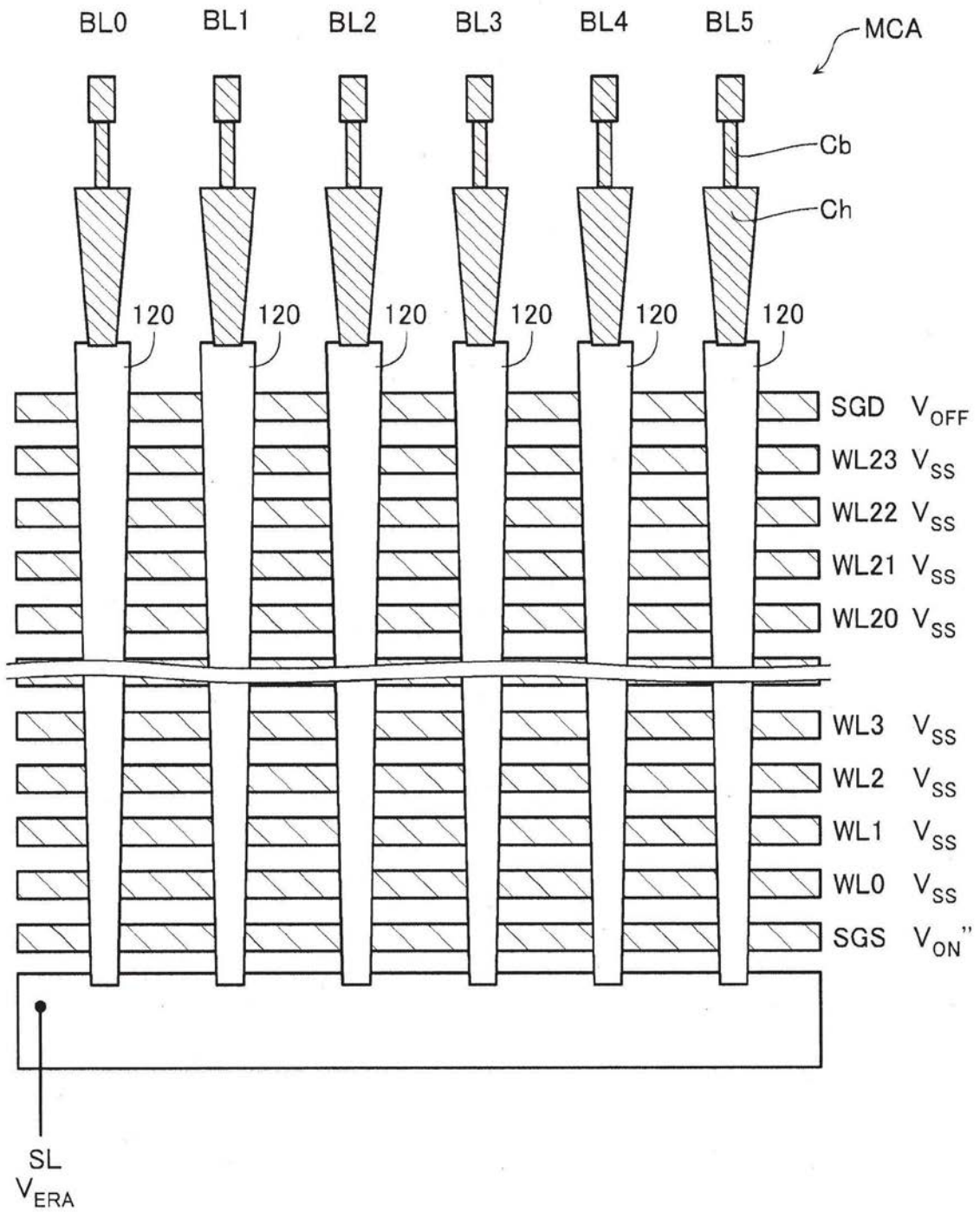


图13

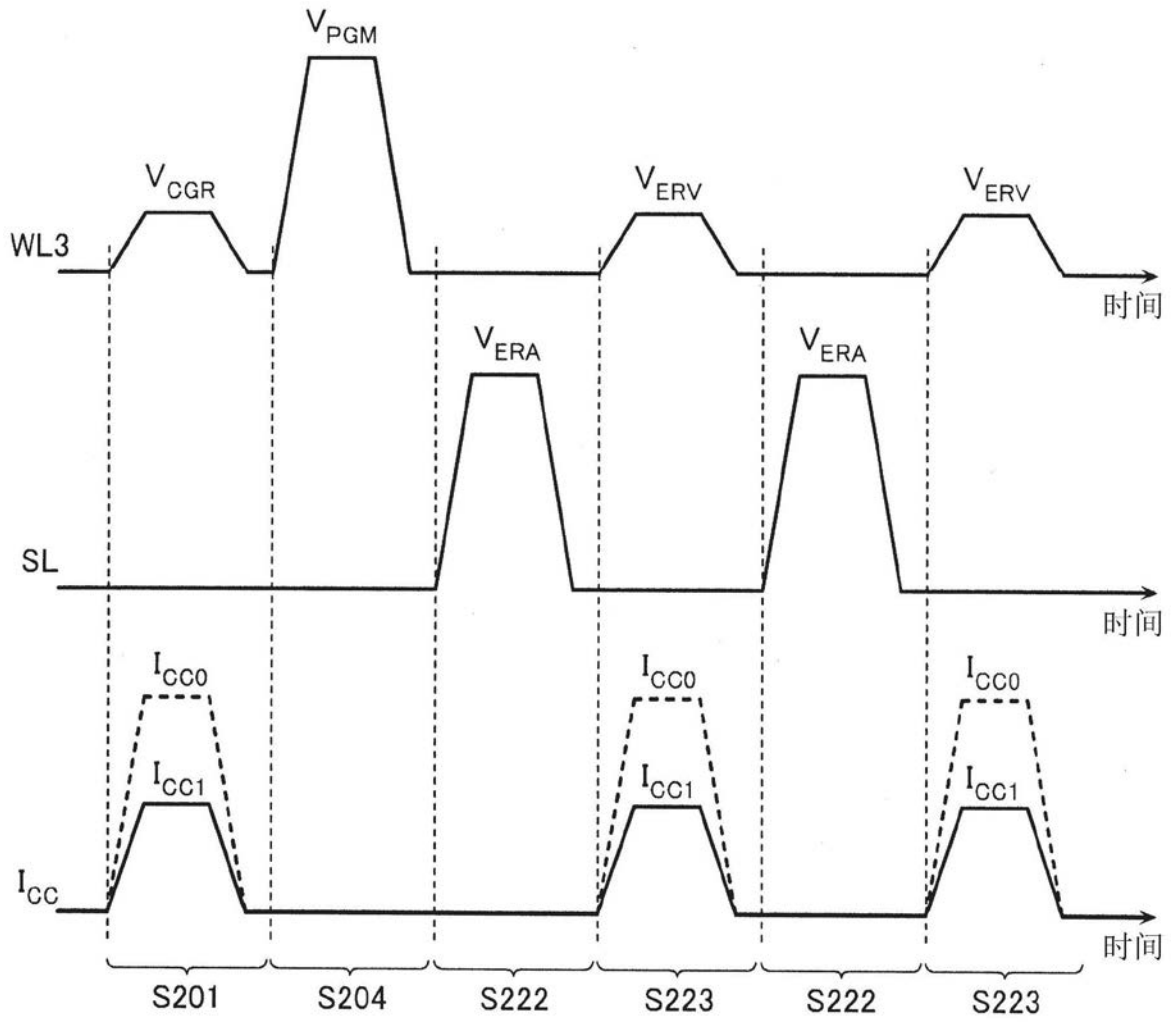


图14

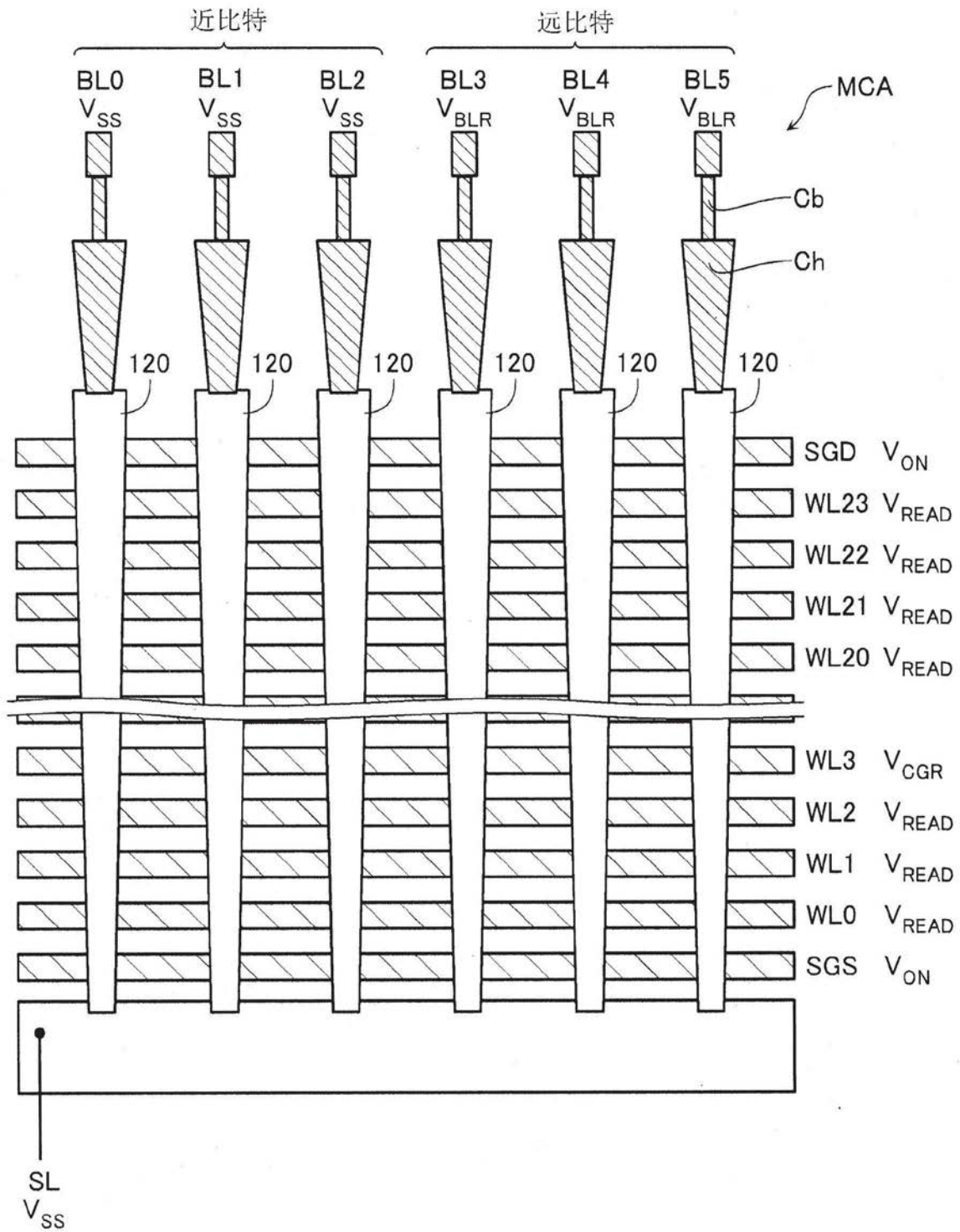


图15

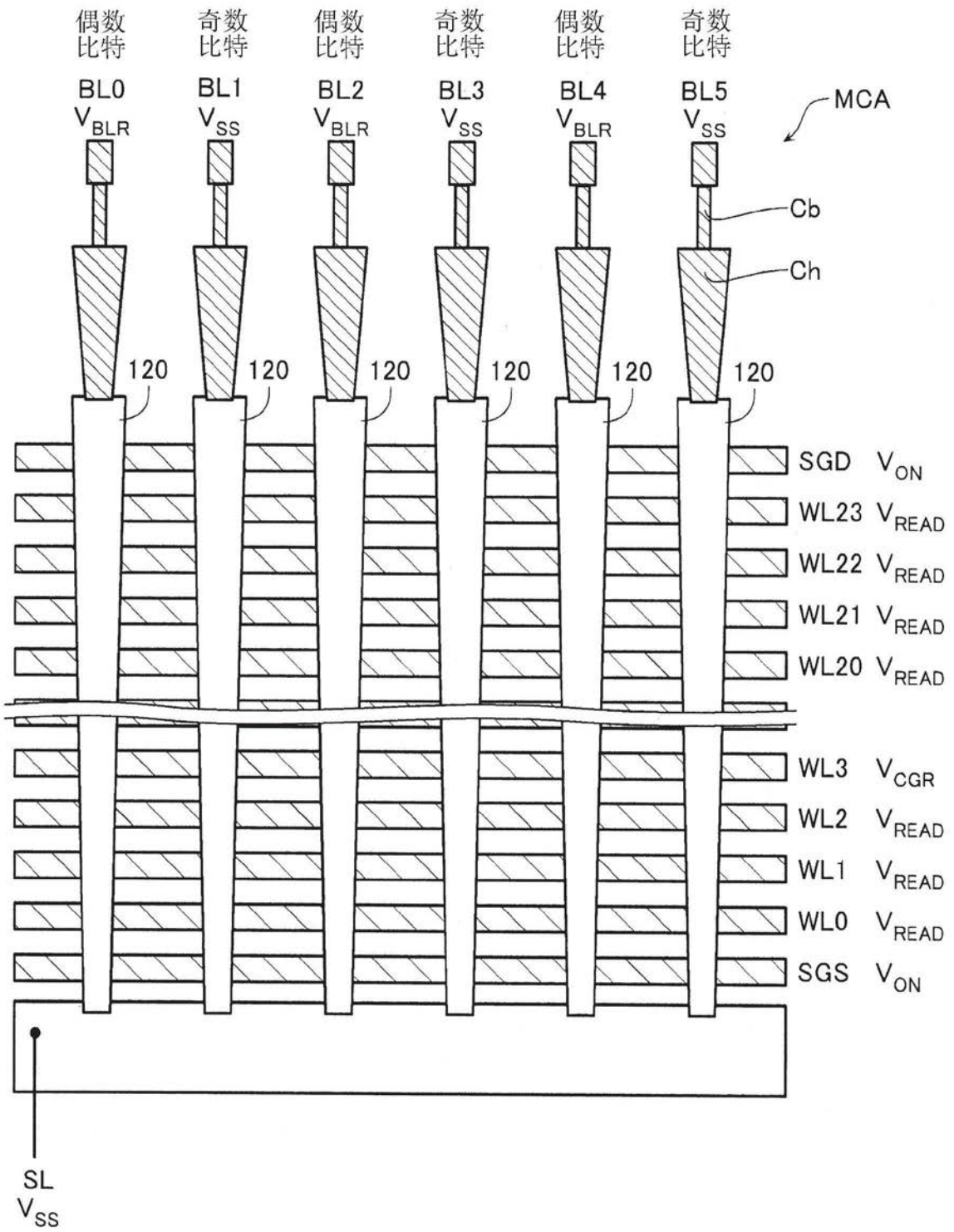


图16

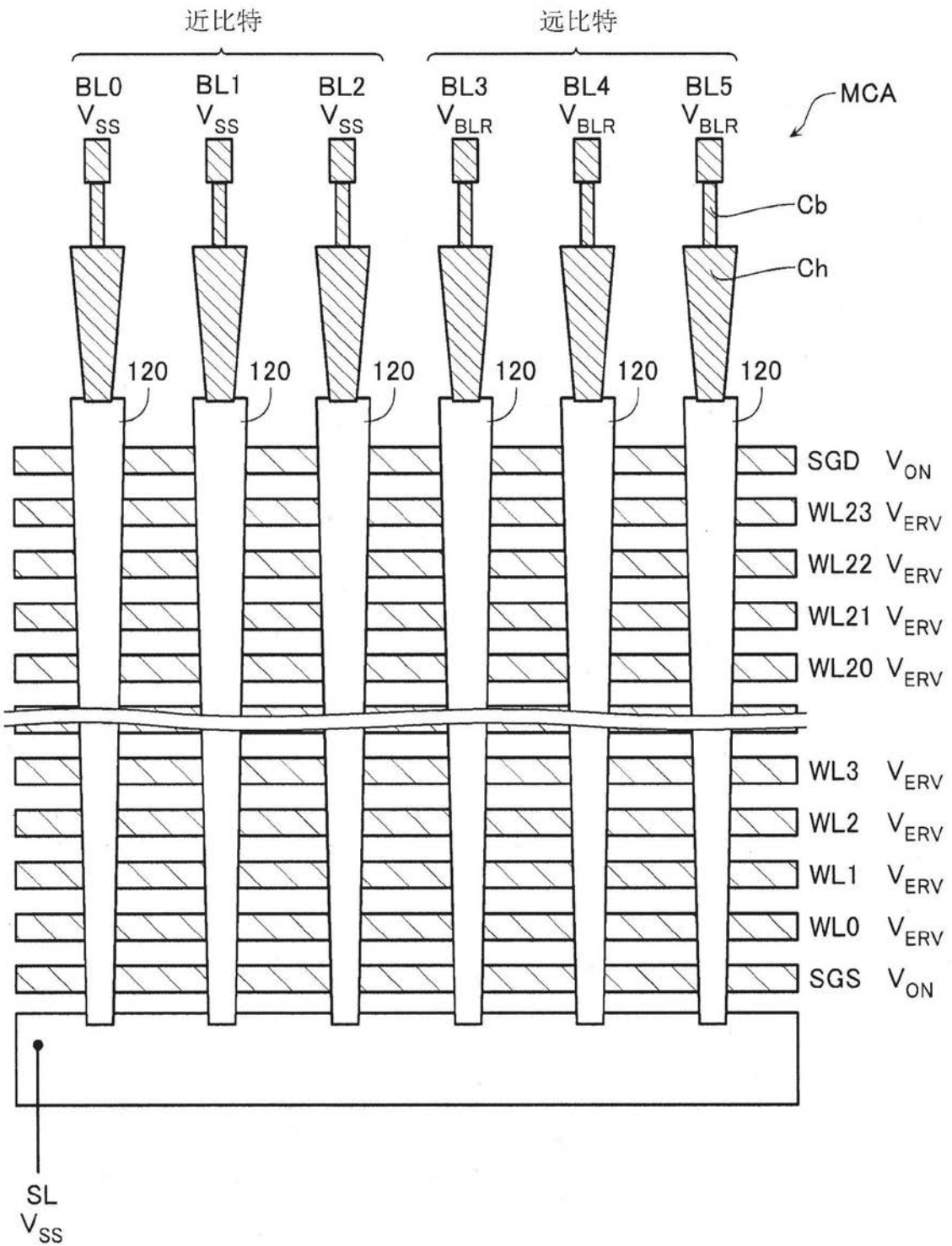


图17

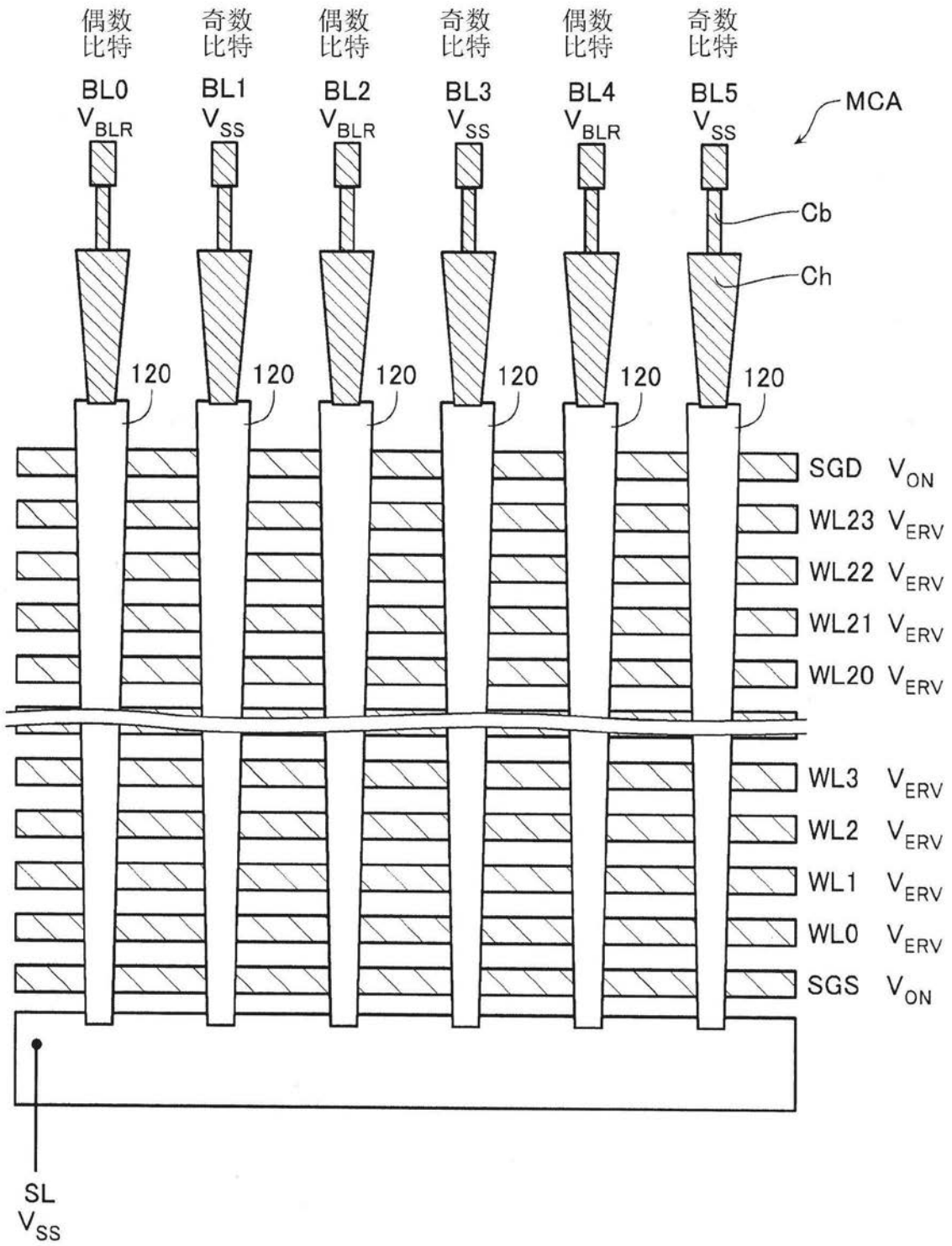


图18

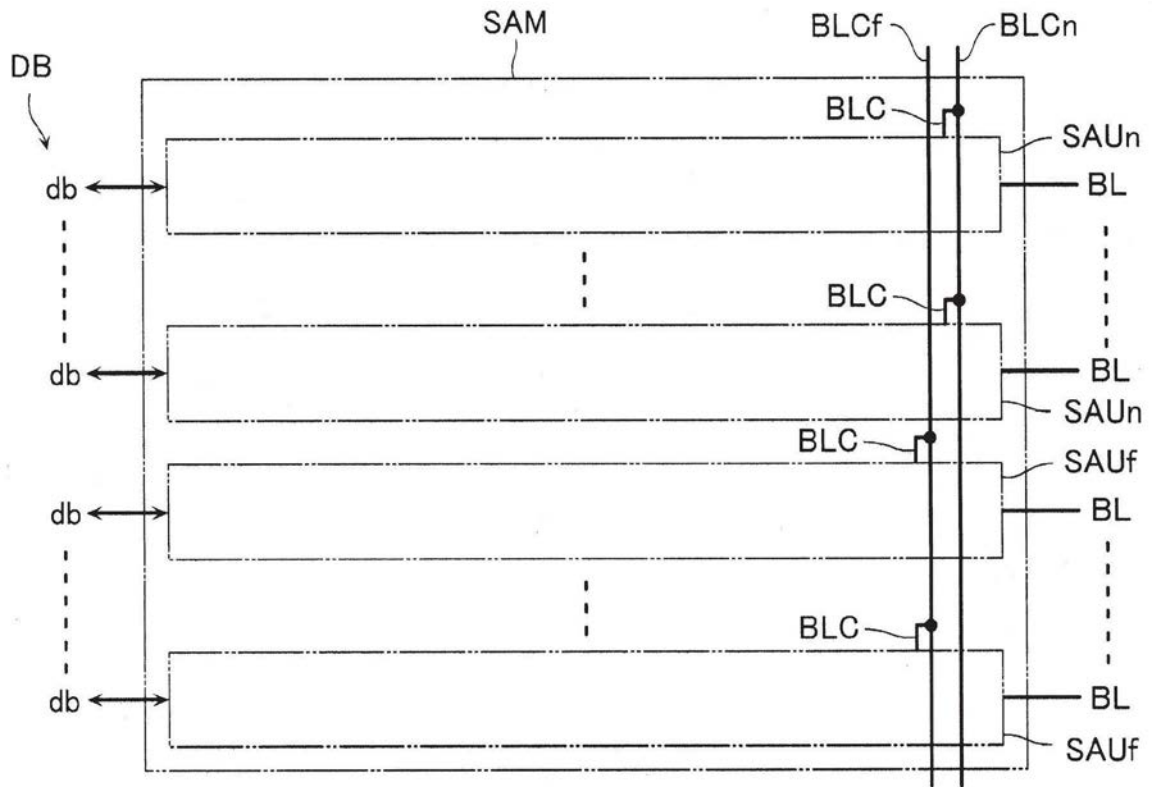


图19

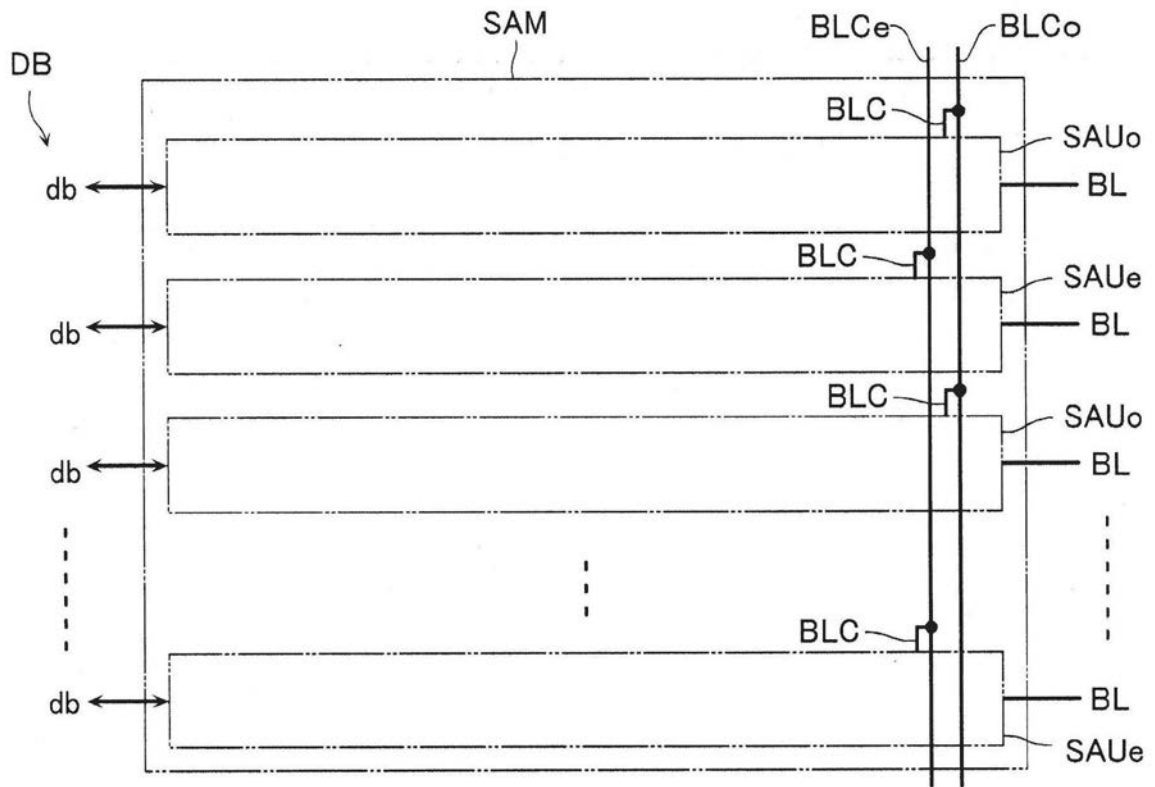


图20

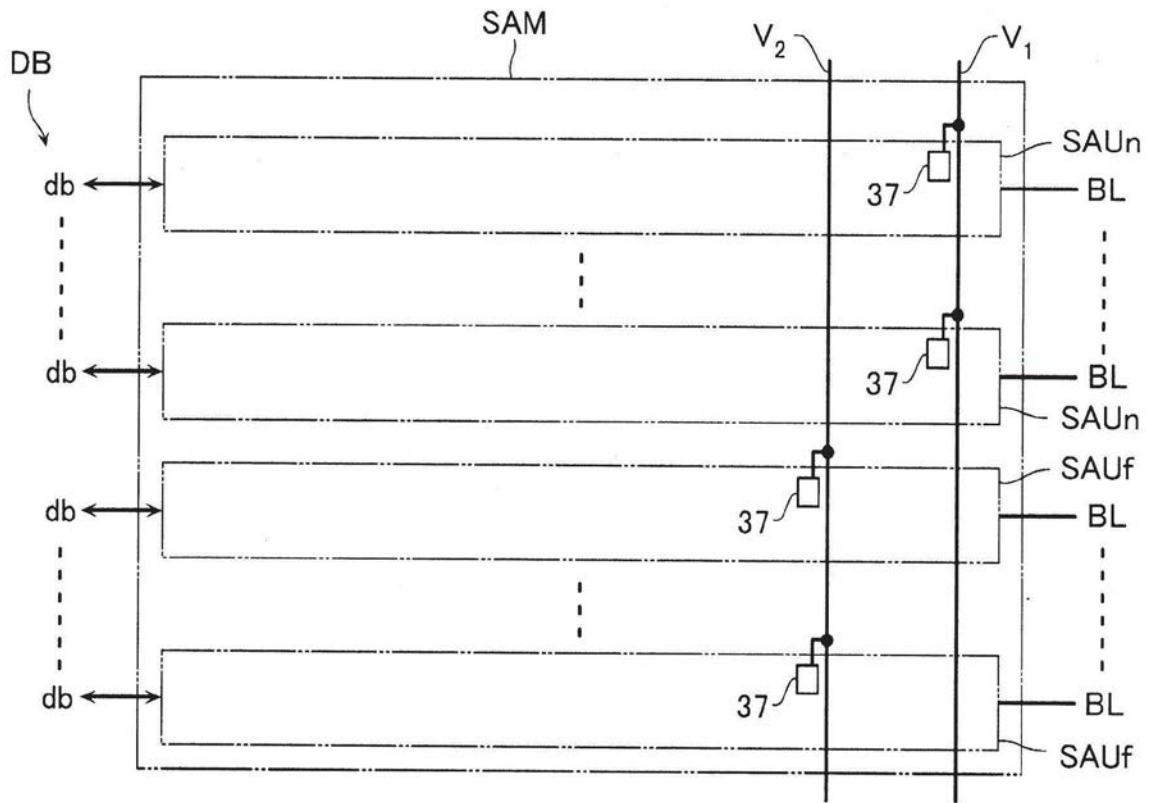


图21

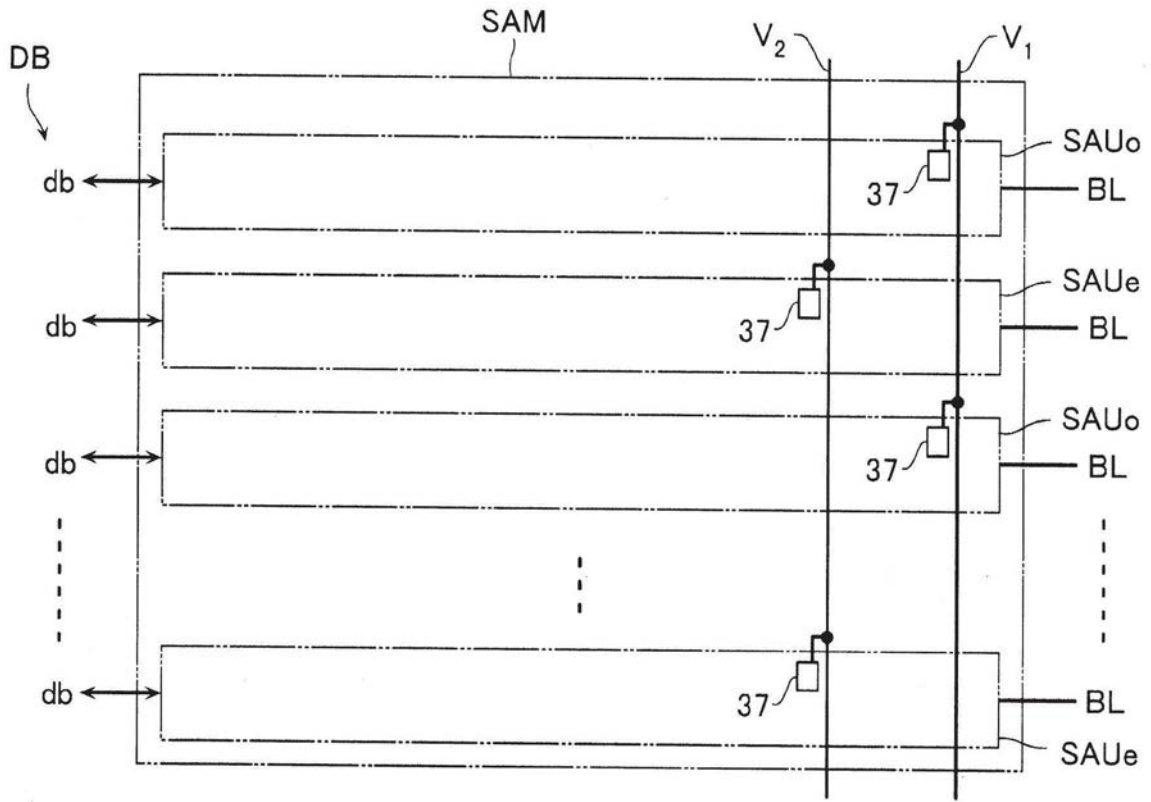


图22

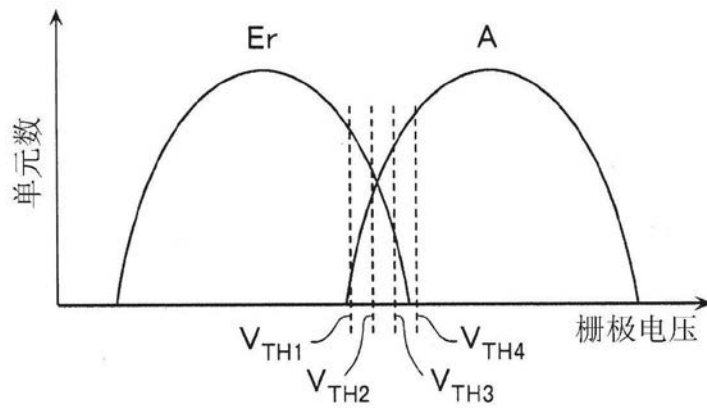


图23

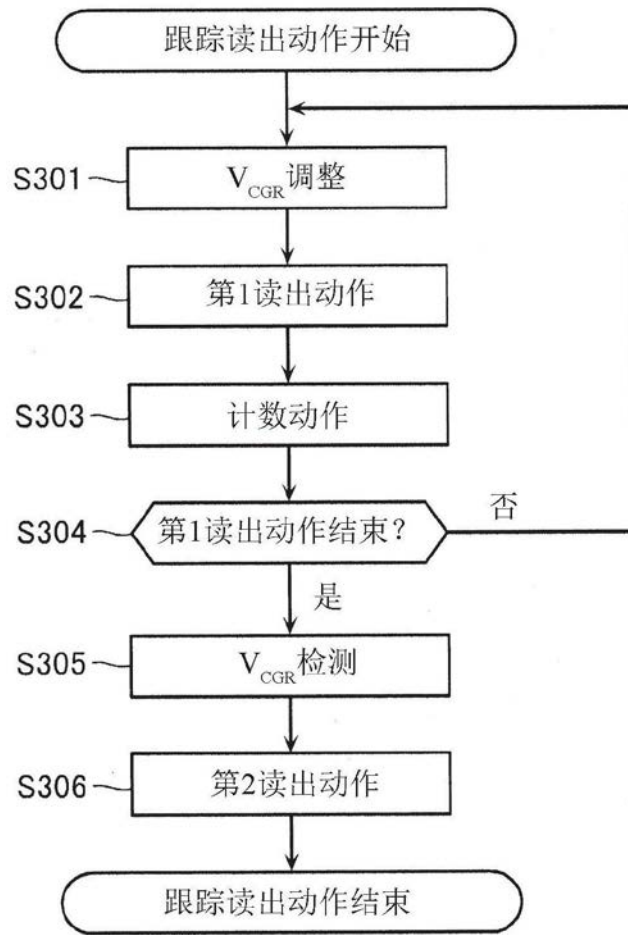


图24

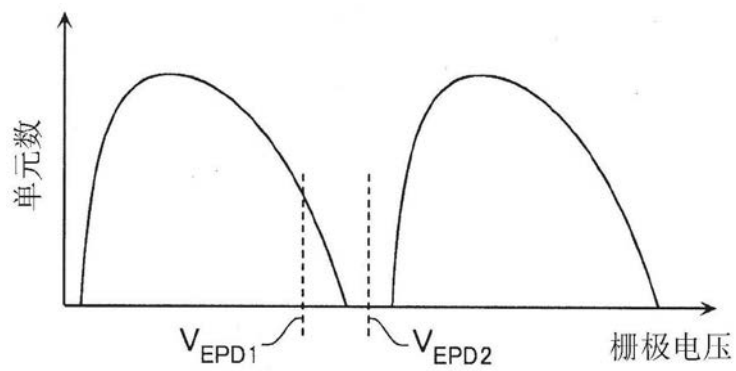


图25

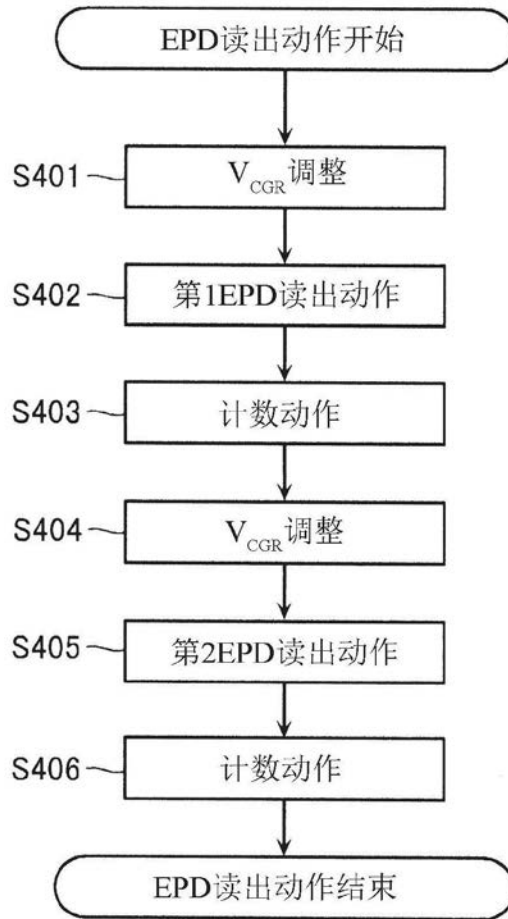


图26