

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5833961号  
(P5833961)

(45) 発行日 平成27年12月16日(2015.12.16)

(24) 登録日 平成27年11月6日(2015.11.6)

(51) Int. Cl. F I  
 HO 4 N 19/593 (2014.01) HO 4 N 19/593  
 HO 4 N 19/42 (2014.01) HO 4 N 19/42  
 HO 4 N 1/413 (2006.01) HO 4 N 1/413 D

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2012-68124 (P2012-68124)	(73) 特許権者	000003078
(22) 出願日	平成24年3月23日(2012.3.23)		株式会社東芝
(65) 公開番号	特開2013-201562 (P2013-201562A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成25年10月3日(2013.10.3)	(74) 代理人	100111121
審査請求日	平成26年2月6日(2014.2.6)		弁理士 原 拓実
前置審査		(74) 代理人	100142088
			弁理士 野木 新治
		(74) 代理人	100200104
			弁理士 渡邊 実
		(74) 代理人	100176599
			弁理士 高橋 拓也
		(74) 代理人	100122220
			弁理士 黒田 久美子
		(74) 代理人	100138807
			弁理士 大西 邦幸

最終頁に続く

(54) 【発明の名称】 画像圧縮装置、画像処理システム、及び画像圧縮方法

(57) 【特許請求の範囲】

【請求項1】

ベイヤーパターンに従って配列された、少なくとも3種類の色成分を有する画像データから、前記画像データの第1ライン及び第2ライン上に含まれる第1色成分に対応する第1画素と、前記第1ライン上に含まれる第2色成分に対応する第2画素と、前記第2ラインに含まれる第3色成分に対応する第3画素と、を抽出する画像データ制御部と、

前記画像データにおいて、符号化すべきターゲット第1画素に対してカラム方向に最近接する参照第1画素を参照して、前記ターゲット第1画素を符号化することにより、第1符号化画素を生成する第1符号化部と、

前記画像データにおいて、符号化すべきターゲット第2画素に対してライン方向に最近接する参照第2画素を参照して、前記ターゲット第2画素を符号化することにより、第2符号化画素を生成する第2符号化部と、

前記画像データにおいて、符号化すべきターゲット第3画素に対してライン方向に最近接する参照第3画素を参照して、前記ターゲット第3画素を符号化することにより、第3符号化画素を生成する第3符号化部と、

前記第1符号化画素と、前記第2符号化画素と、前記第3符号化画素と、を合成することにより、符号化データを生成する符号化データ生成部と、を備え、

前記画像データ制御部は、

前記第1ライン及び前記第2ライン上に含まれる前記第1画素乃至第3画素を2ライン1カラム毎に前記第1符号化部乃至第3符号化部へ供給することを特徴とする画像圧縮装

10

20

置。

【請求項 2】

前記画像データ制御部は、  
前記画像データをライン単位で記憶するラインメモリと、  
前記ラインメモリに記憶された前記画像データを、前記第 1 符号化部乃至第 3 符号化部へ供給するメモリ制御部と、を備える、請求項 1 に記載の画像圧縮装置。

【請求項 3】

前記メモリ制御部は、前記第 1 画素及び前記第 3 画素のセットと、前記第 1 画素及び前記第 2 画素のセットと、を前記ラインメモリから読み出す、請求項 1 又は 2 に記載の画像圧縮装置。

10

【請求項 4】

前記第 1 画素が、毎サイクル連続して前記第 1 符号化部へ供給され、前記第 2 画素が、2 サイクル毎に前記第 2 符号化部へ供給され、前記第 3 画素が、2 サイクル前に、且つ、前記第 2 画素が供給されないサイクルに、前記第 3 符号化部へ供給されるように、前記画像データの配列を並べ替える並べ替え部を備える、請求項 1 乃至 3 の何れかに記載の画像圧縮装置。

【請求項 5】

前記第 1 画素と、前記第 2 画素と、前記第 3 画素と、に基づいて、前記第 1 符号化部、前記第 2 符号化部、及び前記第 3 符号化部の符号量を制御する、符号量制御部をさらに備える、請求項 1 乃至 4 の何れかに記載の画像圧縮装置。

20

【請求項 6】

前記符号量制御部は、  
前記第 1 画素に対して複数の符号量を用いた符号化処理を適用することにより、第 1 サンプルデータを生成する第 1 サンプル生成部と、  
前記第 2 画素に対して複数の符号量を用いた符号化処理を適用することにより、第 2 サンプルデータを生成する第 2 サンプル生成部と、  
前記第 3 画素に対して複数の符号量を用いた符号化処理を適用することにより、第 3 サンプルデータを生成する第 3 サンプル生成部と、  
前記第 1 サンプルデータ、前記第 2 サンプルデータ、及び前記第 3 サンプルデータに基づいて、最適符号量を選択し、前記最適符号量を、前記第 1 符号化部と、前記第 2 符号化部と、前記第 3 符号化部とへ供給する、符号量選択部と、を備える、請求項 5 に記載の画像圧縮装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、画像圧縮装置、画像処理システム、及び画像圧縮方法に関する。

【背景技術】

【0002】

従来、画像の符号化方法としては、予測画素を計算し、計算により得られた予測画素を量子化し、量子化により得られた量子化データを符号化する方法が知られている。予測画素の計算方法としては、S M I A ( S t a n d a r d M o b i l e I m a g i n g A r c h i t e c t u r e ) で、ベイヤーパターンに従って配列された R G B データに対して、色成分毎に、水平方向に近接する複数の参照画素を用いる方法が知られている。ベイヤーパターンでは、色成分が、水平方向に 1 画素間隔で配列されている。即ち、予測画素は、予測の対象となる原画素と、原画素から水平方向に 2 画素分離れた参照画素と、を用いて計算される。

40

【0003】

しかしながら、原画素と予測画素との間の差分値は、参照画素と予測対象画素の距離に応じて、大きくなる。また、差分値が大きくなるほど、量子化誤差も大きくなる。即ち、従来の符号化方法の量子化誤差は、2 画素分の距離に相当する。

50

## 【0004】

一般に、量子化誤差が大きくなるほど、符号化における信号雑音比（以下「SN比」という）が低下する。SN比の低下は、符号化データを復号して得られる復号データ（即ち、画像データ）を再生したときの画質に悪影響を及ぼす。

## 【0005】

また、ベイヤーパターンでは、水平方向については、画素間の感度差はないが、垂直方向については、画素間の感度差がある。従って、垂直方向の間隔が1画素以下であったとしても、垂直方向に最も近い位置の元画素に基づいて予測画素を計算すると、符号化処理の際にSN比が低下する。

## 【先行技術文献】

10

## 【特許文献】

## 【0006】

【特許文献1】特開2005-191939号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

本発明が解決しようとする課題は、符号化処理の際のSN比の低下を防ぐことである。

## 【課題を解決するための手段】

## 【0008】

本発明の実施形態の画像圧縮装置は、画像データ制御部と、第1符号化部と、第2符号化部と、第3符号化部と、符号化データ生成部と、を備える。画像データ制御部は、ベイヤーパターンに従って配列された、少なくとも3種類の色成分を有する画像データから、前記画像データの第1ライン及び第2ライン上に含まれる第1色成分に対応する第1画素と、前記第1ライン上に含まれる第2色成分に対応する第2画素と、前記第2ライン上に含まれる第3色成分に対応する第3画素と、を抽出する。第1符号化部は、前記画像データにおいて、符号化すべきターゲット第1画素に対してカラム方向に最近接する参照第1画素を参照して、前記ターゲット第1画素を符号化することにより、第1符号化画素を生成する。第2符号化部は、前記画像データにおいて、符号化すべきターゲット第2画素に対してライン方向に最近接する参照第2画素を参照して、前記ターゲット第2画素を符号化することにより、第2符号化画素を生成する。第3符号化部は、前記画像データにおいて、符号化すべきターゲット第3画素に対してライン方向に最近接する参照第3画素を参照して、前記ターゲット第3画素を符号化することにより、第3符号化画素を生成する。符号化データ生成部は、前記第1符号化画素と、前記第2符号化画素と、前記第3符号化画素と、を合成することにより、符号化データを生成する。さらに画像データ制御部は、前記第1ライン及び前記第2ライン上に含まれる前記第1画素乃至第3画素を2ライン1カラム毎に前記第1符号化部乃至第3符号化部へ供給する。

20

30

## 【図面の簡単な説明】

## 【0009】

【図1】本実施形態の画像処理システム1のブロック図。

【図2】本実施形態の画像データの概略図。

40

【図3】第1実施形態の画像圧縮装置10のブロック図。

【図4】第1実施形態の第1符号化部14のブロック図。

【図5】第1実施形態の画像処理システム1のブロック図。

【図6】第1実施形態のメモリ制御部122及びラインメモリ124の動作の説明図。

【図7】第1実施形態のDPCM141及びIDPCM142の動作の説明図。

【図8】第2実施形態の画像処理システム1のブロック図。

【図9】第2実施形態の並べ替え部126の動作の説明図。

【図10】第3実施形態の画像圧縮装置10のブロック図。

【図11】第3実施形態の符号量制御部13のブロック図。

## 【発明を実施するための形態】

50

## 【 0 0 1 0 】

本実施形態について、図面を参照して説明する。はじめに、本実施形態の画像処理システム1の構成について説明する。図1は、本実施形態の画像処理システム1のブロック図である。画像処理システム1は、画像圧縮装置10と、イメージセンサ20と、を備える。イメージセンサ20は、画像データ(例えば、RGBデータ)を生成するモジュール(例えば、CMOS(Complementary Metal Oxide Semiconductor)センサ)である。画像圧縮装置10は、イメージセンサ20が生成した画像データを圧縮する。

## 【 0 0 1 1 】

本実施形態の画像データについて説明する。図2は、本実施形態の画像データの概略図である。図2は、ライン方向(H方向)に10カラム( $C_0 \sim C_9$ )、且つ、カラム方向(V方向)に10ライン( $L_0 \sim L_9$ )のマトリクスに、ベイヤーパターンに従って配列された100画素を示している。画像データは、3種類の色成分(第1~第3色成分)に対応する画素(第1画素G、第2画素R、及び第3画素B)を含む。例えば、画像データは、Bayer RAWデータである。

10

## 【 0 0 1 2 】

第1画素Gは、全ライン $L_n \{n: 0 \sim 9\}$ 及び全カラム $C_m \{m: 0 \sim 9\}$ 上に現れる画素である。第1画素Gは、H方向及びV方向に、1画素間隔で配列されている。即ち、H方向及びV方向において第1画素G( $L_n, C_m$ )に近接する第1画素は、H方向及びV方向に1画素分離れた第1画素G( $L(n+1), C(m+1)$ )である。例えば、H方向及びV方向において第1画素G( $L_0, C_0$ )に近接する第1画素は、第1画素G( $L_1, C_1$ )である。

20

## 【 0 0 1 3 】

第2画素Rは、偶数ライン $L(2j) \{j: 0 \sim 4\}$ 及び奇数カラム $C(2i+1) \{i: 0 \sim 4\}$ 上に現れる画素である。第2画素Rは、H方向及びV方向に、1画素間隔で配列されている。即ち、H方向及びV方向において第2画素R( $L(2j), C(2i+1)$ )に近接する第2画素は、H方向に2画素分離れた第2画素R( $L(2j), C(2i+3)$ )及びV方向に2画素分離れた第2画素R( $L(2j+2), C(2i+1)$ )である。例えば、H方向及びV方向において第2画素R( $L_0, C_1$ )に近接する第2画素は、第2画素R( $L_0, C_3$ )及びR( $L_2, C_1$ )である。

30

## 【 0 0 1 4 】

第3画素Bは、奇数ライン $L(2j+1)$ 及び偶数カラム $C(2i)$ 上に現れる画素である。第3画素Bは、H方向及びV方向に、1画素間隔で配列されている。即ち、H方向及びV方向において第3画素B( $L(2j+1), C(2i)$ )に近接する第3画素は、H方向に2画素分離れた第3画素B( $L(2j+1), C(2i+2)$ )及びV方向に2画素分離れた第3画素B( $L(2j+3), C(2i)$ )である。例えば、H方向及びV方向において第3画素B( $L_1, C_0$ )に近接する第3画素は、第3画素B( $L_1, C_2$ )及びB( $L_3, C_0$ )である。

## 【 0 0 1 5 】

(第1実施形態)

第1実施形態は、ラインメモリを用いて量子化誤差を低減する、画像圧縮装置10の例である。図3は、第1実施形態の画像圧縮装置10のブロック図である。画像圧縮装置10は、画像データ制御部12と、第1~第3符号化部14~16と、符号化データ生成部18と、を備える。

40

## 【 0 0 1 6 】

画像データ制御部12は、第1~第3符号化部14~16へ供給すべきデータを制御する。具体的には、画像データ制御部12は、イメージセンサ20から画像データを取得し、当該画像データから、第1画素Gと、第2画素Rと、第3画素Bと、を抽出し、第1画素Gを第1符号化部14へ供給し、第2画素Rを第2符号化部15へ供給し、第3画素Bを第3符号化部16へ供給する。

50

## 【 0 0 1 7 】

第1符号化部14は、全ライン（即ち、偶数ライン及び奇数ライン）上に含まれる画素に対して、符号化処理を適用する。具体的には、第1符号化部14は、画像データのライン方向及びカラム方向において、符号化すべき第1画素（以下「ターゲット第1画素」という）Gに最も近い第1画素（以下「参照第1画素」という）G'を参照して、ターゲット第1画素Gを符号化することにより、第1符号化画素を生成する。

## 【 0 0 1 8 】

第2符号化部15は、偶数ライン上に含まれる画素に対して、符号化処理を適用する。具体的には、第2符号化部15は、画像データのライン方向において、符号化すべき第2画素（以下「ターゲット第2画素」という）Rに最も近い第2画素（以下「参照第2画素」という）R'を参照して、ターゲット第2画素Rを符号化することにより、第2符号化画素を生成する。

10

## 【 0 0 1 9 】

第3符号化部16は、奇数ライン上に含まれる画素に対して、符号化処理を適用する。具体的には、第3符号化部16は、画像データのライン方向において、符号化すべき第3画素（以下「ターゲット第3画素」という）Bに最も近い第3画素（以下「参照第3画素」という）B'を参照して、ターゲット第3画素Bを符号化することにより、第3符号化画素を生成する。

## 【 0 0 2 0 】

符号化データ生成部18は、符号化データを生成する。具体的には、符号化データ生成部18は、第1～第3符号化画素を合成することにより、符号化データを生成する。符号化データは、画像処理システム1の外部に接続されたモジュール（例えば、外部メモリ及びデコーダ）に供給される。

20

## 【 0 0 2 1 】

第1実施形態の第1～第3符号化部14～16の構成について説明する。図4は、第1実施形態の第1符号化部14のブロック図である。なお、第2及び第3符号化部15及び16の構成は、第1符号化部14と同様である。

## 【 0 0 2 2 】

第1符号化部14は、差分パルス符号変調部（以下「DPCM(Differential Pulse Code Modulator)」という）141と、量子化部142と、可変長符号化部143と、逆量子化部144と、逆差分パルス符号変調部（以下「IDPCM(Inverse DPCM)」という）145と、を備える。

30

## 【 0 0 2 3 】

DPCM141は、有効信号Vに応じて、IDPCM145からフィードバックされるフィードバック画素と、第1画素Gと、に対してパルス符号変調処理を適用することにより、フィードバック画素と第1画素Gとの差分値を示す第1差分信号を生成する。量子化部142は、DPCM141により生成された第1差分信号を量子化することにより、第1量子化信号を生成する。可変長符号化部143は、第1量子化信号に対して可変長符号化処理を適用することにより、第1符号化画素を生成する。逆量子化部144は、第1量子化信号を逆量子化することにより、第1差分信号を生成する。IDPCM145は、逆量子化部144により生成された第1差分信号に対して逆パルス符号変調処理を適用することにより、フィードバック画素を生成する。

40

## 【 0 0 2 4 】

第1実施形態の画像処理システム1の構成について説明する。図5は、第1実施形態の画像処理システム1のブロック図である。イメージセンサ20は、センサコア21と、第1及び第2リードコントローラ22、24と、タイミングジェネレータ26と、アナログデジタル変換器（以下「ADC(Analogue to Digital Converter)」という）28と、を備える。画像データ制御部12は、メモリ制御部122と、ラインメモリ124と、を備える。

## 【 0 0 2 5 】

50

センサコア 21 は、レンズ（図示せず）を介して入力された光を、電気信号に変換する。センサコア 21 は、ライン方向（H 方向）及びカラム方向（V 方向）に配列された複数の撮像素子を備える。センサコア 21 の出力（電気信号）は、画像を表す信号である。

【0026】

タイミングジェネレータ 26 は、タイミング制御信号 TC を生成する。タイミング制御信号 TC は、第 1 及び第 2 リードコントローラ 22, 24、並びにメモリ制御部 122 の動作タイミングを制御する。

【0027】

第 1 リードコントローラ 22 は、1 又は複数のライン毎に、読み出しラインを指定する第 1 制御信号を生成する。第 2 リードコントローラ 24 は、1 又は複数のカラム毎に、H 方向の読み出し画素位置を指定する第 2 制御信号を生成し、第 1 制御信号が指定する読み出しラインに基づいて、読み出し画素位置を特定し、センサコア 21 が変換した電気信号を読み出す。例えば、第 1 及び第 2 リードコントローラ 22, 24 は、シフトレジスタを備える。

10

【0028】

ADC 28 は、第 2 リードコントローラ 24 により読み出された電気信号を、デジタル信号（図 2 の画像データ）に変換する。デジタル信号の数は、第 2 リードコントローラ 24 により読み出されるカラムの数に応じて決まる。例えば、第 2 リードコントローラ 24 が 2 カラム毎に電気信号を読み出す場合には、デジタル信号は、第 1 及び第 2 デジタル信号 D1, D2 である。

20

【0029】

ラインメモリ 124 は、ADC 28 の出力（画像データ）をライン単位で記憶する。メモリ制御部 122 は、ラインメモリ 124 への画像データの書き込みと、ラインメモリ 124 からの画像データの読み出しと、第 1 ~ 第 3 符号化部 14 ~ 16 の動作と、を制御する。例えば、ラインメモリ制御部 122 は、第 1 順に従って、複数ライン（例えば、4 ライン）の画像データをラインメモリ 124 へ書き込み、第 2 順（即ち、第 1 順とは異なる順）に従って、ラインメモリ 124 から画像データを読み出し、読み出した画像データ G, R, B と、第 1 ~ 第 3 符号化制御信号 V1 ~ V3 と、を第 1 ~ 第 3 符号化部 14 ~ 16 へ供給する。

【0030】

メモリ制御部 122 及びラインメモリ 124 の動作例について説明する。図 6 は、第 1 実施形態のメモリ制御部 122 及びラインメモリ 124 の動作の説明図である。図 6 では、破線が読み出し動作を示し、実線が書き込み動作を示し、「G00」等が図 2 の第 1 画素 G (L0, C0) 等に対応し、「R01」等が図 2 の第 2 画素 R (L0, C1) 等に対応し、「B10」等が図 2 の第 3 画素 B (L1, C0) 等に対応する。

30

【0031】

書き込み動作では、第 1 順に従って、1 ライン 2 カラム毎に、2 画素が書き込まれる。例えば、第 1 画素 G20 及び第 2 画素 R21 が書き込まれた後は、第 1 画素 G22 及び第 2 画素 R23 が書き込まれる。

【0032】

読み出し動作では、第 2 順に従って、2 ライン 1 カラム毎に、2 画素が読み出される。例えば、第 1 画素 G00 及び第 3 画素 B10 が読み出された後は、第 2 画素 R01 及び第 1 画素 G11 が読み出される。即ち、メモリ制御部 122 は、2 ラインの奇数カラム上に含まれる第 1 及び 3 画素 G, B のセットと、2 ラインの偶数カラム上に含まれる第 1 及び第 2 画素 G, R のセットと、を順次ラインメモリ 122 から読み出す。

40

【0033】

即ち、メモリ制御部 122 は、第 1 画素 G（例えば、G00）を第 1 符号化部 14 へ供給した後に、カラム方向において当該第 1 画素（即ち、ターゲット第 1 画素）G に近接する第 1 画素（即ち、参照第 1 画素）G（例えば、G11）を、第 1 符号化部 14 へ供給する。また、メモリ制御部 122 は、第 2 画素 R（例えば、R01）を第 2 符号化部 15 へ

50

供給した後に、ライン方向において当該第2画素（即ち、ターゲット第2画素）Rに近接する第2画素（即ち、参照第2画素）R（例えば、R03）を、第2符号化部15へ供給する。また、メモリ制御部122は、第3画素B（例えば、B10）を第3符号化部16へ供給した後に、ライン方向において当該第3画素（即ち、ターゲット第3画素）Bに近接する第3画素（即ち、参照第3画素）B（例えば、B12）を、第3符号化部16へ供給する。

【0034】

第1実施形態のDPCM141及びIDPCM142の動作について説明する。図7は、第1実施形態のDPCM141及びIDPCM142の動作の説明図である。図7では、G00が図2の第1画素G(L0, C0)に対応し、R01が図2の第2画素R(L0, C1)に対応し、B10が図2の第3画素B(L1, C0)に対応する。

10

【0035】

図7(A)は、第1画素G11について差分信号を生成するときのフィードバック画素が第1画素G00であり、第1画素G02について差分信号を生成するときのフィードバック画素が第1画素G11であることを示している。

【0036】

第1符号化部14において、DPCM141が第1画素G02について差分信号を生成するとき、IDPCM145は、HV空間において最も近接する第1画素G11をフィードバック画素として、DPCM141へ供給する。次いで、DPCM141は、第1画素G11, G02との差分値を示す差分信号を生成する。

20

【0037】

図7(B)は、第2画素R03について差分信号を生成するときのフィードバック画素が第2画素R01であり、第3画素B12について差分信号を生成するときのフィードバック画素が第3画素B10であることを示している。

【0038】

第2符号化部15において、DPCM141が第2画素R03について差分信号を生成するとき、IDPCM145は、H方向に近接する（即ち、H方向に2画素分離れた）第2画素R01をフィードバック画素として、DPCM141へ供給する。次いで、DPCM141は、第2画素R03, R01との差分値を示す差分信号を生成する。

30

【0039】

第3符号化部16において、DPCM141が第3画素B12について差分信号を生成するとき、IDPCM145は、H方向に近接する（即ち、H方向に2画素分離れた）第3画素B10をフィードバック画素として、DPCM141へ供給する。次いで、DPCM141は、第3画素B12, B10との差分値を示す差分信号を生成する。

【0040】

換言すると、第2及び第3符号化部15, 16は、符号化の対象となるターゲット画素について差分信号を生成するとき、H方向の距離を考慮して参照画素を選択する。一方、第1符号化部14は、H方向及びV方向の両方の距離（即ち、直線距離）を考慮して、参照画素を選択する。

【0041】

第1実施形態によれば、量子化誤差を低減することができ、ひいては、符号化の際のSN比の低下を防ぐことができる。

40

【0042】

（第2実施形態）

第2実施形態は、ラインメモリの代わりに、並び替え部を用いて、量子化誤差を低減する、画像圧縮システム1の例である。なお、第1実施形態と同様の説明は省略する。第2実施形態の画像処理システム1の構成について説明する。図8は、第2実施形態の画像処理システム1のブロック図である。タイミングジェネレータ26は、クロック信号、水平同期信号、及び垂直同期信号を生成する。ADC28は、第2リードコントローラ24ではなく、第1リードコントローラ22により読み出された電気信号を、デジタル信号であ

50

る画像データ(図2)に変換する。画像データ制御部12は、第1実施形態のメモリ制御部122及びラインメモリ124ではなく、並べ替え部126を備える。

【0043】

第2実施形態の並べ替え部126の動作について説明する。図9は、第2実施形態の並べ替え部126の動作の説明図である。図9では、「G00」、「R01」、及び「B10」等は図6と同様であり、「clk」はクロック信号であり、「Hsync」は水平同期信号であり、「Vsync」は垂直同期信号であり、「D1」、「D2」、「TC」、「G」、「R」、「B」、及び「V1」~「V3」は、図8と同様である。

【0044】

第1デジタル信号D1は、初期サイクルt0から所定サイクル経過後のサイクルt1から、第1画素G00、第2画素R01、第1画素G02の順(即ち、H方向)に、偶数ライン上の画素が配列された信号である。第2デジタル信号D2は、サイクルt1から、第3画素B10、第1画素G11、第3画素B12の順(即ち、H方向)に、奇数ライン上の画素が配列された信号である。タイミング制御信号TCは、サイクルt1から、1サイクル毎に、ハイとロウとが交互に切り替わる。

10

【0045】

第1画素Gは、「G00」、「G11」、「G02」の順に(即ち、偶数ライン上の第1画素Gと奇数ライン上の第1画素Gとが交互に切り替わるように)、第1符号化部14に供給される。第1有効信号V1の信号レベルは、サイクルt1から、常にハイ(即ち、第1符号化部14を有効化する信号)である。第1画素Gは、第1有効信号V1がハイのときに、第1符号化部14へ供給される。即ち、第1画素Gは、サイクルt1から、毎サイクル連続して供給される。

20

【0046】

第2画素Rは、「R01」、「R03」、「R05」の順に(即ち、偶数ライン上の第2画素Rが連続するように)、第2符号化部15に供給される。第2有効信号V2の信号レベルは、サイクルt1から1サイクル経過後のサイクルt2から、1サイクル毎に、ハイ(即ち、第2符号化部15を有効化する信号)とロウとが交互に切り替わる。第2画素Rは、第2有効信号V2がハイのときに、第2符号化部15へ供給される。即ち、第2画素Rは、サイクルt2から、2サイクル毎に供給される。

【0047】

第3画素Bは、「B10」、「B12」、「B14」の順に(即ち、奇数ライン上の第3画素Bが連続するように)、第2符号化部15に供給される。第3有効信号V3の信号レベルは、サイクルt1から、1サイクル毎に、ハイ(即ち、第3符号化部16を有効化する信号)とロウとが交互に切り替わる。第3画素Bは、第3有効信号V3がハイのときに、第3符号化部16へ供給される。即ち、第3画素Bは、サイクルt1から、2サイクル毎に供給される。

30

【0048】

第2実施形態によれば、第1実施形態と比べて、画像データ制御部12のサイズを低減することができる。

【0049】

(第3実施形態)

第3実施形態は、第1又は第2実施形態と同様の機能に加えて、符号量を制御する、画像圧縮装置10の例である。なお、第1又は第2実施形態と同様の説明は省略する。図10は、第3実施形態の画像圧縮装置10のブロック図である。画像圧縮装置10は、第1実施形態と同様の構成(画像データ制御部12、第1~第3符号化部14~16、及び符号化データ生成部18)に加えて、符号量制御部13を備える。

40

【0050】

符号量制御部13は、符号量制御信号を生成する。符号量制御信号は、第1~第3符号化部14~16の符号量(例えば、量子化係数)を制御する。具体的には、符号量制御部13は、画像データ制御部12から画像データ(第1画素G、第2画素R、及び第3画素

50



B) を取得し、当該画像データに基づいて符号量制御信号を生成し、当該画像データ及び当該符号量制御信号を、第1～第3符号化部14～16へ供給する。第1～第3符号化部14～16はそれぞれ、符号量制御信号に基づいて、ターゲット第1画素～ターゲット第3画素を符号化する。

【0051】

第3実施形態の符号量制御部13の構成について説明する。図11は、第3実施形態の符号量制御部13のブロック図である。符号量制御部13は、第1～第3サンプル生成部131～133と、バッファ136と、レジスタ137と、符号量選択部138と、を備える。

【0052】

第1～第3サンプル部131～133は、それぞれ、第1～第3画素G, R, Bに対して、複数の符号量を用いた符号化処理を適用することにより、第1～第3サンプルデータを生成する。第1～第3サンプルデータとは、それぞれ、符号量毎の第1～第3画素G, R, Bの符号化データの集合である。

【0053】

レジスタ137は、サンプルデータと最適符号量との関係を示すマッチングテーブルを記憶する。マッチングテーブルは、固定情報であっても良いし、可変情報(例えば、符号量制御部13の外部から更新可能な情報)であっても良い。

【0054】

符号量選択部138は、第1～第3サンプル部131～133により生成された第1～第3サンプルデータとレジスタ137に記憶されたマッチングテーブルとを用いて、第1～第3符号化部14～16の第1～第3最適符号量を選択し、第1～第3最適符号量を示す第1～第3符号量制御信号を、第1～第3符号化部14～16へ供給する。

【0055】

バッファ136は、第1～第3画素G, R, Bが符号量選択部138に供給されてから、第1～第3符号量制御信号が生成されるまでの間、第1～第3画素G, R, Bを記憶する。バッファ136に記憶された第1～第3画素G, R, Bは、第1～第3符号量制御信号とともに、出力される。

【0056】

第3実施形態によれば、第1又は第2実施形態と比べて、符号化データの符号量を最適値にすることができる。

【0057】

なお、本実施形態では、画像データが、3種類の色成分に対応する画素を含む例について説明したが、画像データは、4種類以上の画素を含んでも良い。即ち、本実施形態の画像データは、少なくとも3種類の色成分に対応する画素を含むものである。

【0058】

本実施形態に係る画像処理システム1の少なくとも一部は、ハードウェアで構成しても良いし、ソフトウェアで構成しても良い。ソフトウェアで構成する場合には、画像処理システム1の少なくとも一部の機能を実現するプログラムをフレキシブルディスクやCD-ROM等の記録媒体に収納し、コンピュータに読み込ませて実行させても良い。記録媒体は、磁気ディスクや光ディスク等の着脱可能なものに限定されず、ハードディスク装置やメモリなどの固定型の記録媒体でも良い。

【0059】

また、本実施形態に係る画像処理システム1の少なくとも一部の機能を実現するプログラムを、インターネット等の通信回線(無線通信も含む)を介して頒布しても良い。さらに、同プログラムを暗号化したり、変調をかけたり、圧縮した状態で、インターネット等の有線回線や無線回線を介して、あるいは記録媒体に収納して頒布しても良い。

【0060】

なお、本発明は、上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で構成要素を変形して具体化される。また、上述した実施形態に開示されている複数

10

20

30

40

50

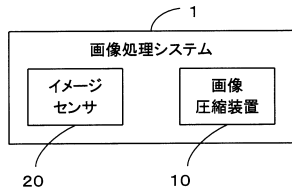
の構成要素の適宜な組み合わせにより、種々の発明が形成可能である。例えば、上述した実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【符号の説明】

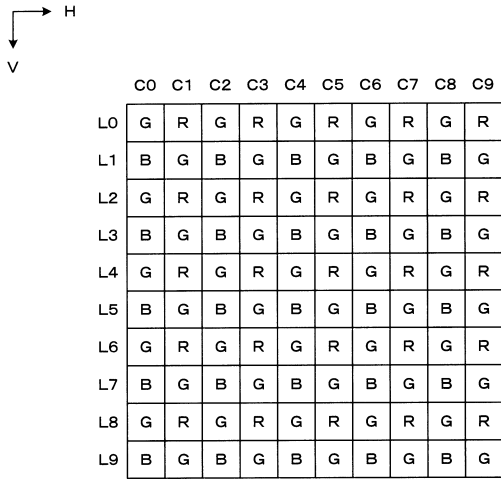
【0061】

1	画像処理システム	
10	画像圧縮装置	
12	画像データ制御部	
122	メモリ制御部	
124	ラインメモリ	10
126	並び替え部	
13	符号量制御部	
131	第1サンプル生成部	
132	第2サンプル生成部	
133	第3サンプル生成部	
136	バッファ	
137	レジスタ	
138	符号量選択部	
14	第1符号化部	
141	DPCM	20
142	量子化部	
143	可変長符号化部	
144	逆量子化部	
145	IDPCM	
15	第2符号化部	
16	第3符号化部	
18	符号化データ生成部	
20	イメージセンサ	
21	センサコア	
22	第1リードコントローラ	30
24	第2リードコントローラ	
26	タイミングジェネレータ	
28	ADC	

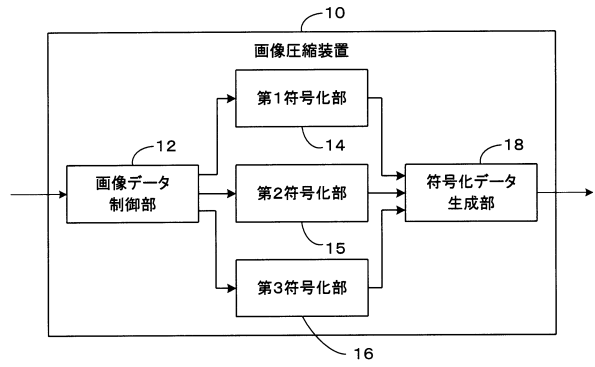
【図1】



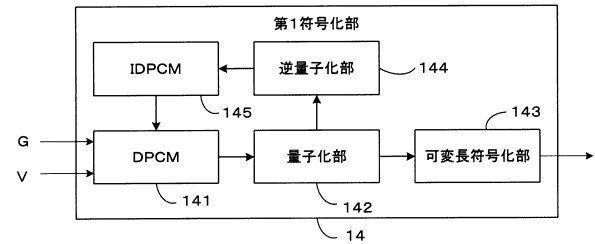
【図2】



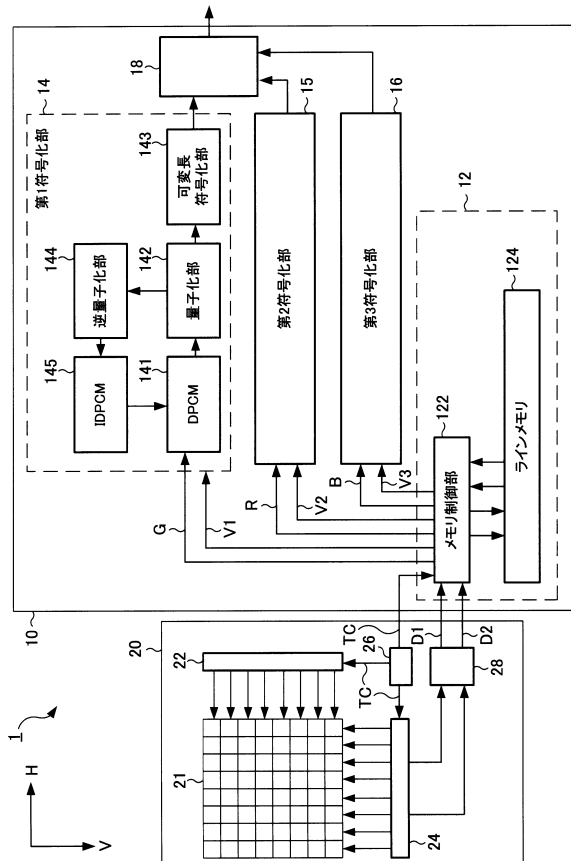
【図3】



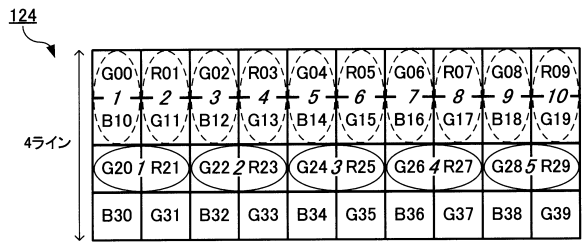
【図4】



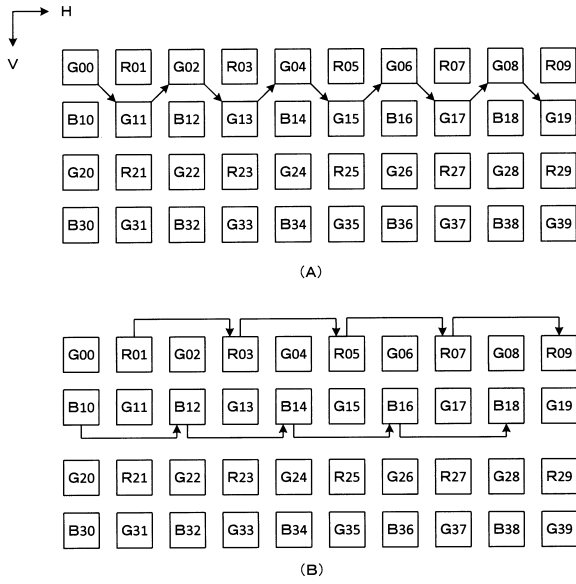
【図5】



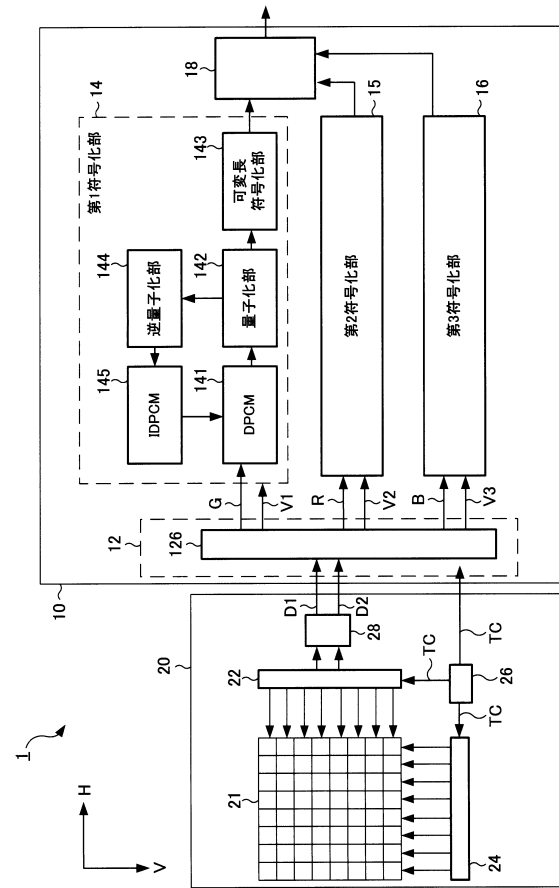
【図6】



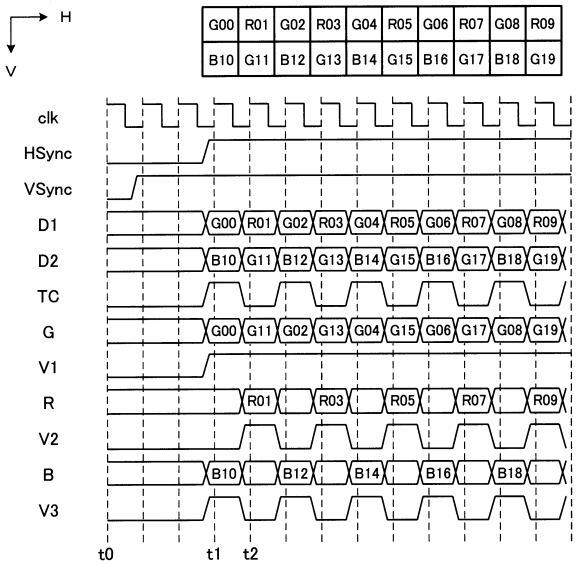
【図7】



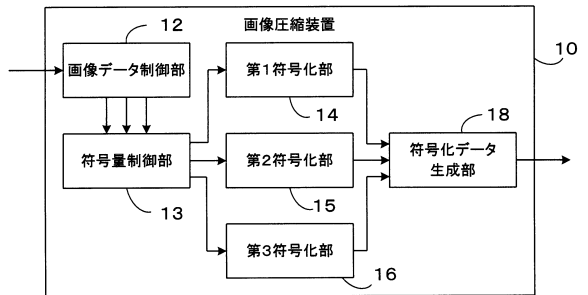
【図8】



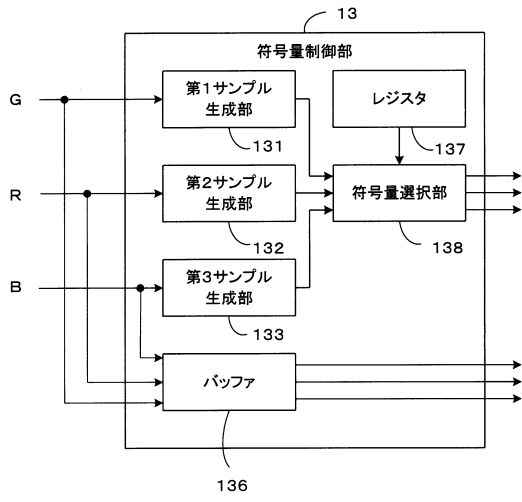
【図9】



【図10】



【図11】



---

フロントページの続き

(74)代理人 100165375

弁理士 石川 隆史

(72)発明者 中 西 圭 里

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 堀井 啓明

(56)参考文献 特開平04 - 065975 (JP, A)

特開2011 - 239424 (JP, A)

特開2005 - 191939 (JP, A)

特開2011 - 015347 (JP, A)

特開2002 - 171531 (JP, A)

特開2006 - 332955 (JP, A)

特開2011 - 130275 (JP, A)

特開2000 - 354193 (JP, A)

特開2011 - 239456 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N19/00 - 19/98

H04N1/41 - 1/419