

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-80897

(P2010-80897A)

(43) 公開日 平成22年4月8日(2010.4.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/065 (2006.01)	HO 1 L 25/08	Z
HO 1 L 25/07 (2006.01)	HO 1 L 21/88	J
HO 1 L 25/18 (2006.01)	HO 1 L 21/88	T
HO 1 L 21/3205 (2006.01)		
HO 1 L 23/52 (2006.01)		

審査請求 未請求 請求項の数 31 O L (全 28 頁)

(21) 出願番号 特願2008-250805 (P2008-250805)  
 (22) 出願日 平成20年9月29日 (2008.9.29)

(71) 出願人 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実  
 (74) 代理人 100115691  
 弁理士 藤田 篤史

最終頁に続く

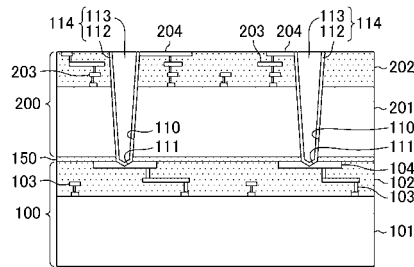
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】貫通ビアと電極パッドとの接合強度を増大させることにより、3次元配線構造を有する半導体装置の機械的強度を増大させる。

【解決手段】第1の半導体チップ100と第2の半導体チップ200とが貼り合わされている。第1の半導体チップ100の表面部に電極パッド104が形成されている。第2の半導体チップ200中に貫通ビア114が形成されている。電極パッド104には掘り込み部111が形成されており、当該掘り込み部111内に貫通ビア114の底部が埋め込まれている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の半導体チップと、  
 前記第 1 の半導体チップの表面部に形成された電極パッドと、  
 前記第 1 の半導体チップの上に形成された第 2 の半導体チップと、  
 前記第 2 の半導体チップ中に形成された貫通ビアとを備え、  
 前記電極パッドには掘り込み部が形成されており、当該掘り込み部内に前記貫通ビアの底部が埋め込まれていることを特徴とする半導体装置。

## 【請求項 2】

請求項 1 に記載の半導体装置において、  
 前記掘り込み部の深さは 2 nm 以上であることを特徴とする半導体装置。

10

## 【請求項 3】

請求項 1 に記載の半導体装置において、  
 前記掘り込み部の深さは 10 nm 以上であることを特徴とする半導体装置。

## 【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置において、  
 前記掘り込み部の最大口径は、前記電極パッドの上面での前記貫通ビアの口径よりも大きいことを特徴とする半導体装置。

## 【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置において、  
 前記電極パッドは、その上面が前記第 1 の半導体チップの表面よりも低くなるように形成されていることを特徴とする半導体装置。

20

## 【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置において、  
 前記電極パッドと前記貫通ビアとは、バンプを介することなく直接接触していることを特徴とする半導体装置。

## 【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の半導体装置において、  
 前記第 1 の半導体チップと前記第 2 の半導体チップとの間に接着層が形成されていることを特徴とする半導体装置。

30

## 【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置において、  
 前記貫通ビアは、前記第 2 の半導体チップ中に形成された配線と電気的に接続されていることを特徴とする半導体装置。

## 【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置において、  
 前記電極パッドは、銅を含む材料から構成されていることを特徴とする半導体装置。

## 【請求項 10】

表面部に電極パッドを有する第 1 の半導体チップと、第 2 の半導体チップとを準備する工程 (a) と、  
 前記第 1 の半導体チップの表面上に前記第 2 の半導体チップを貼り合わせる工程 (b) と、  
 前記第 2 の半導体チップ中に貫通ビアホールを形成する工程 (c) と、  
 前記工程 (b) 及び前記工程 (c) よりも後に、前記電極パッドに掘り込み部を形成する工程 (d) と、  
 前記貫通ビアホール及び前記掘り込み部に導電膜を埋め込むことにより貫通ビアを形成する工程 (e) とを備えていることを特徴とする半導体装置の製造方法。

40

## 【請求項 11】

請求項 10 に記載の半導体装置の製造方法において、  
 前記工程 (b) の後に前記工程 (c) を行うことを特徴とする半導体装置の製造方法。

50

- 【請求項 1 2】  
請求項 1 1 に記載の半導体装置の製造方法において、  
前記工程 ( d ) は、ドライエッチング処理又はウェットエッチング処理によって前記掘り込み部を形成する工程を含むことを特徴とする半導体装置の製造方法。
- 【請求項 1 3】  
請求項 1 2 に記載の半導体装置の製造方法において、  
前記工程 ( d ) と前記工程 ( e ) との間に、前記貫通ビアホール及び前記掘り込み部のそれぞれの壁面にバリアメタル膜を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。
- 【請求項 1 4】 10  
請求項 1 1 に記載の半導体装置の製造方法において、  
前記工程 ( d ) は、前記貫通ビアホールの壁面にバリアメタル膜を形成した後、リスパッタ処理によって前記電極パッドに前記掘り込み部を形成する工程を含むことを特徴とする半導体装置の製造方法。
- 【請求項 1 5】  
請求項 1 4 に記載の半導体装置の製造方法において、  
前記リスパッタ処理は Ar ガスを用いて行われることを特徴とする半導体装置の製造方法。
- 【請求項 1 6】 20  
請求項 1 0 に記載の半導体装置の製造方法において、  
前記工程 ( b ) の前に前記工程 ( c ) を行うことを特徴とする半導体装置の製造方法。
- 【請求項 1 7】  
請求項 1 6 に記載の半導体装置の製造方法において、  
前記工程 ( c ) は、前記貫通ビアホールを前記第 2 の半導体チップの途中まで形成した後、前記第 2 の半導体チップにおける前記貫通ビアホールが貫通していない側を前記貫通ビアホールの底面が露出するまで研磨し又はエッチングする工程を含むことを特徴とする半導体装置の製造方法。
- 【請求項 1 8】  
請求項 1 6 又は 1 7 に記載の半導体装置の製造方法において、  
前記工程 ( d ) は、ドライエッチング処理又はウェットエッチング処理によって前記掘り込み部を形成する工程を含むことを特徴とする半導体装置の製造方法。
- 【請求項 1 9】 30  
請求項 1 8 に記載の半導体装置の製造方法において、  
前記工程 ( d ) と前記工程 ( e ) との間に、前記貫通ビアホール及び前記掘り込み部のそれぞれの壁面にバリアメタル膜を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。
- 【請求項 2 0】  
請求項 1 6 又は 1 7 に記載の半導体装置の製造方法において、  
前記工程 ( d ) は、前記貫通ビアホールの壁面にバリアメタル膜を形成した後、リスパッタ処理によって前記電極パッドに前記掘り込み部を形成する工程を含むことを特徴とする半導体装置の製造方法。
- 【請求項 2 1】 40  
請求項 2 0 に記載の半導体装置の製造方法において、  
前記リスパッタ処理は Ar ガスを用いて行われることを特徴とする半導体装置の製造方法。
- 【請求項 2 2】  
請求項 1 0 ~ 2 1 のいずれか 1 項に記載の半導体装置の製造方法において、  
前記掘り込み部の深さは 2 nm 以上であることを特徴とする半導体装置の製造方法。
- 【請求項 2 3】 50  
請求項 1 0 ~ 2 1 のいずれか 1 項に記載の半導体装置の製造方法において、

前記掘り込み部の深さは10nm以上であることを特徴とする半導体装置の製造方法。

【請求項24】

請求項10～23のいずれか1項に記載の半導体装置の製造方法において、前記掘り込み部における最大口径は、前記電極パッドの上面での前記貫通ビアの口径よりも大きいことを特徴とする半導体装置の製造方法。

【請求項25】

請求項10～24のいずれか1項に記載の半導体装置の製造方法において、前記電極パッドは、その上面が前記第1の半導体チップの表面よりも低くなるように形成されていることを特徴とする半導体装置の製造方法。

【請求項26】

請求項10～25のいずれか1項に記載の半導体装置の製造方法において、前記貫通ビアは、前記第2の半導体チップ中に形成された配線と電氣的に接続されていることを特徴とする半導体装置の製造方法。

【請求項27】

表面部に電極パッドを有する第1の半導体チップと、第2の半導体チップとを準備する工程(a)と、

前記第2の半導体チップ中に貫通ビアを形成する工程(b)と、

前記貫通ビアの底部に金属含有膜を形成する工程(c)と、

前記第1の半導体チップの表面上に前記第2の半導体チップを貼り合わせると共に前記貫通ビアの底部に形成された前記金属含有膜と前記電極パッドとを接触させる工程(d)とを備えていることを特徴とする半導体装置の製造方法。

【請求項28】

請求項27に記載の半導体装置の製造方法において、

前記工程(b)は、前記貫通ビアと対応する貫通ビアホールを前記第2の半導体チップの途中まで形成した後、前記貫通ビアホールに導電膜を埋め込むことにより前記貫通ビアを形成し、その後、前記第2の半導体チップにおける前記貫通ビアが貫通していない側を前記貫通ビアの底面が露出するまで研磨し又はエッチングする工程を含むことを特徴とする半導体装置の製造方法。

【請求項29】

請求項27又は28に記載の半導体装置の製造方法において、

前記工程(c)は、無電解めっき法により前記金属含有膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項30】

請求項27～29のいずれか1項に記載の半導体装置の製造方法において、

前記金属含有膜はCu、Ni又はCoを含むことを特徴とする半導体装置の製造方法。

【請求項31】

請求項10～30のいずれか1項に記載の半導体装置の製造方法において、

前記電極パッドは、銅を含む材料から構成されていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、3次元配線構造を有する半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

近年、コンピューターや通信機器を中心とした電子機器の小型化や高性能化に伴い、半導体素子の小型化や高性能化が求められるようになってきている。そのため、小型・高密度化を目的として半導体素子を3次元的に接続する方法が提案されている。

【0003】

以下、図10(a)～(f)を参照しながら、従来の半導体装置の製造方法の一例とし

10

20

30

40

50

て、特許文献 1 に開示された半導体装置の製造方法について説明する。図 10 ( a ) ~ ( f ) は、特許文献 1 に開示された半導体装置の製造方法の各工程を示す断面図である。

【 0 0 0 4 】

まず、図 10 ( a ) に示すように、Si よりなる基板 10 の表面上に絶縁膜 11 を形成した後、基板 10 及び絶縁膜 11 にトレンチ 13 c 及び 13 d を形成し、その後、トレンチ 13 c 及び 13 d に絶縁膜 14 を介してメタルプラグ 15 c 及び 15 d を形成する。

【 0 0 0 5 】

次に、図 10 ( b ) に示すように、基板 10 の上に多層配線層 16 を形成した後、多層配線層 16 の表面部にパッド 17 を形成する。

【 0 0 0 6 】

次に、図 10 ( c ) に示すように、基板 10 を裏面側から薄くしてメタルプラグ 15 c 及び 15 d の底部を突出させる。

【 0 0 0 7 】

次に、図 10 ( d ) に示すように、基板 10 の裏面から露出したメタルプラグ 15 c 及び 15 d を覆うように絶縁膜 18 を形成する。

【 0 0 0 8 】

次に、図 10 ( e ) に示すように、メタルプラグ 15 c 及び 15 d が露出するように絶縁膜 18 を CMP ( chemical mechanical polishing ) 法を用いて研磨する。これにより、チップが完成する。

【 0 0 0 9 】

その後、図 10 ( f ) に示すように、以上のように形成されたチップ 1 ~ 3 を、パッド 17 上に形成した半田バンプ 19 とメタルプラグ 15 とを接続することによって、互いに積層し、半導体装置を完成させる。

【特許文献 1】特許第 3 8 9 5 9 8 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、前述の従来 of 製造方法により製造された半導体装置においては、以下のような問題が発生する。すなわち、パッド 17 とメタルプラグ 15 とを半田バンプ 19 を介して接続しているため、チップ積層体からなる半導体装置における横方向の外力に対する機械的強度が低くなってしまふ。また、図 10 ( e ) に示す工程で、メタルプラグ 15 の底面が CMP によって研磨され、凹凸のない平滑面となっているため、メタルプラグ 15 と半田バンプ 19 との接触面積が小さくなり、パッド 17 とメタルプラグ 15 との接合強度がさらに小さくなってしまふ。

【 0 0 1 1 】

前記に鑑み、本発明は、貫通ビアと電極パッドとの接合強度を増大させることにより、3次元配線構造を有する半導体装置の機械的強度を増大させることを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

前記の目的を達成するため、本発明に係る半導体装置は、第 1 の半導体チップと、前記第 1 の半導体チップの表面部に形成された電極パッドと、前記第 1 の半導体チップの上に形成された第 2 の半導体チップと、前記第 2 の半導体チップ中に形成された貫通ビアとを備え、前記電極パッドには掘り込み部が形成されており、当該掘り込み部内に前記貫通ビアの底部が埋め込まれている。

【 0 0 1 3 】

本発明に係る半導体装置において、前記掘り込み部の深さは 2 nm 以上であってもよい。

【 0 0 1 4 】

本発明に係る半導体装置において、前記掘り込み部の深さは 10 nm 以上であってもよい。

10

20

30

40

50

## 【 0 0 1 5 】

本発明に係る半導体装置において、前記掘り込み部の最大口径は、前記電極パッドの上面での前記貫通ビアの口径よりも大きくてもよい。

## 【 0 0 1 6 】

本発明に係る半導体装置において、前記電極パッドは、その上面が前記第 1 の半導体チップの表面よりも低くなるように形成されていてもよい。

## 【 0 0 1 7 】

本発明に係る半導体装置において、前記電極パッドと前記貫通ビアとは、バンプを介することなく直接接触していてもよい。

## 【 0 0 1 8 】

本発明に係る半導体装置において、前記第 1 の半導体チップと前記第 2 の半導体チップとの間に接着層が形成されていてもよい。

## 【 0 0 1 9 】

本発明に係る半導体装置において、前記貫通ビアは、前記第 2 の半導体チップ中に形成された配線と電氣的に接続されていてもよい。

## 【 0 0 2 0 】

本発明に係る半導体装置において、前記電極パッドは、銅を含む材料から構成されていてもよい。

## 【 0 0 2 1 】

本発明に係る第 1 の半導体装置の製造方法は、表面部に電極パッドを有する第 1 の半導体チップと、第 2 の半導体チップとを準備する工程 ( a ) と、前記第 1 の半導体チップの表面上に前記第 2 の半導体チップを貼り合わせる工程 ( b ) と、前記第 2 の半導体チップ中に貫通ビアホールを形成する工程 ( c ) と、前記工程 ( b ) 及び前記工程 ( c ) よりも後に、前記電極パッドに掘り込み部を形成する工程 ( d ) と、前記貫通ビアホール及び前記掘り込み部に導電膜を埋め込むことにより貫通ビアを形成する工程 ( e ) とを備えている。

## 【 0 0 2 2 】

本発明に係る第 1 の半導体装置の製造方法において、前記工程 ( b ) の後に前記工程 ( c ) を行ってもよい。この場合、前記工程 ( d ) は、ドライエッチング処理又はウェットエッチング処理によって前記掘り込み部を形成する工程を含んでいてもよいし、前記工程 ( d ) と前記工程 ( e ) との間に、前記貫通ビアホール及び前記掘り込み部のそれぞれの壁面にバリアメタル膜を形成する工程をさらに備えていてもよい。或いは、前記工程 ( d ) は、前記貫通ビアホールの壁面にバリアメタル膜を形成した後、リスパッタ処理によって前記電極パッドに前記掘り込み部を形成する工程を含んでいてもよいし、前記リスパッタ処理は Ar ガスを用いて行われてもよい。

## 【 0 0 2 3 】

本発明に係る第 1 の半導体装置の製造方法において、前記工程 ( b ) の前に前記工程 ( c ) を行ってもよい。この場合、前記工程 ( c ) は、前記貫通ビアホールを前記第 2 の半導体チップの途中まで形成した後、前記第 2 の半導体チップにおける前記貫通ビアホールが貫通していない側を前記貫通ビアホールの底面が露出するまで研磨し又はエッチングする工程を含んでいてもよい。また、この場合、前記工程 ( d ) は、ドライエッチング処理又はウェットエッチング処理によって前記掘り込み部を形成する工程を含んでいてもよいし、前記工程 ( d ) と前記工程 ( e ) との間に、前記貫通ビアホール及び前記掘り込み部のそれぞれの壁面にバリアメタル膜を形成する工程をさらに備えていてもよい。或いは、前記工程 ( d ) は、前記貫通ビアホールの壁面にバリアメタル膜を形成した後、リスパッタ処理によって前記電極パッドに前記掘り込み部を形成する工程を含んでいてもよいし、前記リスパッタ処理は Ar ガスを用いて行われてもよい。

## 【 0 0 2 4 】

本発明に係る第 1 の半導体装置の製造方法において、前記掘り込み部の深さは 2 nm 以上であってもよい。

10

20

30

40

50

## 【0025】

本発明に係る第1の半導体装置の製造方法において、前記掘り込み部の深さは10nm以上であってもよい。

## 【0026】

本発明に係る第1の半導体装置の製造方法において、前記掘り込み部における最大口径は、前記電極パッドの上面での前記貫通ビアの口径よりも大きくてもよい。

## 【0027】

本発明に係る第1の半導体装置の製造方法において、前記電極パッドは、その上面が前記第1の半導体チップの表面よりも低くなるように形成されていてもよい。

## 【0028】

本発明に係る第1の半導体装置の製造方法において、前記貫通ビアは、前記第2の半導体チップ中に形成された配線と電気的に接続されていてもよい。

## 【0029】

本発明に係る第2の半導体装置の製造方法は、表面部に電極パッドを有する第1の半導体チップと、第2の半導体チップとを準備する工程(a)と、前記第2の半導体チップ中に貫通ビアを形成する工程(b)と、前記貫通ビアの底部に金属含有膜を形成する工程(c)と、前記第1の半導体チップの表面上に前記第2の半導体チップを貼り合わせると共に前記貫通ビアの底部に形成された前記金属含有膜と前記電極パッドとを接触させる工程(d)とを備えている。

## 【0030】

本発明に係る第2の半導体装置の製造方法において、前記工程(b)は、前記貫通ビアと対応する貫通ビアホールを前記第2の半導体チップの途中まで形成した後、前記貫通ビアホールに導電膜を埋め込むことにより前記貫通ビアを形成し、その後、前記第2の半導体チップにおける前記貫通ビアが貫通していない側を前記貫通ビアの底面が露出するまで研磨し又はエッチングする工程を含んでいてもよい。

## 【0031】

本発明に係る第2の半導体装置の製造方法において、前記工程(c)は、無電解めっき法により前記金属含有膜を形成する工程を含んでいてもよい。

## 【0032】

本発明に係る第2の半導体装置の製造方法において、前記金属含有膜はCu、Ni又はCoを含んでいてもよい。

## 【0033】

本発明に係る第1又は第2の半導体装置の製造方法において、前記電極パッドは、銅を含む材料から構成されていてもよい。

## 【発明の効果】

## 【0034】

本発明に係る半導体装置、及び本発明に係る第1の半導体装置の製造方法によると、第1の半導体チップの電極パッドに掘り込み部を形成し、当該掘り込み部内に第2の半導体チップの貫通ビアの底部を設ける。このため、貫通ビアと電極パッドとの接触面積が増大するので、貫通ビアと電極パッドとの接合強度を大きくすることができる。また、電極パッドの掘り込み部内に貫通ビアの底部を埋め込むことにより、横方向の外力に対する機械的強度を大きくすることができる。従って、3次元配線構造を有する半導体装置の機械的強度を増大させることができる。

## 【0035】

また、本発明に係る第1の半導体装置の製造方法において、例えば、貫通ビアホール形成、掘り込み部形成、導電膜埋め込みによる貫通ビア形成を真空中において連続的に実施すれば、貫通ビア底面及び電極パッド上面を酸化させることなく貫通ビアと電極パッドとの接合を行うことができるので、貫通ビアと電極パッドとの接合強度をさらに大きくすることができる。

## 【0036】

10

20

30

40

50

また、本発明に係る第2の半導体装置の製造方法によると、貫通ビアの底部に金属含有膜を形成して当該金属含有膜と電極パッドとを接触させるため、貫通ビアと金属含有膜との界面及び金属含有膜と電極パッドとの界面にそれぞれ凹凸を形成することができるので、貫通ビアと電極パッドとの実質的な接触面積が増大し、それにより、貫通ビアと電極パッドとの接合強度を大きくすることができる。

【発明を実施するための最良の形態】

【0037】

(第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置について、図1を参照しながら説明する。図1は第1の実施形態に係る半導体装置の断面図である。

10

【0038】

図1に示すように、第1の実施形態に係る半導体装置は、第1の半導体チップ100と、第1の半導体チップ100の上に形成された第2の半導体チップ200とからなる。第1の半導体チップ100と第2の半導体チップ200とは接着層150によって接続されている。

【0039】

第1の半導体チップ100においては、半導体素子(図示省略)が形成された第1のシリコン基板101の上に、1層以上の絶縁膜からなる多層絶縁膜102が形成されている。また、多層絶縁膜102中には、コンタクトプラグ、配線、ビアなどからなる多層配線103が形成されている。また、多層絶縁膜102の最上部には、多層配線103と接続する電極パッド104が形成されている。

20

【0040】

また、第2の半導体チップ200においては、半導体素子(図示省略)が形成された第2のシリコン基板201の上に、1層以上の絶縁膜からなる多層絶縁膜202が形成されている。また、多層絶縁膜202中には、コンタクトプラグ、配線、ビアなどからなる多層配線203が形成されている。また、多層絶縁膜202の最上部には、多層配線203と接続する電極パッド204が形成されている。さらに、第2の半導体チップ200中には、多層配線203と第1の半導体チップ100の電極パッド104とを電氣的に接続する貫通ビア114が形成されている。尚、本実施形態では、貫通ビア114は電極パッド204を介して多層配線203と電氣的に接続されている。

30

【0041】

具体的には、第2のシリコン基板201及び多層絶縁膜202を貫通するように形成された貫通ビアホール110に、バリアメタル膜112及びCu(銅)膜113を順次埋め込むことにより、貫通ビア114が形成されている。ここで、本実施形態の特徴として、第1の半導体チップ100の電極パッド104には、掘り込み部(アンカー)111が形成されており、当該掘り込み部111に貫通ビア114の底部が埋め込まれることにより、電極パッド104と貫通ビア114とが直接的に接続されている。

【0042】

以上のように、本実施形態においては、半導体チップ100及び200を接着層150によって接続すると共に半導体チップ100及び200内の多層配線103及び203を貫通ビア114を通じて電氣的に接続することによって、半導体装置が形成されている。尚、図1においては、2つの半導体チップ100及び200を積層した半導体装置を図示しているが、3つ以上の半導体チップを積層させることによって、半導体装置を形成してもよいことは言うまでもない。

40

【0043】

前述のように、第1の実施形態に係る半導体装置の特徴は、第1の半導体チップ100の電極パッド104に形成された掘り込み部111に、貫通ビア114の底部を埋め込むことによって、電極パッド105と貫通ビア114とを直接的に接触させていることである。これにより、バンプ形成を行うことなく、電極パッド105と貫通ビア114とを接触させることができるという効果が得られる。また、バンプの高さ分だけ、半導体装置全

50



体の高さを小さくすることができるという効果も得られる。さらに、電極パッド104の掘り込み部111内に貫通ビア114の底部を埋め込むことにより、貫通ビア114と電極パッド104との接触面積を増大させて貫通ビア114と電極パッド104との接合強度を大きくすることができると共に、横方向の外力に対する機械的強度を大きくすることができる。従って、3次元配線構造を有する半導体装置の機械的強度を増大させることができる。

#### 【0044】

尚、第1の実施形態において、掘り込み部111の深さは2nm以上であることが好ましく、10nm以上であることがより好ましい。ここで、掘り込み部111の深さとは、電極パッド104の上面から掘り込み部111の最深部までの深さを言う。すなわち、掘り込み部111の深さが2nm以上であれば、横方向の外力に対する機械的強度を十分に保つことができ、掘り込み部111の深さが10nm以上であれば、横方向の外力に対する機械的強度をより確実に保つことができる。ここで、電極パッド104の厚さについては例えば1~5μm程度に設定してもよい。また、電極パッド104の面積は特に限定されないが、例えば100μm×100μm程度に設定してもよい。

10

#### 【0045】

また、第1の実施形態において、掘り込み部111の最大口径は、電極パッド104の上面での貫通ビア114の口径よりも大きいことが好ましい。このようにすると、貫通ビア114と電極パッド104との接触面積をさらに増大させることができるので、貫通ビア114と電極パッド104との接続信頼性をさらに向上させることができる。ここで、貫通ビア114の口径（電極パッド104の上面での口径）については例えば1~10μm程度に設定してもよい。また、貫通ビア114の高さは特に限定されないが、例えば50μm程度に設定してもよい。

20

#### 【0046】

また、第1の実施形態において、多層配線103（電極パッド104を含む）、多層配線203（電極パッド204を含む）、貫通ビア114の材料は特に限定されるものではないが、例えば銅又は銅合金を用いてもよい。

#### 【0047】

また、第1の実施形態において、例えば図2に示すように、電極パッド104は、その上面が第1の半導体チップ100の表面（つまり多層絶縁膜102の上面）よりも低くなるように形成されていることが好ましい。このようにすると、横方向の外力に対する機械的強度をさらに向上させることができる。

30

#### 【0048】

（第2の実施形態）

以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。図3(a)~(f)は、本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

#### 【0049】

まず、図3(a)に示すように、第1のシリコン基板101に半導体素子（図示省略）を形成した後、詳細な工程は省略するが、第1のシリコン基板101の上に、1層以上の絶縁膜からなる多層絶縁膜102を形成すると共に、多層絶縁膜102中に、コンタクトプラグ、配線、ビアなどからなる多層配線103を形成する。その後、多層絶縁膜102の最上部に、多層配線103と接続する電極パッド104を形成する。これにより、第1のシリコン基板101、多層絶縁膜102、多層配線103、電極パッド104等からなる第1の半導体チップ100が形成される。また、同様に、第2のシリコン基板201に、半導体素子（図示省略）を形成した後、詳細な工程は省略するが、第2のシリコン基板201の上に、1層以上の絶縁膜からなる多層絶縁膜202を形成すると共に、多層絶縁膜202中に、コンタクトプラグ、配線、ビアなどからなる多層配線203を形成する。その後、多層絶縁膜202の最上部に、多層配線203と接続する電極パッド204を形成する。これにより、第2のシリコン基板201、多層絶縁膜202、多層配線203、

40

50

電極パッド204等からなる第2の半導体チップ200が形成される。

【0050】

ここで、多層絶縁膜102及び202のうち、配線が形成される絶縁膜としては、配線間容量を低減するために、炭素含有シリコン酸化膜(SiOC膜)を用いることが好ましい。

【0051】

また、多層配線103及び203を構成する配線、ビア等の材料としては、低抵抗化の観点から、Cu(銅)又はCu合金を用いることが好ましく、また、それらの配線、ビア等の形成方法としては、工程の簡単化の観点から、デュアルダマシン法を用いることが好ましい。

【0052】

また、電極パッド104及び204の材料としては、Cu、Al(アルミニウム)又はそれらの合金等を用いることができるが、低抵抗化の観点からCuを用いることが好ましい。また、電極パッド104及び204の平面形状は特に限定されないが、円形(又は略円形)、正方形(又は略正方形)、長方形(又は略長方形)等に設定することができる。

【0053】

次に、図3(b)に示すように、第1の半導体チップ100と第2の半導体チップ200とをウエハレベルで接着層150を介して貼り合わせる。具体的には、第1の半導体チップ100の表面に例えばPBO(Poly Benz Oxazole)樹脂を厚さ15 $\mu$ m程度塗布して接着層150を形成した後、この接着層150を挟んで第1の半導体チップ100に第2の半導体チップ200を押し付け、その状態で例えば320、30分間の熱処理を行って接着層150を硬化させる。尚、接着層150の材料としては、PBO樹脂に限らず、熱硬化性接着剤、紫外線硬化性接着剤などを用いることができる。

【0054】

次に、図3(c)に示すように、フォトリソグラフィ法により、第2の半導体チップ200の多層絶縁膜202上に、貫通ビアパターンを有するレジストパターン(図示省略)を形成した後、当該レジストパターンをマスクとして、多層絶縁膜202、第2のシリコン基板201及び接着層150に対して順次ドライエッチング処理を行い、第2のシリコン基板201を貫通する貫通ビアホール110を形成する。これにより、貫通ビアホール110内に、第1の半導体チップ100の電極パッド104の上面が露出する。尚、本実施形態では、第2の半導体チップ200において貫通ビアと多層配線203との電気的コンタクトを確実に取るために、図3(a)に示す工程で電極パッド204を大きめに形成しておき、図3(c)に示す工程で当該電極パッド204の一部をエッチングすることにより、電極パッド204に接するように貫通ビアホール110を形成する。

【0055】

次に、図3(d)に示すように、図3(c)に示す工程で用いたレジストパターン(図示省略)をマスクとして、貫通ビアホール110内に露出する電極パッド104の上面に対してドライエッチング処理を行い、電極パッド104に掘り込み部(アンカー)111を形成し、その後、アッシングにより、残存するレジストパターンを除去する。ここで、エッチング用ガスとしては、BCl<sub>3</sub>等のCl含有ガスを用いることが好ましい。また、掘り込み部111の深さは2nm以上であることが好ましく、10nm以上であることがより好ましい。尚、掘り込み部111の深さとは、電極パッド104の上面から掘り込み部111の最深部までの深さを言う。

【0056】

次に、図3(e)に示すように、例えばスパッタ法により、貫通ビアホール110及び掘り込み部111のそれぞれの壁面を覆うようにバリアメタル膜112を堆積した後、例えばスパッタ法により、バリアメタル膜112上にCuシード層(図示種略)を形成し、その後、例えば電界めっき法により、当該Cuシード層上にCu膜113を成長させて貫通ビアホール110及び掘り込み部111を埋める。ここで、バリアメタル膜112は、貫通ビア材料、具体的にはCu原子の拡散を防止するために形成されるので、バリアメタ

10

20

30

40

50

ル膜 112 としては、窒化タンゲステン (WN)、窒化タンタル (TaN) 又は窒化チタン (TiN) 等からなる導電性バリア膜を用いることが好ましい。また、貫通ビアと第 2 のシリコン基板 201 との電氣的な絶縁を行うため、バリアメタル膜 112 の形成前に、貫通ビアホール 110 の壁面を覆うように絶縁膜を形成しておいてもよい。

【0057】

次に、図 3 (f) に示すように、例えば CMP 法により、貫通ビアホール 110 からみ出した余剰の Cu 膜 113 及びバリアメタル膜 112 を研磨して除去し、貫通ビアホール 110 及び掘り込み部 111 内のみに Cu 膜 113 及びバリアメタル膜 112 を残す。以上の工程により、第 2 の半導体チップ 200 の多層配線 203 と第 1 の半導体チップ 100 の電極パッド 104 (つまり多層配線 103) とを電氣的に接続する貫通ビア 114 が形成される。

10

【0058】

以上のように、本実施形態においては、半導体チップ 100 及び 200 を接着層 150 によって接続すると共に半導体チップ 100 及び 200 内の多層配線 103 及び 203 を貫通ビア 114 を通じて電氣的に接続することによって、2 つの半導体チップを積層した 3 次元配線構造を有する半導体装置が形成されている。尚、本実施形態においては、2 つの半導体チップ 100 及び 200 を積層した半導体装置の形成方法について説明したが、図 3 (b) ~ (f) に示す工程と同様の工程を繰り返し実施することにより、3 つ以上の半導体チップを積層させ、それによって、3 次元配線構造を有する半導体装置を形成してもよいことは言うまでもない。

20

【0059】

前述のように、第 2 の実施形態に係る半導体装置の製造方法の特徴は、第 1 の半導体チップ 100 の電極パッド 104 に形成された掘り込み部 111 に、貫通ビア 114 の底部を埋め込むことによって、電極パッド 105 と貫通ビア 114 とを直接的に接触させていることである。これにより、バンプ形成を行うことなく、電極パッド 105 と貫通ビア 114 とを接触させることができるという効果が得られる。また、バンプの高さ分だけ、半導体装置全体の高さを小さくすることができるという効果も得られる。さらに、電極パッド 104 の掘り込み部 111 内に貫通ビア 114 の底部を埋め込むことにより、貫通ビア 114 と電極パッド 104 との接触面積を増大させて貫通ビア 114 と電極パッド 104 との接合強度を大きくすることができる。従って、3 次元配線構造を有する半導体装置の機械的強度を増大させることができる。

30

【0060】

尚、第 2 の実施形態において、第 2 の半導体チップ 200 の完成後、貫通ビア 114 を形成したが、これに代えて、例えば、第 2 のシリコン基板 201 の上に配線層を形成する前に、又は配線層の形成途中に、貫通ビアを形成してもよい。

【0061】

また、第 2 の実施形態において、貫通ビアホール 110 の形成、掘り込み部 111 の形成、導電膜埋め込みによる貫通ビア 114 の形成を真空中において連続的に実施すれば、貫通ビア 114 の底面及び第 1 の半導体チップ 100 の電極パッド 104 の上面を酸化させることなく貫通ビア 114 と電極パッド 104 との接合を行うことができるので、貫通ビア 114 と電極パッド 104 との接合強度をさらに大きくすることができる。

40

【0062】

また、第 2 の実施形態において、掘り込み部 111 の深さは 2 nm 以上であることが好ましく、10 nm 以上であることがより好ましい。ここで、掘り込み部 111 の深さとは、電極パッド 104 の上面から掘り込み部 111 の最深部までの深さを言う。すなわち、掘り込み部 111 の深さが 2 nm 以上であれば、横方向の外力に対する機械的強度を十分に保つことができ、掘り込み部 111 の深さが 10 nm 以上であれば、横方向の外力に対する機械的強度をより確実に保つことができる。ここで、電極パッド 104 の厚さについては例えば 1 ~ 5 μm 程度に設定してもよい。また、電極パッド 104 の面積は特に限定

50

されないが、例えば $100\mu\text{m} \times 100\mu\text{m}$ 程度に設定してもよい。

【0063】

また、第2の実施形態において、掘り込み部111の最大口径は、電極パッド104の上面での貫通ビア114の口径よりも大きいことが好ましい。このようにすると、貫通ビア114と電極パッド104との接触面積をさらに増大させることができるので、貫通ビア114と電極パッド104との接続信頼性をさらに向上させることができる。具体的には、図3(d)に示す工程でドライエッチング処理によって掘り込み部111を形成することに代えて、図4に示すように、例えば、 $\text{FeCl}_4$ 等のCl含有薬液を用いたウェットエッチング処理によって掘り込み部111を形成することにより、掘り込み部111の最大口径が、電極パッド104の上面での貫通ビア114の口径よりも大きい構成を実現することができる。ここで、貫通ビア114の口径(電極パッド104の上面での口径)については例えば $1\sim 10\mu\text{m}$ 程度に設定してもよい。また、貫通ビア114の高さは特に限定されないが、例えば $50\mu\text{m}$ 程度に設定してもよい。

10

【0064】

また、第2の実施形態において、多層配線103(電極パッド104を含む)、多層配線203(電極パッド204を含む)、貫通ビア114の材料は特に限定されるものではないが、例えば銅又は銅合金を用いてもよい。

【0065】

また、第2の実施形態において、例えば図2に示すように、電極パッド104は、その上面が第1の半導体チップ100の表面(つまり多層絶縁膜102の上面)よりも低くなるように形成されていることが好ましい。このようにすると、横方向の外力に対する機械的強度をさらに向上させることができる。

20

【0066】

(第3の実施形態)

以下、本発明の第3の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。図5(a)~(g)は、本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0067】

まず、第2の実施形態の図3(a)に示す工程と同様に、図5(a)に示すように、第1のシリコン基板101に半導体素子(図示省略)を形成した後、詳細な工程は省略するが、第1のシリコン基板101の上に、1層以上の絶縁膜からなる多層絶縁膜102を形成すると共に、多層絶縁膜102中に、コンタクトプラグ、配線、ビアなどからなる多層配線103を形成する。その後、多層絶縁膜102の最上部に、多層配線103と接続する電極パッド104を形成する。これにより、第1のシリコン基板101、多層絶縁膜102、多層配線103、電極パッド104等からなる第1の半導体チップ100が形成される。また、同様に、第2のシリコン基板201に、半導体素子(図示省略)を形成した後、詳細な工程は省略するが、第2のシリコン基板201の上に、1層以上の絶縁膜からなる多層絶縁膜202を形成すると共に、多層絶縁膜202中に、コンタクトプラグ、配線、ビアなどからなる多層配線203を形成する。その後、多層絶縁膜202の最上部に、多層配線203と接続する電極パッド204を形成する。これにより、第2のシリコン

30

40

【0068】

ここで、多層絶縁膜102及び202のうち、配線が形成される絶縁膜としては、配線間容量を低減するために、炭素含有シリコン酸化膜(SiOC膜)を用いることが好ましい。

【0069】

また、多層配線103及び203を構成する配線、ビア等の材料としては、低抵抗化の観点から、Cu(銅)又はCu合金を用いることが好ましく、また、それらの配線、ビア等の形成方法としては、工程の簡単化の観点から、デュアルダマシン法を用いることが好

50

ましい。

#### 【0070】

また、電極パッド104及び204の材料としては、Cu、Al（アルミニウム）又はそれらの合金等を用いることができるが、低抵抗化の観点からCuを用いることが好ましい。また、電極パッド104及び204の平面形状は特に限定されないが、円形（又は略円形）、正方形（又は略正方形）、長方形（又は略長方形）等に設定することができる。

#### 【0071】

次に、第2の実施形態の図3（b）に示す工程と同様に、図5（b）に示すように、第1の半導体チップ100と第2の半導体チップ200とをウエハレベルで接着層150を介して貼り合わせる。具体的には、第1の半導体チップ100の表面に例えばPBO樹脂を厚さ15 $\mu$ m程度塗布して接着層150を形成した後、この接着層150を挟んで第1の半導体チップ100に第2の半導体チップ200を押し付け、その状態で例えば320、30分間の熱処理を行って接着層150を硬化させる。尚、接着層150の材料としては、PBO樹脂に限らず、熱硬化性接着剤、紫外線硬化性接着剤などを用いることができる。

10

#### 【0072】

次に、第2の実施形態の図3（c）に示す工程と同様に、図5（c）に示すように、フォトリソグラフィ法により、第2の半導体チップ200の多層絶縁膜202上に、貫通ビアパターンを有するレジストパターン（図示省略）を形成した後、当該レジストパターンをマスクとして、多層絶縁膜202、第2のシリコン基板201及び接着層150に対して順次ドライエッチング処理を行い、第2のシリコン基板201を貫通する貫通ビアホール110を形成する。その後、アッシングにより、残存するレジストパターンを除去する。これにより、貫通ビアホール110内に、第1の半導体チップ100の電極パッド104の上面が露出する。尚、本実施形態では、第2の半導体チップ200において貫通ビアと多層配線203との電気的コンタクトを確実に取るために、図5（a）に示す工程で電極パッド204を大きめに形成しておき、図5（c）に示す工程で当該電極パッド204の一部をエッチングすることにより、電極パッド204に接するように貫通ビアホール110を形成する。

20

#### 【0073】

次に、図5（d）に示すように、例えばスパッタ法により、貫通ビアホール110の壁面を覆うようにバリアメタル膜112を堆積する。ここで、バリアメタル膜112は、貫通ビア材料、具体的にはCu原子の拡散を防止するために形成されるので、バリアメタル膜112としては、窒化タンゲステン（WN）、窒化 tantalum（TaN）又は窒化チタン（TiN）等からなる導電性バリア膜を用いることが好ましい。また、貫通ビアと第2のシリコン基板201との電気的な絶縁を行うため、バリアメタル膜112の形成前に、貫通ビアホール110の壁面を覆うように絶縁膜を形成しておいてもよい。

30

#### 【0074】

次に、図5（e）に示すように、貫通ビアホール110の底部、つまりバリアメタル膜112に覆われた電極パッド104の上面に対して、例えばArガスを用いてリスパッタ処理を行い、電極パッド104に掘り込み部（アンカー）111を形成する。ここで、掘り込み部111の深さは2nm以上であることが好ましく、10nm以上であることがより好ましい。尚、掘り込み部111の深さとは、電極パッド104の上面から掘り込み部111の最深部までの深さを言う。

40

#### 【0075】

ここで、図5（d）に示すスパッタ処理では、ターゲットにDCパワーを印加して、ターゲットを構成するメタルを例えばArによりスパッタして当該メタルを基板上に堆積させるのに対して、図5（e）に示すリスパッタ処理では、ターゲットにはほとんどDCパワーを印加せず、高周波コイルにRFパワーを印加して例えばArのイオン化を促進させ、さらに、基板にバイアスパワーを印加して、イオン化されたAr<sup>+</sup>を基板に引き込んでエッチングを行う。すなわち、図5（e）に示すリスパッタ処理では、メタルの堆積よ

50

りも、Arによるエッチングが支配的になる。図5(d)に示すスパッタ処理の具体的な条件は、例えば、ターゲットパワーが2000W、基板バイスパワーが230W、RFパワーが0W、Ar流量が20cm<sup>3</sup>/分(標準状態)である。また、図5(e)に示すリスパッタ処理の具体的な条件は、例えば、ターゲットパワーが500W、基板バイスパワーが400W、RFパワーが1200W、Ar流量が15cm<sup>3</sup>/分(標準状態)である。

#### 【0076】

次に、図5(f)に示すように、例えばスパッタ法により、貫通ビアホール106及び掘り込み部107のそれぞれの壁面を覆うバリアメタル膜112上にCuシード層(図示種略)を形成し、その後、例えば電界めっき法により、当該Cuシード層上にCu膜113を成長させて貫通ビアホール110及び掘り込み部111を埋める。

10

#### 【0077】

次に、第2の実施形態の図3(f)に示す工程と同様に、図5(g)に示すように、例えばCMP法により、貫通ビアホール110からはみ出した余剰のCu膜113及びバリアメタル膜112を研磨して除去し、貫通ビアホール110及び掘り込み部111内のみにCu膜113及びバリアメタル膜112を残す。以上の工程により、第2の半導体チップ200の多層配線203と第1の半導体チップ100の電極パッド104(つまり多層配線103)とを電氣的に接続する貫通ビア114が形成される。

#### 【0078】

以上のように、本実施形態においては、半導体チップ100及び200を接着層150によって接続すると共に半導体チップ100及び200内の多層配線103及び203を貫通ビア114を通じて電氣的に接続することによって、2つの半導体チップを積層した3次元配線構造を有する半導体装置が形成されている。尚、本実施形態においては、2つの半導体チップ100及び200を積層した半導体装置の形成方法について説明したが、図5(b)~(g)に示す工程と同様の工程を繰り返し実施することにより、3つ以上の半導体チップを積層させ、それによって、3次元配線構造を有する半導体装置を形成してもよいことは言うまでもない。

20

#### 【0079】

前述のように、第3の実施形態に係る半導体装置の製造方法の特徴は、第1の半導体チップ100の電極パッド104に形成された掘り込み部111に、貫通ビア114の底部を埋め込むことによって、電極パッド105と貫通ビア114とを直接的に接触させていることである。これにより、パンプ形成を行うことなく、電極パッド105と貫通ビア114とを接触させることができるという効果が得られる。また、パンプの高さ分だけ、半導体装置全体の高さを小さくすることができるという効果も得られる。さらに、電極パッド104の掘り込み部111内に貫通ビア114の底部を埋め込むことにより、貫通ビア114と電極パッド104との接触面積を増大させて貫通ビア114と電極パッド104との接合強度を大きくすることができる。従って、3次元配線構造を有する半導体装置の機械的強度を増大させることができる。

30

#### 【0080】

尚、第3の実施形態において、第2の半導体チップ200の完成後、貫通ビア114を形成したが、これに代えて、例えば、第2のシリコン基板201の上に配線層を形成する前に、又は配線層の形成途中に、貫通ビアを形成してもよい。

40

#### 【0081】

また、第3の実施形態において、貫通ビアホール110の形成、バリアメタル膜112の形成、掘り込み部111の形成、導電膜埋め込みによる貫通ビア114の形成を真空中において連続的に実施すれば、貫通ビア114の底面及び第1の半導体チップ100の電極パッド104の上面を酸化させることなく貫通ビア114と電極パッド104との接合を行うことができるので、貫通ビア114と電極パッド104との接合強度をさらに大きくすることができる。

50

## 【0082】

また、第3の実施形態において、掘り込み部111の深さは2nm以上であることが好ましく、10nm以上であることがより好ましい。ここで、掘り込み部111の深さとは、電極パッド104の上面から掘り込み部111の最深部までの深さを言う。すなわち、掘り込み部111の深さが2nm以上であれば、横方向の外力に対する機械的強度を十分に保つことができ、掘り込み部111の深さが10nm以上であれば、横方向の外力に対する機械的強度をより確実に保つことができる。ここで、電極パッド104の厚さについては例えば1~5 $\mu$ m程度に設定してもよい。また、電極パッド104の面積は特に限定されないが、例えば100 $\mu$ m $\times$ 100 $\mu$ m程度に設定してもよい。

## 【0083】

また、第3の実施形態において、掘り込み部111の最大口径は、電極パッド104の上面での貫通ビア114の口径よりも大きいことが好ましい。このようにすると、貫通ビア114と電極パッド104との接触面積をさらに増大させることができるので、貫通ビア114と電極パッド104との接続信頼性をさらに向上させることができる。ここで、貫通ビア114の口径（電極パッド104の上面での口径）については例えば1~10 $\mu$ m程度に設定してもよい。また、貫通ビア114の高さは特に限定されないが、例えば50 $\mu$ m程度に設定してもよい。

## 【0084】

また、第3の実施形態において、多層配線103（電極パッド104を含む）、多層配線203（電極パッド204を含む）、貫通ビア114の材料は特に限定されるものではないが、例えば銅又は銅合金を用いてもよい。

## 【0085】

また、第3の実施形態において、例えば図2に示すように、電極パッド104は、その上面が第1の半導体チップ100の表面（つまり多層絶縁膜102の上面）よりも低くなるように形成されていることが好ましい。このようにすると、横方向の外力に対する機械的強度をさらに向上させることができる。

## 【0086】

（第4の実施形態）

以下、本発明の第4の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。図6(a)~(g)は、本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

## 【0087】

まず、図6(a)に示すように、第1のシリコン基板101に半導体素子（図示省略）を形成した後、詳細な工程は省略するが、第1のシリコン基板101の上に、1層以上の絶縁膜からなる多層絶縁膜102を形成すると共に、多層絶縁膜102中に、コンタクトプラグ、配線、ビアなどからなる多層配線103を形成する。その後、多層絶縁膜102の最上部に、多層配線103と接続する電極パッド104を形成する。これにより、第1のシリコン基板101、多層絶縁膜102、多層配線103、電極パッド104等からなる第1の半導体チップ100が形成される。また、同様に、第2のシリコン基板201に、半導体素子（図示省略）を形成した後、詳細な工程は省略するが、第2のシリコン基板201の上に、1層以上の絶縁膜からなる多層絶縁膜202を形成すると共に、多層絶縁膜202中に、コンタクトプラグ、配線、ビアなどからなる多層配線203を形成する。その後、多層絶縁膜202の最上部に、多層配線203と接続する電極パッド204を形成する。これにより、第2のシリコン基板201、多層絶縁膜202、多層配線203、電極パッド204等からなる第2の半導体チップ200が形成される。

## 【0088】

ここで、多層絶縁膜102及び202のうち、配線が形成される絶縁膜としては、配線間容量を低減するために、炭素含有シリコン酸化膜（SiOC膜）を用いることが好ましい。

## 【0089】

また、多層配線 103 及び 203 を構成する配線、ビア等の材料としては、低抵抗化の観点から、Cu (銅) 又は Cu 合金を用いることが好ましく、また、それらの配線、ビア等の形成方法としては、工程の単純化の観点から、デュアルダマシン法を用いることが好ましい。

#### 【0090】

また、電極パッド 104 及び 204 の材料としては、Cu、Al (アルミニウム) 又はそれらの合金等を用いることができるが、低抵抗化の観点から Cu を用いることが好ましい。また、電極パッド 104 及び 204 の平面形状は特に限定されないが、円形 (又は略円形)、正方形 (又は略正方形)、長方形 (又は略長方形) 等に設定することができる。

#### 【0091】

次に、図 6 (b) に示すように、フォトリソグラフィ法により、第 2 の半導体チップ 200 の多層絶縁膜 202 上に、貫通ビアパターンを有するレジストパターン (図示省略) を形成した後、当該レジストパターンをマスクとして、多層絶縁膜 202 及び第 2 のシリコン基板 201 に対して順次ドライエッチング処理を行い、第 2 のシリコン基板 201 の下部に達する貫通ビアホール 110 を形成する。その後、アッシングにより、残存するレジストパターンを除去する。尚、本実施形態では、第 2 の半導体チップ 200 において貫通ビアと多層配線 203 との電氣的コンタクトを確実に取るために、図 6 (a) に示す工程で電極パッド 204 を大きめに形成しておき、図 6 (b) に示す工程で当該電極パッド 204 の一部をエッチングすることにより、電極パッド 204 に接するように貫通ビアホール 110 を形成する。

#### 【0092】

次に、図 6 (c) に示すように、第 2 のシリコン基板 201 の裏面を例えば CMP 法により研磨して貫通ビアホール 110 の底部を露出させる。ここで、研磨に代えてウェットエッチング処理を行ってもよい。

#### 【0093】

次に、図 6 (d) に示すように、第 1 の半導体チップ 100 と第 2 の半導体チップ 200 とをウエハレベルで接着層 150 を介して貼り合わせる。具体的には、第 1 の半導体チップ 100 の表面に例えば PBO 樹脂を厚さ 15  $\mu\text{m}$  程度塗布して接着層 150 を形成した後、この接着層 150 を挟んで第 1 の半導体チップ 100 に第 2 の半導体チップ 200 を押し付け、その状態で例えば 320、30 分間の熱処理を行って接着層 150 を硬化させる。尚、接着層 150 の材料としては、PBO 樹脂に限らず、熱硬化性接着剤、紫外線硬化性接着剤などを用いることができる。

#### 【0094】

本実施形態においては、図 6 (d) に示す工程で、導電材料が埋め込まれていない貫通ビアホール 110 を有する第 2 の半導体チップ 200 を第 1 の半導体チップ 100 に貼り合わせるため、当該貼り合わせを、貫通ビアホール 110 の光学的観察を利用して実施することができるので、チップ同士のアライメントを容易に行うことができる。

#### 【0095】

次に、図 6 (e) に示すように、貫通ビアホール 110 底部の接着層 150 を除去した後、貫通ビアホール 110 内に露出する電極パッド 104 の上面に対してドライエッチング処理を行い、電極パッド 104 に掘り込み部 (アンカー) 111 を形成する。ここで、エッチング用ガスとしては、BCl<sub>3</sub> 等の Cl 含有ガスを用いることが好ましい。また、掘り込み部 111 の深さは 2 nm 以上であることが好ましく、10 nm 以上であることがより好ましい。尚、掘り込み部 111 の深さとは、電極パッド 104 の上面から掘り込み部 111 の最深部までの深さを言う。

#### 【0096】

次に、図 6 (f) に示すように、例えばスパッタ法により、貫通ビアホール 110 及び掘り込み部 111 のそれぞれの壁面を覆うようにバリアメタル膜 112 を堆積した後、例えばスパッタ法により、バリアメタル膜 112 上に Cu シード層 (図示種略) を形成し、その後、例えば電界めっき法により、当該 Cu シード層上に Cu 膜 113 を成長させて貫

10

20

30

40

50



通ビアホール 110 及び掘り込み部 111 を埋める。ここで、バリアメタル膜 112 は、貫通ビア材料、具体的には Cu 原子の拡散を防止するために形成されるので、バリアメタル膜 112 としては、窒化タングステン (WN)、窒化タンタル (TaN) 又は窒化チタン (TiN) 等からなる導電性バリア膜を用いることが好ましい。また、貫通ビアと第 2 のシリコン基板 201 との電氣的な絶縁を行うため、バリアメタル膜 112 の形成前に、貫通ビアホール 110 の壁面を覆うように絶縁膜を形成しておいてもよい。

#### 【0097】

次に、図 6 (g) に示すように、例えば CMP 法により、貫通ビアホール 110 からみ出した余剰の Cu 膜 113 及びバリアメタル膜 112 を研磨して除去し、貫通ビアホール 110 及び掘り込み部 111 内のみに Cu 膜 113 及びバリアメタル膜 112 を残す。以上の工程により、第 2 の半導体チップ 200 の多層配線 203 と第 1 の半導体チップ 100 の電極パッド 104 (つまり多層配線 103) とを電氣的に接続する貫通ビア 114 が形成される。

10

#### 【0098】

以上のように、本実施形態においては、半導体チップ 100 及び 200 を接着層 150 によって接続すると共に半導体チップ 100 及び 200 内の多層配線 103 及び 203 を貫通ビア 114 を通じて電氣的に接続することによって、2 つの半導体チップを積層した 3 次元配線構造を有する半導体装置が形成されている。尚、本実施形態においては、2 つの半導体チップ 100 及び 200 を積層した半導体装置の形成方法について説明したが、図 6 (b) ~ (g) に示す工程と同様の工程を繰り返し実施することにより、3 つ以上の半導体チップを積層させ、それによって、3 次元配線構造を有する半導体装置を形成してもよいことは言うまでもない。

20

#### 【0099】

前述のように、第 4 の実施形態に係る半導体装置の製造方法の特徴は、第 1 の半導体チップ 100 の電極パッド 104 に形成された掘り込み部 111 に、貫通ビア 114 の底部を埋め込むことによって、電極パッド 105 と貫通ビア 114 とを直接的に接触させていることである。これにより、バンプ形成を行うことなく、電極パッド 105 と貫通ビア 114 とを接触させることができるという効果が得られる。また、バンプの高さ分だけ、半導体装置全体の高さを小さくすることができるという効果も得られる。さらに、電極パッド 104 の掘り込み部 111 内に貫通ビア 114 の底部を埋め込むことにより、貫通ビア 114 と電極パッド 104 との接触面積を増大させて貫通ビア 114 と電極パッド 104 との接合強度を大きくすることができると共に、横方向の外力に対する機械的強度を大きくすることができる。従って、3 次元配線構造を有する半導体装置の機械的強度を増大させることができる。

30

#### 【0100】

また、第 4 の実施形態によると、第 1 の半導体チップ 100 と第 2 の半導体チップ 200 との貼り合わせを行う際に、第 2 の半導体チップ 200 の貫通ビアホール 110 には導電材料が埋め込まれていないため、当該貼り合わせを、貫通ビアホール 110 の光学的観察を利用して実施することができるので、チップ同士のアライメントを容易に行うことができる。

40

#### 【0101】

尚、第 4 の実施形態において、第 2 の半導体チップ 200 の完成後、貫通ビア 114 を形成したが、これに代えて、例えば、第 2 のシリコン基板 201 の上に配線層を形成する前に、又は配線層の形成途中に、貫通ビアを形成してもよい。

#### 【0102】

また、第 4 の実施形態において、掘り込み部 111 の形成、導電膜埋め込みによる貫通ビア 114 の形成を真空中において連続的に実施すれば、貫通ビア 114 の底面及び第 1 の半導体チップ 100 の電極パッド 104 の上面を酸化させることなく貫通ビア 114 と電極パッド 104 との接合を行うことができるので、貫通ビア 114 と電極パッド 104 との接合強度をさらに大きくすることができる。

50

## 【0103】

また、第4の実施形態において、掘り込み部111の深さは2nm以上であることが好ましく、10nm以上であることがより好ましい。ここで、掘り込み部111の深さとは、電極パッド104の上面から掘り込み部111の最深部までの深さを言う。すなわち、掘り込み部111の深さが2nm以上であれば、横方向の外力に対する機械的強度を十分に保つことができ、掘り込み部111の深さが10nm以上であれば、横方向の外力に対する機械的強度をより確実に保つことができる。ここで、電極パッド104の厚さについては例えば1~5 $\mu$ m程度に設定してもよい。また、電極パッド104の面積は特に限定されないが、例えば100 $\mu$ m $\times$ 100 $\mu$ m程度に設定してもよい。

## 【0104】

また、第4の実施形態において、掘り込み部111の最大口径は、電極パッド104の上面での貫通ビア114の口径よりも大きいことが好ましい。このようにすると、貫通ビア114と電極パッド104との接触面積をさらに増大させることができるので、貫通ビア114と電極パッド104との接続信頼性をさらに向上させることができる。具体的には、図6(e)に示す工程でドライエッチング処理によって掘り込み部111を形成することに代えて、図7に示すように、例えば、FeCl<sub>4</sub>等のCl含有薬液を用いたウェットエッチング処理によって掘り込み部111を形成することにより、掘り込み部111の最大口径が、電極パッド104の上面での貫通ビア114の口径よりも大きい構成を実現することができる。ここで、貫通ビア114の口径(電極パッド104の上面での口径)については例えば1~10 $\mu$ m程度に設定してもよい。また、貫通ビア114の高さは特に限定されないが、例えば50 $\mu$ m程度に設定してもよい。

## 【0105】

また、第4の実施形態において、多層配線103(電極パッド104を含む)、多層配線203(電極パッド204を含む)、貫通ビア114の材料は特に限定されるものではないが、例えば銅又は銅合金を用いてもよい。

## 【0106】

また、第4の実施形態において、例えば図2に示すように、電極パッド104は、その上面が第1の半導体チップ100の表面(つまり多層絶縁膜102の上面)よりも低くなるように形成されていることが好ましい。このようにすると、横方向の外力に対する機械的強度をさらに向上させることができる。

## 【0107】

(第5の実施形態)

以下、本発明の第5の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。図8(a)~(h)は、本発明の第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

## 【0108】

まず、第4の実施形態の図6(a)に示す工程と同様に、図8(a)に示すように、第1のシリコン基板101に半導体素子(図示省略)を形成した後、詳細な工程は省略するが、第1のシリコン基板101の上に、1層以上の絶縁膜からなる多層絶縁膜102を形成すると共に、多層絶縁膜102中に、コンタクトプラグ、配線、ビアなどからなる多層配線103を形成する。その後、多層絶縁膜102の最上部に、多層配線103と接続する電極パッド104を形成する。これにより、第1のシリコン基板101、多層絶縁膜102、多層配線103、電極パッド104等からなる第1の半導体チップ100が形成される。また、同様に、第2のシリコン基板201に、半導体素子(図示省略)を形成した後、詳細な工程は省略するが、第2のシリコン基板201の上に、1層以上の絶縁膜からなる多層絶縁膜202を形成すると共に、多層絶縁膜202中に、コンタクトプラグ、配線、ビアなどからなる多層配線203を形成する。その後、多層絶縁膜202の最上部に、多層配線203と接続する電極パッド204を形成する。これにより、第2のシリコン基板201、多層絶縁膜202、多層配線203、電極パッド204等からなる第2の半導体チップ200が形成される。

10

20

30

40

50

## 【0109】

ここで、多層絶縁膜102及び202のうち、配線が形成される絶縁膜としては、配線間容量を低減するために、炭素含有シリコン酸化膜(SiOC膜)を用いることが好ましい。

## 【0110】

また、多層配線103及び203を構成する配線、ビア等の材料としては、低抵抗化の観点から、Cu(銅)又はCu合金を用いることが好ましく、また、それらの配線、ビア等の形成方法としては、工程の簡単化の観点から、デュアルダマシン法を用いることが好ましい。

## 【0111】

また、電極パッド104及び204の材料としては、Cu、Al(アルミニウム)又はそれらの合金等を用いることができるが、低抵抗化の観点からCuを用いることが好ましい。また、電極パッド104及び204の平面形状は特に限定されないが、円形(又は略円形)、正方形(又は略正方形)、長方形(又は略長方形)等に設定することができる。

## 【0112】

次に、第4の実施形態の図6(b)に示す工程と同様に、図8(b)に示すように、フォトリソグラフィ法により、第2の半導体チップ200の多層絶縁膜202上に、貫通ビアパターンを有するレジストパターン(図示省略)を形成した後、当該レジストパターンをマスクとして、多層絶縁膜202及び第2のシリコン基板201に対して順次ドライエッチング処理を行い、第2のシリコン基板201の下部に達する貫通ビアホール110を形成する。その後、アッシングにより、残存するレジストパターンを除去する。尚、本実施形態では、第2の半導体チップ200において貫通ビアと多層配線203との電気的コンタクトを確実に取るために、図8(a)に示す工程で電極パッド204を大きめに形成しておき、図8(b)に示す工程で当該電極パッド204の一部をエッチングすることにより、電極パッド204に接するように貫通ビアホール110を形成する。

## 【0113】

次に、第4の実施形態の図6(c)に示す工程と同様に、図8(c)に示すように、第2のシリコン基板201の裏面を例えばCMP法により研磨して貫通ビアホール110の底部を露出させる。ここで、研磨に代えてウェットエッチング処理を行ってもよい。

## 【0114】

次に第4の実施形態の図6(d)に示す工程と同様に、図8(d)に示すように、第1の半導体チップ100と第2の半導体チップ200とをウエハレベルで接着層150を介して貼り合わせる。具体的には、第1の半導体チップ100の表面に例えばPBO樹脂を厚さ15 $\mu$ m程度塗布して接着層150を形成した後、この接着層150を挟んで第1の半導体チップ100に第2の半導体チップ200を押し付け、その状態で例えば320、30分間の熱処理を行って接着層150を硬化させる。尚、接着層150の材料としては、PBO樹脂に限らず、熱硬化性接着剤、紫外線硬化性接着剤などを用いることができる。

## 【0115】

本実施形態においては、図8(d)に示す工程で、導電材料が埋め込まれていない貫通ビアホール110を有する第2の半導体チップ200を第1の半導体チップ100に貼り合わせるため、当該貼り合わせを、貫通ビアホール110の光学的観察を利用して実施することができるので、チップ同士のアライメントを容易に行うことができる。

## 【0116】

次に、図8(e)に示すように、貫通ビアホール110底部の接着層150を除去した後、例えばスパッタ法により、貫通ビアホール110の壁面を覆うようにバリアメタル膜112を堆積する。ここで、バリアメタル膜112は、貫通ビア材料、具体的にはCu原子の拡散を防止するために形成されるので、バリアメタル膜112としては、窒化タンゲステン(WN)、窒化タンタル(TaN)又は窒化チタン(TiN)等からなる導電性バリア膜を用いることが好ましい。また、貫通ビアと第2のシリコン基板201との電気的

10

20

30

40

50

な絶縁を行うため、バリアメタル膜 112 の形成前に、貫通ビアホール 110 の壁面を覆うように絶縁膜を形成しておいてもよい。

【0117】

次に、図 8 ( f ) に示すように、貫通ビアホール 110 の底部、つまりバリアメタル膜 112 に覆われた電極パッド 104 の上面に対して、例えば Ar ガスを用いてリスパッタ処理を行い、電極パッド 104 に掘り込み部 ( アンカー ) 111 を形成する。ここで、掘り込み部 111 の深さは 2 nm 以上であることが好ましく、10 nm 以上であることがより好ましい。尚、掘り込み部 111 の深さと、電極パッド 104 の上面から掘り込み部 111 の最深部までの深さを言う。

【0118】

ここで、図 8 ( e ) に示すスパッタ処理では、ターゲットに DC パワーを印加して、ターゲットを構成するメタルを例えば Ar によりスパッタして当該メタルを基板上に堆積させるのに対して、図 8 ( f ) に示すリスパッタ処理では、ターゲットにはほとんど DC パワーを印加せずに、高周波コイルに RF パワーを印加して例えば Ar のイオン化を促進させ、さらに、基板にバイアスパワーを印加して、イオン化された Ar<sup>+</sup> を基板に引き込んでエッチングを行う。すなわち、図 8 ( f ) に示すリスパッタ処理では、メタルの堆積よりも、Ar によるエッチングが支配的になる。図 8 ( e ) に示すスパッタ処理の具体的な条件は、例えば、ターゲットパワーが 2000 W、基板バイアスパワーが 230 W、RF パワーが 0 W、Ar 流量が 20 cm<sup>3</sup> / 分 ( 標準状態 ) である。また、図 8 ( f ) に示すリスパッタ処理の具体的な条件は、例えば、ターゲットパワーが 500 W、基板バイアスパワーが 400 W、RF パワーが 1200 W、Ar 流量が 15 cm<sup>3</sup> / 分 ( 標準状態 ) である。

【0119】

次に、図 8 ( g ) に示すように、例えばスパッタ法により、貫通ビアホール 106 及び掘り込み部 107 のそれぞれの壁面を覆うバリアメタル膜 112 上に Cu シード層 ( 図示種略 ) を形成し、その後、例えば電界めっき法により、当該 Cu シード層上に Cu 膜 113 を成長させて貫通ビアホール 110 及び掘り込み部 111 を埋める。

【0120】

次に、第 4 の実施形態の図 6 ( g ) に示す工程と同様に、図 8 ( h ) に示すように、例えば CMP 法により、貫通ビアホール 110 からはみ出した余剰の Cu 膜 113 及びバリアメタル膜 112 を研磨して除去し、貫通ビアホール 110 及び掘り込み部 111 内のみ Cu 膜 113 及びバリアメタル膜 112 を残す。以上の工程により、第 2 の半導体チップ 200 の多層配線 203 と第 1 の半導体チップ 100 の電極パッド 104 ( つまり多層配線 103 ) とを電氣的に接続する貫通ビア 114 が形成される。

【0121】

以上のように、本実施形態においては、半導体チップ 100 及び 200 を接着層 150 によって接続すると共に半導体チップ 100 及び 200 内の多層配線 103 及び 203 を貫通ビア 114 を通じて電氣的に接続することによって、2 つの半導体チップを積層した 3 次元配線構造を有する半導体装置が形成されている。尚、本実施形態においては、2 つの半導体チップ 100 及び 200 を積層した半導体装置の形成方法について説明したが、図 8 ( b ) ~ ( h ) に示す工程と同様の工程を繰り返し実施することにより、3 つ以上の半導体チップを積層させ、それによって、3 次元配線構造を有する半導体装置を形成してもよいことは言うまでもない。

【0122】

前述のように、第 5 の実施形態に係る半導体装置の製造方法の特徴は、第 1 の半導体チップ 100 の電極パッド 104 に形成された掘り込み部 111 に、貫通ビア 114 の底部を埋め込むことによって、電極パッド 105 と貫通ビア 114 とを直接的に接触させていることである。これにより、パンプ形成を行うことなく、電極パッド 105 と貫通ビア 114 とを接触させることができるという効果が得られる。また、パンプの高さ分だけ、半導体装置全体の高さを小さくすることができるという効果も得られる。さらに、電極パッ

10

20

30

40

50

ド104の掘り込み部111内に貫通ビア114の底部を埋め込むことにより、貫通ビア114と電極パッド104との接触面積を増大させて貫通ビア114と電極パッド104との接合強度を大きくすることができると共に、横方向の外力に対する機械的強度を大きくすることができる。従って、3次元配線構造を有する半導体装置の機械的強度を増大させることができる。

【0123】

また、第5の実施形態によると、第1の半導体チップ100と第2の半導体チップ200との貼り合わせを行う際に、第2の半導体チップ200の貫通ビアホール110には導電材料が埋め込まれていないため、当該貼り合わせを、貫通ビアホール110の光学的観察を利用して実施することができるので、チップ同士のアライメントを容易に行うことができる。

10

【0124】

尚、第5の実施形態において、第2の半導体チップ200の完成後、貫通ビア114を形成したが、これに代えて、例えば、第2のシリコン基板201の上に配線層を形成する前に、又は配線層の形成途中に、貫通ビアを形成してもよい。

【0125】

また、第5の実施形態において、バリアメタル膜112の形成、掘り込み部111の形成、導電膜埋め込みによる貫通ビア114の形成を真空中において連続的に実施すれば、貫通ビア114の底面及び第1の半導体チップ100の電極パッド104の上面を酸化させることなく貫通ビア114と電極パッド104との接合を行うことができるので、貫通ビア114と電極パッド104との接合強度をさらに大きくすることができる。

20

【0126】

また、第5の実施形態において、掘り込み部111の深さは2nm以上であることが好ましく、10nm以上であることがより好ましい。ここで、掘り込み部111の深さとは、電極パッド104の上面から掘り込み部111の最深部までの深さを言う。すなわち、掘り込み部111の深さが2nm以上であれば、横方向の外力に対する機械的強度を十分に保つことができ、掘り込み部111の深さが10nm以上であれば、横方向の外力に対する機械的強度をより確実に保つことができる。ここで、電極パッド104の厚さについては例えば1~5 $\mu$ m程度に設定してもよい。また、電極パッド104の面積は特に限定されないが、例えば100 $\mu$ m $\times$ 100 $\mu$ m程度に設定してもよい。

30

【0127】

また、第5の実施形態において、掘り込み部111の最大口径は、電極パッド104の上面での貫通ビア114の口径よりも大きいことが好ましい。このようにすると、貫通ビア114と電極パッド104との接触面積をさらに増大させることができるので、貫通ビア114と電極パッド104との接続信頼性をさらに向上させることができる。ここで、貫通ビア114の口径（電極パッド104の上面での口径）については例えば1~10 $\mu$ m程度に設定してもよい。また、貫通ビア114の高さは特に限定されないが、例えば50 $\mu$ m程度に設定してもよい。

【0128】

また、第5の実施形態において、多層配線103（電極パッド104を含む）、多層配線203（電極パッド204を含む）、貫通ビア114の材料は特に限定されるものではないが、例えば銅又は銅合金を用いてもよい。

40

【0129】

また、第5の実施形態において、例えば図2に示すように、電極パッド104は、その上面が第1の半導体チップ100の表面（つまり多層絶縁膜102の上面）よりも低くなるように形成されていることが好ましい。このようにすると、横方向の外力に対する機械的強度をさらに向上させることができる。

【0130】

（第6の実施形態）

以下、本発明の第6の実施形態に係る半導体装置の製造方法について、図面を参照しな

50

から説明する。図9(a)~(g)は、本発明の第6の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0131】

まず、図9(a)に示すように、第1のシリコン基板101に半導体素子(図示省略)を形成した後、詳細な工程は省略するが、第1のシリコン基板101の上に、1層以上の絶縁膜からなる多層絶縁膜102を形成すると共に、多層絶縁膜102中に、コンタクトプラグ、配線、ビアなどからなる多層配線103を形成する。その後、多層絶縁膜102の最上部に、多層配線103と接続する電極パッド104を形成する。これにより、第1のシリコン基板101、多層絶縁膜102、多層配線103、電極パッド104等からなる第1の半導体チップ100が形成される。また、同様に、第2のシリコン基板201に、半導体素子(図示省略)を形成した後、詳細な工程は省略するが、第2のシリコン基板201の上に、1層以上の絶縁膜からなる多層絶縁膜202を形成すると共に、多層絶縁膜202中に、コンタクトプラグ、配線、ビアなどからなる多層配線203を形成する。その後、多層絶縁膜202の最上部に、多層配線203と接続する電極パッド204を形成する。これにより、第2のシリコン基板201、多層絶縁膜202、多層配線203、電極パッド204等からなる第2の半導体チップ200が形成される。

10

【0132】

ここで、多層絶縁膜102及び202のうち、配線が形成される絶縁膜としては、配線間容量を低減するために、炭素含有シリコン酸化膜(SiOC膜)を用いることが好ましい。

20

【0133】

また、多層配線103及び203を構成する配線、ビア等の材料としては、低抵抗化の観点から、Cu(銅)又はCu合金を用いることが好ましく、また、それらの配線、ビア等の形成方法としては、工程の簡単化の観点から、デュアルダマシン法を用いることが好ましい。

【0134】

また、電極パッド104及び204の材料としては、Cu、Al(アルミニウム)又はそれらの合金等を用いることができるが、低抵抗化の観点からCuを用いることが好ましい。また、電極パッド104及び204の平面形状は特に限定されないが、円形(又は略円形)、正方形(又は略正方形)、長方形(又は略長方形)等に設定することができる。

30

【0135】

次に、図9(b)に示すように、フォトリソグラフィ法により、第2の半導体チップ200の多層絶縁膜202上に、貫通ビアパターンを有するレジストパターン(図示省略)を形成した後、当該レジストパターンをマスクとして、多層絶縁膜202及び第2のシリコン基板201に対して順次ドライエッチング処理を行い、第2のシリコン基板201の下部に達する貫通ビアホール110を形成する。その後、アッシングにより、残存するレジストパターンを除去する。尚、本実施形態では、第2の半導体チップ200において貫通ビアと多層配線203との電気的コンタクトを確実に取るために、図8(a)に示す工程で電極パッド204を大きめに形成しておき、図8(b)に示す工程で当該電極パッド204の一部をエッチングすることにより、電極パッド204に接するように貫通ビアホール110を形成する。

40

【0136】

次に、図9(c)に示すように、例えばスパッタ法により、貫通ビアホール110の壁面を覆うようにバリアメタル膜112を堆積した後、例えばスパッタ法により、バリアメタル膜112上にCuシード層(図示種略)を形成し、その後、例えば電界めっき法により、当該Cuシード層上にCu膜113を成長させて貫通ビアホール110を埋める。ここで、バリアメタル膜112は、貫通ビア材料、具体的にはCu原子の拡散を防止するために形成されるので、バリアメタル膜112としては、窒化タングステン(WN)、窒化タンタル(TaN)又は窒化チタン(TiN)等からなる導電性バリア膜を用いることが好ましい。また、貫通ビアと第2のシリコン基板201との電気的な絶縁を行うため、バ

50

リアメタル膜 112 の形成前に、貫通ビアホール 110 の壁面を覆うように絶縁膜を形成しておいてもよい。

【0137】

次に、図 9 (d) に示すように、例えば CMP 法により、貫通ビアホール 110 からみ出した余剰の Cu 膜 113 及びバリアメタル膜 112 を研磨して除去し、貫通ビアホール 110 内のみに Cu 膜 113 及びバリアメタル膜 112 を残す。以上の工程により、第 2 の半導体チップ 200 の多層配線 203 と電氣的に接続する貫通ビア 114 が形成される。

【0138】

次に、図 9 (e) に示すように、第 2 のシリコン基板 201 の裏面を例えば CMP 法により研磨して貫通ビア 114 の底部を露出させる。ここで、研磨に代えてウェットエッチング処理を行ってもよい。

【0139】

次に、図 9 (f) に示すように、例えば無電界めっき法により、貫通ビア 114 の底部に選択的に金属含有膜 120 を堆積する。金属含有膜 120 の材料としては、例えば、無電解めっき法による成膜が可能な材料である Cu、Ni、Co 等を用いることができるが、低抵抗化の観点からは Cu を用いることが望ましい。

【0140】

次に、図 9 (g) に示すように、第 1 の半導体チップ 100 と第 2 の半導体チップ 200 とをウエハレベルで接着層 150 を介して貼り合わせると共に、貫通ビア 114 の底部に形成された金属含有膜 120 と第 1 の半導体チップ 100 の電極パッド 104 とを例えば熱圧着接合 (thermo compression) によって接合させる。具体的には、第 1 の半導体チップ 100 の表面 (電極パッド 104 の形成領域を除く) に例えば PBO 樹脂を厚さ 15 μm 程度塗布して接着層 150 を形成した後、この接着層 150 を挟んで第 1 の半導体チップ 100 に第 2 の半導体チップ 200 を押し付け、その状態で例えば 320、30 分間の熱処理を行って接着層 150 を硬化させる。尚、接着層 150 の材料としては、PBO 樹脂に限らず、熱硬化性接着剤、紫外線硬化性接着剤などを用いることができる。

【0141】

以上のように、本実施形態においては、半導体チップ 100 及び 200 を接着層 150 によって接続すると共に半導体チップ 100 及び 200 内の多層配線 103 及び 203 を貫通ビア 114 を通じて電氣的に接続することによって、2 つの半導体チップを積層した 3 次元配線構造を有する半導体装置が形成されている。尚、本実施形態においては、2 つの半導体チップ 100 及び 200 を積層した半導体装置の形成方法について説明したが、図 9 (b) ~ (g) に示す工程と同様の工程を繰り返し実施することにより、3 つ以上の半導体チップを積層させ、それによって、3 次元配線構造を有する半導体装置を形成してもよいことは言うまでもない。

【0142】

第 6 の実施形態によると、貫通ビア 114 の底部に金属含有膜 120 を形成して当該金属含有膜 120 と電極パッド 104 とを接触させるため、貫通ビア 114 と金属含有膜 120 との界面及び金属含有膜 120 と電極パッド 104 との界面にそれぞれ凹凸を形成することができる。このため、貫通ビア 114 と電極パッド 104 との実質的な接触面積が増大し、それにより、貫通ビア 114 と電極パッド 104 との接合強度を大きくすることができる。

【0143】

尚、第 6 の実施形態において、第 2 の半導体チップ 200 の完成後、貫通ビア 114 を形成したが、これに代えて、例えば、第 2 のシリコン基板 201 の上に配線層を形成する前に、又は配線層の形成途中に、貫通ビアを形成してもよい。

【0144】

また、第 6 の実施形態において、多層配線 103 (電極パッド 104 を含む)、多層配線 203 (電極パッド 204 を含む)、貫通ビア 114 の材料は特に限定されるものでは

10

20

30

40

50

ないが、例えば銅又は銅合金を用いてもよい。

【0145】

また、第6の実施形態において、例えば図2に示すように、電極パッド104は、その上面が第1の半導体チップ100の表面（つまり多層絶縁膜102の上面）よりも低くなるように形成されていることが好ましい。このようにすると、横方向の外力に対する機械的強度をさらに向上させることができる。

【産業上の利用可能性】

【0146】

本発明は、半導体装置及びその製造方法に関し、貫通ビアと電極パッドとの接合強度を増大させ、それにより、3次元配線構造を有する半導体装置の機械的強度を増大させることができるので、有用である。

10

【図面の簡単な説明】

【0147】

【図1】図1は本発明の第1の実施形態に係る半導体装置の断面である。

【図2】図2は本発明の第1の実施形態の変形例に係る半導体装置の断面である。

【図3】図3(a)～(f)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】図4は本発明の第2の実施形態の変形例に係る半導体装置の製造方法の一工程を示す断面図である。

【図5】図5(a)～(g)は本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

20

【図6】図6(a)～(g)は本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】図7は本発明の第4の実施形態の変形例に係る半導体装置の製造方法の一工程を示す断面図である。

【図8】図8(a)～(h)は本発明の第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】図9(a)～(g)は本発明の第6の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図10】図10(a)～(f)は、特許文献1に開示された従来の半導体装置の製造方法の各工程を示す断面図である。

30

【符号の説明】

【0148】

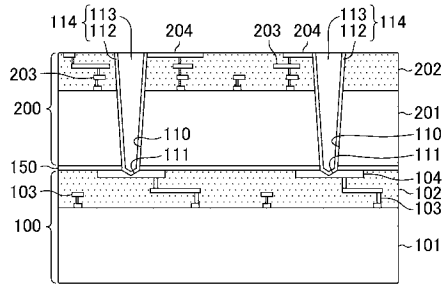
- 100 第1の半導体チップ
- 101 第1のシリコン基板
- 102 多層絶縁膜
- 103 多層配線
- 104 電極パッド
- 110 貫通ビアホール
- 111 掘り込み部
- 112 バリアメタル膜
- 113 Cu膜
- 114 貫通ビア
- 120 金属含有膜
- 150 接着層
- 200 第2の半導体チップ
- 201 第2のシリコン基板
- 202 多層絶縁膜
- 203 多層配線
- 204 電極パッド

40

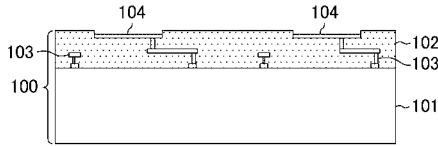
50



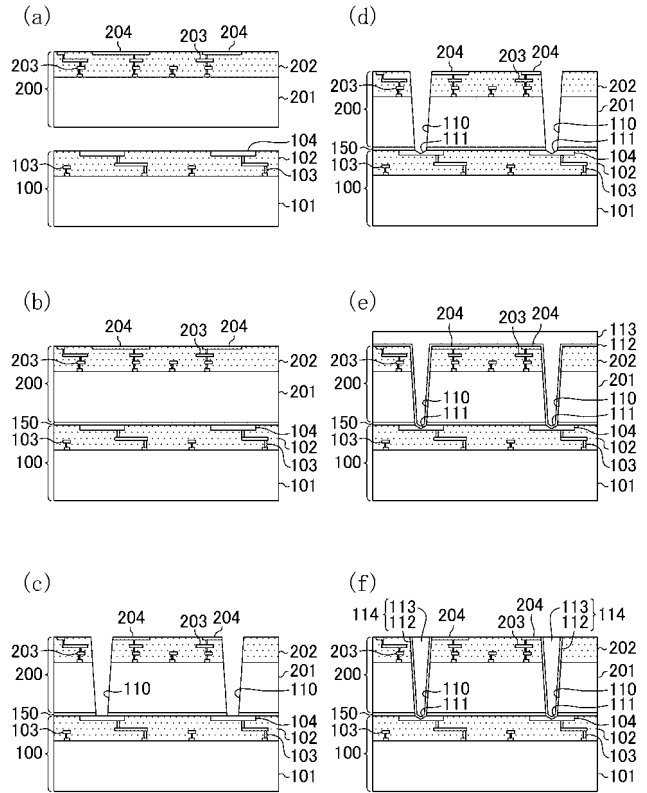
【 図 1 】



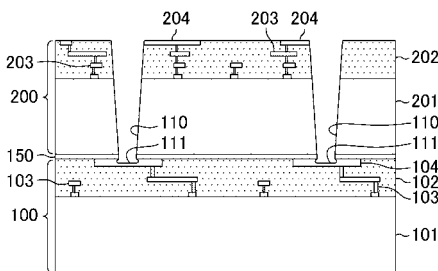
【 図 2 】



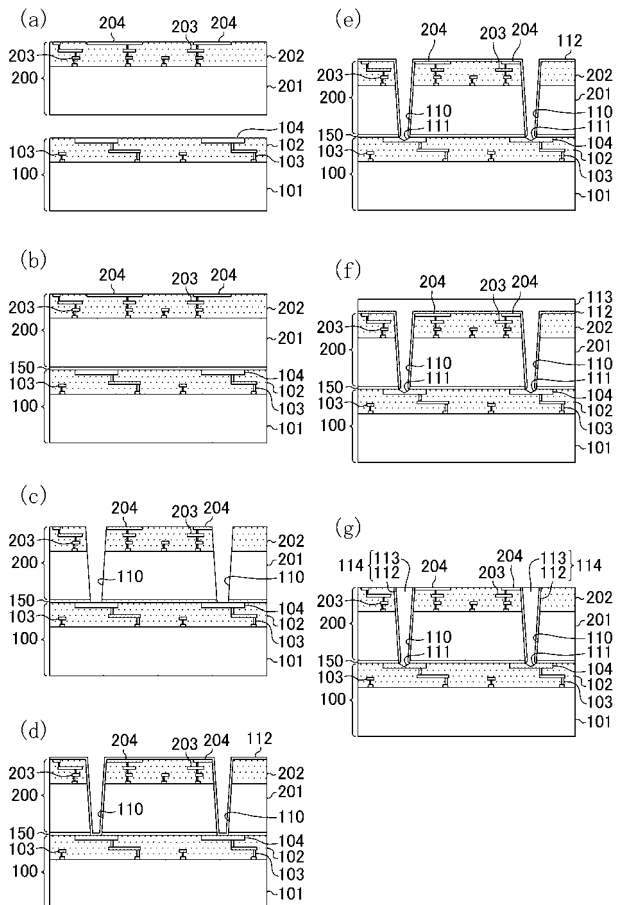
【 図 3 】



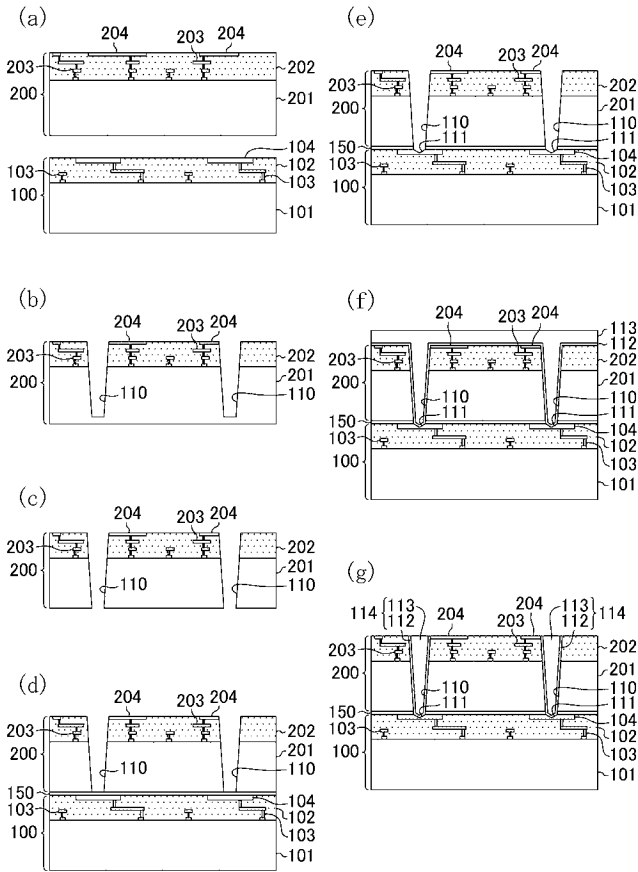
【 図 4 】



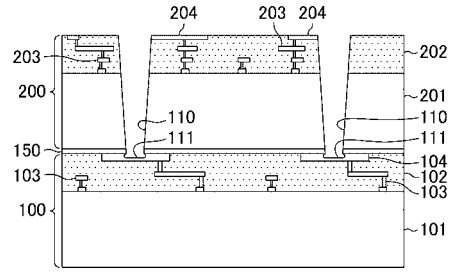
【 図 5 】



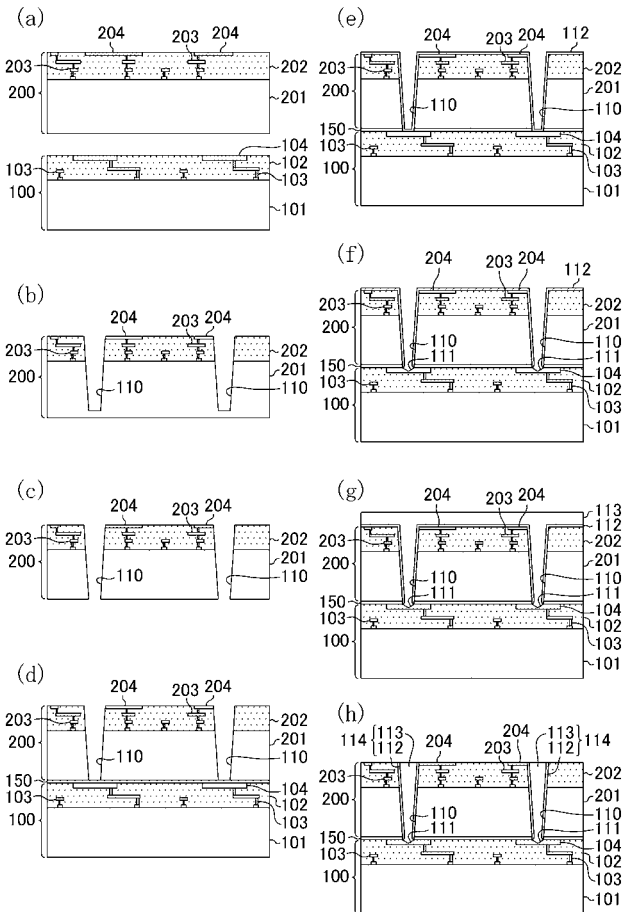
【 図 6 】



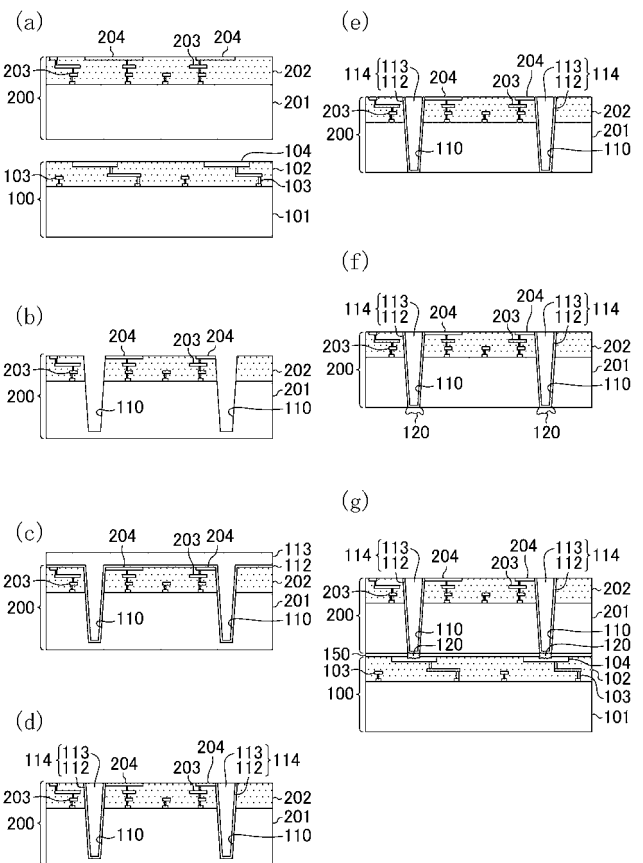
【 図 7 】



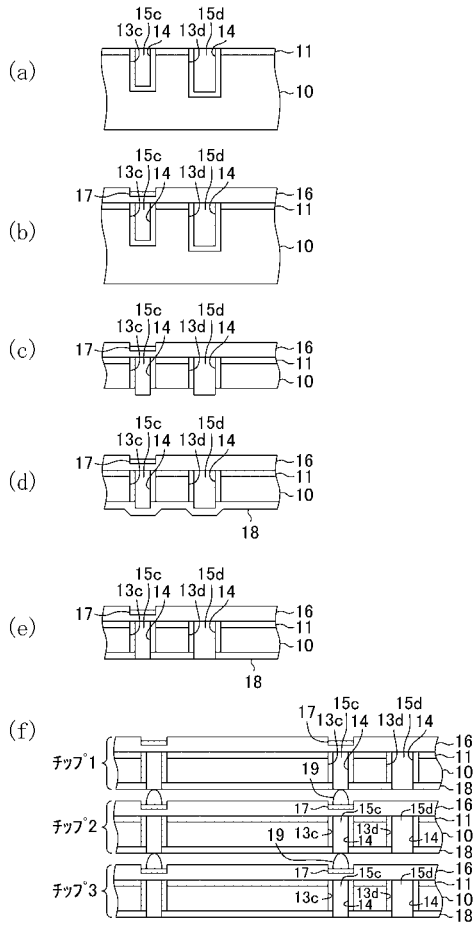
【 図 8 】



【 図 9 】



【図10】



## フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 虎澤 直樹

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 樋野村 徹

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5F033 HH08 HH09 HH11 HH12 JJ11 JJ12 JJ32 JJ33 JJ34 KK11

KK12 MM02 MM30 NN06 NN07 NN13 NN32 PP15 PP27 QQ08

QQ11 QQ14 QQ19 QQ48 RR01 TT07 VV07 WW01 XX12