

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-334030

(P2004-334030A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int. Cl.<sup>7</sup>

**G09G 3/28**  
**G09G 3/20**  
**G09G 3/288**

F I

G09G 3/28 J  
G09G 3/20 621G  
G09G 3/20 622C  
G09G 3/20 622G  
G09G 3/20 624M

テーマコード(参考)

5C080

審査請求 未請求 請求項の数 10 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2003-131879 (P2003-131879)  
(22) 出願日 平成15年5月9日(2003.5.9)

(71) 出願人 599132708  
富士通日立プラズマディスプレイ株式会社  
神奈川県川崎市高津区坂戸3丁目2番1号  
(74) 代理人 100090273  
弁理士 國分 孝悦  
(72) 発明者 小野澤 誠  
神奈川県川崎市高津区坂戸3丁目2番1号  
富士通日立プラズマディスプレイ株式会  
社内  
(72) 発明者 黄木 英明  
神奈川県横浜市戸塚区吉田町292番地  
株式会社日立アドバンスデジタル内  
(72) 発明者 鎌田 雅樹  
神奈川県横浜市戸塚区吉田町292番地  
株式会社日立アドバンスデジタル内  
最終頁に続く

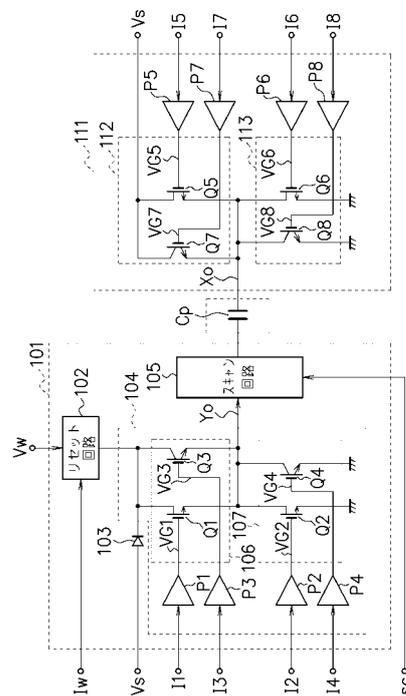
(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【要約】

【課題】 放電電流による電圧変動を低減して駆動マージンを拡大し、プラズマディスプレイ装置における表示特性の劣化を防止できるようにする。

【解決手段】 表示セルとなる容量C<sub>p</sub>に駆動電圧を供給するY電極駆動回路101及びX電極駆動回路111を、高速スイッチング性能を有する第1のスイッチ素子Q1、Q2、Q5、Q6と、低飽和電圧性能を有する第2のスイッチ素子Q3、Q4、Q7、Q8とを並列に接続した並列回路を用いて構成し、放電電流が流れる際には、低飽和電圧性能を有する第2のスイッチ素子をオンすることにより、放電電流による電圧変動を低減できるようにする。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の第 1 の電極と、

上記複数の第 1 の電極に略平行に配置され、隣接する上記第 1 の電極とで表示セルを形成するとともに、当該表示セルを形成する上記第 1 の電極との間にて放電を行う複数の第 2 の電極と、

上記複数の第 1 の電極に放電電圧を印加する第 1 の電極駆動回路と、

上記複数の第 2 の電極に放電電圧を印加する第 2 の電極駆動回路とを備え、

上記第 1 及び第 2 の電極駆動回路の少なくとも一方は、高速スイッチング性能を有する第 1 のスイッチ素子と、低飽和電圧性能を有する第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とするプラズマディスプレイ装置。 10

**【請求項 2】**

少なくとも上記第 1 の電極と上記第 2 の電極との間で放電電流が流れる期間は、上記第 2 のスイッチ素子がオン状態であることを特徴とする請求項 1 記載のプラズマディスプレイ装置。

**【請求項 3】**

上記電極駆動回路は、上記表示セルにて発光を伴う放電を行う維持放電電圧を出力するサステイン回路を有し、

上記サステイン回路が、上記第 1 のスイッチ素子と上記第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とする請求項 1 又は 2 記載のプラズマディスプレイ装置。 20

**【請求項 4】**

上記サステイン回路は、上記表示セルを形成する電極に対して上記維持放電電圧に係る第 1 の電位を供給する高電位側スイッチ回路と、上記第 1 の電位より低い上記維持放電電圧に係る第 2 の電位を供給する低電位側スイッチ回路とを有し、

上記高電位側スイッチ回路及び上記低電位側スイッチ回路が、上記第 1 のスイッチ素子と上記第 2 のスイッチ素子とを並列に接続した並列回路を有することを特徴とする請求項 3 記載のプラズマディスプレイ装置。

**【請求項 5】**

上記電極駆動回路は、上記表示セルを形成する電極にコイルを介して接続された電力回収スイッチをさらに有することを特徴とする請求項 4 記載のプラズマディスプレイ装置。 30

**【請求項 6】**

上記第 1 のスイッチ素子は、パワー MOS F E T であることを特徴とする請求項 1 ~ 5 の何れか 1 項記載のプラズマディスプレイ装置。

**【請求項 7】**

上記第 2 のスイッチ素子は、I G B T であることを特徴とする請求項 1 ~ 6 の何れか 1 項記載のプラズマディスプレイ装置。

**【請求項 8】**

上記第 1 のスイッチ素子と上記第 2 のスイッチ素子は、入力しきい値電圧特性が略一致していることを特徴とする請求項 1 ~ 7 の何れか 1 項記載のプラズマディスプレイ装置。 40

**【請求項 9】**

上記第 1 のスイッチ素子及び上記第 2 のスイッチ素子を、同一の駆動信号により駆動することを特徴とする請求項 1 ~ 7 の何れか 1 項記載のプラズマディスプレイ装置。

**【請求項 10】**

上記第 1 のスイッチ素子は、上記第 2 のスイッチ素子よりもスイッチング時間が短いことを特徴とする請求項 1 ~ 7 の何れか 1 項記載のプラズマディスプレイ装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、プラズマディスプレイ装置に関する。

## 【0002】

## 【従来の技術】

従来、プラズマディスプレイ装置のサステイン回路の出力素子には、パワーMOSFET (Metal-Oxide Semiconductor 電界効果トランジスタ) が一般的に用いられていた。これに対し、近年、パワーMOSFETの入力特性及びバイポーラトランジスタの低飽和電圧特性をとともに有するIGBT (Insulated Gate Bipolar Transistor) は、ターンオフ時間が短縮され、プラズマディスプレイ装置のサステイン回路に用いられ始めている (例えば、特許文献1参照。)

## 【0003】

また、IGBTを用いたプラズマディスプレイ駆動用ドライバとして、パワーMOSFETとIGBTとをトータムポール接続して構成した駆動用ICが提案されている (例えば、特許文献2参照。)

## 【0004】

IGBTは、バイポーラトランジスタと同様に伝導度変調効果が生ずるため、導通時の飽和電圧を低くすることができる。IGBTは、ターンオフ時間の短縮により、プラズマディスプレイ装置のサステイン回路の出力素子としての基本動作を実現することができる。しかしながら、現在製品化されているIGBTは、ターンオフ時間が従来に比べて短縮されたものの、パワーMOSFETに比較してターンオン時間及びターンオフ時間とも長く、スイッチング損失の点では不利である。

## 【0005】

これらの状況を考慮し、エアコン用インバータにおいては、第1の駆動電圧をゲート電極に印加することにより導通状態となるパワーMOSFETと、第1駆動電圧とは異なるレベルの第2の駆動電圧をゲート電極に印加することにより導通状態となるIGBTとを備え、パワーMOSFETとIGBTとを負荷への供給電流に対して並列に接続したものがあ (例えば、特許文献3参照。)。上記エアコン用インバータでは、負荷に供給する電流が小さい場合にはパワーMOSFETのみを駆動する第1の駆動電圧をゲート電極に印加し、負荷に供給する電流が大きい場合にはIGBTを主に駆動する、第1の駆動電圧よりも大きな第2の駆動電圧をゲート電極に印加する。

## 【0006】

## 【特許文献1】

特開2000-330514号公報

## 【特許文献2】

特開平8-46053号公報

## 【特許文献3】

特開2002-16486号公報

## 【0007】

## 【発明が解決しようとする課題】

上記特許文献3に開示された技術では、エアコン用インバータ等の高電力駆動時 (起動時) において、パワーMOSFETとIGBTの両者を動作させている。一方、エアコン用インバータ等の小電力駆動時 (定常時) には、IGBTをオフさせ、パワーMOSFETのみを動作させることにより、定常時の電力損失を低減している。

## 【0008】

しかしながら、特許文献3に開示された回路をプラズマディスプレイ装置に適用した場合には、定常時において、IGBTがオフし、パワーMOSFETのみの動作となるために、放電電流による電圧変動により駆動マージンが小さくなる。この結果、ノイズやちらつき等が発生し表示特性の劣化が生ずる可能性がある。特に、画面サイズが大きい、例えば42型以上のプラズマディスプレイ装置では、放電電流による電圧変動が大きく、表示特性の劣化が生ずる可能性が高くなる。

## 【0009】

本発明は、このような問題に鑑みて成されたものであり、放電電流による電圧変動を低減して駆動マージンを拡大し、プラズマディスプレイ装置における表示特性の劣化を防止できるようにすることを目的とする。

【0010】

【課題を解決するための手段】

本発明のプラズマディスプレイ装置は、複数の第1の電極と、複数の第1の電極に略平行に配置され、隣接する第1の電極とで表示セルを形成するとともに、表示セルを形成する第1の電極との間にて放電を行う複数の第2の電極と、複数の第1の電極に放電電圧を印加する第1の電極駆動回路と、複数の第2の電極に放電電圧を印加する第2の電極駆動回路とを備える。第1及び第2の電極駆動回路の少なくとも一方が、高速スイッチング性能を有する第1のスイッチ素子と、低飽和電圧性能を有する第2のスイッチ素子とを並列に接続した並列回路を有する。

10

【0011】

本発明によれば、第1の電極と第2の電極との間で放電電流が流れる際には、低飽和電圧性能を有する第2のスイッチ素子を導通状態にすることで、放電電流を第2のスイッチ素子を介して流すことができ、電圧変動を低減することができる。

また、並列接続された高速スイッチング性能を有する第1のスイッチ素子と、低飽和電圧性能を有する第2のスイッチ素子とを動作させ、サステインパルスの立ち上がり及び立ち下がり時には、スイッチング速度が速い第1のスイッチ素子に主に電流を流すことで、スイッチング損失を低減することができる。

20

【0012】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0013】

(第1の実施形態)

図1は、本発明の第1の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図1においては、プラズマディスプレイ装置のY電極駆動回路及びX電極駆動回路について示している。

【0014】

図1において、 $C_p$ はプラズマディスプレイパネルのX電極とY電極で形成され表示セルとなる容量性負荷である。容量性負荷 $C_p$ の一端に駆動電圧を供給するY電極駆動回路101は、リセット回路102、Yサステイン回路104、及びスキャン回路105を有する。また、容量性負荷 $C_p$ の他端に駆動電圧を供給するX電極駆動回路は、Xサステイン回路111を有する。

30

【0015】

リセット回路102は、リセット信号端子 $I_w$ から入力される制御信号に応じて、リセット電圧端子 $V_w$ から供給されるリセット電圧を出力する。

Yサステイン回路104は、プリドライブ回路 $P_1 \sim P_4$ 及びスイッチ素子 $Q_1 \sim Q_4$ を有する。また、Yサステイン回路104は、ダイオード103を介して電源電圧端子 $V_s$ より電源電圧が入力されている。ダイオード103は、リセット回路102からリセット電圧が供給されている際に、電流が逆流するのを防止するために設けられる。

40

【0016】

第1～第4のプリドライブ回路 $P_1 \sim P_4$ は、第1～第4の制御信号端子 $I_1 \sim I_4$ から入力される制御信号を増幅するための増幅回路である。第1～第4のスイッチ素子 $Q_1 \sim Q_4$ は、第1～第4のプリドライブ回路 $P_1 \sim P_4$ が出力する制御信号(ゲート電圧) $V_{G1} \sim V_{G4}$ に応じて開閉(オン・オフ)が制御される。第1～第4のスイッチ素子 $Q_1 \sim Q_4$ の詳細については後述する。

【0017】

スキャン回路105は、Yサステイン回路104が出力する駆動電圧 $Y_o$ が入力され、スキャン信号端子 $I_{sc}$ から入力される制御信号に応じて容量性負荷 $C_p$ の一端に電圧を供

50

給する。

【0018】

第1及び第2のスイッチ素子Q1、Q2は、スイッチング速度が速い（スイッチング時間であるターンオン時間、ターンオフ時間が短い）高速スイッチング性能を有するスイッチ素子である。一方、第3及び第4のスイッチ素子Q3、Q4は、導通時にスイッチ素子の入出力間での電位差が小さい低飽和電圧性能を有するスイッチ素子である。図1においては、第1及び第2のスイッチ素子Q1、Q2が、NチャネルパワーMOSFET（Metal-Oxide-Semiconductor電界効果トランジスタ）で構成され、第3及び第4のスイッチ素子Q3、Q4が、IGBT（絶縁ゲート型バイポーラトランジスタ）で構成される場合を一例として示している。

10

【0019】

第i（i=1～4の整数）のスイッチ素子Qiのゲートあるいはベースが、第iのブリドライ回路Piの出力に接続される。第1のスイッチ素子Q1のドレイン及び第3のスイッチ素子Q3のコレクタが、ダイオード103のカソードに共通接続され、その相互接続点にリセット回路102の出力端が接続される。第2のスイッチ素子Q2のソース及び第4のスイッチ素子Q4のエミッタが、グランド端子に接続される。また、第1のスイッチ素子Q1のソース、第2のスイッチ素子Q2のドレイン、第3のスイッチ素子Q3のエミッタ、及び第4のスイッチ素子Q4のコレクタが、スキャン回路105の入力端に（信号線Yoに対して）共通接続される。

【0020】

ここで、第1及び第3のスイッチ素子Q1、Q3は、後述するサステインパルスのハイレベル電圧を供給するためのハイサイド（高電位側）スイッチ回路106を構成し、第2及び第4のスイッチ素子Q2、Q4は、サステインパルスのロウレベル電圧を供給するロウサイド（低電位側）スイッチ回路107を構成する。つまり、本実施形態においては、ハイサイドスイッチ回路106及びロウサイドスイッチ回路107は、高速スイッチング性能を有するスイッチ素子（例えばパワーMOSFET）と、低飽和電圧性能を有するスイッチ素子（例えばIGBT）との並列回路を用いてそれぞれ構成する。

20

【0021】

なお、並列接続される高速スイッチング性能を有するスイッチ素子と、低飽和電圧性能を有するスイッチ素子とは、入力しきい値電圧が略等しいことが望ましい。ここで、入力しきい値電圧は、各スイッチ素子におけるオン状態とオフ状態とのしきい値電圧である。

30

【0022】

Xサステイン回路111は、Yサステイン回路104と同様に、ブリドライ回路P5～P8及びスイッチ素子Q5～Q8を有する。第5～第8のブリドライ回路P5～P8は、第5～第8の制御信号端子I5～I8から入力される制御信号を増幅するための増幅回路である。第5～第8のスイッチ素子Q5～Q8は、第5～第8のブリドライ回路P5～P8が出力する制御信号（ゲート電圧）VG5～VG8に応じて開閉が制御される。

【0023】

第5及び第6のスイッチ素子Q5、Q6は、高速スイッチング性能を有するスイッチ素子であり、第7及び第8のスイッチ素子Q7、Q8は、低飽和電圧性能を有するスイッチ素子である。図1においては、第5及び第6のスイッチ素子Q5、Q6が、NチャネルパワーMOSFETで構成され、第7及び第8のスイッチ素子Q7、Q8が、IGBTで構成される場合を一例として示している。

40

【0024】

第j（j=5～8の整数）のスイッチ素子Qjのゲートあるいはベースが、第jのブリドライ回路Pjの出力に接続される。第5のスイッチ素子Q5のドレイン及び第7のスイッチ素子Q7のコレクタが、電源電圧が入力される電源電圧端子Vsに共通接続され、第6のスイッチ素子Q6のソース及び第8のスイッチ素子Q8のエミッタが、グランド端子に接続される。また、第5のスイッチ素子Q5のソース、第6のスイッチ素子Q6のドレイン、第7のスイッチ素子Q7のエミッタ、及び第8のスイッチ素子Q8のコレクタが、

50

容量性負荷  $C_p$  の他端に駆動電圧を供給する信号線  $X_o$  に対して共通接続される。

【0025】

ここで、第5及び第7のスイッチ素子  $Q_5$ 、 $Q_7$  は、サステインパルスのハイレベル電圧を供給するためのハイサイドスイッチ回路112を構成し、第6及び第8のスイッチ素子  $Q_6$ 、 $Q_8$  は、サステインパルスのロウレベル電圧を供給するロウサイドスイッチ回路113を構成する。つまり、本実施形態においては、ハイサイドスイッチ回路112及びロウサイドスイッチ回路113は、高速スイッチング性能を有するスイッチ素子と、低飽和電圧性能を有するスイッチ素子との並列回路を用いてそれぞれ構成する。なお、並列接続される高速スイッチング性能を有するスイッチ素子と、低飽和電圧性能を有するスイッチ素子とは、入力しきい値電圧が略等しいことが望ましい。

10

【0026】

図2は、図1に示したX電極駆動回路及びY電極駆動回路の動作を示す波形図であり、プラズマディスプレイ装置の動作におけるサステイン期間（維持放電期間）の動作を図示している。なお、サステイン期間においては、リセット信号端子  $I_w$  及びスキャン信号端子  $I_{sc}$  からそれぞれ入力される制御信号により、リセット回路102は動作せず、スキャン回路105はYサステイン回路104の出力電圧を各Y電極に並列出力する。

【0027】

図2において、 $Y_o$  はY電極駆動回路（Yサステイン回路104）の出力電圧、 $X_o$  はX電極駆動回路（Xサステイン回路111）の出力電圧を示している。 $V_{G1} \sim V_{G8}$  は、ブリドライブ回路  $P_1 \sim P_8$  から出力される、各スイッチ素子  $Q_1 \sim Q_8$  を駆動するためのゲート電圧を示しており、ゲート電圧  $V_{G1} \sim V_{G8}$  がハイレベルであるときにスイッチ素子  $Q_1 \sim Q_8$  がオン状態（導通状態）になる。

20

【0028】

時刻  $t_1$  において、Xサステイン回路111のスイッチ素子  $Q_6$  がオンになる。この際、スイッチ素子  $Q_6$  を除く他のスイッチ素子はオフである。これにより、Xサステイン回路111の出力電圧  $X_o$  がロウレベルに変化する。一方、Yサステイン回路104の出力電圧  $Y_o$  はフローティング状態であるのでロウレベルに維持される。

【0029】

時刻  $t_2$  では、Yサステイン回路104のスイッチ素子  $Q_1$  がオンになる。その結果、Yサステイン回路104の出力電圧  $Y_o$  がハイレベルに変化する。

30

【0030】

所定時間が経過し、プラズマディスプレイ装置にて放電電流が流れる時刻  $t_3$  では、Yサステイン回路104のスイッチ素子  $Q_3$  と、Xサステイン回路111のスイッチ素子  $Q_8$  がオンになる。すなわち、時刻  $t_3$  の時点にて導通状態である高速スイッチング性能を有するスイッチ素子（パワーMOSFET） $Q_1$ 、 $Q_6$  にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子（IGBT） $Q_3$ 、 $Q_8$  がオンになる。なお、プラズマディスプレイ装置にて放電電流が流れる時刻は、プラズマディスプレイ装置の構造や駆動電圧等に応じて適宜決まるものである。

【0031】

このように、放電電流が流れる際にスイッチ素子  $Q_3$ 、 $Q_8$  をオンさせることにより、図2に示すように放電電流によるサステインパルス（出力電圧  $Y_o$ 、 $X_o$ ）の電圧変動  $V_{YH}$ 、 $V_{XL}$  を低減させることができる。なお、図2においては比較参照するために、スイッチ素子  $Q_3$ 、 $Q_8$  が常にオフの場合（またはスイッチ素子  $Q_3$ 、 $Q_8$  を設けていない場合）における出力電圧  $Y_o$ 、 $X_o$  の電圧変動を破線で示している。

40

【0032】

時刻  $t_4$  では、スイッチ素子  $Q_3$ 、 $Q_8$  がともにオフとなる。その後、スイッチ素子  $Q_1$  がオフになり、Yサステイン回路104の出力電圧  $Y_o$  はハイレベルに維持される（フローティング状態）。

【0033】

時刻  $t_5$  では、スイッチ素子  $Q_2$  がオンになり、スイッチ素子  $Q_6$  がオフになる。この結

50

果、Yサステイン回路104の出力電圧 $Y_o$ がロウレベルに変化する。また、Xサステイン回路111の出力電圧 $X_o$ は、スイッチ素子 $Q_5 \sim Q_8$ がオフであるのでロウレベルに維持される(フローティング状態)。

時刻 $t_6$ では、Xサステイン回路111のスイッチ素子 $Q_5$ がオンになる。その結果、Xサステイン回路111の出力電圧 $X_o$ がハイレベルに変化する。

#### 【0034】

所定時間が経過し、放電電流が流れる時刻 $t_7$ では、Yサステイン回路104のスイッチ素子 $Q_4$ と、Xサステイン回路111のスイッチ素子 $Q_7$ がオンになる。つまり、時刻 $t_7$ の時点にて導通状態である高速スイッチング性能を有するスイッチ素子(パワーMOSFET) $Q_2$ 、 $Q_5$ にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子(IGBT) $Q_4$ 、 $Q_7$ がオンになる。これにより放電電流によるサステインパルス(出力電圧 $Y_o$ 、 $X_o$ )の電圧変動 $V_{YL}$ 、 $V_{XH}$ を低減させることができる。なお、スイッチ素子 $Q_4$ 、 $Q_7$ が常にオフの場合(またはスイッチ素子 $Q_4$ 、 $Q_7$ を設けていない場合)における出力電圧 $Y_o$ 、 $X_o$ の電圧変動を比較参照するために破線で示している。

10

#### 【0035】

時刻 $t_8$ では、スイッチ素子 $Q_4$ 、 $Q_7$ がともにオフとなる。その後、スイッチ素子 $Q_5$ がオフになり、Xサステイン回路111の出力電圧 $X_o$ はハイレベルに維持される(フローティング状態)。さらに、その後、スイッチ素子 $Q_2$ がオフになる。

以降、サステイン期間におけるサステインパルスの印加回数に応じて、上述した動作を繰り返し行う。

20

#### 【0036】

以上の説明したように、プラズマディスプレイ装置にて放電電流が流れる際には、低飽和電圧性能を有するスイッチ素子(IGBT)をオンさせることにより、放電電流による電圧変動 $V_{YH}$ 、 $V_{YL}$ 、 $V_{XH}$ 、 $V_{XL}$ を低減させることができ、プラズマディスプレイ装置における駆動マージンを拡大することができる。また、サステインパルスの立ち上がり時及び立ち下がり時には、低飽和電圧性能を有するスイッチ素子に並列接続された高速スイッチング性能を有するスイッチ素子(パワーMOSFET)を動作させることにより、低飽和電圧性能を有するスイッチ素子を単独で用いた場合に比べて、サステインパルスの変化に伴うスイッチング損失を低減することができる。

#### 【0037】

なお、上記図2においては、プラズマディスプレイ装置にて放電電流が流れるときのみ、低飽和電圧性能を有するスイッチ素子(IGBT)をオンさせるようにしているが、少なくともプラズマディスプレイ装置にて放電電流が流れるときにオンであれば良く、他の期間においてもオン状態であっても良い。

30

また、図2においては出力電圧 $Y_o$ 、 $X_o$ の一方をハイレベルからロウレベルに変化させた後、他方をロウレベルからハイレベルに変化させているが、図2に示した波形図は一例であり、出力電圧 $Y_o$ 、 $X_o$ を変化させるタイミングは同時であっても良いし、図2に示すタイミングとは逆であっても良い。

#### 【0038】

図3は、図1に示した駆動回路を適用したプラズマディスプレイ装置の構成例を示す図である。図3において、リセット回路301、Yサステイン回路302、スキャン回路303、Xサステイン回路304は、図1に示したリセット回路102、Yサステイン回路104、スキャン回路105、Xサステイン回路111にそれぞれ相当する。リセット回路301、Yサステイン回路302及びスキャン回路303が、Y電極を駆動するためのY電極駆動回路308を構成し、Xサステイン回路304が、X電極を駆動するためのX電極駆動回路309を構成する。

40

#### 【0039】

制御回路306は、外部から入力される図示しないクロック信号、水平同期信号、垂直同期信号及び表示データ等に基づいて制御信号を生成する。さらに、制御回路306は、生成した制御信号をリセット回路301、Yサステイン回路302、スキャン回路303、

50

Xサステイン回路304及びアドレス回路305に出力する。

【0040】

Xサステイン回路304は、出力端がX電極X1、X2等に共通接続され、制御信号に応じてX電極X1、X2等を駆動する。リセット回路301、Yサステイン回路302及びスキャン回路303からなるY電極駆動回路は、制御信号に応じてY電極Y1、Y2等を駆動し、アドレス回路305は、制御信号に応じてアドレス電極A1、A2等を駆動する。

【0041】

表示パネル(プラズマディスプレイパネル:PDP)307は、X電極X1、X2等とY電極Y1、Y2等とが略平行かつ交互に配置され、それらに対してアドレス電極A1、A2等が垂直方向に交差して2次元マトリクスを形成する。図1に示した容量性負荷Cpに対応する各表示セル(画素)Clijは、1つのX電極Xi、1つのY電極Yi及び1つのアドレス電極Ajで構成される。

10

【0042】

図4(a)は、図3の表示セルClijの断面構成を示す図である。X電極Xi及びY電極Yiは、前面ガラス基板411上に形成されている。その上には、放電空間417に対し絶縁するための誘電体層412が被着されるとともに、更にその上にMgO(酸化マグネシウム)保護膜413が被着されている。

【0043】

一方、アドレス電極Ajは、前面ガラス基板411と対向して配置された背面ガラス基板414上に形成され、その上には誘電体層415が被着され、更にその上に蛍光体が被着されている。MgO保護膜413と誘電体層415との間の放電空間417には、Ne+Xeペニングガス等が封入されている。

20

【0044】

図4(b)は、交流駆動型プラズマディスプレイの容量CLを説明するための図である。容量Caは、X電極XiとY電極Yiとの間の放電空間417の容量である。容量Cbは、X電極XiとY電極Yiとの間の誘電体層412の容量である。容量Ccは、X電極XiとY電極Yiとの間の前面ガラス基板411の容量である。これらの容量Ca、Cb、Ccの合計によって、電極Xi及びYi間の容量CLが決まる。

【0045】

図4(c)は、交流駆動型プラズマディスプレイの発光を説明するための図である。リブ416の内面には、赤、緑、青色の蛍光体418がストライプ状に各色毎に配列、塗布されており、X電極Xi及びY電極Yiの間の放電によって蛍光体418を励起して光421が生成されるようになっている。

30

【0046】

図5は、図3のプラズマディスプレイ装置の動作波形図である。

X電極駆動回路309におけるXサステイン回路304は、X電極Xi等に、サステイン期間Tsに発生するXサステインパルス504等を出力する。Y電極駆動回路308におけるYサステイン回路302は、Y電極Yi等に、サステイン期間Tsに発生するYサステインパルス505等を出力する。

40

【0047】

Y電極駆動回路308におけるリセット回路301は、Y電極Yi等に、リセット期間Trに発生するリセットパルス501を出力する。Y電極駆動回路308におけるスキャン回路303は、Y電極Yi等に、アドレス期間Taに発生するスキャンパルス503を出力する。アドレス電極駆動回路305は、アドレス電極A1等に、アドレス期間Taに発生するアドレスパルス502を出力する。

【0048】

リセット期間Trでは、Y電極Yiにリセットパルス501を印加して電荷の全面書き込み及び全面消去を行い、前回の表示内容を消去して所定の壁電荷を形成する。

【0049】

50

次に、アドレス期間  $T_a$  では、アドレス電極  $A_j$  に正電位パルス 502 を印加し、所望の Y 電極  $Y_i$  に順次スキャンで負電位パルス 503 を印加する。これにより、アドレス電極  $A_j$  と Y 電極  $Y_i$  との間でアドレス放電が行われ、表示セルのアドレス指定がなされる。

【0050】

次に、サステイン期間（維持放電期間） $T_s$  では、各 X 電極  $X_i$  と各 Y 電極  $Y_i$  とにサステインパルス 504、505 を交互に印加することにより維持放電電圧  $V_s$  を電極間に印加し、アドレス期間  $T_a$  でアドレス指定した表示セルに対応する X 電極  $X_i$  と Y 電極  $Y_i$  との間で維持放電を行い、発光する。

【0051】

以上、説明したように第 1 の実施形態によれば、プラズマディスプレイ装置の X、Y 電極駆動回路を、高速スイッチング性能を有するスイッチ素子（例えばパワー MOSFET）と、低飽和電圧性能を有するスイッチ素子（例えば IGBT）とを並列に接続した並列回路を用いて構成する。そして、プラズマディスプレイ装置にて放電電流が流れる際には、低飽和電圧性能を有するスイッチ素子をオンさせることにより、低飽和電圧性能を有するスイッチ素子を介して放電電流を流すことができ、放電電流による電圧変動  $V_{YH}$ 、 $V_{YL}$ 、 $V_{XH}$ 、 $V_{XL}$  を低減させることができる。したがって、プラズマディスプレイ装置における駆動マージンを拡大することができ、プラズマディスプレイ装置における表示特性の劣化を防止することができる。

10

【0052】

また、サステインパルスの立ち上がり時及び立ち下がり時には、低飽和電圧性能を有するスイッチ素子に並列接続された高速スイッチング性能を有するスイッチ素子を動作させることにより、高速スイッチング性能を有するスイッチ素子に主に電流を流すことができ、低飽和電圧性能を有するスイッチ素子を単独で用いた場合に比べてターンオン時間及びターンオフ時間に生ずるスイッチング損失を低減することができる。

20

【0053】

以下、他の実施形態について説明する。

なお、上記図 3 及び図 4 に示したプラズマディスプレイの構成及びその動作は上述した第 1 の実施形態を適用したものであるが、以下に説明する第 2～第 5 の実施形態においても、各実施形態に応じて Y 電極駆動回路 308 及び X 電極駆動回路 309 の構成を適宜変更するだけで、基本的な構成及び動作は第 1 の実施形態における図 3、図 4 に示したものと

30

【0054】

（第 2 の実施形態）

次に、本発明の第 2 の実施形態について説明する。

図 6 は、本発明の第 2 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図 6 においては、プラズマディスプレイ装置の Y 電極駆動回路及び X 電極駆動回路について示している。なお、この図 6 において、図 1 に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

【0055】

図 6 に示すように第 2 の実施形態は、上記図 1 に示した第 1 の実施形態における Y 電極駆動回路及び X 電極駆動回路に、さらに電力回収回路をそれぞれ備えた点のみが異なる。

40

Y 電極駆動回路 601 は、リセット回路 102、ダイオード 103、Y サステイン回路 104、スキャン回路 105、及び Y 電極駆動回路用電力回収回路 602 を有する。また、X 電極駆動回路 611 は、X サステイン回路 111 と X 電極駆動回路用電力回収回路 612 を有する。

【0056】

電力回収回路 602 は、ブリドライブ回路 P10、P11、スイッチ素子 Q10、Q11、ダイオード D1、D2、コイル L1、L2、及び電力回収用コンデンサ C1、C2 で構成される。

【0057】

50

コンデンサC 1、C 2は、電源電圧端子V sとグランド端子の間に直列接続される。プリドライブ回路P 1 0、P 1 1は、制御信号端子I 1 0、I 1 1から入力される制御信号を増幅するための増幅回路である。スイッチ素子Q 1 0、Q 1 1は、プリドライブ回路P 1 0、P 1 1が出力する制御信号（ゲート電圧）V G 1 0、V G 1 1に応じて開閉が制御される。スイッチ素子Q 1 0、Q 1 1は、例えばパワーM O S F E T等の高速スイッチング性能を有するスイッチ素子で構成される。

【0058】

スイッチ素子Q 1 0は、ゲートがプリドライブ回路P 1 0の出力に接続され、ドレインがコンデンサC 1及びC 2の相互接続点に接続される。また、ソースが、ダイオードD 1のアノードに接続される。ダイオードD 1のカソードは、一端が信号線Y oに対して接続されたコイルL 1の他端に接続される。

10

【0059】

スイッチ素子Q 1 1は、ゲートがプリドライブ回路P 1 1の出力に接続され、ソースがコンデンサC 1及びC 2の相互接続点に接続される。また、ドレインが、ダイオードD 2のカソードに接続される。ダイオードD 2のアノードは、一端が信号線Y oに対して接続されたコイルL 2の他端に接続される。

【0060】

電力回収回路6 1 2は、プリドライブ回路P 1 2、P 1 3、スイッチ素子Q 1 2、Q 1 3、ダイオードD 3、D 4、コイルL 3、L 4、及び電力回収用コンデンサC 3、C 4で構成される。電力回収回路6 1 2は、プリドライブ回路P 1 2、P 1 3、スイッチ素子Q 1 2、Q 1 3、ダイオードD 3、D 4、コイルL 3、L 4、及び電力回収用コンデンサC 3、C 4が、電力回収回路6 1 1のプリドライブ回路P 1 0、P 1 1、スイッチ素子Q 1 0、Q 1 1、ダイオードD 1、D 2、コイルL 1、L 2、及び電力回収用コンデンサC 1、C 2にそれぞれ対応し、電力回収回路6 0 2と同様に構成されるので詳細については省略する。

20

【0061】

図7は、図6に示したX電極駆動回路6 1 1及びY電極駆動回路6 0 1の動作を示す波形図であり、プラズマディスプレイ装置の動作におけるサステイン期間（維持放電期間）の動作を図示している。なお、サステイン期間においては、リセット信号端子I w及びスキャン信号端子I s cからそれぞれ入力される制御信号により、リセット回路1 0 2は動作せず、スキャン回路1 0 5はYサステイン回路1 0 4の出力電圧を各Y電極に並列出力する。

30

【0062】

図7において、Y oはY電極駆動回路6 0 1の出力電圧、X oはX電極駆動回路6 1 1の出力電圧を示している。V G 1 ~ V G 8は、プリドライブ回路P 1 ~ P 8から出力される、各スイッチ素子Q 1 ~ Q 8を駆動するためのゲート電圧を示しており、V G 1 0 ~ V G 1 3は、プリドライブ回路P 1 0 ~ P 3から出力される、各スイッチ素子Q 1 0 ~ Q 1 3を駆動するためのゲート電圧を示している。ゲート電圧V G 1 ~ V G 8、V G 1 0 ~ V G 1 3がハイレベルであるときにスイッチ素子Q 1 ~ Q 8、Q 1 0 ~ Q 1 3がオン状態（導通状態）になる。

40

【0063】

出力電圧X oをロウレベルに変化させる時刻t 1 1において、X電極駆動回路6 1 1のスイッチ素子Q 1 3がオンになるパルスが発生させ、所定時間経過後にスイッチ素子Q 6をオンにする。この結果、出力電圧X oがハイレベルからロウレベルに変化するとともに、この変化に伴う電力が電力回収回路6 1 2により回収される。

【0064】

出力電圧Y oをハイレベルに変化させる時刻t 1 2では、Y電極駆動回路6 0 1のスイッチ素子Q 1 0がオンになるパルスが発生させた後、スイッチ素子Q 1をオンにする。これにより、出力電圧Y oを変化させるための電力の一部として回収された電力が利用され、出力電圧Y oがロウレベルからハイレベルに変化する。

50

## 【0065】

所定時間が経過し、プラズマディスプレイ装置にて放電電流が流れる時刻  $t_{13}$  では、図 2 の時刻  $t_3$  と同様にして、Y 電極駆動回路 601 のスイッチ素子 Q3 と、X 電極駆動回路 611 のスイッチ素子 Q8 がオンになる。すなわち、時刻  $t_{13}$  にて導通状態である高速スイッチング性能を有するスイッチ素子 Q1、Q6 にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子 Q3、Q8 がオンになる。これにより、放電電流によるサステインパルス（出力電圧  $Y_o$ 、 $X_o$ ）の電圧変動  $V_{YH}$ 、 $V_{XL}$  を低減させることができる。

## 【0066】

なお、図 7 においても、スイッチ素子 Q3、Q8 が常にオフの場合における出力電圧  $Y_o$ 、 $X_o$  の電圧変動を破線で示している。ここで、プラズマディスプレイ装置にて放電電流が流れる時刻は、プラズマディスプレイ装置の構造や駆動電圧等に応じて適宜決まるものである。

## 【0067】

時刻  $t_{14}$  では、スイッチ素子 Q3、Q8 がともにオフとなる。その後、スイッチ素子 Q1 がオフになり、Y 電極駆動回路 601 の出力電圧  $Y_o$  はハイレベルに維持される。

## 【0068】

出力電圧  $Y_o$  をロウレベルに変化させる時刻  $t_{15}$  では、Y 電極駆動回路 601 のスイッチ素子 Q11 がオンになるパルスが発生させ、所定時間経過後にスイッチ素子 Q2 をオンにする。これにより、出力電圧  $Y_o$  がハイレベルからロウレベルに変化するとともに、この変化に伴う電力が電力回収回路 602 により回収される。

## 【0069】

出力電圧  $X_o$  をハイレベルに変化させる時刻  $t_{16}$  では、X 電極駆動回路 611 のスイッチ素子 Q12 がオンになるパルスが発生させた後、スイッチ素子 Q5 をオンにする。これにより、出力電圧  $X_o$  を変化させるための電力の一部として回収された電力が利用され、出力電圧  $X_o$  がロウレベルからハイレベルに変化する。

## 【0070】

所定時間が経過し、放電電流が流れる時刻  $t_{17}$  では、時刻  $t_{17}$  の時点にて導通状態である高速スイッチング性能を有するスイッチ素子 Q2、Q5 にそれぞれ並列接続された低飽和電圧性能を有するスイッチ素子 Q4、Q7 がオンになる。これにより放電電流によるサステインパルス（出力電圧  $Y_o$ 、 $X_o$ ）の電圧変動  $V_{YL}$ 、 $V_{XH}$  を低減させることができる。なお、破線によりスイッチ素子 Q4、Q7 が常にオフの場合における出力電圧  $Y_o$ 、 $X_o$  の電圧変動を示している。

## 【0071】

時刻  $t_{18}$  では、スイッチ素子 Q4、Q7 がともにオフとなる。その後、スイッチ素子 Q5 がオフになり、X 電極駆動回路 611 の出力電圧  $X_o$  はハイレベルに維持される。さらに、その後、スイッチ素子 Q2 がオフになる。

以降、サステイン期間におけるサステインパルスの印加回数に応じて、上述した動作を繰り返し行う。

## 【0072】

以上、説明したように第 2 の実施形態によれば、上述した第 1 の実施形態と同様の効果が得られる。さらに、サステインパルスの立ち上がり時及び立ち下がり時には、電力回収回路 602、612 を動作させた後（電力回収回路 602、612 内のスイッチ素子 Q10 ~ Q13 を適宜オンさせた後）、低飽和電圧性能を有するスイッチ素子に並列接続された高速スイッチング性能を有するスイッチ素子を動作させることにより、サステインパルスの立ち上がり及び立ち下がりにおけるスイッチング損失を低減することができる。

## 【0073】

なお、上記図 7 においては、プラズマディスプレイ装置にて放電電流が流れるときのみ、低飽和電圧性能を有するスイッチ素子（IGBT）をオンさせるようにしているが、少なくともプラズマディスプレイ装置にて放電電流が流れるときにオンであれば良く、他の期

間においてもオン状態であっても良い。

また、図7においては出力電圧 $Y_o$ 、 $X_o$ の一方をハイレベルからロウレベルに変化させた後、他方をロウレベルからハイレベルに変化させているが、出力電圧 $Y_o$ 、 $X_o$ を変化させるタイミングは同時であっても良いし、図7に示すタイミングとは逆であっても良い。

#### 【0074】

(第3の実施形態)

次に、本発明の第3の実施形態について説明する。

図8は、本発明の第3の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図8においては、プラズマディスプレイ装置のY電極駆動回路及びX電極駆動回路について示している。なお、この図8において、図1、図6に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

10

#### 【0075】

図8に示すように第3の実施形態は、図6に示した第2の実施形態とは、Y電極駆動回路801内のYサステイン回路802、及びX電極駆動回路811内のXサステイン回路812の構成のみが異なる。

#### 【0076】

Yサステイン回路802は、第1のスイッチ素子Q1のゲート及び第3のスイッチ素子Q3のベースが、第1のプリドライブ回路P1の出力に接続され、第2のスイッチ素子Q2のゲート及び第4のスイッチ素子Q4のベースが、第2のプリドライブ回路P2の出力に接続される。Xサステイン回路812は、第5のスイッチ素子Q5のゲート及び第7のスイッチ素子Q7のベースが、第5のプリドライブ回路P5の出力に接続され、第6のスイッチ素子Q6のゲート及び第8のスイッチ素子Q8のベースが、第6のプリドライブ回路P6の出力に接続される。

20

#### 【0077】

つまり、第3の実施形態においては、Yサステイン回路802は、プリドライブ回路P3、P4を設けずに、プリドライブ回路P1が出力する同一の制御信号(ゲート電圧)VG1によりスイッチ素子Q1、Q3を駆動し、プリドライブ回路P2が出力する同一の制御信号(ゲート電圧)VG2によりスイッチ素子Q2、Q4を駆動する。同様に、Xサステイン回路812は、プリドライブ回路P7、P8を設けずに、プリドライブ回路P5が出力する同一の制御信号(ゲート電圧)VG5によりスイッチ素子Q5、Q7を駆動し、プリドライブ回路P6が出力する同一の制御信号(ゲート電圧)VG6によりスイッチ素子Q6、Q8を駆動する。

30

#### 【0078】

ここで、上述した説明からわかるように、スイッチング動作期間においては高速スイッチング性能を有するスイッチ素子Q1、Q2、Q5、Q6を主として動作させ、少なくとも放電電流が流れる期間においては低飽和電圧性能を有するスイッチ素子Q3、Q4、Q7、Q8をオンにする必要がある。したがって、第3の実施形態においては、スイッチ素子Q1、Q2、Q5、Q6の入力しきい値電圧が、それぞれ並列接続されているスイッチ素子Q3、Q4、Q7、Q8の入力しきい値電圧よりも低い或いは等しくなるスイッチ素子Q1~Q8を用いて構成される。ここで、閾値は、各スイッチ素子にて、オフ状態とオン状態との閾値電圧である。

40

#### 【0079】

なお、図8に示したX電極駆動回路811及びY電極駆動回路801の動作は、ゲート電圧VG3、VG4、VG7、VG8を用いなくても図7に示した第2の実施形態と同様であり、プラズマディスプレイ装置にて放電電流が流れる際には、低飽和電圧性能を有するスイッチ素子Q3、Q4、Q7、Q8をオンさせることが可能である。

#### 【0080】

以上、説明したように第3の実施形態によれば、上述した第1及び第2の実施形態と同様の効果が得られる。さらに、並列接続されたスイッチ素子の組Q1とQ3、Q2とQ4、

50

Q 5 と Q 7、Q 6 と Q 8 を、ブリドドライブ回路 P 1、P 2、P 5、P 6 が出力する制御信号（ゲート電圧）によりそれぞれ駆動するように構成することで、回路規模を低減することができるとともに外部からの制御も容易に行うことができる。

なお、図 8 に示した例では、Y 電極駆動回路 8 0 1 及び X 電極駆動回路 8 1 1 は、電力回収回路 6 0 2、6 1 2 を備えるようにしているが、電力回収回路 6 0 2、6 1 2 を備えていなくても良い。

#### 【0081】

（第 4 の実施形態）

次に、本発明の第 4 の実施形態について説明する。

第 4 の実施形態は、上記図 8 に示した第 3 の実施形態におけるサステイン回路の電源電圧  $V_s$  及びグランドに代えて、グランド（電位 0）に対する電圧が維持放電電圧  $V_s$  の半分の電圧である正の電源電圧（ $V_s / 2$ ）及び負の電源電圧（ $-V_s / 2$ ）をサステイン回路の電源電圧として用いたものである。 10

#### 【0082】

図 9 は、本発明の第 4 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図 9 においては、プラズマディスプレイ装置の Y 電極駆動回路及び X 電極駆動回路について示している。なお、この図 9 において、図 1、図 6、図 8 に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

#### 【0083】

図 9 において、Y サステイン回路 8 0 2' は、ダイオード 1 0 3 を介して電源電圧端子  $V_{sH}$  より正の電源電圧（ $V_s / 2$ ）が入力されている。第 1 のスイッチ素子 Q 1 のドレイン及び第 3 のスイッチ素子 Q 3 のコレクタが、ダイオード 1 0 3 のカソードに共通接続される。また、第 2 のスイッチ素子 Q 2 のソース及び第 4 のスイッチ素子 Q 4 のエミッタが、負の電源電圧（ $-V_s / 2$ ）が入力される電源電圧端子  $V_{sL}$  に共通接続される。Y サステイン回路 8 0 2' の他の構成については、図 8 に示した Y サステイン回路 8 0 2 と同様である。 20

#### 【0084】

X サステイン回路 8 1 2' は、第 5 のスイッチ素子 Q 5 のドレイン及び第 7 のスイッチ素子 Q 7 のコレクタが、正の電源電圧（ $V_s / 2$ ）が入力される電源電圧端子  $V_{sH}$  に共通接続され、第 6 のスイッチ素子 Q 6 のソース及び第 8 のスイッチ素子 Q 8 のエミッタが、負の電源電圧（ $-V_s / 2$ ）が入力される電源電圧端子  $V_{sL}$  に共通接続される。X サステイン回路 8 1 2' の他の構成については、図 8 に示した X サステイン回路 8 1 2 と同様である。 30

#### 【0085】

また、C 9 1、C 9 3 は、電源電圧端子  $V_{sH}$  とグランド端子との間に接続されたバイパスコンデンサであり、C 9 2、C 9 4 は、電源電圧端子  $V_{sL}$  とグランド端子との間に接続されたバイパスコンデンサである。

#### 【0086】

サステイン回路の電源電圧として正の電源電圧及び負の電源電圧を用いることにより、上記図 9 に示したように構成された Y 電極駆動回路 9 0 1 及び X 電極駆動回路 9 1 1 では、上述した第 2 及び第 3 の実施形態における電力回収回路で用いていた電力回収用コンデンサ C 1 ~ C 4 の代わりに、電源ラインに対して一般に設けられるバイパスコンデンサ C 9 1 ~ C 9 4 を電力回収用に利用することができる。したがって、電力回収回路 6 0 2'、6 1 2' は、電力回収用コンデンサ C 1 ~ C 4 を設けずに構成することができる。 40

#### 【0087】

電力回収回路 6 0 2' は、スイッチ素子 Q 1 0 のソース及びスイッチ素子 Q 1 1 のドレインがグランド端子に接続される点が異なるのみで、電力回収回路 6 0 2 と同様に構成される。また、電力回収回路 6 1 2' は、スイッチ素子 Q 1 2 のソース及びスイッチ素子 Q 1 3 のドレインがグランド端子に接続される点が異なるのみで、電力回収回路 6 1 2 と同様に構成される。なお、図 9 においてグランド端子は説明の便宜上それぞれ分けて示してい 50

るが、実際にはグラウンド端子は電氣的に接続されているひとつのものである。

【0088】

第4の実施形態によれば、上述した第1～第3の実施形態と同様の効果が得られるとともに、電力回収回路602'、612'に電力回収用コンデンサC1～C4を設ける必要がなくなり回路規模をさらに低減することができる。

【0089】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。

図10は、本発明の第5の実施形態によるプラズマディスプレイ装置の構成例を示す図である。図10においては、プラズマディスプレイ装置のY電極駆動回路及びX電極駆動回路について示している。なお、この図10において、図1、図9に示した構成要素等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

10

【0090】

第5の実施形態は、Y電極駆動回路1001において、リセット回路102より出力されるリセット電圧VwをYサステイン回路802'のスイッチ素子Q2のソース端子、スイッチ素子Q4のエミッタ端子に対して重畳している点に特徴を有する。以下では、Y電極駆動回路1001について説明し、X電極駆動回路911は、上記第4の実施形態と同様であるので説明は省略する。

【0091】

図10において、リセット回路102は、プリドライブ回路P14、P15、スイッチ素子Q14、Q15及びコンデンサCwを有する。

20

プリドライブ回路P14、P15は、制御信号端子Iw1、Iw2から入力される制御信号を増幅するための増幅回路である。

【0092】

スイッチ素子Q14、Q15は、例えばパワーMOSFET等を用いて構成される。スイッチ素子Q14、Q15は、ゲートがプリドライブ回路P14、P15の出力に接続され、その出力に応じて開閉が制御される。スイッチ素子Q14のドレインがリセット電圧端子Vwに接続され、スイッチ素子Q15のソースがグラウンド端子に接続される。また、スイッチ素子Q14のソースとスイッチ素子Q15のドレインが、容量Cwの一端に共通接続される。

30

【0093】

容量Cwの他端は、Yサステイン回路のスイッチ素子Q2のソース、スイッチ素子Q4のエミッタに接続されるとともに、容量Csを介してYサステイン回路のスイッチ素子Q1のドレイン、スイッチ素子Q3のコレクタに接続される。このため、電源電圧端子VsHとリセット回路102の出力(容量Cwの他端)との間に設けたダイオード103に加え、電源電圧端子VsLとリセット回路102の出力との間にも、リセット回路102からの電圧供給により電流が逆流するのを防止するためのダイオード1002を設ける。

【0094】

上述した第4の実施形態においては、スイッチ素子Q2、Q4には(Vw+Vs)の耐圧(電圧定格)を有する素子を用いなければならない。それに対して、第5の実施形態では、図10に示したようにY電極駆動回路を構成することによりスイッチ素子Q2、Q4は、 $[Vs/2 - (-Vs/2)] = Vs$ の耐圧を有する素子を用いることができる。したがって、上述した第1～第4の実施形態と同様の効果が得られるとともに、スイッチ素子Q2、Q4に耐圧が低い素子を用いることができ、製造コストを低減することができる。

40

【0095】

さらに、図10に示すように、電力回収回路602'のスイッチ素子Q10のドレイン及びスイッチ素子Q11のソースと、容量Cwの一端とを接続すれば、リセット回路102からの出力に同期して電圧を重畳することができ、スイッチ素子Q11に耐圧が低い素子を用いることができる。

【0096】

50

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【0097】

(付記1) 複数の第1の電極と、  
上記複数の第1の電極に略平行に配置され、隣接する上記第1の電極とで表示セルを形成するとともに、当該表示セルを形成する上記第1の電極との間にて放電を行う複数の第2の電極と、

10

上記複数の第1の電極に放電電圧を印加する第1の電極駆動回路と、  
上記複数の第2の電極に放電電圧を印加する第2の電極駆動回路とを備え、  
上記第1及び第2の電極駆動回路の少なくとも一方は、高速スイッチング性能を有する第1のスイッチ素子と、低飽和電圧性能を有する第2のスイッチ素子とを並列に接続した並列回路を有することを特徴とするプラズマディスプレイ装置。

(付記2) 上記第1のスイッチ素子は、パワーMOSFETであることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記3) 上記第2のスイッチ素子は、IGBTであることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記4) 上記第1のスイッチ素子はパワーMOSFETであり、上記第2のスイッチ素子はIGBTであることを特徴とする付記1記載のプラズマディスプレイ装置。

20

(付記5) 少なくとも上記第1の電極と上記第2の電極との間で放電電流が流れる期間は、上記第2のスイッチ素子がオン状態であることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記6) 上記第1のスイッチ素子は、パワーMOSFETであることを特徴とする付記5記載のプラズマディスプレイ装置。

(付記7) 上記第2のスイッチ素子は、IGBTであることを特徴とする付記5記載のプラズマディスプレイ装置。

(付記8) 上記第1のスイッチ素子はパワーMOSFETであり、上記第2のスイッチ素子はIGBTであることを特徴とする付記5記載のプラズマディスプレイ装置。

30

(付記9) 上記電極駆動回路は、上記表示セルにて発光を伴う放電を行う維持放電電圧を出力するサステイン回路を有し、

上記サステイン回路が、上記第1のスイッチ素子と上記第2のスイッチ素子とを並列に接続した並列回路を有することを特徴とする付記1記載のプラズマディスプレイ装置。

(付記10) 上記第1のスイッチ素子は、パワーMOSFETであることを特徴とする付記9記載のプラズマディスプレイ装置。

(付記11) 上記第2のスイッチ素子は、IGBTであることを特徴とする付記9記載のプラズマディスプレイ装置。

(付記12) 上記第1のスイッチ素子はパワーMOSFETであり、上記第2のスイッチ素子はIGBTであることを特徴とする付記9記載のプラズマディスプレイ装置。

40

(付記13) 上記サステイン回路は、上記表示セルを形成する電極に対して上記維持放電電圧に係る第1の電位を供給する高電位側スイッチ回路と、上記第1の電位より低い上記維持放電電圧に係る第2の電位を供給する低電位側スイッチ回路とを有し、

上記高電位側スイッチ回路及び上記低電位側スイッチ回路が、上記第1のスイッチ素子と上記第2のスイッチ素子とを並列に接続した並列回路を有することを特徴とする付記9記載のプラズマディスプレイ装置。

(付記14) 上記第1のスイッチ素子は、パワーMOSFETであることを特徴とする付記13記載のプラズマディスプレイ装置。

(付記15) 上記第2のスイッチ素子は、IGBTであることを特徴とする付記13記載のプラズマディスプレイ装置。

50

(付記16) 上記第1のスイッチ素子はパワーMOSFETであり、上記第2のスイッチ素子はIGBTであることを特徴とする付記13記載のプラズマディスプレイ装置。

(付記17) 上記電極駆動回路は、上記表示セルを形成する電極に接続された電力回収回路をさらに有することを特徴とする付記13記載のプラズマディスプレイ装置。

(付記18) 上記電極駆動回路は、上記表示セルを形成する電極にコイルを介して接続された電力回収スイッチをさらに有することを特徴とする付記13記載のプラズマディスプレイ装置。

(付記19) 少なくとも上記第1の電極と上記第2の電極との間で放電電流が流れる期間は、上記第2のスイッチ素子がオン状態であることを特徴とする付記18記載のプラズマディスプレイ装置。

10

(付記20) 上記第1のスイッチ素子は、パワーMOSFETであることを特徴とする付記18記載のプラズマディスプレイ装置。

(付記21) 上記第2のスイッチ素子は、IGBTであることを特徴とする付記18記載のプラズマディスプレイ装置。

(付記22) 上記第1のスイッチ素子はパワーMOSFETであり、上記第2のスイッチ素子はIGBTであることを特徴とする付記18記載のプラズマディスプレイ装置。

(付記23) 上記第1のスイッチ素子と上記第2のスイッチ素子は、入力しきい値電圧特性が略一致していることを特徴とする付記1記載のプラズマディスプレイ装置。

(付記24) 上記第1のスイッチ素子及び上記第2のスイッチ素子を、同一の駆動信号により駆動することを特徴とする付記1記載のプラズマディスプレイ装置。

20

(付記25) 上記第1のスイッチ素子は、上記第2のスイッチ素子よりもスイッチング時間が短いことを特徴とする付記1記載のプラズマディスプレイ装置。

(付記26) 上記高電位側スイッチ回路は、上記表示セルを形成する電極に対して上記維持放電電圧に係る正の電位を供給し、上記低電位側スイッチ回路は、上記表示セルを形成する電極に対して上記維持放電電圧に係る負の電位を供給することを特徴とする付記13記載のプラズマディスプレイ装置。

(付記27) 上記正の電位は、グラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であり、上記負の電位はグラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であることを特徴とする付記26記載のプラズマディスプレイ装置。

(付記28) 上記電極駆動回路は、上記表示セルを形成する電極に接続された電力回収回路をさらに有することを特徴とする付記26記載のプラズマディスプレイ装置。

30

(付記29) 上記電極駆動回路は、上記表示セルを形成する電極にコイルを介して接続された電力回収スイッチをさらに有することを特徴とする付記26記載のプラズマディスプレイ装置。

(付記30) 上記正の電位は、グラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であり、上記負の電位はグラウンドに対する電圧が上記維持放電電圧の半分の電圧となる電位であることを特徴とする付記29記載のプラズマディスプレイ装置。

(付記31) 上記電力回収スイッチは、一端が上記コイルを介して上記表示セルを形成する電極に接続され、他端がグラウンド端子に接続されていることを特徴とする付記30記載のプラズマディスプレイ装置。

40

(付記32) 上記表示セルを初期化するリセット電圧を上記表示セルを形成する電極に供給する期間は、上記低電位側スイッチ回路の基準電圧に上記リセット電圧を重畳することを特徴とする付記13記載のプラズマディスプレイ装置。

(付記33) 上記電極駆動回路は、上記表示セルを形成する電極にコイルを介して接続された電力回収スイッチをさらに有することを特徴とする付記32記載のプラズマディスプレイ装置。

(付記34) 上記電力回収スイッチは、一端が上記コイルを介して上記表示セルを形成する電極に接続され、

上記表示セルを初期化するリセット電圧を上記表示セルを形成する電極に供給する期間は、上記電力回収スイッチの他端に上記リセット電圧と同期した電圧を重畳することを特徴

50

とする付記 3 3 記載のプラズマディスプレイ装置。

【 0 0 9 8 】

【 発明の 効果 】

以上、説明したように本発明によれば、第 1 の電極と第 2 の電極との間で放電電流が流れる際には、高速スイッチング性能を有する第 1 のスイッチ素子に並列に接続された低飽和電圧性能を有する第 2 のスイッチ素子を導通状態にすることにより、放電電流を第 2 のスイッチ素子を介して流し、電圧変動を低減することができる。したがって、プラズマディスプレイ装置における駆動マージンを拡大し、表示特性の劣化を防止することができる。

【 0 0 9 9 】

また、サステインパルスの立ち上がり及び立ち下がり時には、並列接続された高速スイッチング性能を有する第 1 のスイッチ素子と、低飽和電圧性能を有する第 2 のスイッチ素子とを動作させ、スイッチング速度が速い第 1 のスイッチ素子に主に電流を流すことにより、サステインパルスの立ち上がり及び立ち下がりにおけるスイッチング損失を低減することができる。

10

【 図面の簡単な説明 】

【 図 1 】 第 1 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【 図 2 】 第 1 の実施形態によるプラズマディスプレイ装置の動作波形を示す図である。

【 図 3 】 図 1 に示した構成を適用したプラズマディスプレイ装置の全体構成の一例を示す図である。

【 図 4 】 図 4 ( a ) ~ ( c ) は表示セルを示す図である。

20

【 図 5 】 図 3 のプラズマディスプレイ装置における動作波形を示す図である。

【 図 6 】 第 2 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【 図 7 】 第 2 の実施形態によるプラズマディスプレイ装置の動作波形を示す図である。

【 図 8 】 第 3 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【 図 9 】 第 4 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【 図 1 0 】 第 5 の実施形態によるプラズマディスプレイ装置の構成例を示す図である。

【 符号の説明 】

1 0 1 Y 電極駆動回路

1 0 2 リセット回路

1 0 4 Y サステイン回路

30

1 0 5 スキャン回路

1 0 6、1 1 2 高電位側スイッチ

1 0 7、1 1 3 低電位側スイッチ

1 1 1 X 電極駆動回路

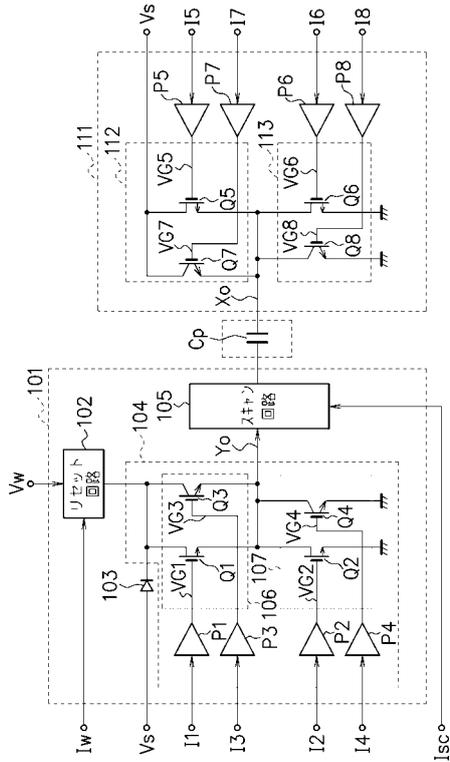
C p 容量性負荷

P 1 ~ P 8 プリドライブ回路

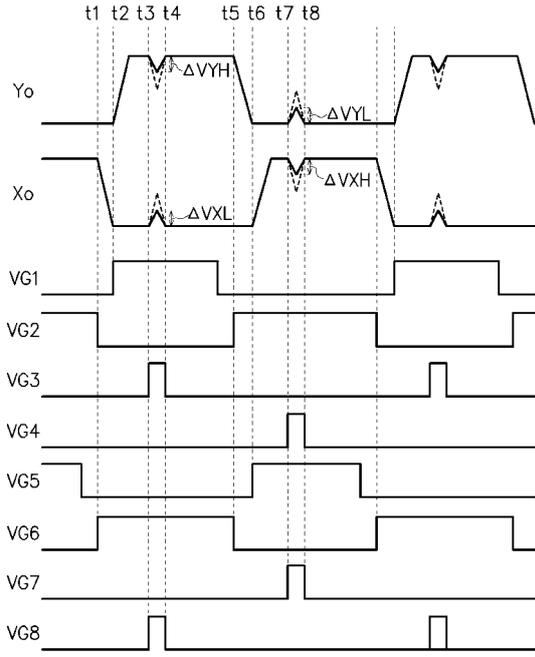
Q 1、Q 2、Q 5、Q 6 スイッチ素子 ( 高速スイッチング素子 )

Q 3、Q 4、Q 7、Q 8 スイッチ素子 ( 低飽和電圧スイッチ素子 )

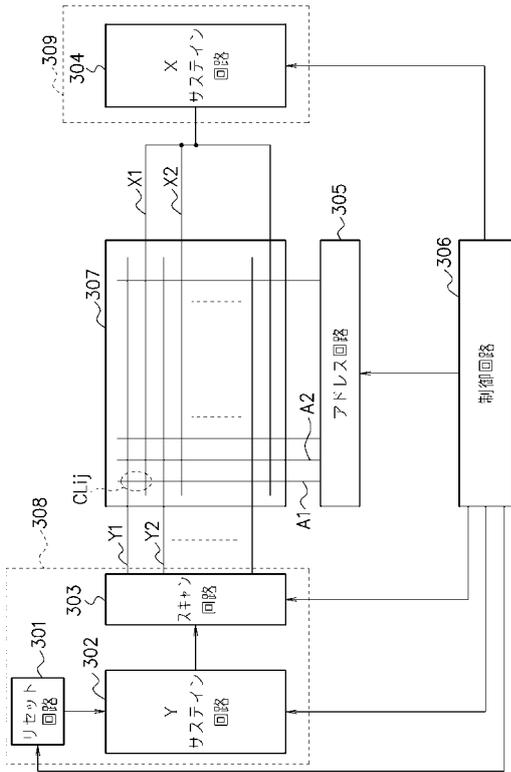
【 図 1 】



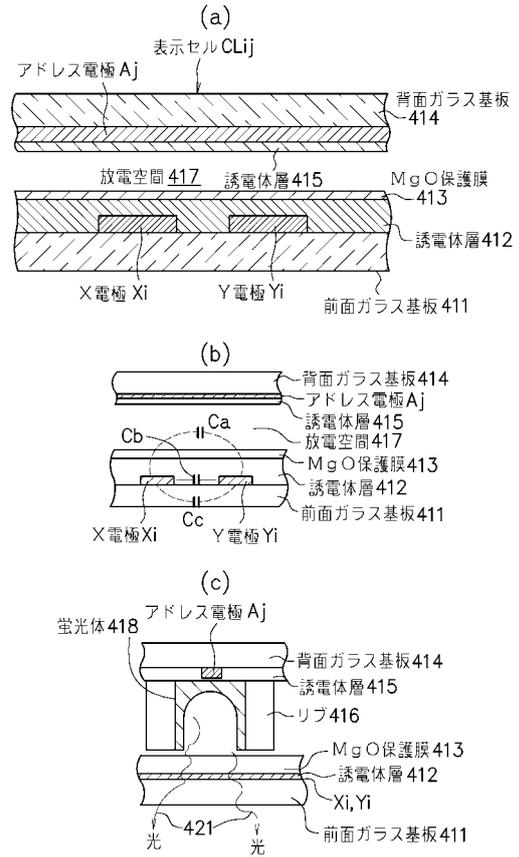
【 図 2 】



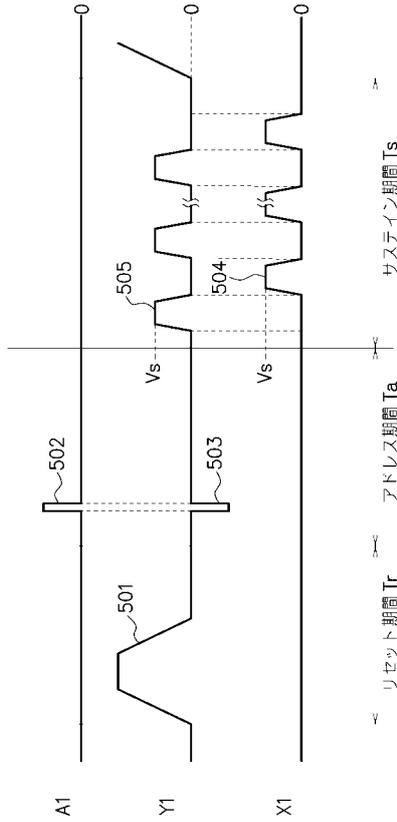
【 図 3 】



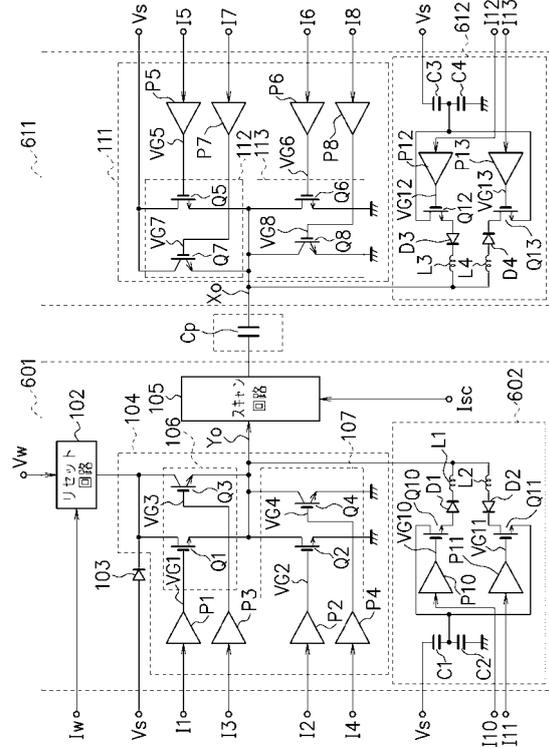
【 図 4 】



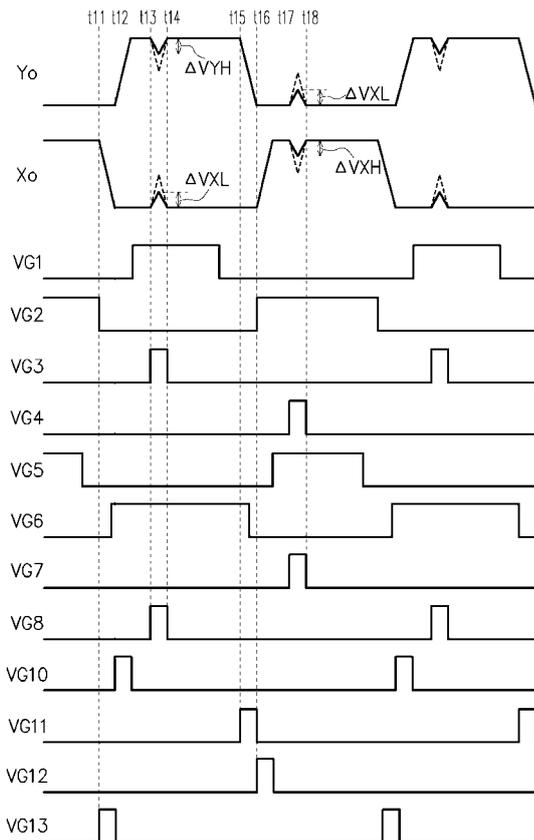
【図 5】



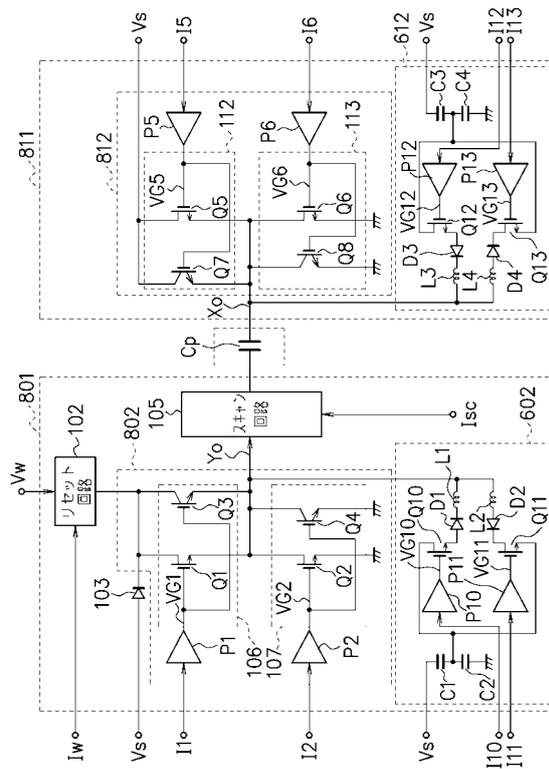
【図 6】



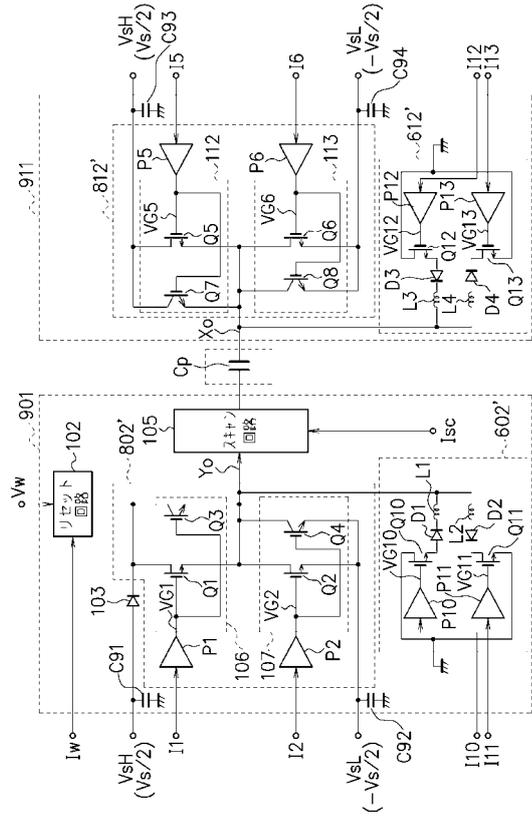
【図 7】



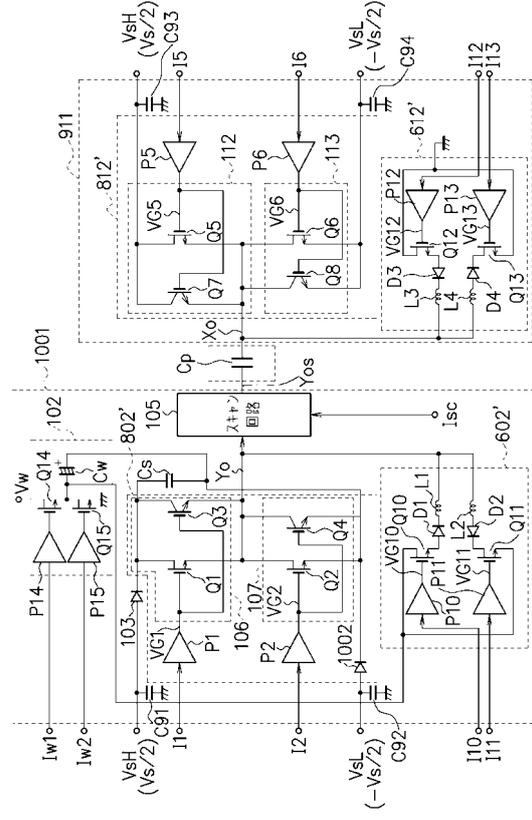
【図 8】



【図 9】



【図 10】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 N
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/28	B
G 0 9 G	3/28	E

(72)発明者 椎崎 貴史

神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社内

Fターム(参考) 5C080 AA05 BB05 DD06 DD09 EE28 HH02 HH04 HH05 JJ02 JJ03  
JJ04 JJ06