



(12)

Patentschrift

(21) Aktenzeichen: **10 2012 217 491.5**
(22) Anmeldetag: **26.09.2012**
(43) Offenlegungstag: **18.04.2013**
(45) Veröffentlichungstag
der Patenterteilung: **02.05.2024**

(51) Int Cl.: **H01L 29/78** (2006.01)
H01L 29/51 (2006.01)
H01L 21/283 (2006.01)
H01L 21/336 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
13/272,409 **13.10.2011** **US**

(73) Patentinhaber:
**GLOBALFOUNDRIES U.S. Inc., Santa Clara, CA,
US**

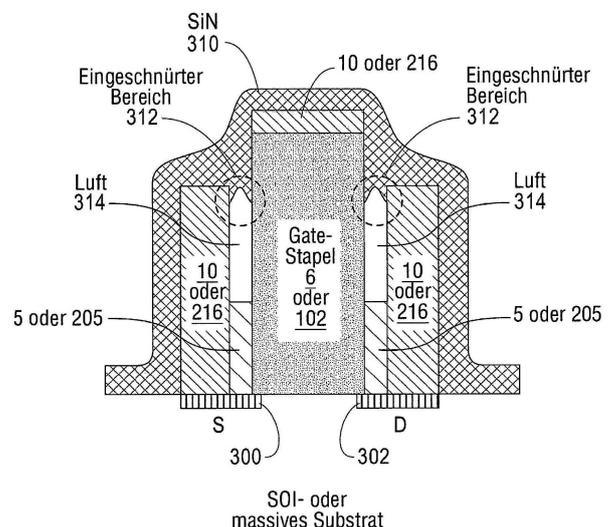
(74) Vertreter:
**Grünecker Patent- und Rechtsanwälte PartG mbB,
80802 München, DE**

(72) Erfinder:
Ando, Takashi, Yorktown Heights, N.Y., US;
Chang, Josephine B., Yorktown Heights, N.Y., US;
Kanakasabapathy, Sivananda K., Albany, N.Y., US;
**Kulkarni, Pranita, Albany, N.Y., US; Standaert,
Theodorus E., Hopewell Junction, N.Y., US;**
Yamashita, Tenko, Albany, N.Y., US

(56) Ermittelter Stand der Technik:
siehe Folgeseiten

(54) Bezeichnung: **TRANSISTOR, VERFAHREN ZUR HERSTELLUNG EINES TRANSISTORS UND VERFAHREN ZURVERRINGERUNG DER PARASITÄREN KAPAZITÄT IN EINEM MULTI-GATE-FELDEFFEKTTRANSISTOR**

(57) Hauptanspruch: Transistor, aufweisend;
eine Gate-Struktur (6, 102), die über einem Substrat angeordnet ist, wobei die Gate-Struktur (6, 102) eine Breite und auch eine Länge und eine Höhe aufweist, welche zwei gegenüberliegende Seitenwände der Gate-Struktur (6, 102) definieren;
mindestens einen elektrisch leitfähigen Kanal mit einer Source-Zone (108) und einer Drain-Zone, welcher durch die Seitenwände der Gate-Struktur (6, 102) hindurchführt;
eine dielektrische Schicht (310), welche über der Gate-Struktur (6, 102) und Abschnitten des mindestens einen elektrisch leitfähigen Kanals angeordnet ist, die außerhalb der Gate-Struktur (6, 102) liegen; und
einen Luftspalt (314), der unter der dielektrischen Schicht (310) liegt, wobei der Luftspalt (314) in Nachbarschaft zu den Seitenwänden der Gate-Struktur (6, 102) angeordnet ist,
wobei der Luftspalt (314) zwischen den Seitenwänden der Gate-Struktur (6, 102) und gegenüberliegenden Seitenwänden einer Silizidschicht (10, 216) angeordnet ist, wobei die Silizidschicht (10, 216) über eine darunter angeordnete epitaktische Siliziumschicht (9, 214) auf Abschnitten des mindestens einen elektrisch leitfähigen Kanals angeordnet ist, die außerhalb der Gate -Struktur liegen, wobei die Silizidschicht (10, 216) auch über der Gate-Struktur (6, 102) ausgebildet ist.



(56) Ermittelte Stand der Technik:

US	7 838 373	B2
US	2001 / 0 045 608	A1
US	2009 / 0 253 255	A1
US	2010 / 0 258 870	A1
US	2011 / 0 049 583	A1
US	2011 / 0 065 244	A1
US	2011 / 0 084 340	A1
CN	102 214 595	A

ITRS (International Technology Roadmap For Semiconductors). In: Process Integration, Devices and Structures, 2011, S.1 - 37.

MANOJ, C.R.: Impact of Fringe Capacitance on Performance of Nanoscale FinFETs. In: IEEE Electron Device Letters, Vol. 31, 2010, No.1, S. 83 - 85.

WANG, X [et al.]: Simulation Study of Multiple FIN FinFET Design für 32nm Technology Node and Beyond. In: Simulation of Semiconductor Processes and Devices, Vol. 12, 2007, S.125 - 128.

Beschreibung

TECHNISCHES GEBIET:

[0001] Die beispielhaften Ausführungsformen der vorliegenden Erfindung betreffen allgemein Feldefekttransistoren (FETs) und insbesondere Multi-Gate-FETs, z.B. FinFETs, und Techniken zur Verringerung der parasitären Kapazität.

HINTERGRUND:

[0002] Grundsätzlich ist ein FET ein Transistor, der eine Source-, eine Gate- und eine Drain-Zone aufweist. Die Funktion des FET hängt von dem Fluss von Majoritätsträgern entlang einem Kanal zwischen der Source- und der Drain-Zone ab, welcher an der Gate-Zone vorbei verläuft. Der Strom durch den Kanal, der sich zwischen der Source- und der Drain-Zone befindet, wird durch das quer verlaufende elektrische Feld unter der Gate-Zone gesteuert. Es kann mehr als eine Gate-Zone (Multi-Gate) verwendet werden, um den Kanal effektiver zu steuern. Die Länge der Gate-Zone bestimmt, wie schnell der FET schaltet, und kann etwa genauso groß wie die Länge des Kanals (d.h. der Abstand zwischen der Source- und der Drain-Zone) sein.

[0003] Die Größe von FETs ist durch die Verwendung eines oder mehrerer finnenförmiger Kanäle erfolgreich verringert worden. Ein FET, bei welchem eine solche Kanalstruktur verwendet wird, kann als FinFET bezeichnet werden. Bislang waren Komplementär-Metalloxid-Halbleiter(CMOS)-Einheiten entlang der Fläche des Halbleitersubstrats im Wesentlichen eben, wobei die Ausnahme die FET-Gate-Zone bildete, die über der Oberseite des Kanals angeordnet war. Finnen durchbrechen dieses Muster dadurch, dass eine vertikale Kanalstruktur verwendet wird, um den Oberflächenbereich des Kanals, der zu der Gate-Zone hin frei liegt, zu maximieren.

[0004] Die Gate-Zone steuert den Kanal stärker, weil sie sich über mehr als eine Seite (Fläche) des Kanals erstreckt. Die Gate-Zone kann zum Beispiel drei Flächen des dreidimensionalen Kanals umschließen, statt dass sie nur über die obere Fläche des herkömmlichen ebenen Kanals angeordnet ist. In einigen Einheiten kann die Gate-Zone den Kanal vollständig umschließen, d.h. ein frei hängender Kanal führt durch die Gate-Zone, und alle Flächen des Kanals liegen zu der Gate-Zone hin frei.

[0005] Eine Herausforderung bei der Herstellung von Multi-Gate-FETs ist die diesen eigene hohe parasitäre Kapazität im Vergleich zu herkömmlichen ebenen FETs. Als Beispiel kann auf „Simulation Study of Multiple FIN FinFET Device Design für 32nm Technology Node and Beyond“, X. Wang u.a., Simulation of Semiconductor Process and Device, Bd. 12, Seite

125 bis 128, und „Impact of Fringe Capacitance on Performance of Nanoscale FinFETs“, C. R. Manoj u.a., IEEE Electron Device Letters, Bd. 31, S. 83 bis 85, Bezug genommen werden.

[0006] Bekannt sind dabei aus US 2011 / 0 049 583 A1, US 2011 / 0 065 244 A1, X. Wang et al: Simulation Study of Multiple FIN FinFET Device Design für 32nm Technology Node and Beyond. In: Simulation of Semiconductor Process and Device, 12, 2007, 125 - 128.; C. R. Manoj: Impact of Fringe Capacitance on Performance of Nanoscale FinFETs. In: IEEE Electron Device Letters, 31, 2010, 83 - 85.; US 2010 / 0 258 870 A1, US 2009 / 0 253 255 A1, US 2011 / 0 084 340 A1, US 2001 / 0 045 608 A1, CN 102 214 595 A, ITRS: International Technology Roadmap For Semiconductors. In: Process, Integration Devices and Structures, 2011, 1 - 37.; sowie aus US 7 838 373 B2 Transistoren mit reduzierter parasitärer Kapazität sowie Verfahren zu deren Herstellung.

KURZDARSTELLUNG

[0007] Erfindungsgemäß ist eine Vorrichtung gemäß Anspruch 1 sowie ein Verfahren nach Anspruch 7 oder 11.

KURZE BESCHREIBUNG DER VERSCHIEDENEN ANSICHTEN DER ZEICHNUNGEN

Fig. 1A bis 1G, zusammen als **Fig. 1** bezeichnet, geben einen Überblick über ein beispielhaftes Verfahren (Seitenwand-Bildtransfer) zur Herstellung einer FinFET- Einheit; wobei **Fig. 1A** die Definition eines Polysilicium(Poly-Si)-Dorns auf einer SiO₂-Schicht zeigt, die auf einer Silicium-auf-Isolator(Silicon on Insulator, SOI)-Schicht ausgebildet ist;

Fig. 1 B ein Ergebnis nach einer SIT-Abstandsverdopplung zeigt, wobei Seitenwände des Dorns darauf ausgebildete SiN-Schichten aufweisen;

Fig. 1C ein Ergebnis nach einer Ätzbehandlung und dem Entfernen des Dorns und die resultierenden Finnen zeigt (das darunter angeordnete BOX (Buried Oxide, 6 vergrabene Oxid) und das Substrat des SOI-Wafers sind nicht dargestellt);

Fig. 1D ein Ergebnis nach der Abscheidung und Planarisierung eines Gate-Stapels, der Abscheidung einer Hartmaske, der Gate-Lithographie und einem reaktiven Ionenätzen zeigt;

Fig. 1E ein Ergebnis nach dem Bilden eines SiN-Versatzungs-Abstandhalters, gefolgt von einer Erweiterungsimplantation, zeigt;

Fig. 1F ein Ergebnis nach dem epitaxialen Anwachsen von Silicium zeigt, wodurch eine

Epi-Si-Schicht gebildet wird, welche die Finnen bedeckt; und

Fig. 1G ein Ergebnis nach dem Entfernen des Versetzungs-Abstandhalters und dem abschließenden Bilden eines Abstandhalters, gefolgt von der S/D-Implantation und einem Kurzzeit-Tempnern, zeigt.

Fig. 2A bis 2H, zusammen als **Fig. 2** bezeichnet, veranschaulichen ein anderes beispielhaftes Verfahren zur Herstellung einer FinFET-Einheit, wobei

Fig. 2A eine Hartmaskenschicht, die auf einem Substrat ausgebildet ist, und eine Polysiliciumstruktur zeigt;

Fig. 2B Siliciumnitrid(SiN)-Strukturen zeigt, die entlang den Seiten der Polysiliciumstruktur ausgebildet sind;

Fig. 2C ein Ergebnis nach dem Ätzen zum Bilden von Finnenstrukturen zeigt;

Fig. 2D ein Ergebnis nach einer weiteren Ätzbehandlung und dem Bilden eines Gate-Stapels und einer SiN-Schicht senkrecht zu den Finnenstrukturen zeigt;

Fig. 2E ein Ergebnis nach dem Entfernen von Abschnitten der Hartmaskenschicht und der SiN-Schicht und dem Bilden von SiN-Abstandhaltern entlang dem Gate- 6 Stapel zeigt;

Fig. 2F eine epitaxiale Silicium-Schicht (Epi-Si) zeigt, die über den Finnenstrukturen abgeschieden ist;

Fig. 2G eine Querschnittsansicht eines Verfahrens der abgewinkelten 12 Ionenimplantation veranschaulicht, durch welches Source- und Drain-Zonen gebildet werden; und

Fig. 2H eine Silicidschicht zeigt, die auf der Epi-Si-Schicht und über dem Gate-Stapel ausgebildet ist.

Fig. 3A eine Querschnittsansicht der FinFET-Einheit zeigt, die entweder durch das beispielhafte Verfahren der **Fig. 1** oder das beispielhafte Verfahren der **Fig. 2** gebildet wird.

Fig. 3B ein Ergebnis nach der weiteren Verarbeitung gemäß den Ausführungsformen der vorliegenden Erfindung zeigt, wobei SiN-Abstandhalter in Nachbarschaft zu Seitenwänden der Gate-Struktur entfernt werden.

Fig. 3C ein Ergebnis nach dem Abscheiden einer Schicht eines Zwischenschichtdielektrikums zeigt, um die Struktur des FinFET weitgehend einheitlich zu beschichten, wodurch dort, wo die SiN-Abstandhalter in **Fig. 3B** entfernt wurden, ein darunter liegender Luftspalt gebil-

det wird, der in Nachbarschaft zu Seitenwänden der Gate-Struktur angeordnet ist.

DETAILLIERTE BESCHREIBUNG

[0008] Die beispielhaften Ausführungsformen der vorliegenden Erfindung werden im Folgenden im Kontext eines FinFET beschrieben. **Fig. 1A bis 1G** geben einen Überblick über eine beispielhafte Technik zur Herstellung eines FinFET gemäß einer Ausführungsform, die in der US-Patentanmeldung US 2011/0049583 A1 desselben Inhabers wie der vorliegenden Patentanmeldung, „Recessed Contact for Multi-Gate FET Optimizing Series Resistance“, Chung-Hsun Lin und Josephine B. Chang, dargestellt ist. **Fig. 2A bis 2H** geben einen Überblick über eine andere beispielhafte Technik zur Herstellung eines FinFET gemäß einer Ausführungsform, die in der US-Patentanmeldung US 2011/0065244 A1 desselben Inhabers wie der vorliegenden Patentanmeldung, „Asymmetrie FinFET Device with Improved Parasitic Resistance and Capacitance“, Josephine B. Chang, Leland Chang, Chung-Hsun Lin und Jeffrey W. Sleight, dargestellt ist.

[0009] **Fig. 1A bis 1G** sind in dem beispielhaften Kontext der Seitenwand-Bildtransfer (Side Wall Image Transfer, SIT)-Herstellungstechnik dargestellt, bei welcher ein Abstandhalter als Hartmaske verwendet wird, um die Finne zu definieren. Diese ist jedoch nur eine geeignete FinFET-Herstellungstechnik und sollte für die Anwendung und die Praxis der vorliegenden Erfindung nicht als beschränkend ausgelegt werden. Im Allgemeinen können die beispielhaften Ausführungsformen der vorliegenden Erfindung mit oder ohne eine Hartmaske angewendet werden. Auch kann bei den beispielhaften Ausführungsformen ein Silicium-auf-Isolator(SOI)-Substrat oderein massives Substrat verwendet werden.

[0010] **Fig. 1A** zeigt die Definition eines Polysilicium (Poly-Si)-Dorns 3 auf einer SiO₂-Schicht 2, die auf einer Silicium-auf-Isolator(SOI)-Schicht 1 ausgebildet ist (das darunter angeordnete vergrabene Oxid (BOX) und das Substrat des SOI-Wafers sind nicht dargestellt). **Fig. 1 B** zeigt ein Ergebnis nach einer SIT-Abstandsverdopplung, wobei Seitenwände des Dorns 3 darauf ausgebildete SiN-Schichten 4 aufweisen.

[0011] **FIG. 1C** zeigt ein Ergebnis nach einer Ätzbehandlung und dem Entfernen des Dorns und die resultierenden Finnen 5 (das darunter angeordnete BOX (vergrabenes Oxid) und das Substrat des SOI-Wafers sind nicht dargestellt). Bei jeder Finne 5 handelt es sich um eine mehrschichtige Struktur, die aus einer unteren Si-Schicht (welche den Kanal des fertigen FinFET bildet), einer mittleren SiO₂-Schicht und einer oberen SiN-Schicht (welche vor der Durchführung der in **Fig. 1D** dargestellten Operationen ent-

fernt wird) zusammengesetzt ist. **Fig. 1D** zeigt ein Ergebnis nach der Abscheidung und Planarisierung eines Gate-Stapels, der Abscheidung einer Hartmaske, der Gate-Lithographie und einem reaktiven Ionenätzen (Reactive Ion Etch, RIE). Der resultierende Gate-Stapel weist zum Beispiel eine Poly-Si-Gate-Zone und eine darüber liegende SiN-Schicht auf. **Fig. 1E** zeigt ein Ergebnis nach dem Bilden eines SiN-Versetzungs-Abstandhalters 8, gefolgt von einer Erweiterungsimplantation. **Fig. 1F** zeigt ein Ergebnis nach dem epitaxialen Anwachsen von Silicium (Epi-Si), wodurch eine Epi-Si-Schicht 9 bereitgestellt wird, 12 welche die Finnen 5 bedeckt, wodurch die Finnen zusammengeführt werden. **FIG.**

[0012] 1G zeigt ein Ergebnis nach dem Entfernen des Versetzungs-Abstandhalters und dem abschließenden Bilden eines Abstandhalters, gefolgt von der S/D-Implantation und einem Kurzzeit-Tempern (Rapid Thermal Anneal, RTA). Die resultierende FinFET-Einheit 20 weist eine Silicid-Schicht 10 über der Oberseite des Gate-Stapels 6 und über dem Finnen-Epi-Si auf. Allgemein zeigen **Fig. 1D bis 1G**, wie die frei liegenden 18 Finnen 5 der **Fig. 1C** in eine S/D-Zone umgewandelt werden. Die Silicidschicht 10 kann eine Dicke im Bereich von etwa 5 nm bis etwa 30 nm (oder dicker) aufweisen.

[0013] In einigen Ausführungsformen kann die Silicidschicht 10 eine nominale Dicke von etwa 10 nm aufweisen. Die Silicidschicht 10 kann aus einem beliebigen geeigneten Silicid, zum Beispiel, ohne darauf beschränkt zu sein, Kobaltsilicid (CoSi₂), Nickelsilicid (NiSi) oder Platinsilicid (PtSi, Pt₂Si), bestehen.

[0014] **Fig. 2A bis 2H** veranschaulichen ein anderes beispielhaftes Verfahren zur Herstellung einer FinFET-Einheit 100.

[0015] Bezug nehmend auf **Fig. 2A**, wird eine Siliciumdioxid(SiO₂)-Hartmaskenschicht (oder Siliciumnitrid(SiN)-Hartmaskenschicht) 104 auf einem Substrat gebildet. In der dargestellten Ausführungsform kann es sich bei dem Substrat um eine Silicium-auf-30 Isolator(SOI)-Schicht 111 handeln. In anderen Ausführungsformen kann es sich bei dem Substrat um ein massives Substrat handeln. Auf der Hartmaskenschicht 104 wird durch Abscheidungs- und Ätzverfahren eine Polysiliciumstruktur 204 gebildet.

[0016] Bezug nehmend auf **Fig. 2B**, werden entlang den Seiten der Polysiliciumstruktur 204 unter Anwendung von Abscheidungs- und Ätzverfahren Siliciumnitrid(SiN)-Strukturen 206 gebildet. In **Fig. 2C** sind die Polysiliciumstruktur 204 und Abschnitte der Hartmaskenschicht 104 und der SOI-Schicht 111 geätzt, um die Finnenstrukturen 208 zu bilden. Die dargestellten zwei Finnenstrukturen 208 sind beispielhaft, da mehr 6 oder weniger als zwei Finnenstrukturen

gebildet werden können. In **Fig. 2D** sind die SiN-Strukturen 206 geätzt, und senkrecht zu den Finnenstrukturen 208 sind ein Gate-Stapel-Abschnitt 102 und eine SiN-Schicht 210 ausgebildet. Bezug nehmend auf **Fig. 2E**, sind Abschnitte der Hartmaskenschicht 104 und der SiN-Schicht 210 entfernt, und entlang dem Gate-Stapel-Abschnitt 102 sind SiN-Abstandhalter 106 ausgebildet. In **Fig. 2F** ist eine epitaxiale Si-Schicht (Epi-Si) 214 über den 12 verbleibenden Finnenstrukturen 205 abgeschieden, um die Finnenstrukturen zusammenzuführen. **Fig. 2G** veranschaulicht eine Querschnittsansicht einer Ionenimplantation, durch welche die Source-108 und Drain-Zone 110 in der SOI-Schicht 111 gebildet werden. In der dargestellten nicht beschränkenden Ausführungsform werden die Ionen 203 in einem Winkel (Theta) von einer Linie senkrecht zu der Source-Zone 108 implantiert. Der Gate-Stapel-Abschnitt 102 und 18 die Abstandhalter 106 blockieren teilweise einige der Ionen 203, so dass sie nicht in großer Konzentration in dem Abschnitt 212 der SOI-Schicht 111 abgeschieden werden, und die Implantation in dem schrägen Winkel (Theta) führt zu einer überlappten Source-Zone 108 und zu einer versetzten Drain-Zone 110. Der Implantationswinkel kann im Bereich von 0 bis 90 Grad und beliebigen weiteren Bereichen zwischen 0 und 90 Grad liegen. In den veranschaulichten Ausführungsformen ist ein beispielhafter Implantationswinkel von 20 bis 30 Grad dargestellt. Bezug nehmend auf **Fig. 2H**, ist auf der Epi-Si-Schicht 214 und über dem Gate-Stapel-Abschnitt 102 eine Silicidschicht 216 ausgebildet.

[0017] **Fig. 3A** zeigt eine Querschnittsansicht der FinFET-Einheit, die entweder durch das beispielhafte Verfahren der **Fig. 1** oder das beispielhafte Verfahren der **Fig. 2** gebildet wird. Der Gate-Stapel 6 oder 102 ist zwischen den SiN-Abstandhaltern 8 bzw. 106 dargestellt. In der Praxis weisen die SiN-Abstandhalter 8 oder 106, wenn sie gebildet werden, ein im Allgemeinen verjüngtes oberes Profil auf, wobei sich die Dicke in Richtung des oberen Bereichs des Abstandhalters allmählich verringert. Die Source(S)- und Drain(D)-Implantationen 300, 302 können in dem darunter liegenden SOI- oder massiven Substratmaterial angeordnet sein.

[0018] **Fig. 3B** zeigt ein Ergebnis nach der weiteren Verarbeitung gemäß

[0019] Ausführungsformen der vorliegenden Erfindung, wobei die SiN-Abstandhalter 8 oder 106 entfernt werden. Dies kann durch ein nasschemisches Ätzverfahren erfolgen, z.B. unter Verwendung von heißer Phosphorsäure.

[0020] **Fig. 3C** zeigt ein Ergebnis nach dem Abscheiden einer Schicht eines Zwischenschichtdielektrikums (Interlayer Dielectric, ILD), z.B. einer SiN-

Deckschicht 12 310. Wie zu sehen ist, wird die Struktur des FinFET 20 oder 100 durch die SiN-Deckschicht 310 weitgehend einheitlich beschichtet. Jedoch und gemäß Ausführungsformen der vorliegenden Erfindung wird in den Bereichen, wo die SiN-Abstandhalter 8 oder 106 in Fig. 3B entfernt wurden, in der Nähe des oberen Bereichs ein eingeschnürter Bereich 312 gebildet, wobei einen darunter liegender Luftspalt 314 zurückgelassen wird, der in Nachbarschaft zu Seitenwänden des Gate-18 Stapels 6 oder 102 angeordnet ist. Der Luftspalt 314 verläuft im Wesentlichen durchgängig entlang den Seitenwänden des Gate-Stapels, nur nicht dort, wo sich die Finne 5 oder 205 von den silicierten Abschnitten 10 oder 216 in den Gate-Stapel 6 oder 102 erstreckt.

[0021] In einer nicht beschränkenden Ausführungsform kann die Dicke der ursprünglichen 24 SiN-Abstandhalter 8 oder 106 im Bereich von etwa 5 nm bis etwa 10 nm liegen, welche dann ungefähr zur Breite des Luftspalts 314 wird. Die SiN-Deckschicht kann durch ein Verfahren der plasmaunterstützten chemischen Abscheidung aus der Gasphase (Plasma Enhanced Chemical Vapor Deposition, PECVD) bei einer relativ niedrigen Temperatur (z.B. ungefähr 350 °C) abgeschieden werden. Si₃N₄ unter Anwendung des Niedertemperatur-PECVD-Verfahrens (-350 °C) ist ein nicht beschränkendes Beispiel für ein geeignetes Verfahren zum Bilden der Deckschicht zum Erzeugen des Luftspalts 314.

[0022] Bei der Dielektrizitätskonstante der Luft handelt es sich im Vergleich zur Dielektrizitätskonstante von SiN, die etwa 7 bis 7,5 beträgt, ungefähr um die Eins. Der resultierende Abstandhalter, der durch den Luftspalt 314 gebildet wird, sorgt somit für eine verbesserte elektrische Leistungsfähigkeit, indem die parasitäre Kapazität zwischen der Gate-Zone und der Source/Drain-Zone, d.h. zwischen dem Gate-Stapel 6 oder 102 und den Finnen 5 oder 205 der beispielhaften FinFET- Ausführungsformen 20 oder 100 der Fig. 1 bzw. 2 verringert wird.

[0023] Im Allgemeinen kann der FinFET 20 oder 100 gemäß den beispielhaften Ausführungsformen der vorliegenden Erfindung als Einheit des N-Typs oder als Einheit des P-Typs verwirklicht werden. Die Gate-Stapel können unter Verwendung von Poly-Si oder Metall hergestellt werden, es kann ein beliebiges geeignetes Gate-Dielektrikums-Metall verwendet werden, und die Silicidschichten können aus einem beliebigen geeigneten Silicid-Typ bestehen. Die FinFETs 20 oder 100 können so konstruiert sein, dass sie eine einzige Finne oder Kanalstruktur aufweisen, die durch die Breite des Gate-Stapels führt, oder es kann zwei oder mehr Finnen oder Kanalstrukturen geben, die durch die Breite des Gate-Stapels führen. Die beispielhaften Ausführungsformen der vorliegenden Erfindung sind natürlich auf Multi-Gate-Transis-

toren anwendbar. Außerdem sollte angemerkt werden, dass die beispielhaften Ausführungsformen der vorliegenden Erfindung auch auf Transistoren des Drahttyps anwendbar sind, wobei die Kanalstruktur derart durch die Breite des Gate-Stapels führt, das sich alle Flächen der Kanalstruktur (also die obere Fläche, zwei Seitenflächen und die untere Fläche) in Nachbarschaft zu dem Gate-Stapel befinden oder von diesem umgeben sind und von dem Gate-Stapel elektrisch beeinflusst werden können. In dieser Ausführungsform kann es eine Anzahl von Kanalstrukturen des Drahttyps geben, die durch die Breite des Gate-Stapels führen. Es sollte angemerkt werden, dass der FinFET 20 oder 100 oder allgemeiner die Transistoren 20 oder 100 nicht so auszulegen sind, dass sie auf oder durch die oben angegebenen beispielhaften Geometrien, Materialien, dielektrischen Dünnschichten, Herstellungsverfahren, Abmessungen und/oder Schichtdicken beschränkt sind.

Patentansprüche

1. Transistor, aufweisend; eine Gate-Struktur (6, 102), die über einem Substrat angeordnet ist, wobei die Gate-Struktur (6, 102) eine Breite und auch eine Länge und eine Höhe aufweist, welche zwei gegenüberliegende Seitenwände der Gate-Struktur (6, 102) definieren; mindestens einen elektrisch leitfähigen Kanal mit einer Source-Zone (108) und einer Drain-Zone, welcher durch die Seitenwände der Gate-Struktur (6, 102) hindurchführt; eine dielektrische Schicht (310), welche über der Gate-Struktur (6, 102) und Abschnitten des mindestens einen elektrisch leitfähigen Kanals angeordnet ist, die außerhalb der Gate-Struktur (6, 102) liegen; und einen Luftspalt (314), der unter der dielektrischen Schicht (310) liegt, wobei der Luftspalt (314) in Nachbarschaft zu den Seitenwänden der Gate-Struktur (6, 102) angeordnet ist, wobei der Luftspalt (314) zwischen den Seitenwänden der Gate-Struktur (6, 102) und gegenüberliegenden Seitenwänden einer Silizidschicht (10, 216) angeordnet ist, wobei die Silizidschicht (10, 216) über eine darunter angeordnete epitaktische Siliziumschicht (9, 214) auf Abschnitten des mindestens einen elektrisch leitfähigen Kanals angeordnet ist, die außerhalb der Gate -Struktur liegen, wobei die Silizidschicht (10, 216) auch über der Gate-Struktur (6, 102) ausgebildet ist.
2. Transistor nach Anspruch 1, wobei der Luftspalt (314) eine Breite von etwa 5 nm bis zu etwa 10 nm aufweist.
3. Transistor nach Anspruch 2, wobei der Luftspalt (314) im Wesentlichen durchgängig von einem unteren Abschnitt des Luftspalts (314) in

Nachbarschaft zu dem Substrat bis zu einem eingeschnürten Bereich verläuft, der durch eine darunter liegende Fläche der dielektrischen Schicht (310) definiert ist, die einen oberen Abschnitt des Luftspalts (314) überbrückt.

4. Transistor nach Anspruch 1, wobei die dielektrische Schicht (310) aus SiN oder Si₃N₄ besteht.

5. Transistor nach Anspruch 1, wobei weniger als alle Flächen des mindestens einen elektrisch leitfähigen Kanals von der Gate-Struktur (6, 102) elektrisch beeinflusst werden.

6. Transistor nach Anspruch 1, wobei alle Flächen des mindestens einen elektrisch leitfähigen Kanals von der Gate-Struktur (6, 102) elektrisch beeinflusst werden.

7. Verfahren zur Herstellung eines Transistors, aufweisend:

Bilden mindestens eines elektrisch leitfähigen Kanals mit einer Source-Zone (108) und einer Drain-Zone über einem Substrat;

Bilden einer Gate-Struktur (6, 102), die über einem Abschnitt des mindestens einen elektrisch leitfähigen Kanals anzuordnen ist, wobei die Gate-Struktur (6, 102) eine Breite und eine Länge und eine Höhe aufweist, welche zwei gegenüberliegende Seitenwände der Gate-Struktur (6, 102) definieren, und so gebildet wird, dass der mindestens eine elektrisch leitfähige Kanal durch die Seitenwände der Gate-Struktur (6, 102) hindurch führt;

Bilden von Abstandhaltern an den Seitenwänden der Gate-Struktur (6, 102);

Bilden einer Schicht epitaxialen Siliciums (9, 214) über Abschnitten des mindestens einen elektrisch leitfähigen Kanals, die außerhalb der Gatestruktur und des Abstandshalters liegen;

Bilden einer Silizidschicht (10, 216) auf dem epitaxialen Silizium und auf der Gatestruktur; Entfernen der Abstandhalter; und

Bilden einer dielektrischen Schicht (310), die über der Gate-Struktur (6, 102) und Abschnitten des elektrisch leitfähigen Kanals anzuordnen ist, die außerhalb der Gate-Struktur (6, 102) liegen, so dass unter der dielektrischen Schicht (310) ein Luftspalt (314) liegt, wobei der Luftspalt (314) in Nachbarschaft zu den Seitenwänden der Gate-Struktur (6, 102) in einem Bereich angeordnet ist, der zuvor von den Abstandhaltern besetzt war und somit der Luftspalt (314) zwischen den Seitenwänden der Gatestruktur und gegenüberliegenden Seitenwänden der Silizidschicht (10, 216) angeordnet ist.

8. Verfahren nach Anspruch 7, wobei beim Bilden der dielektrischen Schicht (310) eine Schicht abgeschieden wird, die aus SiN oder Si₃N₄ besteht, wobei das Abscheiden der Schicht, die aus SiN oder Si₃N₄

besteht, unter Anwendung eines Verfahrens der plasmaunterstützten chemischen Abscheidung aus der Gasphase durchgeführt wird.

9. Verfahren nach Anspruch 8, wobei das Verfahren der plasmaunterstützten chemischen Abscheidung aus der Gasphase bei einer Temperatur von etwa 350 °C durchgeführt wird.

10. Verfahren nach Anspruch 7, wobei das Entfernen der Abstandhalter unter Anwendung eines nasschemischen Ätzverfahrens durchgeführt wird.

11. Verfahren zur Verringerung der parasitären Kapazität in einem Multi-Gate Feldeffekttransistor, aufweisend:

Herstellen mehrerer Finnen mit einer Source-Zone (108) und einer Drain-Zone;

Herstellen einer Gate-Struktur (6, 102), derart, dass die mehreren Finnen durch Seitenwände der Gate-Struktur (6, 102) führen;

Bilden von Abstandhaltern an den Seitenwänden der Gate-Struktur (6, 102);

Bilden einer Schicht epitaxialen Siliciums (9, 214) über den Finnen auf Abschnitten, die außerhalb der Gatestruktur und der Abstandhalter liegen;

Bilden einer Silizidschicht (10, 216) auf dem epitaxialen Silizium (9, 214) und auf der Gate-Struktur (6, 102);

Entfernen der Abstandhalter; und

Verkapseln wenigstens eines Abschnitts des Multi-Gate-Feldeffekttransistors in einer Schicht dielektrischen Materials, derart, dass in Nachbarschaft zu den Seitenwänden der Gate-Struktur (6, 102) und unterhalb der Schicht des dielektrischen Materials ein Luftspalt (314) gebildet wird und somit der Luftspalt (314) zwischen den Seitenwänden der Gate-Struktur (6, 102) und gegenüberliegenden Seitenwänden der Silizidschicht (10, 216) angeordnet wird.

12. Verfahren nach Anspruch 11, wobei das Verkapseln einen anfänglichen Schritt des Entferns von Abstandhaltern von den Seitenwänden der Gate-Struktur (6, 102) beinhaltet, wobei der Luftspalt (314) in einem Bereich gebildet wird, aus welchem die Abstandhalter entfernt werden.

13. Verfahren nach Anspruch 12, wobei die Abstandhalter eine Dicke von etwa 5 nm bis zu etwa 10 nm aufweisen und wobei das Verkapseln ein Abscheiden einer Schicht, die aus SiN oder Si₃N₄ besteht, unter Anwendung eines Verfahrens der plasmaunterstützten chemischen Abscheidung aus der Gasphase beinhaltet, welches bei einer Temperatur von etwa 350°C durchgeführt wird.

14. Verfahren nach Anspruch 12, wobei die Abstandhalter unter Anwendung eines nasschemischen Ätzverfahrens entfernt werden.

15. Verfahren nach Anspruch 11, wobei der Multi-Gate-Feldeffekttransistor ein FinFET ist.

Es folgen 4 Seiten Zeichnungen

Anhängende Zeichnungen

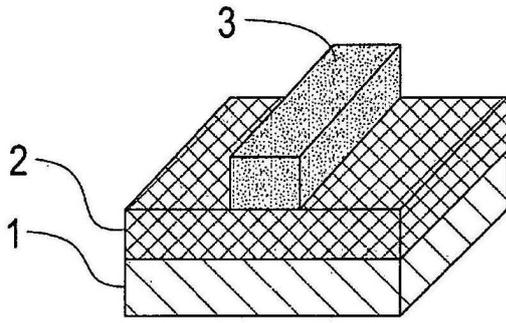


FIG. 1A

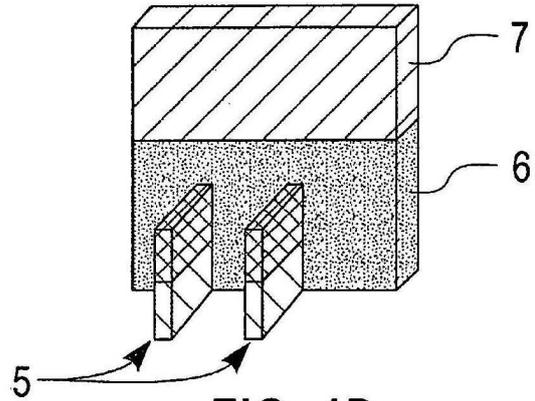


FIG. 1D

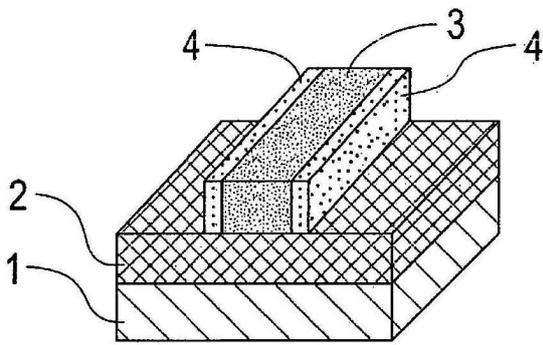


FIG. 1B

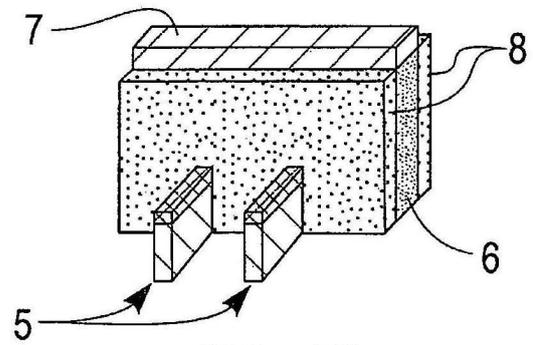


FIG. 1E

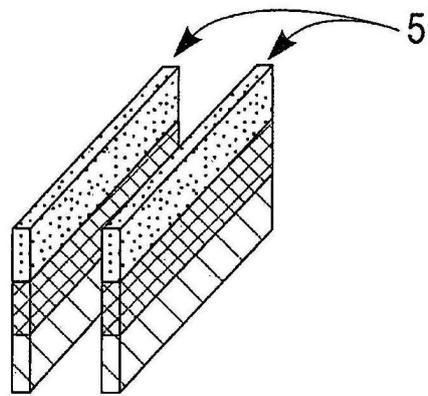


FIG. 1C

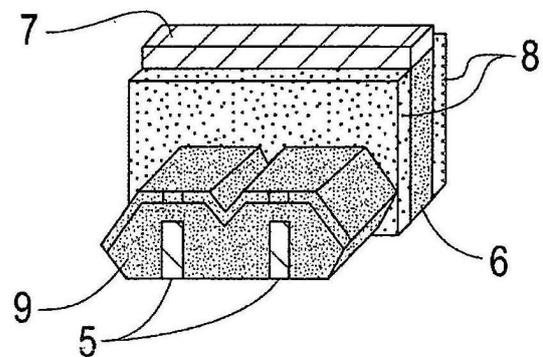


FIG. 1F

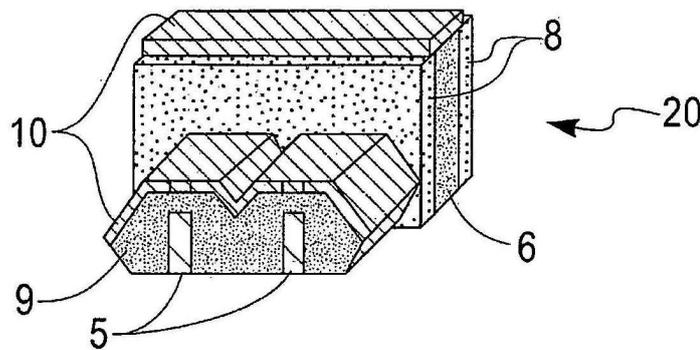


FIG. 1G

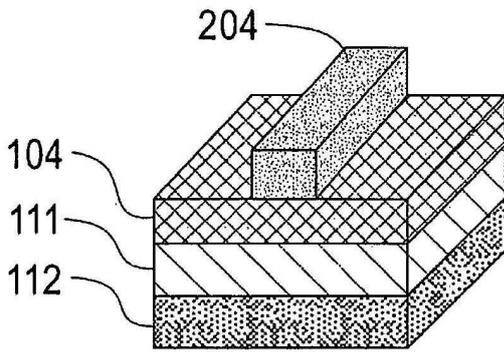


FIG. 2A

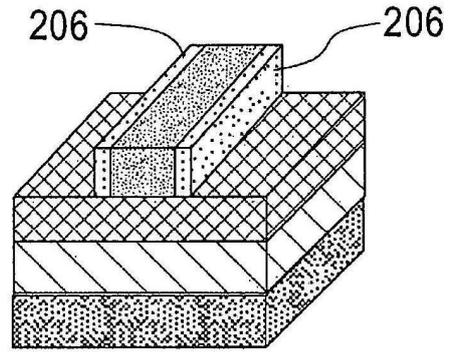


FIG. 2B

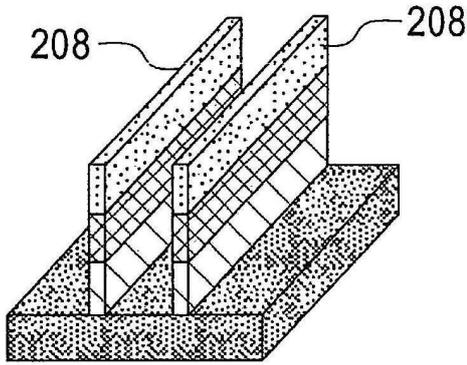


FIG. 2C

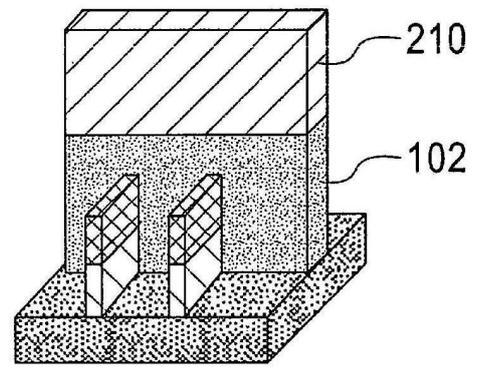


FIG. 2D

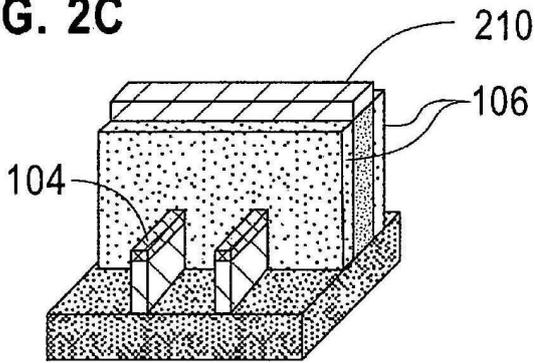


FIG. 2E

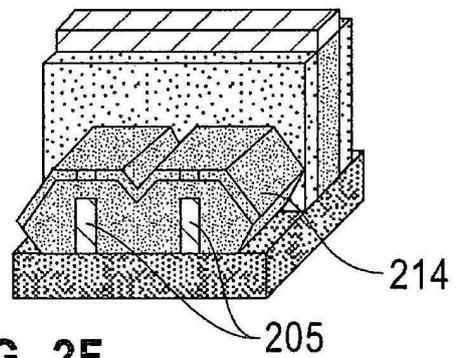


FIG. 2F

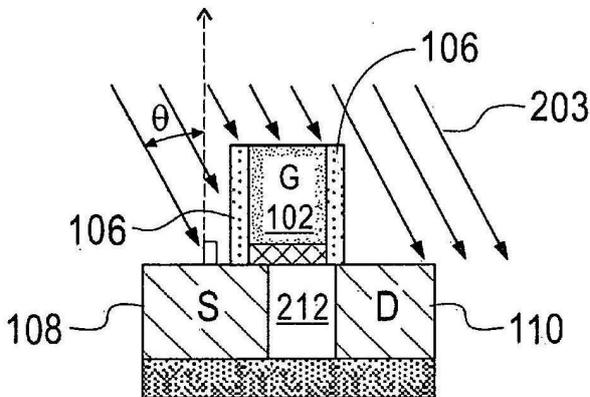


FIG. 2G

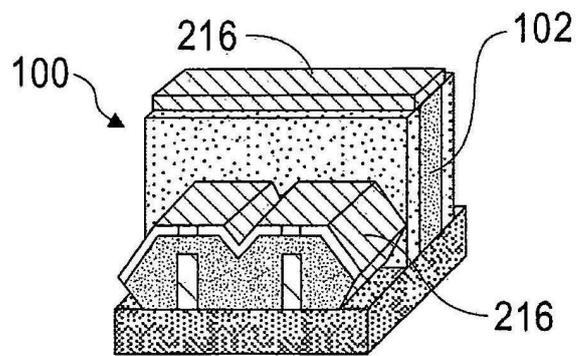


FIG. 2H

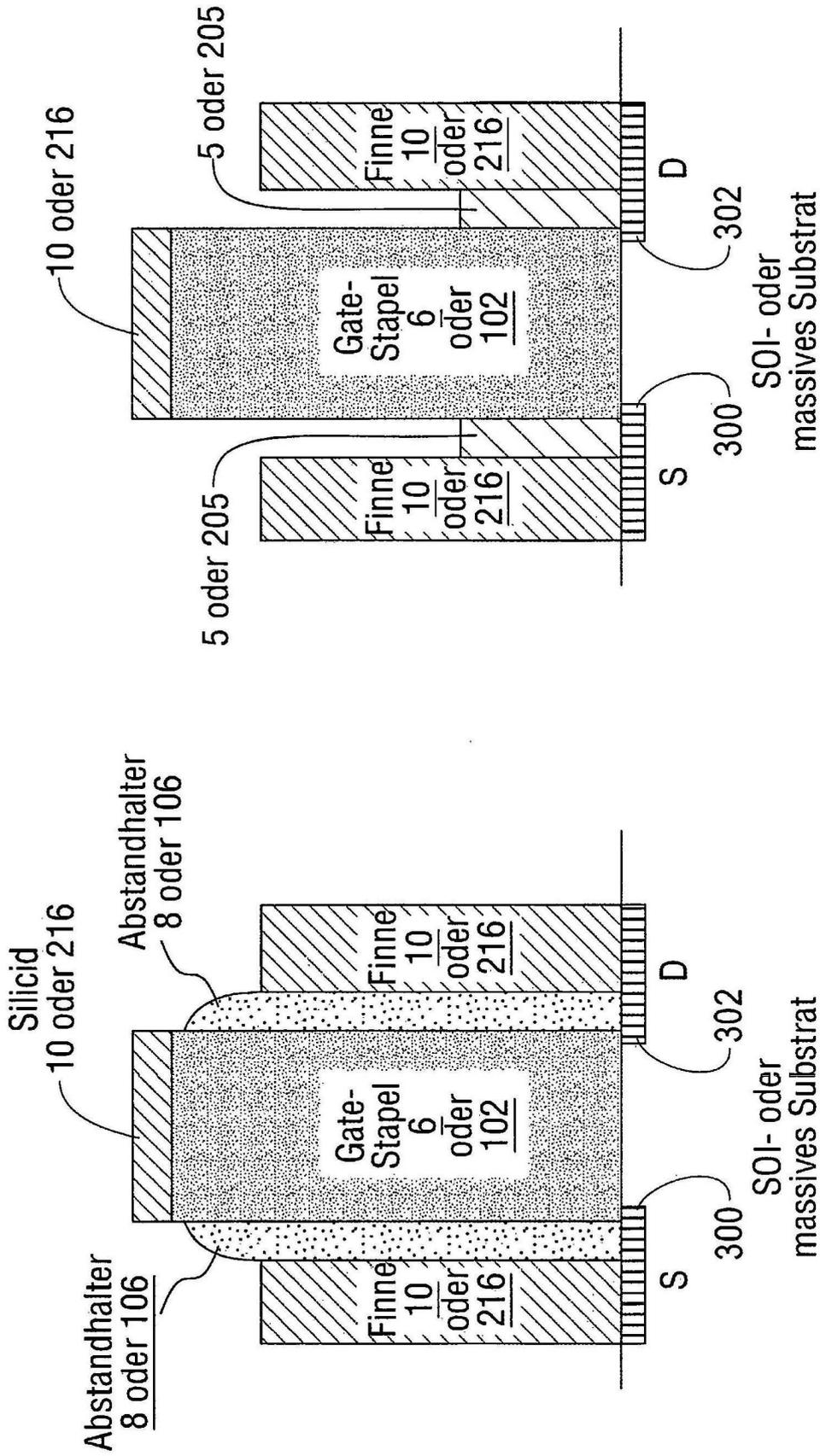


FIG. 3B

FIG. 3A

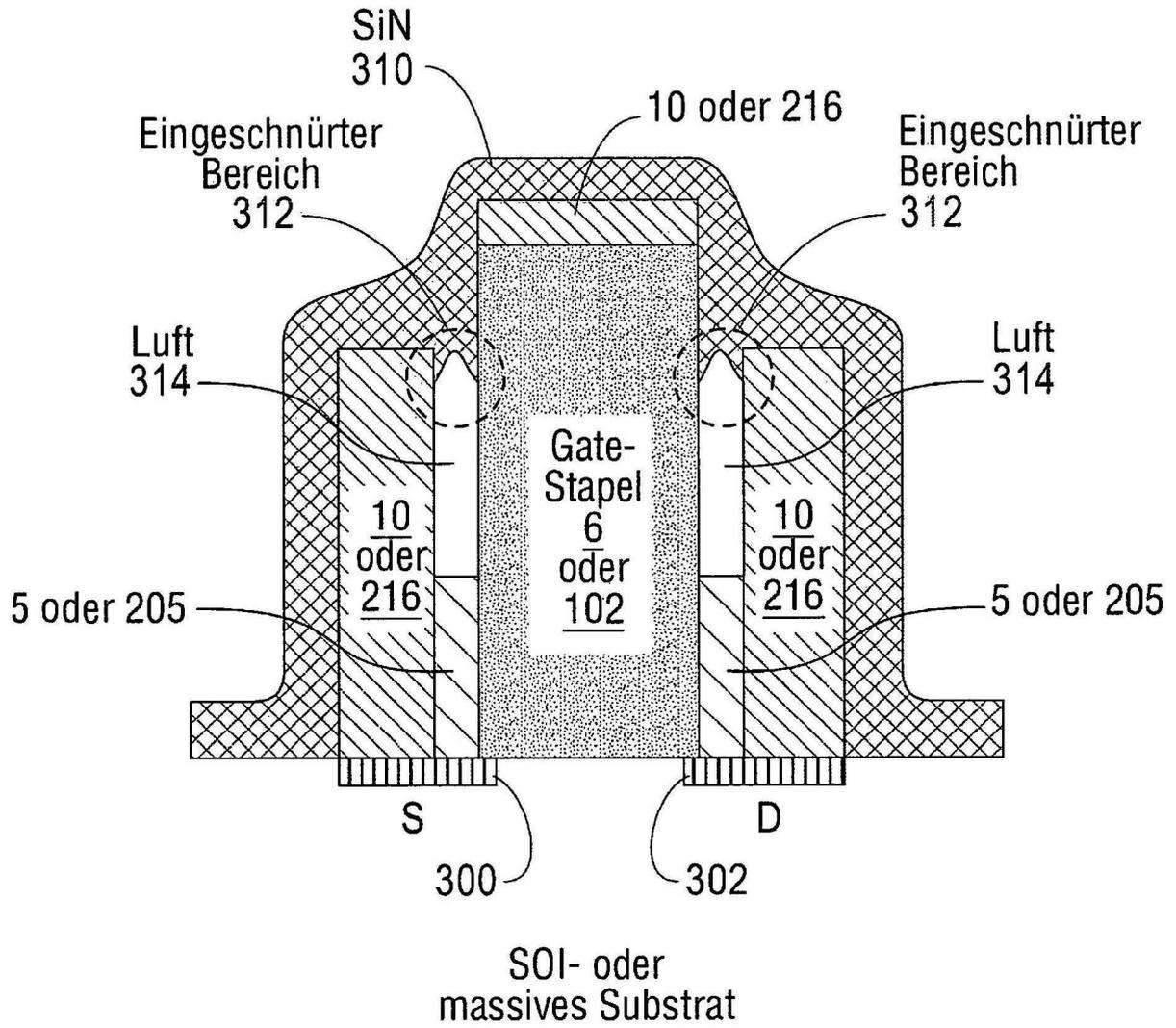


FIG. 3C