



(12) 发明专利申请

(10) 申请公布号 CN 102568420 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201110459928. 2

(22) 申请日 2011. 11. 30

(30) 优先权数据

10-2010-0136609 2010. 12. 28 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 片明真

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 李辉 张旭东

(51) Int. Cl.

G09G 3/36 (2006. 01)

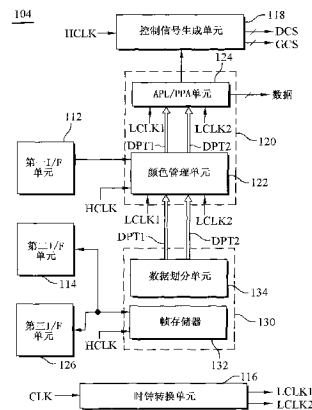
权利要求书 1 页 说明书 5 页 附图 5 页

(54) 发明名称

显示装置

(57) 摘要

本发明公开了一种减少数据传输频率,从而最小化 EMI 噪声的生成并实现高分辨率的显示装置。该显示装置包括显示图像的显示面板、驱动显示面板的选通线的选通驱动器、驱动显示面板的数据线的数据驱动器、控制选通驱动器和数据驱动器并安排显示数据且将安排后的显示数据提供到数据驱动器的时序控制器以及 N 个数据端口,这些数据端口用于在与 N 个低速时钟信号同步的同时传输显示数据,其中, N 为大于 1 的自然数, N 个低速时钟信号具有比时序控制器中传输显示数据所需的时钟信号低的频率。



1. 一种显示装置,该显示装置包括:
显示面板,用于显示图像;
选通驱动器,用于驱动所述显示面板的选通线;
数据驱动器,用于驱动所述显示面板的数据线;
时序控制器,用于控制所述选通驱动器和所述数据驱动器,并安排显示数据且将安排后的显示数据提供到所述数据驱动器;以及
N个数据端口,用于在与N个低速时钟信号同步的同时传输所述显示数据,其中,N是大于1的自然数,所述N个低速时钟信号具有比所述时序控制器中传输所述显示数据所需的时钟信号低的频率。
2. 根据权利要求1的显示装置,其中,所述时序控制器包括:
时钟转换单元,用于生成具有等于传输所述显示数据所需的时钟信号的频率的一半的频率的第一低速时钟信号和第二低速时钟信号;
数据划分单元,用于将所述显示数据分为第一显示数据和第二显示数据;
颜色管理单元,用于基于颜色管理数据转换所述第一显示数据和所述第二显示数据;
以及
平均图像电平/像素处理算法单元,用于调整所述第一显示数据和所述第二显示数据的亮度分量,并且安排所述第一显示数据和所述第二显示数据且将安排后的所述第一显示数据和所述第二显示数据传输到所述数据驱动器。
3. 根据权利要求2的显示装置,其中,第一数据端口和第二数据端口分别形成在所述数据划分单元和所述颜色管理单元之间以及所述颜色管理单元和平均图像电平/像素处理算法单元之间,
所述第一数据端口在与所述第一低速时钟信号同步的同时传输所述第一显示数据,并且
所述第二数据端口在与所述第二低速时钟信号同步的同时传输所述第二显示数据。
4. 根据权利要求3的显示装置,其中,所述第一低速时钟信号具有与所述第二低速时钟信号的相位相同的相位。
5. 根据权利要求4的显示装置,其中,所述数据划分单元将所述显示数据分为包括第一到第 $m/2$ 显示数据的所述第一显示数据和包括第 $(m/2)+1$ 到第 m 显示数据的所述第二显示数据。
6. 根据权利要求4的显示装置,其中,所述数据划分单元将所述显示数据分为包括奇数显示数据的所述第一显示数据和包括偶数显示数据的所述第二显示数据。
7. 根据权利要求3的显示装置,其中,所述第一低速时钟信号具有与所述第二低速时钟信号的相位相反的相位。
8. 根据权利要求7的显示装置,其中,所述数据划分单元将所述显示数据分为包括第一到第 $m/2$ 显示数据的所述第一显示数据和包括第 $(m/2)+1$ 到第 m 显示数据的所述第二显示数据。
9. 根据权利要求8的显示装置,其中,所述数据划分单元将所述显示数据分为包括奇数显示数据的所述第一显示数据和包括偶数显示数据的所述第二显示数据。

显示装置

技术领域

[0001] 本发明涉及显示装置,并且更特别地涉及一种减少数据传输频率,从而最小化电磁干扰(EMI)和噪声的产生并实现高分辨率的显示装置。

背景技术

[0002] 一般地,液晶显示器是使用液晶显示图像的平板显示装置中的一种。液晶显示器的优点在于液晶显示器比其他显示装置更薄更轻,并且具有更低的驱动电压和功耗。为此,液晶显示器已广泛应用于整个行业的范围。

[0003] 液晶显示器要求高速传输大量的数据并显示高分辨率的图像以满足用户对高质量图像的要求。为此,液晶显示器使用高速时钟传输显示数据,导致液晶显示器的频率增加,因此产生由于EMI引起的噪声。特别地,在使用移动行业处理器接口(MIPI)来高速传输数据的移动液晶显示器中,过度产生噪声。

[0004] 而且,传输数据以在移动显示器上以60Hz实现高分辨率WVGA(宽视频图形阵列)所需的基准时钟信号必须具有25MHz(=480(水平分辨率)×864(垂直分辨率)×60Hz(帧频))的频率。然而,将数据传输到移动行业处理器接口所需的时钟额定范围是12.3MHz至20MHz。为此,使用移动行业处理器接口的移动液晶显示器具有不能够实现高分辨率WVGA的问题。

发明内容

[0005] 因此,本发明致力于提供一种显示装置,该显示装置基本上避免了由现有技术的局限和缺陷导致的一个或多个问题。

[0006] 本发明的目的在于提供一种显示装置,该显示装置减少了数据传输频率,从而最小化EMI噪声的产生并实现高分辨率。

[0007] 在随后的描述中将会部分地阐述本发明的额外的优点、目的和特征,并且部分优点、目的和特征对于已经研究过下面所述内容的本领域技术人员来说将是显而易见的,或者部分优点、目的和特征将通过本发明的实践来知晓。通过在给出的描述及其权利要求以及附图中特别地指出的结构可以实现并且获得本发明的目的和其它的优点。

[0008] 为了实现这些和其它优点并且根据本发明的目的,如在此具体化并且广泛描述的,一种显示装置包括:显示图像的显示面板;驱动显示面板的选通线的选通驱动器;驱动显示面板的数据线的数据驱动器;时序控制器,其控制选通驱动器和数据驱动器并安排显示数据且将安排后的显示数据提供给数据驱动器;和N(N是大于1的自然数)个数据端口,其在与N个低速时钟信号同步的同时传输显示数据,其中所述低速时钟信号具有比时序控制器中传输显示数据所需的时钟信号低的频率。

[0009] 具体地,时序控制器可以包括:生成第一低速时钟信号和第二低速时钟信号的时钟转换单元,其中第一低速时钟信号和第二低速时钟信号具有等于传输显示数据所需的时钟信号的频率的一半的频率;将显示数据分为第一显示数据和第二显示数据的数据划分单

元；基于颜色管理数据转换第一显示数据和第二显示数据的颜色管理单元；以及平均图像电平/像素处理算法单元，其调整第一显示数据和第二显示数据的亮度分量，并且安排第一显示数据和第二显示数据且将安排后的第一显示数据和第二显示数据传输到数据驱动器。

[0010] 另外，第一数据端口和第二数据端口可以分别形成在数据划分单元和颜色管理单元之间以及颜色管理单元和平均图像电平/像素处理算法单元之间，第一数据端口可以在与第一低速时钟信号同步的同时传输第一显示数据，并且第二数据端口可以在与第二低速时钟信号同步的同时传输第二显示数据。

[0011] 第一低速时钟信号可以具有与第二低速时钟信号相同的或相反的相位。

[0012] 另外，数据划分单元可以将显示数据分为包括第一至第 $m/2$ 显示数据的第一显示数据和包括第 $(m/2)+1$ 至第 m 显示数据的第二显示数据。替代地，数据划分单元可以将显示数据分为包括奇数显示数据的第一显示数据和包括偶数显示数据的第二显示数据。

[0013] 将理解的是，本发明的前述一般性描述和下面的详细描述是示例性和说明性的，并且意在提供对要求保护的本发明的进一步说明。

附图说明

[0014] 附图被包括进来以提供本发明的进一步理解，并且被并入本申请且构成本申请的一部分，示出了本发明的实施方式，并且与说明书一起用于说明本发明的原理。在附图中：

[0015] 图 1 是示出根据本发明的液晶显示装置的框图；

[0016] 图 2 是详细示出图 1 中所示的时序控制器的框图；

[0017] 图 3A 和 3B 是示出通过图 2 中所示的第一数据端口和第二数据端口提供的第一显示数据和第二显示数据的实施例的图；

[0018] 图 4A 和 4B 是示出通过图 2 中所示的第一数据端口和第二数据端口提供的第一显示数据和第二显示数据的另一实施例的图；以及

[0019] 图 5 是详细示出图 2 中所示的平均图像电平 (APL)/ 像素处理算法 (PPA) 单元的图。

具体实施方式

[0020] 现在详细参考本发明的优选实施方式，在附图中示出其示例。尽可能地，在附图中将使用相同的附图标记表示相同或类似的部分。

[0021] 图 1 是示出根据本发明的使用移动行业处理器接口 (MIPI) 的移动液晶显示装置的框图。

[0022] 图 1 中所示的液晶显示装置包括显示图像的液晶面板 102、驱动液晶面板 102 的选通驱动器 108 和数据驱动器 106 以及控制选通驱动器 108 和数据驱动器 106 的时序控制器 104。

[0023] 液晶面板 102 包括液晶盒 C1c 和连接到选通线 GL1 至 GLn 和数据线 DL1 至 DLm 以驱动各液晶盒 C1c 的薄膜晶体管 TFT。液晶面板 102 的薄膜晶体管 TFT 通过来自选通线 GL 的选通导通电压来导通。结果，数据线 DL 的数据信号被提供给液晶盒 C1c，并且相当于公共电压 V_{com} 与数据信号之间的差的电压被施加到液晶盒 C1c。而且，薄膜晶体管 TFT 通过选

通截止电压来截止。结果,保持施加到液晶盒 Clc 的电压。液晶盒 Clc 基于施加的电压驱动液晶以调整光透射率,从而在液晶面板 102 上显示图像。

[0024] 选通驱动器 108 响应于来自时序控制器 104 的选通控制信号 GCS 将选通导通电压顺序地提供到选通线 GL。另外,在没有提供选通导通电压的时段,选通驱动器 108 将选通截止电压提供到选通线 GL。

[0025] 数据驱动器 106 使用来自时序控制器 104 的数据控制信号 DCS 以及伽马电压将数字数据信号转换成模拟电压,并将转换后的模拟电压提供到数据线 DL。

[0026] 时序控制器 104 使用通过主机(未示出)输入的多个同步信号生成选通控制信号 GCS 和数据控制信号 DCS,并将生成的信号提供给选通驱动器 108 和数据驱动器 106。而且,时序控制器 104 安排从主机输入的显示数据并将安排后的显示数据提供给数据驱动器 106。

[0027] 如图 2 中所示,时序控制器 104 包括第一至第三接口单元 112、114 和 126、第一和第二数据处理单元 120 和 130、控制信号生成单元 118 以及时钟转换单元 116。

[0028] 时钟转换单元 116 使用时钟信号 CLK 生成具有比传输数据所需的基准时钟信号 CLK 低的速度的第一和第二低速时钟信号 LCLK1 和 LCLK2。例如,由于传输数据所需的基准时钟信号 CLK 具有 25MHz 的频率以在移动显示器上以 60Hz 实现高分辨率 WVGA(宽视频图形阵列),因此第一和第二低速时钟信号 LCLK1 和 LCLK2 具有 12.5MHz 的频率。

[0029] 时钟转换单元 116 包括生成第一和第二低速时钟信号 LCLK1 和 LCLK2 的锁相环(PLL)电路。锁相环电路锁定输入信号的相位以生成固定时钟频率。锁相环电路包括相位检测器、低通滤波器、误差放大器和电压控制振荡器。锁相环电路检测输入信号和输出信号之间的相位差,对检测到的相位差信号的高频分量进行滤波以计算等于相位差的直流电压,并将该直流电压施加到电压控制振荡器的输入端,从而自动地调整电压控制振荡器的输出频率以补偿偏移相位。

[0030] 如上所述,锁相环电路用于正确地改变时钟的频率。因此,包括锁相环电路的时钟转换单元 116 生成具有等于基准时钟信号 CLK 的频率的一半的频率的第一和第二低速时钟信号 LCLK1 和 LCLK2。

[0031] 第一接口单元 112 是用于从主机接收命令数据的显示像素接口 DPI,所述命令数据包括用于显示这样的显示数据的时序同步信号,例如并行数据位 DB、数据使能 DE、垂直同步信号 VSYNC、水平同步信号 HSYNC 和点时钟信号 DCLK。

[0032] 在与高速时钟信号 HCLK 同步的同时,提供到第一接口单元 112 的命令数据通过端口提供到颜色管理单元 122,其中所述高速时钟信号 HCLK 具有低于传输数据所需的基准时钟信号 CLK 的频率并高于第一和第二低速时钟信号 LCLK1 和 LCLK2 的频率的频率。例如,高速时钟信号 HCLK 具有 17MHz 的频率以在低功耗模式中实现时序控制器 104。

[0033] 第二接口单元 114 是用于从主机接收命令数据的显示总线接口,所述命令数据包括与显示这样的显示数据的模式相关的同步信号,例如并行数据位 DB、芯片选择信号、寄存器选择信号、读取信号 RD 和写入信号 WR。而且,第二接口单元 114 将命令数据传输到帧存储器 132,并从帧存储器 132 接收传输状态或命令数据信息。在与高速时钟信号 HCLK 同步的同时,提供到第二接口单元 114 的命令数据通过端口被提供到第一数据处理单元 130 中的帧存储器 132。

[0034] 第三接口单元 126 是显示串行接口,其以串行模式从主机接收显示数据并将接收的显示数据发送到帧存储器 132。而且,第三接口单元 126 从帧存储器 132 接收传输状态或显示数据信息。

[0035] 第一数据处理单元 130 存储来自第三接口单元 126 的显示数据,将显示数据分为第一和第二显示数据,并将第一和第二显示数据提供到第二数据处理单元 120。第一数据处理单元 130 包括帧存储器 132 和数据划分单元 134。

[0036] 帧存储器 132 缓冲每帧的来自第三接口单元 126 的显示数据并将缓冲后的显示数据提供到数据划分单元 134。

[0037] 如图 3A 或 3B 中所示,数据划分单元 134 将来自帧存储器 132 的显示数据分为第一和第二显示数据,并将第一和第二显示数据提供到第二数据处理单元 120。

[0038] 具体地,数据划分单元 134 将 m 个显示数据分为包括第一至第 $m/2$ 显示数据的第一显示数据和包括第 $(m/2)+1$ 到第 m 显示数据的第二显示数据。如图 3A 或 3B 中所示,在与来自时钟转换单元 116 的第一低速时钟信号 LCLK1 的上升沿同步的同时,第一显示数据通过第一数据端口 DPT1 传输到第二数据处理单元 120。在与第二低速时钟信号 LCLK2 的上升沿同步的同时,第二显示数据通过第二数据端口 DPT2 传输到第二数据处理单元 120。此时,第二低速时钟信号 LCLK2 如图 3A 中所示地具有与第一低速时钟信号 LCLK1 的相位相同的相位,或者如图 3B 中所示地具有与第一低速时钟信号 LCLK1 的相位相反的相位。

[0039] 如上所述,数据划分单元 134 将显示数据分为包括第一到第 $m/2$ 显示数据的第一显示数据和包括第 $(m/2)+1$ 到第 m 显示数据的第二显示数据。替代地,如图 4A 和 4B 中所示,数据划分单元 134 可以将显示数据分为包括奇数显示数据的第一显示数据和包括偶数显示数据的第二显示数据。

[0040] 第二数据处理单元 120 接收来自第一接口单元 112 的命令数据。而且,第二数据处理单元 120 通过第一和第二数据总线 DPT1 和 DPT2 接收来自数据划分单元 134 的第一和第二显示数据,安排显示数据以适合于数据驱动器 106 并将安排后的显示数据提供到数据驱动器 106。第二显示数据处理单元 120 包括颜色管理单元 122 和平均图像电平 (APL)/像素处理算法 (PPA) 单元 124。

[0041] 颜色管理单元 122 通过颜色区域的映射移除通过液晶面板 102 实现的第一和第二显示数据的颜色和通过诸如扫描器或打印机的输出设备实现的颜色之间的不一致,从而实现颜色匹配。也就是说,颜色管理单元 122 基于包括在命令数据中的颜色管理数据转换通过第一和第二数据总线 DPT1 和 DPT2 输入的第一和第二显示数据。转换后的第一和第二显示数据通过第一和第二数据总线 DPT1 和 DPT2 传输到 APL/PPA 单元 124。

[0042] 具体地,如图 3A 和 3B 中所示,在与第一低速时钟信号 LCLK1 的上升沿同步的同时,第一显示数据通过第一数据端口 DPT1 传输到 APL/PPA 单元 124。在与第二低速时钟信号 LCLK2 的上升沿同步的同时,第二显示数据通过第二数据端口 DPT2 传输到 APL/PPA 单元 124。此时,第二低速时钟信号 LCLK2 如图 3A 中所示地具有与第一低速时钟信号 LCLK1 的相位相同的相位,或者如图 3B 中所示地具有与第一低速时钟信号 LCLK1 的相位相反的相位。

[0043] 如图 5 中所示,APL/PPA 单元 124 提取包括红、绿和蓝颜色数据 R1、G1 和 B1 的第一显示数据和包括红、绿和蓝颜色数据 R2、G2 和 B2 的第二显示数据中的红和蓝颜色数据 R1、R2、B1 和 B2 的平均亮度值以计算 APL。基于计算的 APL 来调制红和蓝颜色数据 R1、R2、B1

和 B2。调制后的红和蓝颜色数据 R' 和 B' 以及第一和第二显示数据的绿色数据 G1 和 G2 被混合,重安排,并传输到数据驱动器 106。

[0044] 控制信号生成单元 118 使用来自命令数据的同步信号 DE、HSYNC、VSYNC 和 DCLK 生成数据控制信号 DCS 和选通控制信号 GCS,并将生成的数据和选通控制信号分别提供到数据驱动器 106 和选通驱动器 108。

[0045] 在本发明中,如上所述,分别在数据划分单元 134 和颜色管理单元 122 之间以及在颜色管理单元 122 和 APL/PPA 单元 124 之间,在与第一低速时钟信号 LCLK1 同步的同时通过第一数据端口 DPT1 传输第一显示数据,并且在与第二低速时钟信号 LCLK2 同步的同时通过第二数据端口 DPT2 传输第二显示数据。因此,减小了显示数据和低速时钟信号的传输频率,因此,能够减少 EMI 和噪声。另外,能够以高速传输数据,从而实现高分辨率。

[0046] 另外,在本发明中,时序控制器 104 和数据驱动器 106 可以被实现为一个芯片。虽然在上面的描述中描述了液晶显示装置作为示例,但是本发明可应用于有机电致发光显示装置、等离子体显示装置或电泳显示装置。

[0047] 如从上述描述显而易见的,在根据本发明的显示装置中,显示数据被分为 N 个数据,并且时钟信号被响应于所划分的显示数据分为 N 个低速时钟信号并被提供。也就是说,在与第一低速时钟信号同步的同时通过第一数据端口传输第一显示数据,在与第二低速时钟信号同步的同时通过第二数据端口传输第二显示数据。因此,能够减小低速时钟信号和显示数据的传输频率,从而减少 EMI 和噪声。而且,能够以高速传输数据,从而实现高分辨率。

[0048] 对于本领域技术人员来说显而易见的是,在不偏离本发明的精神或范围的情况下能够在本发明中进行各种修改和变化。因此,本发明意在涵盖本发明的修改和变化,只要它们落入所附权利要求及其等同物的范围内即可。

[0049] 本申请要求 2010 年 12 月 28 日提交的韩国专利申请 No. 2010-00136609 的优先权,通过引用将其并入这里,如在此完全阐述一样。

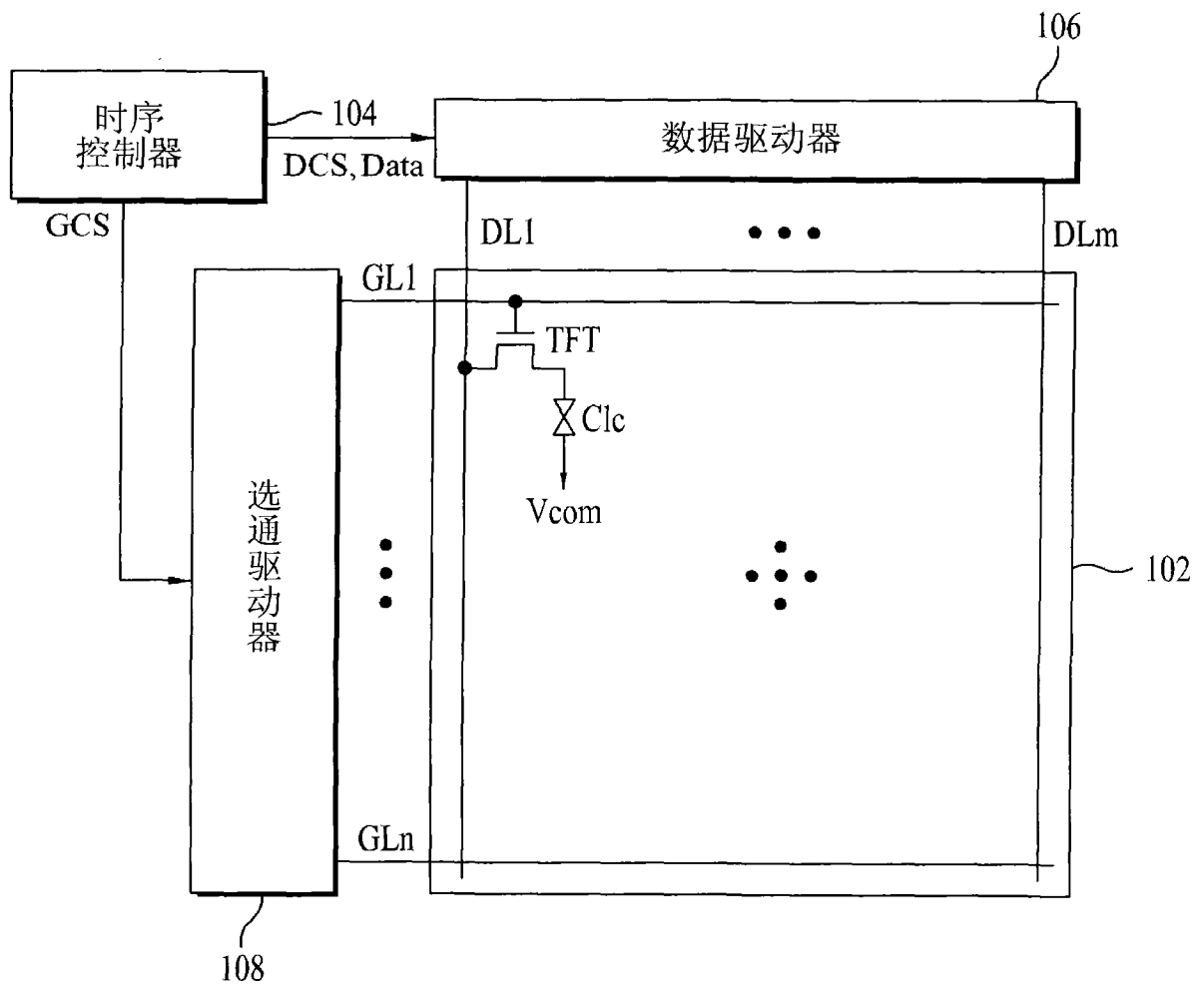


图 1

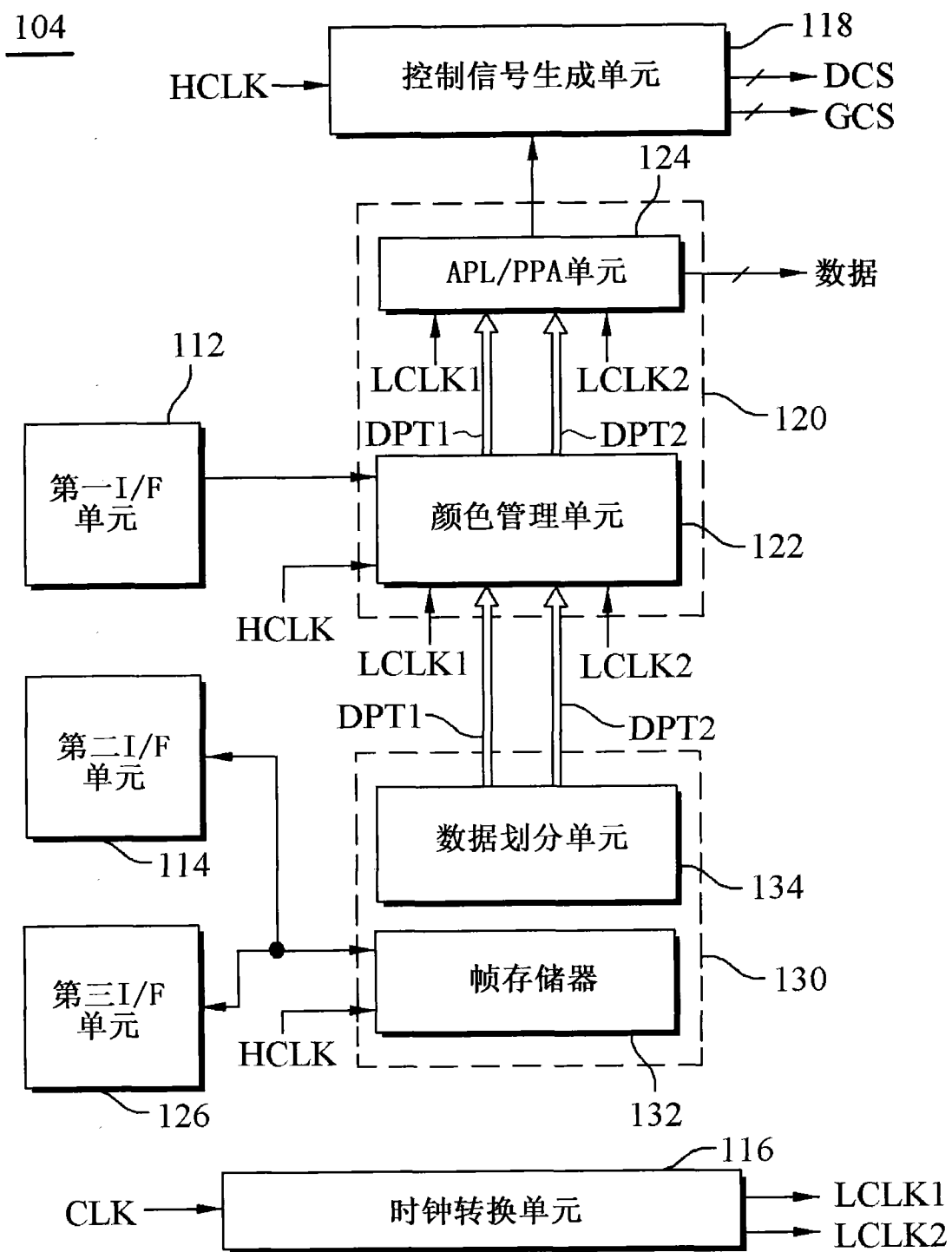


图 2

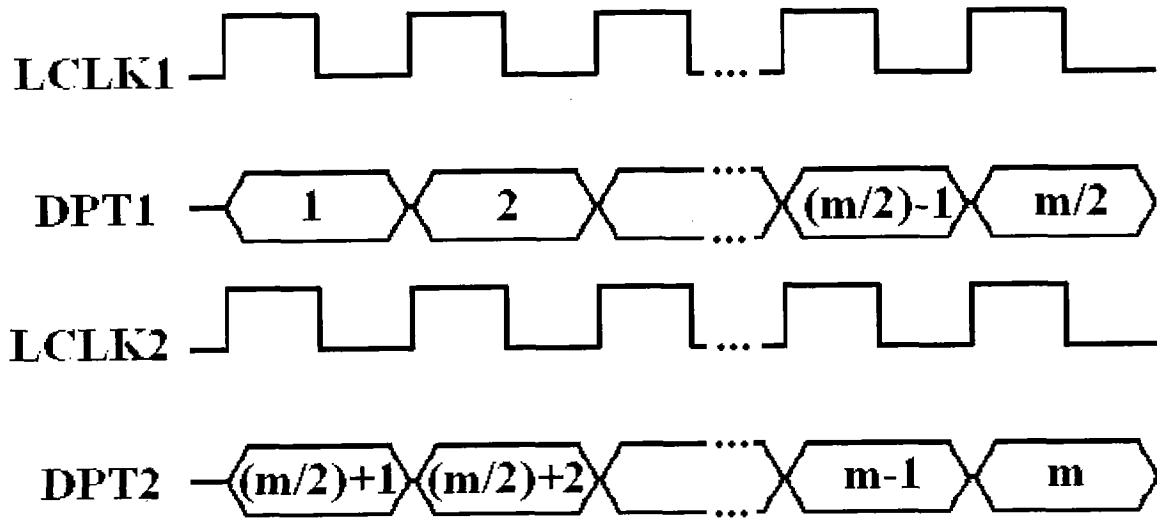


图 3A

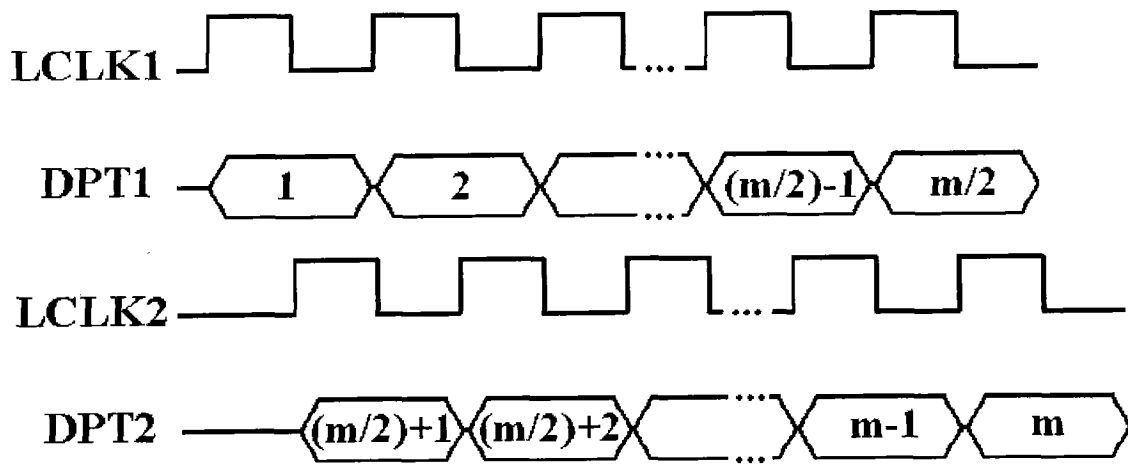


图 3B

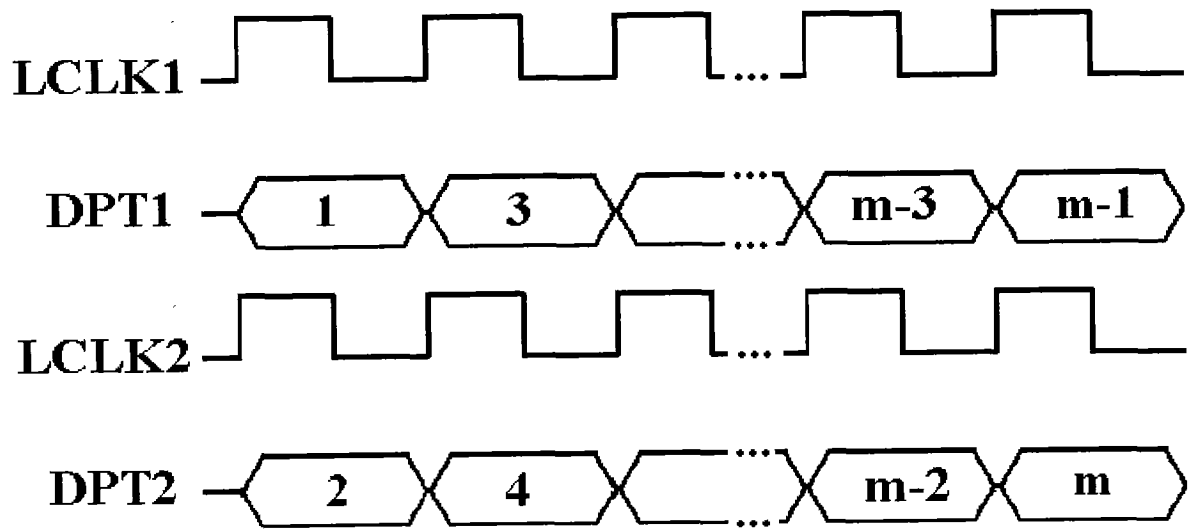


图 4A

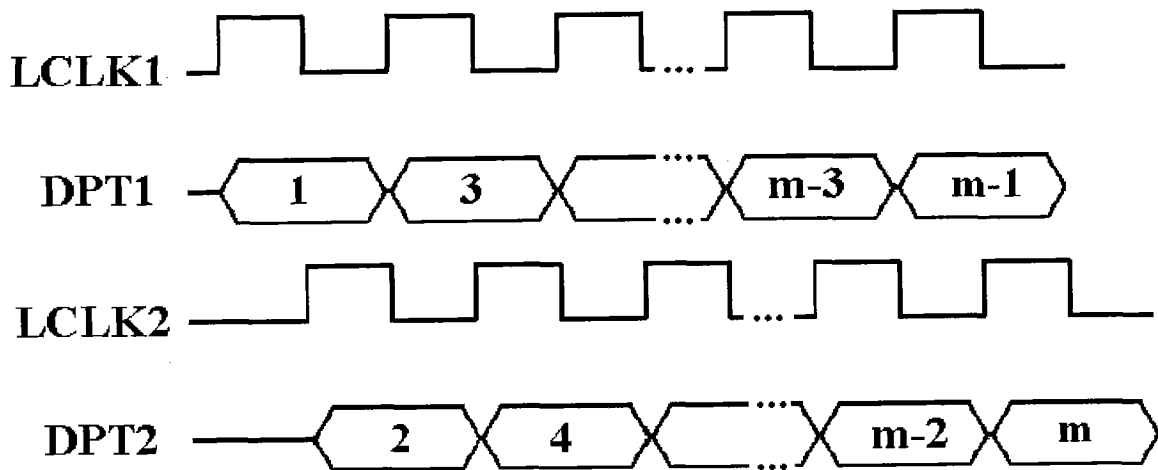


图 4B

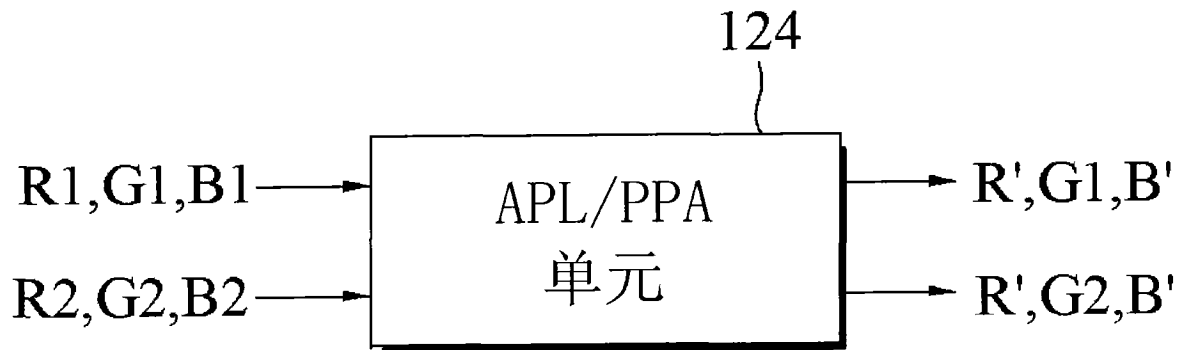


图 5