

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
5. August 2004 (05.08.2004)

PCT

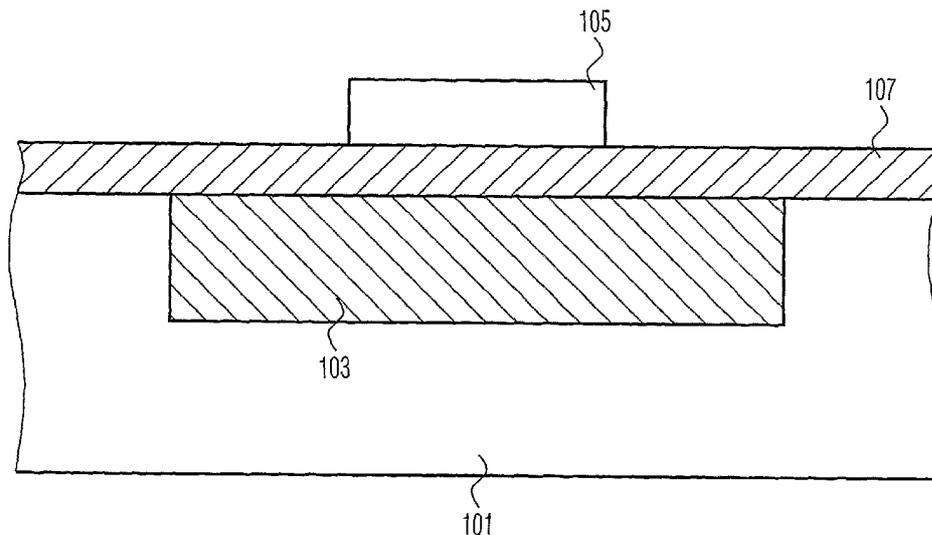
(10) Internationale Veröffentlichungsnummer  
WO 2004/066385 A2

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 23/66, 23/485
- (21) Internationales Aktenzeichen: PCT/EP2004/000521
- (22) Internationales Anmeldedatum:  
22. Januar 2004 (22.01.2004)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
103 02 623.1 23. Januar 2003 (23.01.2003) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): HERZUM, Christian [DE/DE]; Bgm.-Grenzbachstr. 21, 82343 Pöcking (DE). KRUMBEIN, Ulrich [DE/DE]; Kaltwiesstrasse 35, 83026 Rosenheim (DE). KÜHN, Christian [DE/DE]; Ligsalzstr. 16, 80339 München (DE). TADDIKEN, Hans [DE/DE]; Sandgrubenweg 144, 81737 München (DE).
- (74) Anwälte: ZINKLER, Franz usw.; Postfach 246, 82043 Pullach bei Müncehn (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR STRUCTURE HAVING A REDUCED CONNECTING CAPACITANCE AND METHOD FOR PRODUCING THE SEMICONDUCTOR STRUCTURE

(54) Bezeichnung: HALBLEITERSTRUKTUR MIT EINER REDUZIERTEN ANSCHLUSSKAPAZITÄT SOWIE EIN VERFAHREN ZUM HERSTELLEN DER HALBLEITERSTRUKTUR



(57) Abstract: A semiconductor structure comprises a substrate (101) and a connecting surface (105). Said substrate (101) has an oxide region (103) underneath the connecting surface (105), which is designed for reducing a coupling capacitance between the substrate (101) and the connecting surface (105).

[Fortsetzung auf der nächsten Seite]

WO 2004/066385 A2



PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**(84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT,

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**(57) Zusammenfassung:** Eine Halbleiterstruktur weist ein Substrat (101) und eine Anschlussoberfläche (105) auf, wobei das Substrat (101) einen Oxidbereich (103) unterhalb der Anschlussfläche (105) aufweist, der ausgebildet ist, um eine Koppelkapazität zwischen dem Substrat (101) und der Anschlussfläche (105) zu reduzieren.

## Beschreibung

Halbleiterstruktur mit einer reduzierten Anschlußkapazität  
sowie ein Verfahren zum Herstellen der Halbleiterstruktur

5

Die vorliegende Erfindung bezieht sich auf eine Halbleiter-  
struktur sowie auf ein Verfahren zum Herstellen der Halblei-  
terstruktur, wobei die Halbleiterstruktur eine reduzierte  
Kapazität zwischen einer Anschlußfläche und einem Substrat  
10 aufweist.

10

Mit einer steigenden Integrationsdichte moderner Halbleiter-  
bauelemente sowie mit einer Nutzung von immer höheren Fre-  
quenzen zur Informationsübertragung wächst die Bedeutung von  
15 Bauelementen, die innerhalb einer möglichst großen Frequenz-  
bandbreite verlustarm arbeiten, eine gewünschte Frequenzcha-  
rakteristik aufweisen sowie günstig und idealerweise mit  
Hilfe von bereits vorhandenen Technologien herstellbar sind.  
Die gewünschten Frequenzeigenschaften innerhalb einer großen  
20 Bandbreite gepaart mit niedrigen Herstellungskosten können  
nur dann erzielt werden, wenn bereits bei einer Herstellung  
der Halbleiterbauelemente parasitäre Effekte, die beispiels-  
weise durch Koppelkapazitäten oder Koppelinduktivitäten  
herbeigeführt werden, reduziert werden.

25

Weisen beispielsweise Halbleiterstrukturen Metallisierungen  
als Anschlußflächen auf, so bildet sich zwischen einem Sub-  
strat, das die Halbleiterstruktur aufweist, und der Anschluß-  
fläche stets eine unerwünschte Koppelkapazität, die einen  
30 negativen Einfluß auf die Frequenzeigenschaften der  
Halbleiterstruktur hat. Weist beispielsweise die Halbleiter-  
struktur ein Si-Substrat auf, so ist die Koppelkapazität  
zwischen der Metallisierung der Anschlußpads und dem Si-  
Substrat insbesondere bei Hochfrequenzanwendungen des Halb-  
35 leiterelements problematisch und daher unerwünscht. Insbeson-  
dere bei Leistungsbaulementen werden teilweise sehr viele  
Anschlußdrähte benötigt, so daß eine hohe Anzahl von

35

Anschlußpads vorliegen kann, wodurch die Koppelkapazitäten sehr große Werte erreichen können.

5 In der Schrift von Rikjos, „Future Developments and Technology Options in Cellular Phone Power Amplifiers: From Power Amplifier to Integrated RF Fronts- and Module“, IEEE BCTM 7.1., wird ein Verfahren zur Reduktion der Koppelkapazität vorgeschlagen, bei dem durch ein Umkleben der Scheiben auf  
10 einen Glasträger das Silizium durch Glas ersetzt wird, wodurch die Koppelkapazität reduziert sein soll. Nachteilig an dem in der genannten Schrift veröffentlichten Verfahren ist jedoch ein großer Prozeßaufwand, der hohe Herstellungskosten nach sich zieht, da die Scheiben mit Hilfe eines weiteren Verfahrens auf den Glasträger angebracht werden müssen.

15

Die Aufgabe der vorliegenden Erfindung besteht darin, eine Halbleiterstruktur mit einer effizient reduzierten Koppelkapazität sowie ein Verfahren zum Herstellen der Halbleiterstruktur zu schaffen.

20

Diese Aufgabe wird durch eine Halbleiterstruktur gemäß Anspruch 1 oder durch ein Verfahren zum Herstellen der Halbleiterstruktur gemäß Anspruch 10 gelöst.

25

Die Halbleiterstruktur weist ein Substrat sowie eine Anschlussfläche auf, wobei das Substrat einen Oxidbereich unterhalb der Anschlußfläche aufweist, um eine Koppelkapazität zwischen dem Substrat und der Anschlußfläche zu reduzieren.

30

In den üblichen Technologien zur Herstellung einer Halbleiterstruktur ist zwischen den Anschlussflächen und dem Si-Substrat eine Isolationsschicht vorhanden. Die Dicke dieser Isolationsschicht ist jedoch für einige Hochfrequenzanwendungen ungenügend. Um vorhandene Standardtechnologien für diese  
35 Anwendungen nutzen zu können ist daher eine Reduktion der Kapazität zwischen Anschlussfläche und Substrat erforderlich.

Hierzu wird in der vorliegenden Erfindung zusätzlich lokal unter der Anschlussfläche ein Graben in das Substrat geätzt und mit einem Dielektrikum aufgefüllt. Dies erfolgt ohne die restliche Struktur, wesentlich gegenüber der Standardtechnologie zu verändern. Hierdurch können vorhandene Standardtechnologien genutzt werden. Dies bewirkt eine deutliche Reduktion des Entwicklungsaufwands und der Herstellungskosten. Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß die Koppelkapazität durch einen unter der Anschlußfläche angeordneten zusätzlichen Oxidbereich reduziert werden kann.

Ein weiterer Vorteil der vorliegenden Erfindung besteht darin, daß der Oxidbereich mit Hilfe von Standardtechnologien ausgebildet werden kann, vorzugsweise mit Hilfe der LOCOS-Technologie (LOCOS; LOCOS = local oxidation of silicon), was zu einer Kostenreduktion führt, da bestehende kostengünstige Fertigung verwendet werden kann.

Ein weiterer Vorteil der vorliegenden Erfindung liegt darin, daß zu einer Reduktion der Koppelkapazität keine weiteren Substrate benötigt werden, was eine Erhöhung der Herstellungskosten verhindert.

Ein weiterer Vorteil der vorliegenden Erfindung ist darin zu sehen, daß der Oxidbereich innerhalb des bereits vorhandenen Substrats ausgebildet wird, so daß die Koppelkapazität nicht auf Kosten von Abmessungen der Halbleiterstruktur reduziert wird, so daß eine Integrationsfähigkeit der Halbleiterstruktur nicht beeinträchtigt wird.

30

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

35 Fig. 1 ein erstes Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;

- Fig. 2 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 3 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 4 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 5 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 6 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 7 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 8 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 9 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;
- Fig. 10 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung; und
- Fig. 11 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung.
- Fig. 1 zeigt ein erstes Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung. Die Halbleiterstruktur weist ein Substrat 101 auf, das beispielsweise aus Silizium besteht. Auf dem Substrat befindet sich eine Isolationsschicht 107. Das Substrat 101 umfaßt einen Oxidbereich 103. Auf der Isolationsschicht 107, oberhalb des Oxidbereich 103 ist eine Anschlußfläche 105, die beispielsweise eine

Metallisierungsschicht ist, ausgebildet. Die räumliche Ausdehnung der Anschlußfläche 105 ist dabei geringer als jene des Oxidbereichs, so daß gemäß dem in Fig. 1 dargestellten Ausführungsbeispiel der unterhalb der Anschlußfläche 105 ausgebildete Oxidbereich 103 die Anschlußfläche 105 von dem Substrat 101 stärker entkoppelt, als dies nur mit der Isolationsschicht 107 der Fall ist.

Im folgenden werden die Eigenschaften des in Fig. 1 dargestellten Ausführungsbeispiels erläutert.

Zur Reduktion der wirkenden Koppelkapazität, die mit der Anschlußfläche 105 (Pad), der Isolationsschicht 107 und dem Substrat 101 gebildet wird, wird zusätzlich der Oxidbereich 103, unterhalb der Anschlußfläche ausgebildet. In einer ersten Näherung kann zum Beschreiben der Koppelkapazität ein Modell eines Plattenkondensators herangezogen werden, bei dem die Koppelkapazität mit einer wachsenden Dicke des Oxidbereichs und/oder mit einer geringer werdenden Dielektrizitätskonstanten des Oxidbereichs 103 sinkt. Um die Koppelkapazität zu reduzieren, kann der Oxidbereich 103 bevorzugt derart ausgebildet werden, daß ein Quotient aus der Dicke des Oxidbereichs 103 und dessen Dielektrizitätskonstanten möglichst groß wird, was insbesondere dann vorteilhaft ist, wenn die Anschlußfläche prozeßbedingt oder wegen der notwendigen elektrischen Eigenschaften der Halbleiterstruktur nicht beliebig klein gemacht werden kann.

Zum Herstellen der in Fig. 1 gezeigten Halbleiterstruktur wird zunächst das Substrat 101 bereitgestellt. In einem nächsten Schritt wird in dem Substrat der Oxidbereich 103 ausgebildet und es wird in weiteren Schritten die Isolationsschicht 107 und die Anschlußfläche 105 ausgebildet. Der Oxidbereich kann mit Hilfe der bereits erwähnten LOCOS-Technologie, bei der  $\text{SiO}_2$ -Schichten erzeugt werden, realisiert werden. Es kann jedoch auch erst die Isolationsschicht

107 aufgebracht werden und dann der Oxidbereich 103 ausgebildet werden.

Fig. 2 zeigt ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung.

Ein in dem Substrat 101 ausgebildeter Oxidbereich 200 weist einen Graben 201 auf, der mit Oxid gefüllt ist (Oxid-Graben). Darüber hinaus weist der Oxidbereich 200 eine erste Oxidschicht 203 auf, die von einer an den mit Oxid gefüllten Graben 201 angrenzt, sowie eine zweite Oxidschicht 205 auf, die von der anderen Seite an den Oxid-Graben 201 angrenzt. Dabei weisen sowohl die erste Oxidschicht 203 als auch die zweite Oxidschicht 205 eine Dicke auf, die geringer ist als eine Dicke des Oxidgrabens 201. Auf dem Oxidgraben 201 ist die Anschlußfläche 105 angeordnet. Dabei ist eine räumliche Ausdehnung der Anschlußfläche 105 geringer als jene des Oxidgrabens 201. Auf dem Substrat 101 sowie auf der ersten Oxidschicht 203 und auf der zweiten Oxidschicht 205 ist eine Isolationsschicht 207 angeordnet, wobei Teile der Isolationsschicht 207 jeweils von der einen und von der anderen Seite an den Oxidgraben 201 angrenzen. Die Isolationsschicht 207 sowie der Oxidgraben 201 sind ferner derart angeordnet, daß sie, wie es in dem in Fig. 2 dargestellten Ausführungsbeispiel gezeigt ist, eine gemeinsame obere Oberfläche bilden. An dieser Stelle sei jedoch angemerkt, daß die Isolationsschicht 207 auch teilweise den Oxidgraben 201 bedecken kann, ohne jedoch die Anschlußfläche 105 abzudecken.

Zum Herstellen der in Fig. 2 dargestellten Halbleiterstruktur wird zunächst das Substrat 101 bereitgestellt, das beispielsweise ein Si-Substrat sein kann. In einem weiteren Schritt wird beispielsweise mit Hilfe des bereits erwähnten LOCOS-Verfahrens ein Substratbereich oxidiert, wobei die erste Oxidschicht 203 und die zweite Oxidschicht 205 ausgebildet werden. Nach diesem Schritt können die erste Oxidschicht 203 und die zweite Oxidschicht 205 miteinander verbunden sein, da

sie in einem Oxidationsprozeß erzeugt werden können. Bei der ersten Oxidschicht 203 tritt am Übergang zum nicht oxidierten Silizium der sogenannte LOCOS-Schnabel auf, der stets auftritt, wenn zum Oxidieren die LOCOS-Technologie eingesetzt wird. In einem weiteren Schritt wird die Isolationsschicht 5 207 auf einer so entstandenen Oberfläche ausgebildet. In einem weiteren Schritt wird der Graben 201 durch einen Bereich der Isolationsschicht 207 in das Substrat 101 hineingeätzt und beispielsweise mit einem Plasmaoxid gefüllt. Um eine planare Grabenoberfläche zu erreichen, wird in einem weiteren 10 Verfahrensschritt der Oxidgraben 201 zurückgeätzt und/oder geschliffen. Danach wird auf dem Oxidgraben 201 die Anschlußfläche 105 (Padmetall) abgeschieden und strukturiert, so daß sie oberhalb des mit Oxid gefüllten Grabens 201 ausgebildet 15 wird.

Fig. 3 zeigt ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung.

20 Im Unterschied zu dem in Fig. 2 dargestellten Ausführungsbeispiel ist auf der Isolationsschicht 207 sowie auf dem Oxidgraben 201 eine Passivierung 301 angeordnet und derart strukturiert, daß die Anschlußfläche 105 entweder gar nicht oder nur teilweise bedeckt ist.

25 Die Passivierung 301 dient zum Schutz der Halbleiterstruktur vor einer Kontamination. Bei der Passivierung 301 kann es sich beispielsweise um eine Nitridschicht handeln, die nach dem Abscheiden der Anschlußfläche 105 abgeschieden und derart 30 strukturiert wird, daß ein Bereich der Anschlußfläche 105 (Padmetall) zugänglich ist.

In Fig. 4 ist ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung dargestellt.

35 Im Unterschied zu dem in Fig. 3 dargestellten Ausführungsbeispiel weist die in Fig. 4 dargestellte Halbleiterstruktur

eine Oxidschicht 401 auf, die in einem Graben 403 herum mit Ausnahme dessen oberen Oberfläche angeordnet ist. Dabei umfaßt die Oxidschicht 401 sowohl die erste Oxidschicht 203 als auch die zweite Oxidschicht 205, die sich jeweils seitlich in einem oberen Bereich der Oxidschicht 401 erstrecken. Der verbleibende Rest des Grabens 403 ist beispielsweise mit Plasmaoxid gefüllt, so dass der Graben vollständig mit isolierendem Material gefüllt ist. Dabei bilden die erste und zweite Oxidschicht (203, 205) sowie das Oxid im Graben 403 einen Oxidbereich 405.

Zum Herstellen der in Fig. 4 dargestellten Halbleiterstruktur wird zunächst das Substrat 101 bereitgestellt, das beispielsweise ein Siliziumsubstrat ist. In einem weiteren Verfahrensschritt wird in das Substrat 101 der Graben 403 geätzt. Mit Hilfe der LOCOS-Technologie kann dann die Oxidschicht 401 ausgebildet werden. Dabei entstehen, wie es bereits im Zusammenhang mit dem in Fig. 3 dargestellten Ausführungsbeispiel diskutiert worden ist, der LOCOS-Schnabel 203 sowie die Oxidschicht 205. Da der Graben 403 vor einer Feldoxidation geätzt wird, entsteht an dessen Wänden die Oxidschicht 401 (Feldoxid). In einem weiteren Verfahrensschritt wird der Graben 403 mit Oxid gefüllt, wobei beispielsweise Plasmaoxid eingesetzt wird, zurückgeätzt und/oder geschliffen. Nach dieser Planarisierung bedeckt das Plasmaoxid ebenfalls das zuvor freie Silizium neben dem LOCOS-Schnabel. Diese Bedeckung kann entfernt werden. Hierbei wird der Oxidgraben und die angrenzenden Oxidschichten 203 und 205 mit Fotolack abgedeckt und die Plasmaoxidschicht auf dem freiliegendem Bereich entfernt. Hierdurch wird sichergestellt, dass im aktiven Siliziumbereich keine wesentlichen Änderungen gegenüber der Standardtechnologie erfolgen. In einem weiteren Verfahrensschritt wird auf eine freiliegende Oberfläche des Substrats 101, der Oxidschicht 401 sowie der freiliegenden Grabenoberfläche die Isolationsschicht 207 angebracht. Nach einem optionalen weiteren Verfahrensschritt, in dem ferner eine Oberfläche der Isolationsschicht 207 zurückgeätzt

und/oder geschliffen wird, wird die Anschlußoberfläche oberhalb des Oxidgrabens 403 angeordnet. Dabei ist zwischen der Anschlußfläche 105 und dem Oxidgraben 403 die Isolationsschicht 207 angeordnet, wenn sie vorher nicht bis zum Oxidgrabenbereich zurückgeätzt worden ist.

Da gemäß dem in Fig. 4 dargestellten Ausführungsbeispiel der Schritt des Oxidierens des Substratbereichs nach dem Schritt des Ätzens des Grabens ausgeführt wird, kann die Oxidschicht 401 an den Wänden des Grabens 403 mit Hilfe der LOCOS-Technologie derart ausgebildet werden, daß deren räumliche Ausdehnung größer als diejenige der Anschlußfläche 105 ist.

In Fig. 5 ist ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung dargestellt.

Im Unterschied zu dem in Fig. 4 dargestellten Ausführungsbeispiel weist die in Fig. 5 dargestellte Halbleiterstruktur einen weiteren Oxidbereich 501 auf, der zwischen einer Isolationsschicht 503, die den weiteren Oxidbereich 501, den Oxidgraben 403, die Oxidschicht 401 sowie die erste und zweite Oxidschicht (203, 205) bedeckt, und dem Substrat 101 derart angeordnet ist, daß die Isolationsschicht 503 mit dem Substrat 101 nicht in Berührung ist. Darüber hinaus weist die in Fig. 5 dargestellte Halbleiterstruktur die Passivierungsschicht 301 auf, wie sie bereits im Zusammenhang mit dem in Fig. 3 dargestellten Ausführungsbeispiel diskutiert worden ist.

Zum Herstellen der in Fig. 5 dargestellten Halbleiterstruktur wird zunächst das Substrat 101 bereitgestellt und es wird in einem weiteren Verfahrensschritt der Graben 403 geätzt, dann wird die Schicht 401 erzeugt, dann der verbleibende Graben gefüllt. Alle diese Isolationsschichten gemeinsam bilden den Oxidbereich 405. Der Bereich 403 ist daher der gesamte Graben im Silizium. Nach dem Ausbilden der Oxidschicht 401 (Feldoxid) wird daher sowohl der verbleibende Bereich des Grabens

403 als auch der weitere Oxidbereich 501 mit Oxid, beispielsweise dem bereits erwähnten Plasmaoxid, gefüllt. In einem weiteren Verfahrensschritt werden der weitere Oxidbereich 501, sowie das Plasmaoxid im Graben 403 zurückgeätzt und/oder geschliffen, so daß sich eine planare Oberfläche ausbildet. In einem weiteren Verfahrensschritt wird auf die so entstandene obere Oberfläche die Isolationsschicht 503 beispielsweise durch ein Abscheiden eines Dielektrikums angeordnet. Alle weiteren Prozeßschritte werden wie ein normaler Prozeß durchgeführt, wie er bereits im Zusammenhang mit dem in Fig. 3 dargestellten Ausführungsbeispiel bereits beschrieben worden ist.

Dadurch, daß sowohl der Graben 403 als auch der weitere Oxidbereich 501 mit Oxid gefüllt werden, kann der Prozeßschritt, in dem das Oxid ausgebildet wird, vereinfacht werden, da nicht nur der Graben 403 mit Oxid gefüllt wird, sondern auch alle übrigen freiliegenden Oberflächen, was zu einer weiteren Vereinfachung des Herstellungsprozesses führt. Um eine planare Oberfläche zu erreichen, kann ferner beispielsweise das CMP-Verfahren auf die gesamte so entstandene Oberfläche zum Schleifen eingesetzt werden, so daß eine punktuelle Oberflächenbearbeitung vermieden wird, was zu einer weiteren Prozeßkostensenkung führt.

Fig. 6 zeigt ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung.

Im Unterschied zu dem in Fig. 4 dargestellten Ausführungsbeispiel weist die in Fig. 6 dargestellte Halbleiterstruktur einen Oxidgraben 600 auf, der beispielsweise mit Feldoxid gefüllt ist und der seitlich in den ersten und zweiten Oxidbereich (203, 205) übergeht. Der Oxidgraben 600 weist ferner eine erste Grenze 603 sowie eine zweite Grenze 605 auf, die sich jeweils voneinander beabstandet von einer oberen Oberfläche des Oxidgrabens 600 und in denselben hinein erstrecken, auf. Bei der ersten und der zweiten Grenze handelt es

sich um Bereiche, an denen das Feldoxid, das den Oxidgraben füllt, jeweils von links und von rechts zusammengewachsen ist. Der Oxidgraben 600 weist ferner einen Substratsteg 601 auf, der ein Teil des Substrats 101 ist. Dabei ragt der  
5 Substratsteg 601 von unten her in den Graben 600 hinein, ohne daß er mit der darüberliegenden Isolationsschicht 207 in Kontakt ist. Der Graben 600 ist in dem in Fig. 6 dargestellten Ausführungsbeispiel, wie bereits erwähnt, mit Feldoxid gefüllt, wobei die erste Oxidschicht 203 und die zweite  
10 Oxidschicht 205 Teile des Feldoxids sind. Der Oxidgraben sowie die erste und die zweite Oxidschicht (203, 205) bilden dabei einen Oxidbereich 607.

Zum Herstellen der in Fig. 6 dargestellten Halbleiterstruktur wird in das bereitgestellte Substrat 101 der Graben 600  
15 derart geätzt, daß der Substratsteg 601 ausgebildet wird. In einem weiteren Verfahrensschritt wird beispielsweise mit Hilfe der LOCOS-Technologie der Graben 600 durch eine Feldoxidation gefüllt, wobei bei einer geeigneten Wahl einer  
20 Breite des Stegs 601 auch eine vollständige Durchoxidation des Stegs 601 erreicht werden kann. Dabei kennzeichnen die in Fig. 6 dargestellten Grenzen 603 und 605 die jeweiligen Bereiche, an denen das Feldoxid jeweils von links und von rechts zusammengewachsen ist. In einem weiteren Verfahrensschritt wird die Isolationsschicht 207 aufgebracht. Nach  
25 einer Polierung der Isolationsschicht 207, die beispielsweise mit Hilfe des bereits erwähnten CMP-Verfahrens durchgeführt werden kann, wird die Anschlußfläche 105 ausgebildet, indem beispielsweise eine Metallisierungsschicht auf die Isolationsschicht 207 aufgebracht wird. Dabei wird die Anschlußfläche  
30 105 oberhalb des Oxidbereichs 607 ausgebildet.

In Fig. 7 ist ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung dargestellt.  
35

Im Unterschied zu dem in Fig. 6 dargestellten Ausführungsbeispiel weist die in Fig. 7 gezeigte Halbleiterstruktur die

Passivierung 301, wie sie bereits im Zusammenhang mit den in Fig. 3 und in Fig. 5 gezeigten Ausführungsbeispielen diskutiert worden ist.

5 Zum Herstellen der in Figuren 6 und 7 dargestellten Halbleiterstruktur wird der Graben 600 mit Hilfe der LOCOS-Technologie mit einer Oxidschicht zumindest teilweise gefüllt. Dabei entstehen die LOCOS-Schnäbel, d.h. die erste Oxidschicht 203 und die zweite Oxidschicht 205.

10

In Fig. 8 ist ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung dargestellt.

15 Im Unterschied zu dem in Fig. 6 dargestellten Ausführungsbeispiel weist die in Fig. 8 dargestellte Halbleiterstruktur einen Oxidgraben 800 auf, der beispielsweise mit Feldoxid gefüllt ist, und an den seitlich jeweils der erste und der zweite Oxidbereich (203, 205) angrenzen. Der Oxidgraben 600 weist neben dem bereits diskutierten Substratsteg 601 einen  
20 ersten Isolationssteg 801 sowie einen zweiten Isolationssteg 803 auf. Sowohl der erste Isolationssteg 801 als auch der zweite Isolationssteg 803 sind mit einem Isoliermaterial der Isolationschicht 207 gefüllt und ragen von oben her in den mit Oxid gefüllten Graben 600 hinein. In dem in Fig. 8 darge-  
25 stellten Ausführungsbeispiel ist der erste Isolationssteg 801 links von dem Substratsteg 601 angeordnet. Der zweite Isolationssteg 803 ist dagegen rechts neben dem Substratsteg 601 angeordnet. Der Graben 800 sowie die erste und die zweite Oxidschicht (203, 205) bilden dabei einen Oxidbereich 805.

30

Zum Herstellen der in Fig. 8 dargestellten Halbleiterstruktur wird zunächst das Substrat 101 bereitgestellt, das Siliziumsubstrat sein kann. In einem weiteren Verfahrensschritt wird der Graben 800 geätzt und beispielsweise mit Hilfe der LOCOS-  
35 Technologie mit Feldoxid gefüllt. Dabei füllt die Feldoxidation den Graben 800 nicht vollständig. Die restliche Auffüllung von Ausnehmungen für die Isolationsstege 801 und 803

erfolgt anschließend durch ein Abscheiden des dielektrischen Materials (Dielektrikum). Alle weiteren Prozeßschritte werden wie der Prozeß durchgeführt, wie er bereits im Zusammenhang mit dem in Fig. 6 dargestellten Ausführungsbeispiel diskutiert worden sind.

Das Ausbilden der Isolationsstege 801 und 803 ist besonders vorteilhaft, da keine speziellen Prozeßschritte zum Füllen des Grabens 800 mit Oxid erforderlich sind. Der Vorteil gegenüber der Herstellung nach Fig.6 liegt in der Verwendung der ohnehin abgeschiedenen Isolationsschichten 207 zum Auffüllen des Grabens. Darüber hinaus ist es denkbar, die jeweiligen Stege vollständig durchzuoxidieren, so daß der Oxidgraben 800 vollständig mit Oxid gefüllt ist. Dies ist insbesondere dann von Vorteil, da beispielsweise die Silizium-Stege, wie sie beispielsweise in Form des Substratstegs 601 in dem in Fig. 8 dargestellten Ausführungsbeispiel angedeutet sind, die Koppelkapazität zwischen der Anschlußfläche 105 und dem Substrat 101 vergrößern können.

In Fig. 9 ist ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung dargestellt.

Im Unterschied zu dem in Fig. 8 dargestellten Ausführungsbeispiel weist die in Fig. 9 gezeigte Halbleiterstruktur eine Passivierung 301 auf, wie sie bereits beispielsweise im Zusammenhang mit dem in Fig. 3 dargestellten Ausführungsbeispiel diskutiert worden ist.

Fig. 10 zeigt ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung.

Im Unterschied zu dem in Fig. 2 dargestellten Ausführungsbeispiel weist ein mit Oxid gefüllter Graben 1011 den Substratsteg 601 auf, wie er bereits im Zusammenhang mit dem in Fig. 6 dargestellten Ausführungsbeispiel diskutiert worden ist. Der mit Oxid gefüllte Graben 1011 sowie die erste und die

zweite Oxidschicht bilden dabei einen Oxidbereich 1013. Der mit Oxid gefüllte Graben 1011 weist ferner eine weitere erste Grenze 1015 sowie eine weitere zweite Grenze 1017 auf, die jeweils Bereiche markieren, an denen das Oxid zusammengewachsen ist, wie es bereits im Zusammenhang mit dem in Fig. 6  
5 dargestellten Ausführungsbeispiel diskutiert worden ist.

In Fig. 11 ist ein weiteres Ausführungsbeispiel der Halbleiterstruktur gemäß der vorliegenden Erfindung dargestellt.

10

Im Unterschied zu dem in Fig. 10 dargestellten Ausführungsbeispiel weist die in Fig. 11 gezeigte Halbleiterstruktur den weiteren Oxidbereich 501, wie er bereits im Zusammenhang mit der beispielsweise in Fig. 5 dargestellten Halbleiterstruktur bereits diskutiert worden ist. Darüber hinaus weist die in  
15 Fig. 11 dargestellte Halbleiterstruktur die Passivierung 301 auf, die auf der Isolationsschicht 207 sowie auf Teilen der Anschlußfläche 105 (Pad) angeordnet ist, wie es bereits im Zusammenhang mit dem in Fig. 5 dargestellten Ausführungsbeispiel  
20 diskutiert worden ist.

Im Unterschied zu den in Figuren 6 und 7 dargestellten Ausführungsbeispielen wird zum Herstellen der in Figuren 10 und 11 dargestellten Halbleiterstruktur zunächst im Substrat 101  
25 mit Hilfe der LOCOS-Technologie eine LOCOS-Oxidschicht ausgebildet, wobei die in Figuren 10 und 11 dargestellten LOCOS-Schnäbel (die erste Oxidschicht 203 und die zweite Oxidschicht 205) entstehen. In einem weiteren Verfahrensschritt wird der Graben geätzt, wobei die Ätzung durch die LOCOS-  
30 Oxidschicht durchgeführt wird. In einem weiteren Verfahrensschritt wird der Graben mit Oxid gefüllt, so daß der mit Oxid gefüllte Graben 1011 entsteht.

Zum Ausbilden des Feldoxids wurde im Zusammenhang mit den  
35 obenstehend beschriebenen Ausführungsbeispielen stets die LOCOS-Technologie herangezogen, die stets eine Ausbildung der ersten Oxidschicht 203 und der zweiten Oxidschicht 205 nach

sich zieht. Es ist jedoch denkbar, die Oxidschichten mit Hilfe von weiteren Technologien zu erzeugen, bei denen beispielsweise die Feldoxide mit Hilfe von Abscheideverfahren erzeugt werden.

## Bezugszeichenliste

	101	Substrat
5	103	Oxidbereich
	105	Anschlußfläche
	200	Oxidbereich
	201	Graben
	203	erste Oxidschicht
10	205	zweite Oxidschicht
	207	Isolationsschicht
	301	Passivierung
	401	Oxidschicht
	403	Graben
15	405	Oxidbereich
	501	weiterer Oxidbereich
	503	Isolationsschicht
	600	Oxidgraben
	601	Substratsteg
20	603	erste Grenze
	605	zweite Grenze
	607	Oxidbereich
	800	Oxidgraben
	801	erster Isolationssteg
25	803	zweiter Isolationssteg
	805	Oxidbereich
	1011	Graben
	1013	Oxidbereich
	1015	weitere erste Grenze
30	1017	weitere zweite Grenze

## Patentansprüche

1. Halbleiterstruktur mit:

5 einem Substrat (101);

einer Anschlußfläche (105);

wobei das Substrat (101) einen Oxidbereich (103; 200; 405;  
10 607; 805; 1013) unterhalb der Anschlußfläche (105) aufweist,  
der ausgebildet ist, um eine Koppelkapazität zwischen dem  
Substrat (101) und der Anschlußfläche (105) zu reduzieren.

2. Halbleiterstruktur gemäß Anspruch 1, bei der der Oxidbe-  
15 reich (103; 200; 405; 607; 805; 1013) einen mit Oxid gefüll-  
ten Graben (201; 403; 600; 800; 1011) aufweist.

3. Halbleiterstruktur gemäß Anspruch 1 oder 2, bei der die  
Anschlußfläche (105) auf einer Isolationsschicht (207; 503)  
20 angeordnet ist, wobei die Isolationsschicht (207; 503) einen  
Isolationsbereich aufweist, der auf einer Oberfläche des  
Oxidbereichs (103; 200; 405; 607; 805; 1013) angeordnet ist.

4. Halbleiterstruktur gemäß Anspruch 2, bei der die An-  
25 schlußfläche (105) auf dem mit Oxid gefüllten Graben (201;  
403; 600; 800; 1011) angeordnet ist.

5. Halbleiterstruktur gemäß Anspruch 3 oder 4,

30 wobei der Graben (201; 403; 600; 800; 1011) einen Substrat-  
steg (601) und/oder einen Isolationssteg (801) aufweist;

wobei der Substratsteg (601) ein Teil des Substrats (101)  
ist; und

35

wobei der Isolationssteg (801) ein Teil der Isolationsschicht  
(107; 207; 503) ist; und

wobei der Substratsteg (601) und/oder der Isolationssteg (801) ausgebildet ist/sind, um den Graben mit Schichten aus isolierendem Material aufzufüllen, deren Gesamtdicke geringer ist als die Tiefe des Grabens.

6. Halbleiterstruktur gemäß einem der Ansprüche 1-5, wobei die an die Anschlussfläche angeschlossene Schaltung eine Hochfrequenzschaltung ist.

10

7. Halbleiterstruktur gemäß Anspruch 6, wobei die angeschlossene Schaltung ein Hochfrequenztransistor ist.

8. Halbleiterstruktur gemäß Anspruch 7, wobei der angeschlossene Hochfrequenztransistor ein MOS-Transistor ist.

15

9. Halbleiterstruktur gemäß einem der Ansprüche 1 - 8, bei der die Isolationschicht (107; 207; 503) auf dem Substrat (103) und auf dem Oxidbereich (103; 200; 405; 607; 805; 1013) angeordnet ist.

20

10. Verfahren zum Herstellen einer Halbleiterstruktur mit folgenden Schritten:

25 Bereitstellen eines Substrats (101);

Ausbilden eines Oxidbereichs (103; 200; 405; 607; 805; 1013) in dem Substrat (101);

30 Ausbilden einer Anschlußfläche (105);

wobei der Oxidbereich (103; 200; 405; 607; 805; 1013) unterhalb der Anschlußfläche (105) angeordnet ist, um eine Koppelkapazität zwischen dem Substrat (101) und der Anschlußfläche (105) zu reduzieren.

35

11. Verfahren gemäß Anspruch 10, bei dem der Schritt des  
Ausbildens des Oxidbereichs (103; 200; 405; 607; 805; 1013)  
einen Schritt eines Oxidierens eines Substratbereichs, einen  
Schritt eines Ätzens eines Grabens (201; 403; 600; 800; 1011)  
5 in das Substrat (101) und einen Schritt eines Füllens des  
Grabens (201; 403; 600; 800; 1011) mit einem Oxid aufweist;  
wobei die Anschlußfläche (105) oberhalb des mit Oxid gefüll-  
ten Grabens (201; 403; 600; 800; 1011) ausgebildet wird.
- 10 12. Verfahren gemäß Anspruch 11, bei dem der Schritt des  
Oxidierens des Substratbereichs vor dem Schritt des Ätzens  
des Grabens (201; 403; 600; 800; 1011) ausgeführt wird.
13. Verfahren gemäß Anspruch 11, bei dem der Schritt des  
15 Oxidierens des Substratbereichs nach dem Schritt des Ätzens  
des Grabens (201; 403; 600; 800; 1011) ausgeführt wird.
14. Verfahren gemäß einem der Ansprüche 10 - 12, bei dem die  
Anschlußfläche (105) auf dem mit Oxid gefüllten Graben (201;  
20 403; 600; 800; 1011) ausgebildet wird.
15. Verfahren gemäß einem der Ansprüche 10 - 12, bei dem auf  
dem Oxidbereich (103; 200; 405; 607; 805; 1013) eine Isolati-  
onsschicht (107; 207; 503) ausgebildet wird, wobei die  
25 Anschlußfläche (105) auf einem Isolationsbereich der Isolati-  
onsschicht (107; 207; 503) ausgebildet wird.
16. Verfahren gemäß einem der Ansprüche 10 - 15, bei dem in  
dem Schritt des Ätzens des Grabens (201; 403; 600; 800; 1011)  
30 ein Substratsteg (601), der ein Teil des Substrats (101) ist,  
ausgebildet wird, um den Graben mit Schichten aus isolieren-  
dem Material aufzufüllen, deren Gesamtdicke geringer ist als  
die Tiefe des Grabens.
- 35 17. Verfahren gemäß Anspruch 15 oder 16, bei dem der Schritt  
des Ätzens des Grabens (201; 403; 600; 800; 1011) und der  
Schritt der Bildung einer konformen Isolationsschicht, die

auch die Bereiche des Substrats direkt neben dem Graben bedeckt, das Ausbilden einer Ausnehmung für einen Isolationssteg (801) umfaßt, die während des Schrittes des Ausbildens der Isolationsschicht (107; 207; 503) mit einem Isolationsmaterial gefüllt wird.

18. Verfahren gemäß einem der Ansprüche 11 - 17, bei dem das Substrat (101) aus Silizium besteht und bei dem der Schritt des Oxidierens des Substratbereichs einen Schritt eines lokalen Oxidierens von Silizium aufweist.

19. Verfahren gemäß einem der Ansprüche 11 - 18, bei dem der Schritt des Füllens des Grabens (201; 403; 600; 800; 1011) mit dem Oxid einen Schritt eines lokalen Oxidierens von Silizium aufweist.

20. Verfahren gemäß einem der Ansprüche 11 - 18, bei dem der Graben (201; 403; 600; 800; 1011) mit einem Plasmaoxid gefüllt wird.

21. Verfahren gemäß einem der Ansprüche 11 - 18, wobei die an die Anschlussfläche angeschlossene Schaltung eine Hochfrequenzschaltung ist.

22. Halbleiterstruktur gemäß Anspruch 21, wobei die angeschlossene Schaltung ein Hochfrequenztransistor ist.

23. Halbleiterstruktur gemäß Anspruch 22, wobei der angeschlossene Hochfrequenztransistor ein MOS-Transistor ist.

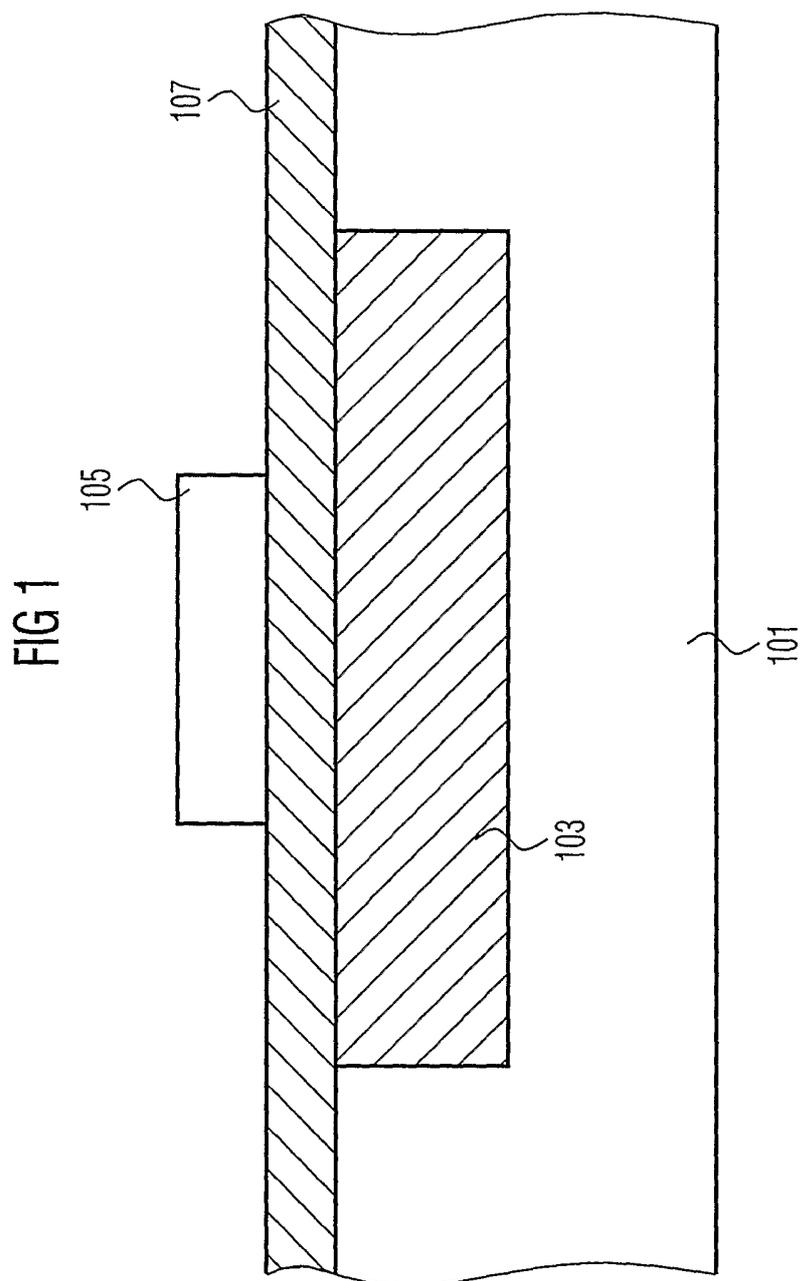
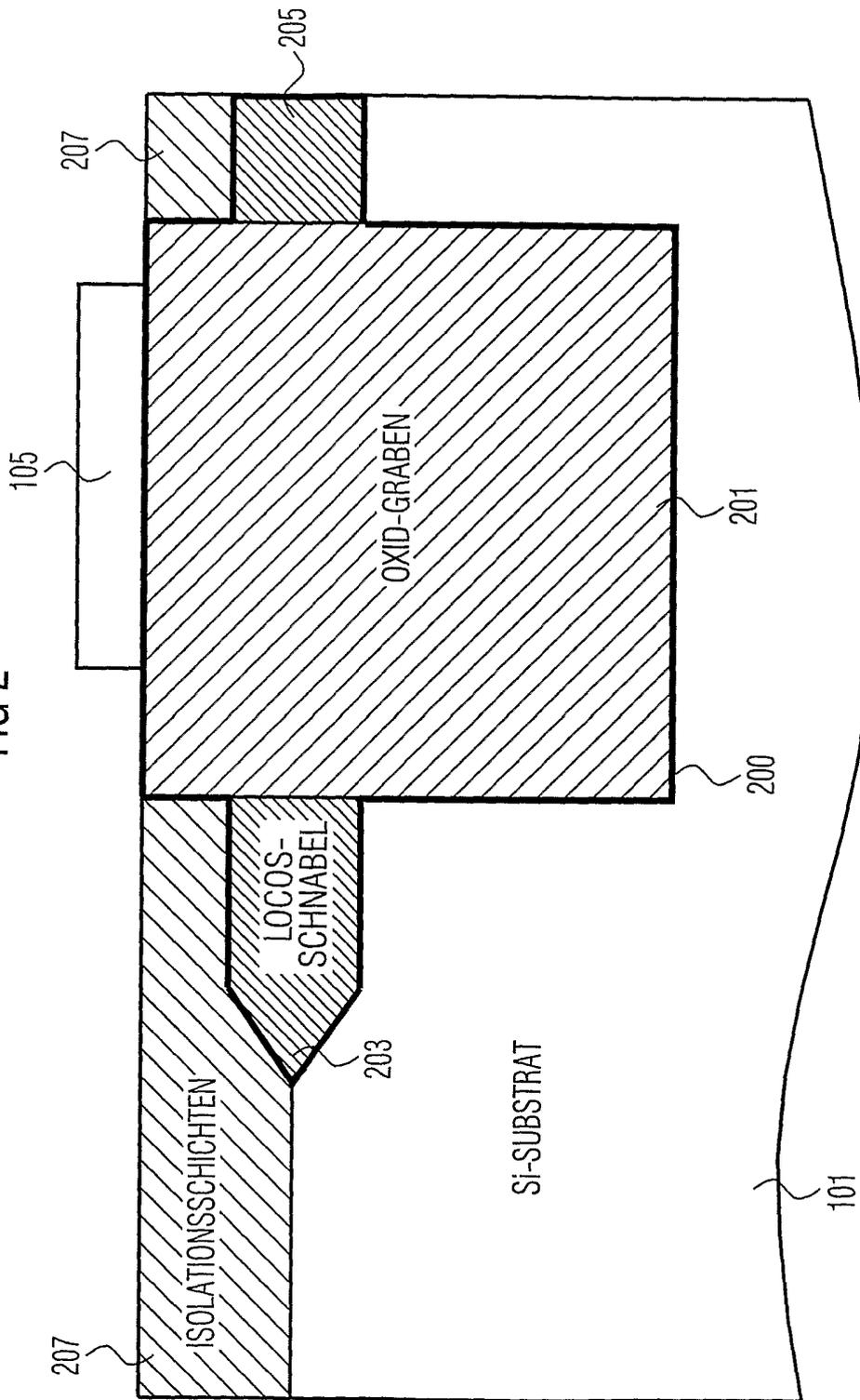


FIG 2



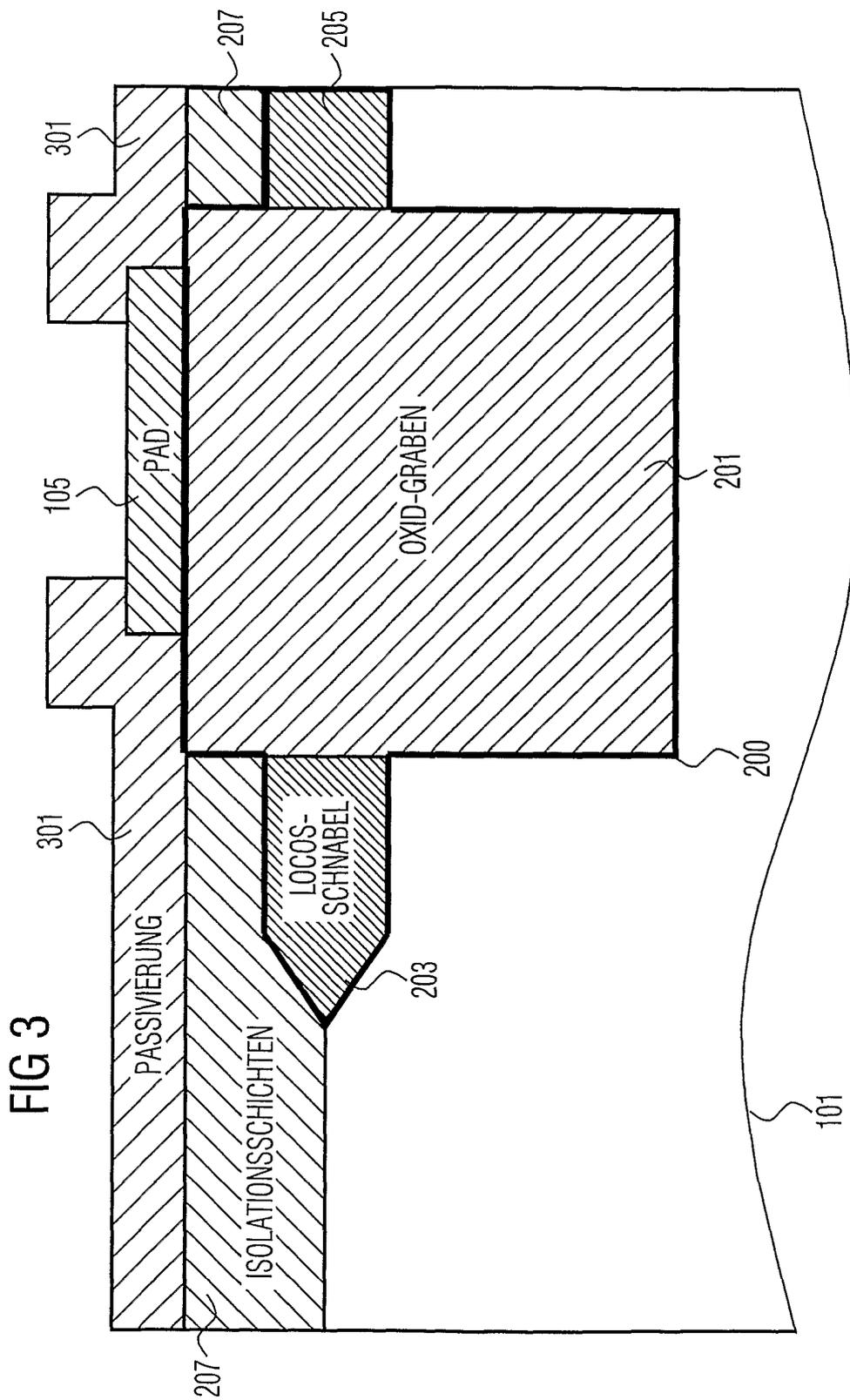


FIG 4

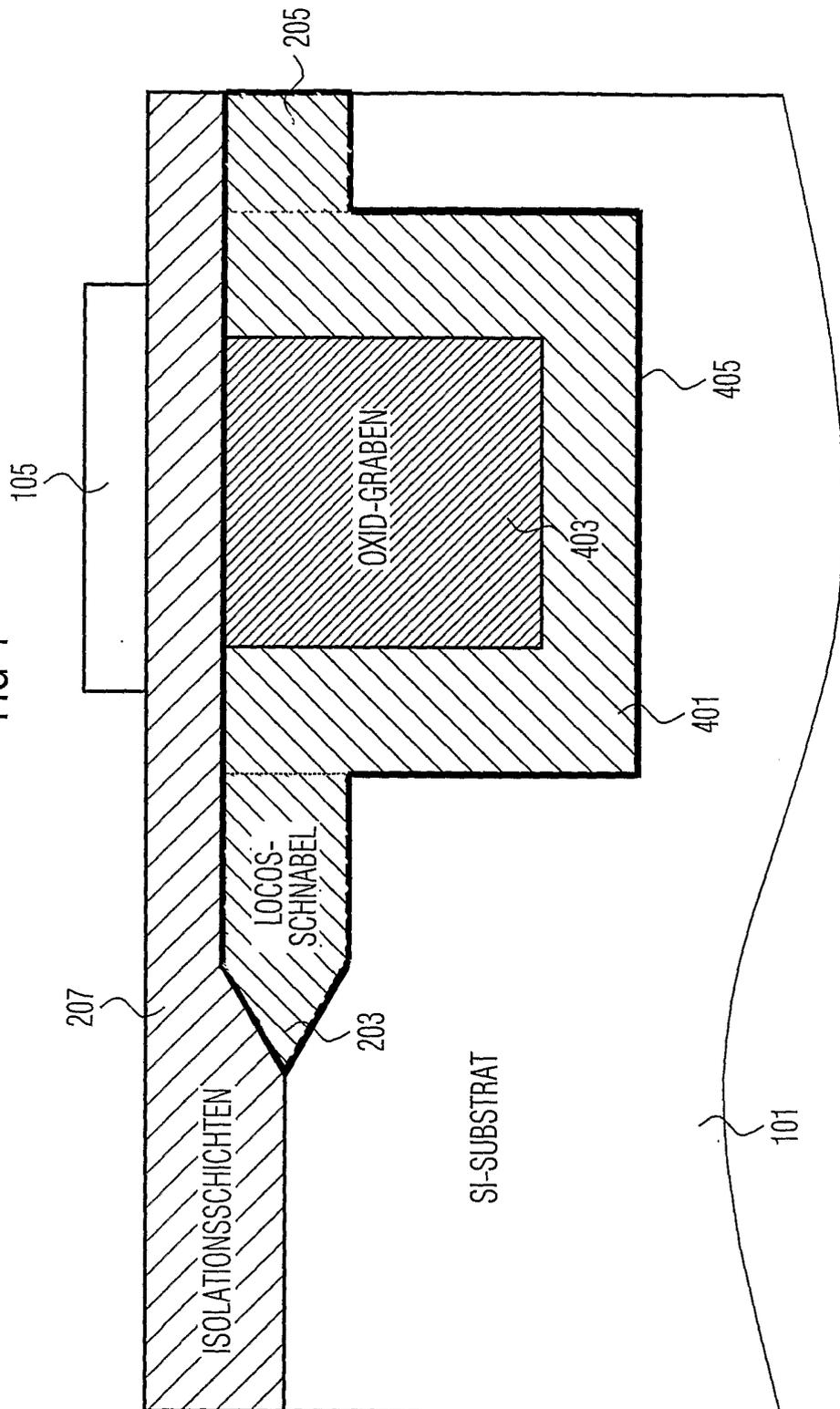
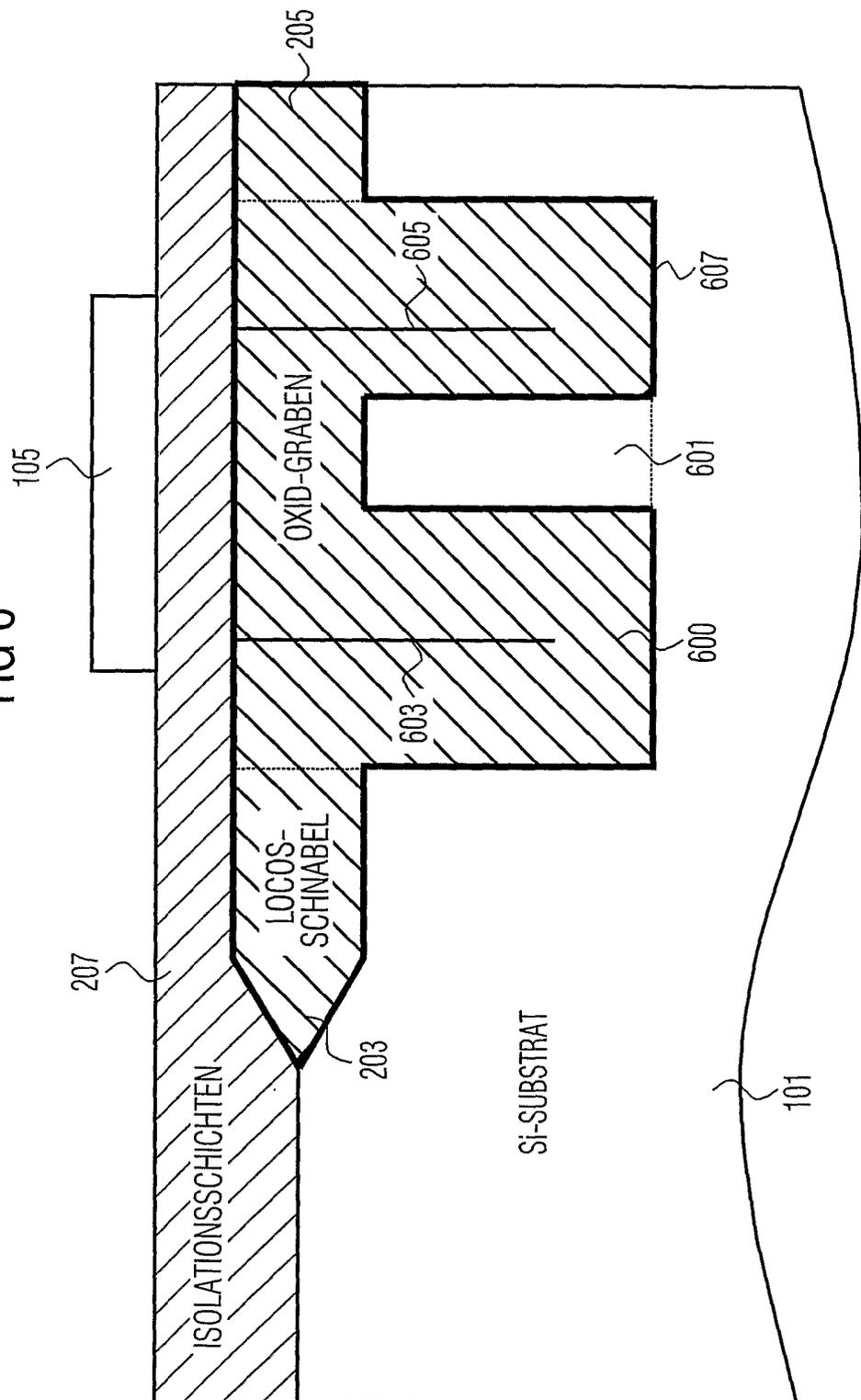
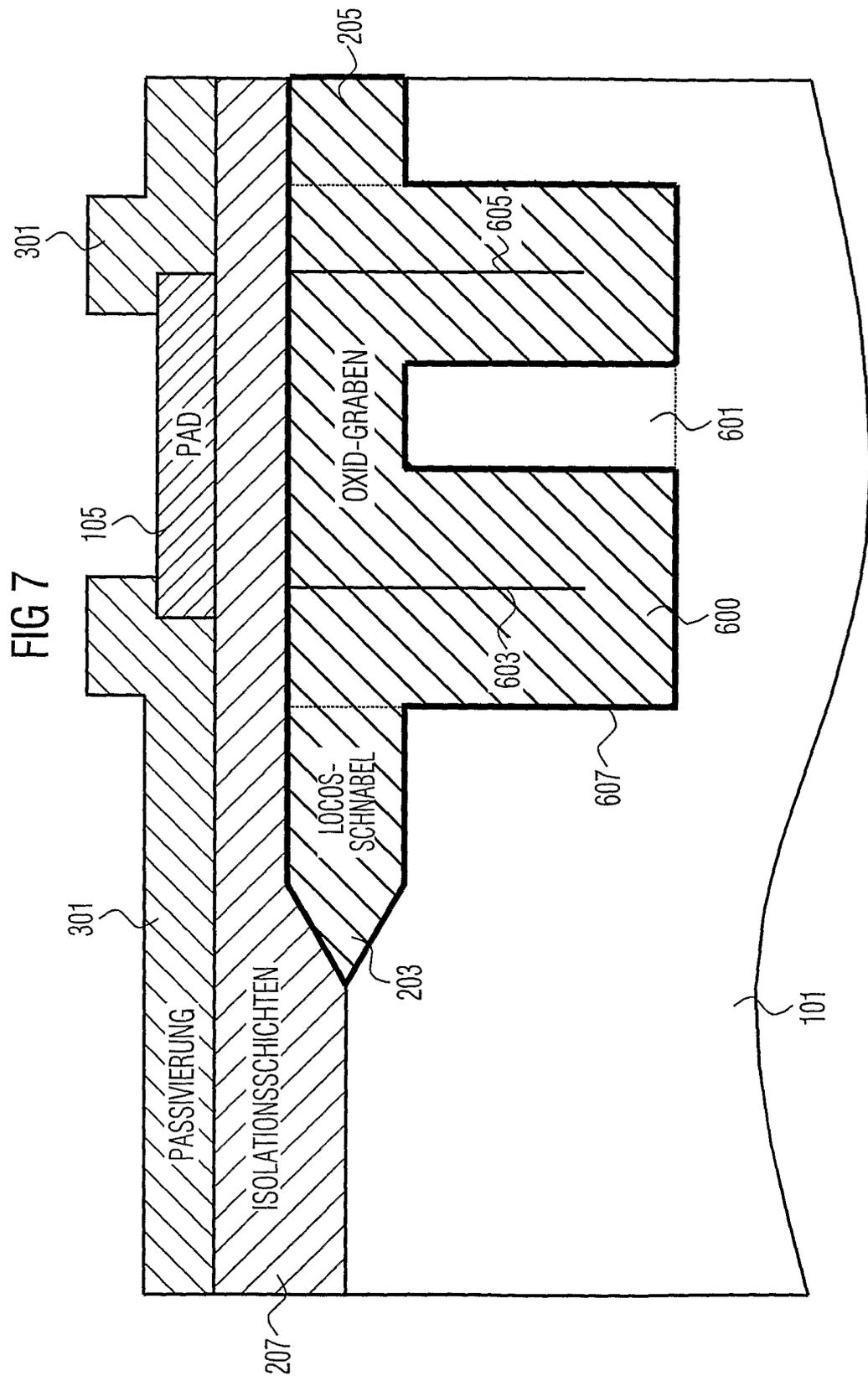




FIG 6





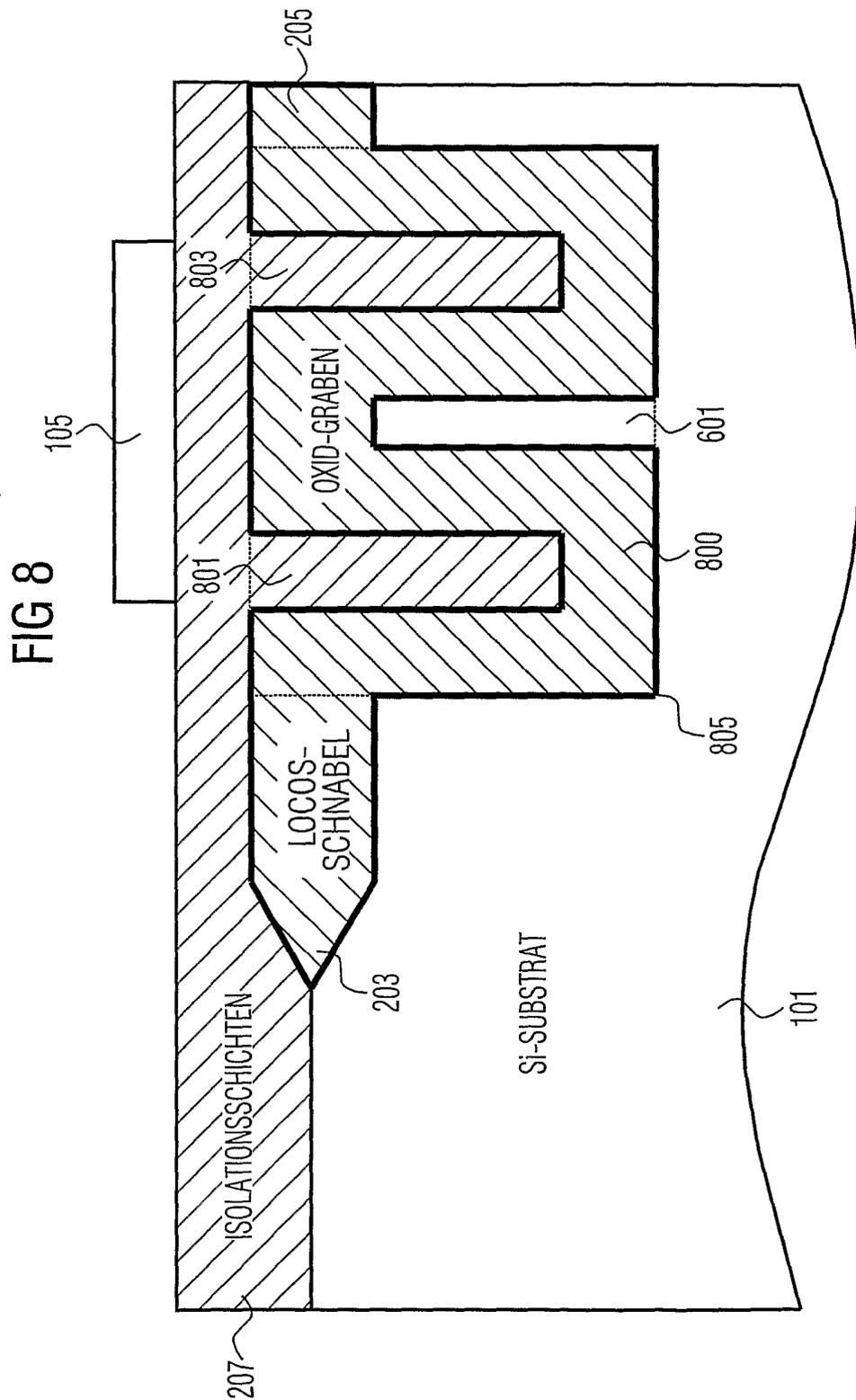


FIG 9

