



(12) 发明专利

(10) 授权公告号 CN 109585450 B

(45) 授权公告日 2020. 11. 03

(21) 申请号 201710897809.2
 (22) 申请日 2017.09.28
 (65) 同一申请的已公布的文献号
 申请公布号 CN 109585450 A
 (43) 申请公布日 2019.04.05
 (73) 专利权人 中芯国际集成电路制造(上海)有限公司
 地址 201203 上海市浦东新区张江路18号
 专利权人 中芯国际集成电路新技术研发(上海)有限公司
 (72) 发明人 冯军宏
 (74) 专利代理机构 北京集佳知识产权代理有限公司 11227
 代理人 徐文欣 吴敏

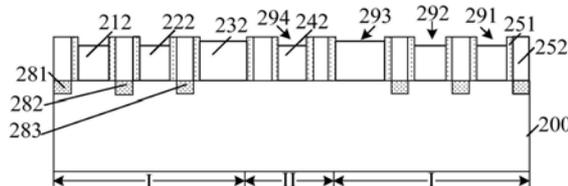
(51) Int. Cl.
 H01L 27/112 (2006.01)
 G11C 17/16 (2006.01)
 (56) 对比文件
 CN 104347589 A, 2015.02.11
 CN 104681558 A, 2015.06.03
 CN 106030793 A, 2016.10.12
 CN 1138750 A, 1996.12.25
 US 2016276355 A1, 2016.09.22
 CN 102057441 A, 2011.05.11
 US 2009250747 A1, 2009.10.08
 审查员 纪骋

权利要求书3页 说明书14页 附图5页

(54) 发明名称
 存储器及其形成方法

(57) 摘要

一种存储器及其形成方法,其中,所述形成方法包括:衬底,所述衬底包括存储区;位于所述存储区衬底上分立的选择栅极和存储栅极,所述存储栅极的厚度大于所述选择栅极的厚度;位于所述选择栅极两侧存储区衬底中的第一源漏掺杂区和第二源漏掺杂区,所述第二源漏掺杂区位于所述选择栅极和存储栅极之间。所述存储栅极的厚度较大,能够增加存储栅极侧壁的面积,从而增加存储栅极与第二源漏插塞之间介质层的击穿概率,进而降低所形成存储器的编程电压,降低存储器的功耗;所述选择栅极的厚度较小,能够减小选择栅极侧壁的面积,从而降低选择栅极与第一源漏插塞之间介质层的击穿概率,进而改善所形成存储的性能。



1. 一种反熔丝OTP存储器,其特征在于,包括:
衬底,所述衬底包括存储区;
位于所述存储区衬底上分立的选择栅极和存储栅极,所述存储栅极的厚度大于所述选择栅极的厚度;
位于所述选择栅极两侧存储区衬底中的第一源漏掺杂区和第二源漏掺杂区,所述第二源漏掺杂区位于所述选择栅极和存储栅极之间;
位于所述存储区衬底上的介质层,所述介质层覆盖所述存储栅极侧壁和选择栅极侧壁;
位于所述介质层中的第一源漏插塞,所述第一源漏插塞与所述第一源漏掺杂区电连接;
位于所述介质层中的第二源漏插塞,所述第二源漏插塞与所述存储栅极之间具有所述介质层,所述第二源漏插塞与所述第二源漏掺杂区电连接。
2. 如权利要求1所述的反熔丝OTP存储器,其特征在于,还包括:位于所述存储区衬底上的伪栅极,所述伪栅极位于所述选择栅极和第二源漏掺杂区之间的衬底上,所述伪栅极的宽度大于或等于所述选择栅极的宽度,且小于所述存储栅极的宽度;位于所述伪栅极与所述选择栅极之间衬底中的第三源漏掺杂区。
3. 如权利要求2所述的反熔丝OTP存储器,其特征在于,还包括:位于所述介质层中的第三源漏插塞,所述第三源漏插塞连接所述第三源漏掺杂区;位于所述介质层上的连接线,所述连接线连接所述第三源漏插塞和所述第二源漏插塞。
4. 如权利要求2所述的反熔丝OTP存储器,其特征在于,所述伪栅极的厚度小于所述存储栅极厚度。
5. 如权利要求1所述的反熔丝OTP存储器,其特征在于,所述存储栅极的宽度大于所述选择栅极的宽度。
6. 如权利要求5所述的反熔丝OTP存储器,其特征在于,所述存储栅极的宽度大于 $0.1\mu\text{m}$;所述选择栅极的宽度小于 $0.05\mu\text{m}$ 。
7. 如权利要求1所述的反熔丝OTP存储器,其特征在于,还包括:位于所述选择栅极和存储栅极上的保护层,所述介质层覆盖所述保护层侧壁,所述保护层的材料为氮化硅、氧化硅或氮氧化硅。
8. 如权利要求1所述的反熔丝OTP存储器,其特征在于,所述存储区的个数为多个,所述衬底还包括位于相邻存储区之间的隔离区;所述存储器包括:位于所述隔离区衬底上的隔离栅极。
9. 一种反熔丝OTP存储器的形成方法,其特征在于,包括:
提供衬底,所述衬底包括存储区;
形成介质层、分立的选择栅极和存储栅极、第一源漏掺杂区和第二源漏掺杂区,所述介质层位于所述衬底上,所述选择栅极和存储栅极位于所述存储区衬底上,所述介质层覆盖所述存储栅极和选择栅极侧壁,所述存储栅极的厚度大于所述选择栅极的厚度,所述第一源漏掺杂区和第二源漏掺杂区分别位于所述选择栅极两侧的存储区衬底中,所述第二源漏掺杂区位于所述选择栅极和存储栅极之间;
在所述介质层中形成第一源漏插塞,所述第一源漏插塞与所述第一源漏掺杂区电连

接；

在所述介质层中形成第二源漏插塞，所述第二源漏插塞与所述存储栅极之间具有所述介质层，所述第二源漏插塞与所述第二源漏掺杂区电连接。

10. 如权利要求9所述的反熔丝OTP存储器的形成方法，其特征在于，形成存储栅极和选择栅极的步骤包括：在所述存储区衬底上形成分立的初始存储栅极和初始选择栅极，所述初始存储栅极的宽度大于所述初始选择栅极的宽度；对所述初始存储栅极和初始选择栅极进行栅极刻蚀，去除部分厚度的初始存储栅极，形成存储栅极，并去除部分厚度的初始选择栅极，形成选择栅极，去除的初始存储栅极的厚度小于去除的初始选择栅极的厚度。

11. 如权利要求9所述的反熔丝OTP存储器的形成方法，其特征在于，形成所述存储栅极和选择栅极的步骤包括：在所述存储区衬底上形成分立的初始存储栅极和初始选择栅极，对所述初始存储栅极进行第一刻蚀，去除部分厚度的初始存储栅极，形成存储栅极；对所述初始选择栅极进行第二刻蚀，去除部分厚度的初始选择栅极，形成选择栅极。

12. 如权利要求10或11所述的反熔丝OTP存储器的形成方法，其特征在于，所述介质层包括：覆盖所述选择栅极侧壁和存储栅极侧壁的隔离结构；位于所述选择栅极、存储栅极和所述隔离结构上的第一介质层；

形成所述介质层的步骤包括：去除部分厚度的初始存储栅极和部分厚度的初始选择栅极之前，形成隔离结构，所述隔离结构覆盖所述初始选择栅极和初始存储栅极侧壁；去除部分厚度的初始存储栅极和部分厚度的初始选择栅极之后，在所述初始选择栅极、初始存储栅极和隔离结构上形成第一介质层；去除部分厚度的初始存储栅极之后，在所述隔离结构中形成第二凹槽；去除部分厚度的初始选择栅极之后，在所述隔离结构中形成第一凹槽。

13. 如权利要求12所述的反熔丝OTP存储器的形成方法，其特征在于，形成所述第一介质层之前，还包括：在所述第二凹槽和第一凹槽中形成保护层。

14. 如权利要求12所述的反熔丝OTP存储器的形成方法，其特征在于，形成所述第一源漏插塞和第二源漏插塞的步骤包括：对所述介质层进行刻蚀，形成贯穿所述介质层的存储接触孔和选择接触孔，所述存储接触孔底部暴露出所述第二源漏掺杂区，所述选择接触孔底部暴露出所述第一源漏掺杂区；在所述选择接触孔中形成第一源漏插塞；在所述存储接触孔中形成第二源漏插塞。

15. 如权利要求12所述的反熔丝OTP存储器的形成方法，其特征在于，形成所述初始存储栅极、初始选择栅极和隔离结构的步骤包括：在所述衬底上形成第一栅极层；对所述第一栅极层进行图形化，形成牺牲存储栅极和牺牲选择栅极；形成覆盖所述牺牲存储栅极侧壁和牺牲选择栅极侧壁的隔离结构；去除所述牺牲选择栅极，在所述隔离结构中形成第一开口；去除所述牺牲存储栅极，在所述隔离结构中形成第二开口；在所述第一开口中形成初始选择栅极；在所述第二开口中形成初始存储栅极。

16. 如权利要求15所述的反熔丝OTP存储器的形成方法，其特征在于，所述隔离结构包括：覆盖所述存储栅极和选择栅极侧壁的侧墙；位于所述衬底上的第二介质层，所述第二介质层覆盖所述侧墙侧壁；

形成所述隔离结构的步骤包括：形成覆盖所述牺牲存储栅极侧壁和牺牲选择栅极侧壁的侧墙；在所述衬底上形成第二介质层，所述第二介质层覆盖所述侧墙侧壁；

形成所述侧墙之后，形成所述第二介质层之前，形成所述第一源漏掺杂区和第二源漏

掺杂区。

17. 如权利要求10或11所述的反熔丝OTP存储器的形成方法,其特征在于,形成所述初始存储栅极和初始选择栅极的步骤包括:在所述衬底上形成第二栅极层;对所述第二栅极层进行图形化,形成所述初始存储栅极和初始选择栅极;

形成初始存储栅极和初始选择栅极之后,形成所述第一源漏掺杂区和第二源漏掺杂区。

18. 如权利要求11所述的反熔丝OTP存储器的形成方法,其特征在于,所述初始存储栅极和初始选择栅极的宽度相同;所述第一刻蚀去除所述初始存储栅极的厚度为第一厚度,所述第二刻蚀去除的初始选择栅极的厚度为第二厚度,所述第一厚度大于所述第二厚度。

19. 如权利要求9所述的反熔丝OTP存储器的形成方法,其特征在于,还包括:形成伪栅极和第三源漏掺杂区,所述伪栅极位于所述存储区衬底上,所述伪栅极位于所述第二源漏掺杂区与所述选择栅极之间,所述伪栅极的宽度大于所述选择栅极的宽度,且小于所述存储栅极的宽度,所述第三源漏掺杂区位于所述选择栅极和伪栅极之间的存储区衬底中,所述第三源漏掺杂区与所述第二源漏掺杂区电连接。

20. 如权利要求19所述的反熔丝OTP存储器的形成方法,其特征在于,所述介质层还覆盖所述伪栅极侧壁;所述形成方法还包括:在所述介质层中形成连接所述第三源漏掺杂区的第三源漏插塞;在所述介质层上形成连接线,所述连接线连接所述第三源漏插塞与所述第二源漏插塞。

存储器及其形成方法

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种存储器及其形成方法背景技术

[0002] OTP(One Time Programmable,一次编程)存储器属于非易失存储器,在使用中只允许一次编程,因此具有很高的数据可靠性。目前,OTP存储器主要被应用于初始信息和密钥保存等数据。基本的OTP存储单元有两种,熔丝型和反熔丝型。反熔丝OTP存储器由于具有很强的抗辐射能力,很高的安全性以及能够耐高低温等优点,在存储器领域中具有重要应用。

[0003] 反熔丝OTP存储器单元的基本结构由两个导电电极中间夹一层介电常数很高的介质层。未编程时,反熔丝OTP存储器等效为一个电容,上下极板之间的阻抗很高,在电路中呈开路状态。在两极板上加上编程高压,两极板之间的介质层被击穿,在两极板之间形成通路,从而实现反熔丝编程前后存储逻辑“0”和“1”两种状态。

[0004] 然而,现有技术的OTP存储器的性能较差。

发明内容

[0005] 本发明解决的问题是提供一种存储器及其形成方法,能够改善存储器的性能。

[0006] 为解决上述问题,本发明技术方案提供一种存储器,包括:衬底,所述衬底包括存储区;位于所述存储区衬底上分立的选择栅极和存储栅极,所述存储栅极的厚度大于所述选择栅极的厚度;位于所述选择栅极两侧存储区衬底中的第一源漏掺杂区和第二源漏掺杂区,所述第二源漏掺杂区位于所述选择栅极和存储栅极之间;位于所述存储区衬底上的介质层,所述介质层覆盖所述存储栅极侧壁和选择栅极侧壁;位于所述介质层中的第一源漏插塞,所述第一源漏插塞与所述第一源漏掺杂区电连接;位于所述介质层中的第二源漏插塞,所述第二源漏插塞与所述存储栅极之间具有介质层,所述第二源漏插塞与所述第二源漏掺杂区电连接。

[0007] 可选的,还包括:位于所述存储区衬底上的伪栅极,所述伪栅极位于所述选择栅极和第二源漏掺杂区之间的衬底上,所述伪栅极的宽度大于或等于所述选择栅极的宽度,且小于所述存储栅极的宽度;位于所述伪栅极与所述选择栅极之间衬底中的第三源漏掺杂区。

[0008] 可选的,还包括:位于所述介质层中的第三源漏插塞,所述第三源漏插塞连接所述第三源漏掺杂区;位于所述介质层上的连接线,所述连接线连接所述第三源漏插塞和所述第二源漏插塞。

[0009] 可选的,所述伪栅极的厚度小于或等于所述选择栅极厚度。

[0010] 可选的,所述存储栅极的宽度大于所述选择栅极的宽度。

[0011] 可选的,所述存储栅极的宽度大于 $0.1\mu\text{m}$;所述选择栅极的宽度小于 $0.05\mu\text{m}$ 。

[0012] 可选的,还包括:位于所述选择栅极和存储栅极上的保护层,所述介质层覆盖所述保护层侧壁,所述保护层的材料为氮化硅、氧化硅或氮氧化硅。

[0013] 可选的,所述存储区的个数为多个,所述衬底还包括位于相邻存储区之间的隔离

区;所述存储器包括:位于所述隔离区衬底上的隔离栅极。

[0014] 本发明技术方案还提供一种存储器的形成方法,包括:提供衬底,所述衬底包括存储区;形成介质层、分立的选择栅极和存储栅极、第一源漏掺杂区和第二源漏掺杂区,所述介质层位于所述衬底上,所述选择栅极和存储栅极位于所述存储区衬底上,所述介质层覆盖所述存储栅极和选择栅极侧壁,所述存储栅极的厚度大于所述选择栅极的厚度,所述第一源漏掺杂区和第二源漏掺杂区分别位于所述选择栅极两侧存储区衬底中,所述第二源漏掺杂区位于所述选择栅极和存储栅极之间;在所述介质层中形成第一源漏插塞,所述第一源漏插塞与所述第一源漏掺杂区电连接;在所述介质层中形成第二源漏插塞,所述第二源漏插塞与所述存储栅极之间具有介质层,所述第二源漏插塞与所述第二源漏掺杂区电连接。

[0015] 可选的,形成存储栅极和选择栅极的步骤包括:在所述存储区衬底上形成分立的初始存储栅极和初始选择栅极,所述初始存储栅极的宽度大于所述初始选择栅极的宽度;对所述初始存储栅极和初始选择栅极进行栅极刻蚀,去除部分厚度的初始存储栅极,形成存储栅极,并去除部分厚度的初始选择栅极,形成选择栅极,去除的初始存储栅极的厚度小于去除的初始选择栅极的厚度。

[0016] 可选的,形成所述存储栅极和选择栅极的步骤包括:在所述存储区衬底上形成分立的初始存储栅极和初始选择栅极,对所述初始存储栅极进行第一刻蚀,去除部分厚度的初始存储栅极,形成存储栅极;对所述初始选择栅极进行第二刻蚀,去除部分厚度的初始选择栅极,形成选择栅极。

[0017] 可选的,所述介质层包括:覆盖所述选择栅极侧壁和存储栅极侧壁的隔离结构;位于所述选择栅极、存储栅极和所述隔离结构上的第一介质层;形成所述介质层的步骤包括:去除部分厚度的初始选择栅极和部分厚度的初始选择栅极之前,形成隔离结构,所述隔离结构覆盖所述初始选择栅极和初始存储栅极侧壁;去除部分厚度的初始选择栅极和部分厚度的初始选择栅极之后,在所述初始选择栅极、初始存储栅极和隔离结构上形成第一介质层;去除部分厚度的初始存储栅极之后,在所述隔离结构中形成第二凹槽;去除部分厚度的初始选择栅极之后,在所述隔离结构中形成第一凹槽。

[0018] 可选的,形成所述第一介质层之前,还包括:在所述第二凹槽和第一凹槽中形成保护层。

[0019] 可选的,形成所述第一源漏插塞和第二源漏插塞的步骤包括:对所述介质层进行刻蚀,形成贯穿所述介质层的存储接触孔和选择接触孔,所述存储接触孔底部暴露出所述第二源漏掺杂区,所述选择接触孔底部暴露出所述第一源漏掺杂区;在所述选择接触孔中形成第一源漏插塞;在所述存储接触孔中形成第二源漏插塞。

[0020] 可选的,形成所述初始存储栅极、初始选择栅极和隔离结构的步骤包括:在所述衬底上形成第一栅极层;对所述第一栅极层进行图形化,形成牺牲存储栅极和牺牲选择栅极;形成覆盖所述牺牲存储栅极侧壁和牺牲选择栅极侧壁的隔离结构;去除所述牺牲选择栅极,在所述隔离结构中形成第一开口;去除所述牺牲存储栅极,在所述隔离结构中形成第二开口;在所述第一开口中形成初始选择栅极;在所述第二开口中形成初始存储栅极。

[0021] 可选的,所述隔离结构包括:覆盖所述存储栅极和选择栅极侧壁的侧墙;位于所述衬底上的第二介质层,所述第二介质层覆盖所述侧墙侧壁;形成所述隔离结构的步骤包括:

形成覆盖所述牺牲存储栅极侧壁和牺牲选择栅极侧壁的侧墙；在所述衬底上形成第二介质层，所述第二介质层覆盖所述侧墙侧壁；形成所述侧墙之后，形成所述第二介质层之前，形成所述第一源漏掺杂区和第二源漏掺杂区。

[0022] 可选的，形成所述初始存储栅极和初始选择栅极的步骤包括：在所述衬底上形成第二栅极层；对所述第二栅极层进行图形化，形成所述初始存储栅极和初始选择栅极；形成初始存储栅极和初始选择栅极之后，形成所述第一源漏掺杂区和第二源漏掺杂区。

[0023] 可选的，所述初始存储栅极和初始选择栅极的宽度相同；所述第一刻蚀去除所述初始存储栅极的厚度为第一厚度，所述第二刻蚀去除的初始选择栅极的厚度为第二厚度，所述第一厚度大于所述第二厚度。

[0024] 可选的，还包括：形成伪栅极和第三源漏掺杂区，所述伪栅极位于所述存储区衬底上，所述伪栅极位于所述第二源漏掺杂区与所述选择栅极之间，所述伪栅极的宽度大于所述选择栅极的宽度，且小于所述存储栅极的宽度，所述第三源漏掺杂区位于所述选择栅极和伪栅极之间的存储区衬底中，所述第三源漏掺杂区与所述第二源漏掺杂区电连接。

[0025] 可选的，所述介质层还覆盖所述伪栅极侧壁；所述形成方法还包括：在所述介质层中形成连接所述第三源漏掺杂区的第三源漏插塞；在所述介质层上形成连接线，所述连接线连接所述第三源漏插塞与所述第二源漏插塞。

[0026] 与现有技术相比，本发明的技术方案具有以下优点：

[0027] 本发明技术方案提供的存储器中，所述存储栅极的厚度大于所述选择栅极厚度。所述存储栅极的厚度较大，能够增加存储栅极侧壁的面积，当存储栅极侧壁任一区域的介质层被击穿时，所述存储栅极、第一源漏插塞和介质层形成的电容成为低阻状态，从而能够对存储器进行编程，也即存储栅极的厚度较大能够增加存储栅极与第二源漏插塞之间介质层的击穿概率，进而降低所形成存储器的编程电压，降低存储器的功耗。所述选择栅极的厚度较小，能够减小选择栅极侧壁的面积，从而降低选择栅极与第一源漏插塞之间介质层的击穿概率，进而改善所形成存储器的性能。

[0028] 进一步，所述存储区衬底上具有伪栅极，所述伪栅极的厚度小于或等于所述选择栅极的厚度，则所述伪栅极侧壁的面积较小，所述伪栅极与第三源漏插塞之间的介质层被击穿的概率较小，且伪栅极与第二源漏插塞之间介质层被击穿的概率较小，从而能够改善所形成存储的性能。

[0029] 本发明技术方案提供的存储器的形成方法中，所述存储栅极的厚度大于所述选择栅极厚度。所述存储栅极的厚度较大，能够增加存储栅极侧壁的面积，从而增加存储栅极与第二源漏插塞之间介质层的击穿概率，进而降低所形成存储器的编程电压，降低存储器的功耗；所述选择栅极的厚度较小，能够减小选择栅极侧壁的面积，从而降低选择栅极与第一源漏插塞之间介质层的击穿概率，进而改善所形成存储器的性能。

[0030] 进一步，所述初始存储栅极的宽度大于所述初始选择栅极的宽度。对所述初始存储栅极和初始选择栅极进行栅极刻蚀的过程中，所述初始存储栅极表面形成的聚合较多，所述聚合物容易降低初始存储栅极的刻蚀速率，从而导致所述初始存储栅极的刻蚀速率小于所述初始选择栅极的刻蚀速率，进而使所述存储栅极的厚度大于所述选择栅极的厚度。所述初始存储栅极的宽度大于所述初始选择栅极的宽度，可以对初始存储栅极和初始选择栅极通过同一工艺进行刻蚀，从而形成选择栅极和存储栅极。因此，所述形成方法能够简化

工艺流程。

[0031] 进一步,所述形成方法还包括:在所述衬底上形成伪栅极,所述伪栅极位于所述存储栅极和选择栅极之间,所述伪栅极的宽度大于或等于所述选择栅极的宽度,且小于所述存储栅极的宽度。在形成伪栅极、存储栅极和选择栅极的过程中,所述伪栅极能够减小曝光过程中光的衍射和折射引起的存储栅极和选择栅极尺寸的畸变,改善所形成存储器的性能。

[0032] 进一步,通过第一刻蚀和第二刻蚀分别对初始存储栅极和初始选择栅极进行刻蚀,能够使存储栅极的厚度大于所述选择栅极的厚度。所述初始存储栅极和初始选择栅极的宽度相同,能够使形成所述初始存储栅极与初始选择栅极的过程中,所使用的光罩中的图形相同,从而能够减小光刻工艺中光罩中图形相互影响引起的曝光图形的畸变,进而能够精确控制初始存储栅极和初始选择栅极的宽度,进而增加存储栅极和选择栅极宽度的精度,改善所形成存储器的性能。

附图说明

[0033] 图1是一种存储器的结构示意图;

[0034] 图2至图12是本发明的存储器的形成方法一实施例各个步骤的结构示意图;

[0035] 图13至图16是本发明的存储器的形成方法另一实施例各个步骤的结构示意图。

具体实施方式

[0036] 现有技术的半导体结构存在诸多问题,例如:存储器的性能较差。

[0037] 现结合一种存储器,分析现有技术的存储器的性能较差的原因:

[0038] 图1是一种存储器的结构示意图。

[0039] 请参考图1,所述存储器包括:衬底100,所述衬底100包括隔离区A和位于所述隔离区A两侧的存储区B;位于所述隔离区A衬底100上的隔离栅极121;分别位于所述存储区B衬底100上的选择栅极110和存储栅极120;分别位于所述选择栅极110两侧衬底100中的第一源漏掺杂区113和第二源漏掺杂区123;覆盖所述选择栅极110、存储栅极120、隔离栅极121、第一源漏掺杂区113和第二源漏掺杂区123的介质层130;位于所述介质层130中的第一源漏插塞112和第二源漏插塞122,所述第一源漏插塞112连接所述第一源漏掺杂区113,所述第二源漏插塞122连接所述第二源漏掺杂区123;位于所述隔离栅极121两侧介质层中的隔离插塞。

[0040] 其中,存储栅极120、第二源漏插塞122、以及存储栅极120和第二源漏插塞122之间的介质层130构成电容器。对所述存储器进行编程的过程中,在所述存储栅极120和第二源漏插塞122之间接较大的编程电压,使所述存储栅极120和第二源漏插塞122之间的介质层130能够被击穿,使所述电容器成为低阻状态,使存储栅极120和第二源漏插塞122导通,从而对所述存储器进行编程。

[0041] 为了在形成存储栅极120、选择栅极110和隔离栅极121的过程中,减小光的衍射和干涉对曝光的影响,从而使所形成的存储栅极120、选择栅极110和隔离栅极121的宽度较容易控制,所述存储栅极120、选择栅极110和隔离栅极121的宽度相等。

[0042] 形成所述选择栅极110、存储栅极120和隔离栅极121的步骤包括:在所述衬底100

上形成栅极层;在所述栅极层上形成图形化的光刻胶;以所述光刻胶为掩膜对所述栅极层进行刻蚀,形成选择栅极110、存储栅极120和隔离栅极121。为了在形成光刻胶的曝光过程中,减小光罩中图形对光的干涉和散射作用,从而减小光刻胶中图形的畸变,使形成的选择栅极110、存储栅极120和隔离栅极121宽度容易控制,形成光刻胶所使用的光罩中的图形相同,从而使得光刻胶中图形相同。由于所述光刻胶中图形相同,在对栅极层进行刻蚀时,光刻胶中图形对刻蚀反应物的阻挡作用相同,从而使栅极层的刻蚀速率相同,从而使所形成的选择栅极110、存储栅极120和隔离栅极121的宽度和厚度相同。

[0043] 如果选择栅极110、存储栅极120和隔离栅极121的厚度过小,所述存储栅极120侧壁的面积较小,导致存储栅极120与第二源漏插塞122之间介质层130的击穿概率较小,击穿电压较高,从而导致所述存储器的编程电压较高,存储器的能耗较大;如果选择栅极110、存储栅极120和隔离栅极121的厚度过大,选择栅极侧壁的面积较大,导致选择栅极110与第一源漏插塞112之间介质层130的击穿概率较大,且选择栅极110与第二源漏插塞122之间介质层130的击穿概率较大,从而导致所述存储器的稳定性较差。

[0044] 为解决所述技术问题,本发明提供了一种半导体结构,包括:衬底,所述衬底包括存储区;位于所述存储区衬底上分立的选择栅极和存储栅极,所述存储栅极的厚度大于所述选择栅极的厚度;位于所述选择栅极两侧存储区衬底中的第一源漏掺杂区和第二源漏掺杂区,所述第二源漏掺杂区位于所述选择栅极和存储栅极之间。所述存储栅极的厚度较大,能够增加存储栅极侧壁的面积,从而增加存储栅极与第二源漏插塞之间介质层的击穿概率,进而降低所形成存储器的编程电压,降低存储器的功耗;所述选择栅极的厚度较小,能够减小选择栅极侧壁的面积,从而降低选择栅极与第一源漏插塞之间介质层的击穿概率,进而改善所形成存储的性能。

[0045] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0046] 图2至图10是本发明的存储器的形成方法一实施例各步骤的结构示意图。

[0047] 本实施例中,所形成的存储器的OTP(One Time Programmable,一次编程)存储器。

[0048] 请参考图2,提供衬底200,所述衬底200包括存储区I。

[0049] 所述存储区I用于形成存储器的存储单元。

[0050] 本实施例中,所述衬底200上还具有鳍部(图中未示出)。在其他实施例中,所述衬底上还可以不具有所述鳍部。

[0051] 本实施例中,所述衬底200包括多个存储区I,相邻存储区I之间具有隔离区II。

[0052] 所述隔离区II用于实现相邻存储区I之间的隔离。

[0053] 所述形成方法还包括:在所述存储区I衬底200中形成存储阱区,在所述隔离区II中形成隔离阱区。

[0054] 所述器件阱区中具有第一离子,所述隔离阱区中具有第二离子。

[0055] 本实施例中,相邻存储区I形成的存储单元相互电连接,所述第一离子与第二离子的导电类型相同。在其他实施例中,相邻存储区形成的存储单元相互不连接,所述第一离子与第二离子的导电类型相反。

[0056] 后续形成介质层、分立的选择栅极和存储栅极、第一源漏掺杂区和第二源漏掺杂区,所述介质层位于所述衬底200上,所述选择栅极和存储栅极位于所述存储区I衬底200

上,所述介质层覆盖所述存储栅极和选择栅极侧壁,所述存储栅极的厚度大于所述选择栅极的厚度,第一源漏掺杂区和第二源漏掺杂区分别位于所述选择栅极两侧的存储区I衬底200中,所述第二源漏掺杂区位于所述选择栅极和存储栅极之间。

[0057] 所述第一源漏插塞用于实现第一源漏掺杂区与外部电路的电连接;所述第二源漏插塞、存储栅极、以及第二源漏插塞与存储栅极之间的介质层构成反熔丝器件,第二源漏插塞和存储栅极分别构成反熔丝器件的两个电极。

[0058] 所述选择栅极的厚度为选择栅极沿垂直于衬底200表面方向上的尺寸,所述存储栅极的厚度为存储栅极沿垂直于所述衬底200表面方向上的尺寸。

[0059] 本实施例中,形成所述选择栅极和存储栅极的工艺为后栅工艺。所述介质层包括:覆盖所述存储栅极和选择栅极侧壁的隔离结构;位于所述存储栅极、选择栅极和隔离结构上的第一介质层。

[0060] 本实施例中,所述存储器还包括:位于所述隔离区II衬底200上的隔离栅极;位于所述存储区I衬底200上的伪栅极,所述伪栅极位于所述选择栅极和存储栅极之间,所述伪栅极的宽度大于或等于所述选择栅极的宽度,且小于所述存储栅极的宽度,所述第二源漏掺杂区位于所述伪栅极和所述存储栅极之间;位于所述伪栅极与所述选择栅极之间衬底200中的第三源漏掺杂区,所述第三源漏掺杂区与所述第二源漏掺杂区电连接。在其他实施例中,所述存储器还可以不包括所述隔离栅极和伪栅极中的一者或两者。所述存储器还可以不包括所述第三源漏掺杂区。

[0061] 所述伪栅极的厚度为伪栅极沿垂直于所述衬底表面方向上的尺寸。

[0062] 本实施例中,形成所述隔离结构、选择栅极、存储栅极、隔离栅极、伪栅极和介质层的步骤如图3至图6所示。

[0063] 后续在所述存储区I衬底200上形成分立的初始存储栅极和初始选择栅极,所述初始存储栅极的宽度大于所述初始选择栅极的宽度。

[0064] 所述初始存储栅极的宽度为所述初始存储栅极在沿垂直于初始存储栅极侧壁方向上的尺寸;所述初始选择栅极的宽度为所述选择栅极在沿垂直于所述初始选择栅极侧壁方向上的尺寸。

[0065] 本实施例中,形成所述初始存储栅极、初始选择栅极和隔离结构的步骤如图3至图5所示。

[0066] 请参考图3,在所述衬底200上形成第一栅极层;对所述第一栅极层进行图形化,形成牺牲存储栅极230和牺牲选择栅极210。

[0067] 所述第一栅极层用于形成牺牲存储栅极230和牺牲选择栅极210;所述牺牲存储栅极230用于为后续形成初始存储栅极231提供空间;所述牺牲选择栅极210用于为后续形成初始选择栅极211提供空间。

[0068] 本实施例中,对所述第一栅极层进行图形化之后,还在所述衬底200上形成牺牲伪栅极220。在其他实施例中,不形成伪栅极,则图形化之后,可以不形成所述牺牲伪栅极。

[0069] 所述牺牲伪栅极220用于减小后续曝光处理过程中,存储光罩图形对选择栅极212尺寸的影响。

[0070] 本实施例中,所述图形化的步骤包括:提供光罩,所述光罩包括存储光罩图形、选择光罩图形和伪光罩图形,所述存储光罩图形与牺牲存储栅极230对应,所述选择光罩图形

与牺牲选择栅极210对应,所述伪光罩图形与牺牲伪栅极220对应;在所述第一栅极层上形成初始光刻胶;通过所述光罩对所述初始光刻胶进行曝光处理,形成光刻胶;以所述光刻胶为掩膜对所述第一栅极层,进行刻蚀。

[0071] 本实施例中,所牺牲存储栅极230的宽度大于所述牺牲选择栅极210的宽度。所述牺牲伪栅极220的宽度与所述牺牲选择栅极210的宽度相等。在其他实施例中,所述牺牲伪栅极的宽度可以大于所述牺牲选择栅极的宽度,且小于所述牺牲存储栅极的宽度。

[0072] 所述牺牲存储栅极230的宽度为所述牺牲存储栅极230在沿垂直于牺牲存储栅极230侧壁方向上的尺寸;所述牺牲选择栅极210的宽度为所述选择栅极210在沿垂直于所述牺牲选择栅极210侧壁方向上的尺寸;所述牺牲伪栅极220的宽度为牺牲伪栅极220沿垂直于牺牲伪栅极220侧壁方向上的尺寸。

[0073] 如果所述牺牲存储栅极230的宽度过小,不利于降低后续栅极刻蚀过程中,牺牲存储栅极230的刻蚀速率,从而不利于增加后存储栅极232的厚度,进而不利于降低存储器的编程电压。本实施例中,所述存储栅极232的宽度大于 $0.1\mu\text{m}$ 。

[0074] 如果所述牺牲选择栅极210的宽度过大,不利于提高后续栅极刻蚀过程中,牺牲选择栅极210的刻蚀速率,不利于降低选择栅极212的厚度,从而容易使后续的选择栅极212与第一源漏插塞或第三源漏插塞之间的介质层容易被击穿,从而影响存储器的稳定性。具体的,本实施例中,所述牺牲选择栅极210的宽度小于 $0.05\mu\text{m}$ 。

[0075] 需要说明的是,所述牺牲伪栅极220的宽度与所述牺牲选择栅极210的宽度相等,则所述存储光罩图形的宽度与所述选择光罩图形的宽度相等。在所述曝光过程中,所述伪光罩图形能够减小存储光罩图形对牺牲选择栅极210尺寸的影响。所述牺牲伪栅极220的宽度与所述牺牲选择栅极210的宽度相等,能够减小与所述选择光罩图形对应的光刻胶中图形的畸变,从而能够精确控制选择栅极212宽度。

[0076] 另外,所牺牲存储栅极230的宽度大于所述牺牲选择栅极210的宽度,存储光罩图形宽度大于所述选择光罩图形的宽度。存储光罩图形的宽度较大,则曝光过程中,存储光罩图形对光的衍射和干涉作用较小,从而不容易引起与存储光罩图形对应的光刻胶中图形的畸变,从而能够提高所形成的牺牲存储栅极230宽度的精度。

[0077] 后续形成覆盖所述牺牲存储栅极230侧壁和牺牲选择栅极210侧壁的隔离结构;在所述存储区I衬底200中形成第一源漏掺杂区和第二源漏掺杂区,所述第二源漏掺杂区位于所述牺牲选择栅极和牺牲存储栅极之间。

[0078] 本实施例中,所述隔离结构包括:覆盖所述牺牲存储栅极210和牺牲选择栅极230侧壁的侧墙;位于所述衬底200上的第二介质层,所述第二介质层252覆盖所述侧墙侧壁。

[0079] 具体的,本实施例中,形成所述隔离结构、第一源漏掺杂区和第二源漏掺杂区的步骤如图3和图4所示。

[0080] 继续参考图3,形成覆盖所述牺牲存储栅极230和牺牲选择栅极210的侧墙251。

[0081] 所述侧墙251用于后续刻蚀介质层时,保护存储栅极232和牺牲栅极。

[0082] 形成所述侧墙251的步骤包括:在所述牺牲存储栅极230、牺牲选择栅极210、牺牲伪栅极220和牺牲隔离栅极240侧壁和顶部、以及所述衬底200上形成侧墙层;去除所述牺牲存储栅极230、牺牲选择栅极210、牺牲伪栅极220和牺牲隔离栅极240顶部和所述衬底200上的侧墙层,形成侧墙251。

[0083] 所述侧墙251与后续形成的第二介质层的材料不相同,且与后续形成的第一介质的材料不相同。

[0084] 本实施例中,所述侧墙251的材料为氮化硅。在其他实施例中,所述侧墙的材料还可以为氮氧化硅或氧化硅。

[0085] 请参考图4,形成所述侧墙251之后,分别在所述选择栅极212两侧的存储区I衬底200中形成第一源漏掺杂区281和第二源漏掺杂区283,所述第二源漏掺杂区283位于所述选择栅极212和存储栅极232之间。

[0086] 本实施例中,所述存储区I衬底200上还具有牺牲伪栅极220。所述形成方法还包括:在所述牺牲存储栅极230和所述牺牲伪栅极220之间的存储区I衬底200中形成第三源漏掺杂区282。

[0087] 本实施例中,形成所述第三源漏掺杂区282、第二源漏掺杂区283和第一源漏掺杂区281的步骤包括:形成覆盖所述隔离区II衬底200和牺牲隔离栅极240的光刻胶;以所述光刻胶、牺牲选择栅极210、牺牲存储栅极230和牺牲伪栅极220为掩膜,对所述衬底200进行离子注入,在衬底200中注入源漏离子,形成所述第一源漏掺杂区281、第二源漏掺杂区283和第三源漏掺杂区282。

[0088] 在其他实施例中,形成所述第三源漏掺杂区、第二源漏掺杂区和第一源漏掺杂区的步骤包括:形成覆盖所述隔离区衬底和牺牲隔离栅极的光刻胶;以所述光刻胶、牺牲选择栅极、牺牲存储栅极和牺牲伪栅极为掩膜,对所述衬底进行刻蚀,在所述选择栅极两侧的衬底中分别形成第一凹槽和第三凹槽,所述第三凹槽位于所述伪栅极与所述选择栅极之间,在所述伪栅极与所述存储栅极之间的衬底中形成第二凹槽;所述第一凹槽中形成第一源漏掺杂区;在所述第二凹槽中形成第二源漏掺杂区;在所述第三凹槽中形成第三源漏掺杂区。

[0089] 所述源漏离子为P型离子或N型离子。所述P型离子包括硼离子或 BF_2^+ 中的一种或两种组合。所述N型离子包括:磷离子、砷离子或锑离子中的一种或多种组合。

[0090] 请参考图5,在所述衬底200上形成第二介质层252,所述第二介质层252覆盖所述牺牲存储栅极230和牺牲选择栅极210侧壁,且暴露出所述牺牲存储栅极230和牺牲选择栅极210顶部。

[0091] 所述第二介质层252用于后续形成的存储栅极232与牺牲栅极之间的电隔离。

[0092] 本实施例中,所述第二介质层252还覆盖所述牺牲伪栅极220和牺牲隔离栅极240侧壁。

[0093] 本实施例中,所述第二介质层252的材料为氧化硅、氮氧化硅或低k介质材料。所述低k介质材料的介电常数小于3.9。

[0094] 形成所述第二介质层252的步骤包括:在所述衬底200、牺牲存储栅极230、牺牲选择栅极210、牺牲隔离栅极240和牺牲伪栅极220上形成初始第二介质层;对所述初始第二介质层进行第一平坦化处理,去除所述牺牲存储栅极230、牺牲选择栅极210、牺牲隔离栅极240和牺牲伪栅极220上的初始第二介质层,形成第二介质层252。

[0095] 本实施例中,形成所述初始第二介质层的工艺包括流体化学气相沉积工艺。流体化学气相沉积工艺形成的初始第二介质层的间隙填充性能好,从而能够增加第二介质层252的隔离性能。在其他实施例中,形成所述初始第二介质层的工艺包括高深宽比沉积工艺。

- [0096] 所述第一平坦化处理的工艺包括化学机械研磨。
- [0097] 所述隔离结构包括所述第二介质层252和所述侧墙251。
- [0098] 请参考图6,去除所述牺牲选择栅极210,在所述隔离结构中形成第一开口;去除所述牺牲存储栅极230,在所述隔离结构中形成第二开口;在所述第二开口中形成初始存储栅极231;在所述第一开口中形成初始选择栅极211。
- [0099] 所述第二开口用于容纳所述初始存储栅极231,所述第一开口用于容纳初始选择栅极211。所述初始存储栅极231用于后续形成存储栅极232,所述初始选择栅极211用于后续形成选择栅极212。
- [0100] 所述形成方法还包括:去除所述牺牲伪栅极220,在所述隔离结构中形成第三开口;去除所述牺牲隔离栅极240,在所述隔离结构中形成第四开口;在所述第三开口中形成初始伪栅极221;在所述第四开口中形成初始隔离栅极241。
- [0101] 形成所述初始选择栅极211、初始存储栅极231、初始隔离栅极241和初始伪栅极221的步骤包括:在所述第一开口、第二开口、第三开口和第四开口中,以及所述隔离结构上形成金属层;对所述金属层进行第二平坦化处理,去除所述隔离结构上的金属层。
- [0102] 所述金属层的材料为Al、Cu、Ag、Au、Ni、Ti、W、WN或WSi。
- [0103] 所述第二平坦化处理的工艺包括化学机械研磨。
- [0104] 需要说明的是,所述第二平坦化处理使所述金属层表面平坦,从而所述存储栅极232、选择栅极212、伪栅极222和隔离栅极242的厚度相同。
- [0105] 所述存储栅极232的厚度为存储栅极232沿垂直于衬底200表面方向上的尺寸;所述选择栅极212的厚度为选择栅极212沿垂直于衬底200表面方向上的尺寸;所述伪栅极222的厚度为伪栅极222沿垂直于衬底200表面方向上的尺寸;所述隔离栅极242的厚度为隔离栅极242沿垂直于衬底200表面方向上的尺寸。
- [0106] 请参考图7,对所述初始存储栅极231和初始选择栅极211进行栅极刻蚀,去除部分厚度的初始存储栅极231,形成存储栅极232,并去除部分厚度的初始选择栅极211,形成选择栅极212,去除的初始存储栅极231的厚度小于去除的初始选择栅极211的厚度。
- [0107] 所述栅极刻蚀用于使所述存储栅极232的厚度大于所述选择栅极212厚度。所述存储栅极232的厚度较大能够增加存储栅极232侧壁的面积,从而增加存储栅极232与后续形成的第二源漏插塞之间介质层的击穿概率,进而降低所形成存储器的编程电压,降低存储器的功耗;所述选择栅极212的厚度较小,能够减小选择栅极212侧壁的面积,从而降低选择栅极212与后续形成的第一源漏插塞之间介质层的击穿概率,以及降低选择栅极212与第二源漏插塞之间介质层的击穿概率,进而改善所形成存储的性能。
- [0108] 需要说明的是,本实施例中,所述初始存储栅极231的宽度大于所述初始选择栅极211的宽度。对所述初始存储栅极231和初始选择栅极211进行栅极刻蚀的过程中,所述初始存储栅极231表面形成的聚合较多,所述聚合物容易降低初始存储栅极231的刻蚀速率,从而导致所述初始存储栅极231的刻蚀速率小于所述初始选择栅极211的刻蚀速率。因此,所述形成方法能够使所述存储栅极232的厚度大于所述选择栅极212的宽度。所述初始存储栅极231的宽度大于所述初始选择栅极211的宽度,可以对初始存储栅极231和初始选择栅极211通过同一工艺进行刻蚀,从而形成选择栅极212和存储栅极232。因此,所述形成方法能够简化工艺流程。

[0109] 本实施例中,形成所述隔离结构之后,对所述初始存储栅极231和初始选择栅极211进行栅极刻蚀。则去除部分厚度的初始存储栅极231之后,在所述隔离结构中形成第二凹槽293;去除部分厚度的初始选择栅极211之后,在所述隔离结构中形成第一凹槽291。

[0110] 本实施例中,在所述栅极刻蚀的过程中,还对所述初始隔离栅极241和初始伪栅极221进行栅极刻蚀,去除部分厚度的伪栅极222形成第三凹槽292,去除部分厚度的初始隔离栅极241在所述隔离结构中形成第四凹槽294。

[0111] 本实施例中,所述栅极刻蚀的工艺包括:干法刻蚀工艺。干法刻蚀工艺具有良好的线宽控制,能够较容易地控制所述存储栅极232的厚度。在其他实施例中,所述栅极刻蚀的工艺还可以为湿法刻蚀工艺或干法、湿法刻蚀工艺的组合。

[0112] 如果去除所述初始存储栅极231和初始选择栅极211的厚度过大,容易导致所述存储栅极232和选择栅极212的厚度过小,存储栅极232的厚度过小,不利于增加存储栅极232侧壁的面积,进而不利于降低存储器的编程电压;如果去除的所述初始存储栅极231和初始选择栅极211的厚度过小,容易导致所述存储栅极232的厚度过大,从而容易使存储栅极232与存储插塞或第三源漏插塞262之间的介质层被击穿,降低存储器的性能。具体的,本实施例中,去除的所述初始存储栅极231的厚度为15nm~18nm;去除的初始选择栅极211的厚度为25nm~31nm。

[0113] 请参考图8,在所述第一凹槽291(如图7所示)和第二凹槽293(如图7所示)中形成保护层253。

[0114] 所述保护层253用于后续刻蚀介质层的过程中,保护所述存储栅极232和选择栅极212,减小存储栅极232和选择栅极212的损耗。

[0115] 所述保护层253的材料与所述介质层的材料不相同。

[0116] 本实施例中,所述隔离结构的材料为氧化硅。所述保护层253的材料为氮化硅或氮氧化化硅。在其他实施例中,所述隔离结构为低k介质材料,所述保护层的材料可以为氧化硅。

[0117] 本实施例中,所述第四凹槽294和第三凹槽292中也具有保护层253。

[0118] 形成所述保护层253的步骤包括:在所述第一凹槽291、第二凹槽293、第四凹槽294和第三凹槽292中,以及所述隔离结构上形成初始保护层;对所述初始保护层进行第三平坦化处理,去除所述隔离结构上的初始保护层,形成保护层253。

[0119] 形成所述初始保护层的工艺包括化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺。

[0120] 所述第三平坦化处理的工艺包括化学机械研磨。

[0121] 需要说明的是,在其他实施例中,还可以不形成所述保护层。

[0122] 请参考图9,在所述存储栅极232、选择栅极212和隔离结构上形成第一介质层260。

[0123] 所述第一介质层260用于实现后续形成的第二源漏插塞、第二栅极插塞、第一源漏插塞以及第一栅极插塞之间的电隔离。

[0124] 本实施例中,所述第一介质层260位于所述保护层253上。

[0125] 本实施例中,所述第一介质层260的材料为氧化硅。在其他实施例中,所述第一介质层的材料还可以为低k介质材料或有机介质材料。

[0126] 本实施例中,形成所述第一介质层260的工艺包括化学气相沉积工艺、物理气相沉

积工艺或原子层沉积工艺。在其他实施例中,所述第一介质层的材料为有机介质材料,形成所述第一介质层的工艺包括旋涂工艺。

[0127] 请参考图10至图12,图10是在图9基础上的后续步骤示意图,图12(图12中未示出所述介质层和保护层)是图10的俯视图,图10是图12沿切割线1-2的剖面图,图11是图12沿切割线3-4的剖面图,在所述介质层中形成第一源漏插塞261和第二源漏插塞263,所述第一源漏插塞261与所述第一源漏掺杂区281电连接,所述第二源漏插塞263与所述第二源漏掺杂区283电连接。

[0128] 所述第一源漏插塞261用于实现第一源漏掺杂区281与外部电路的电连接。所述第二源漏插塞263、存储栅极232、以及位于所述第二源漏插塞263和存储栅极232之间的介质层形成电容器。当对存储器进行编程时,使所述第二源漏插塞263和存储栅极232之间具有较大的电压差,从而使所述第二源漏插塞263和存储栅极232之间的介质层被击穿,使第二源漏插塞263和存储栅极232之间的介质层电阻下降,进而实现编程。

[0129] 本实施例中,所述形成方法还包括:在所述介质层中形成第三源漏插塞262,所述第三源漏插塞262与所述第三源漏掺杂区282电连接;在所述介质层中形成隔离插塞264,所述隔离插塞264连接隔离栅极242与存储栅极232之间的衬底200。

[0130] 所述第三源漏插塞262用于与后续形成的连接线用于实现第二源漏掺杂区283与第三源漏掺杂区282之间的电连接。

[0131] 形成所述第一源漏插塞261、第二源漏插塞263、第三源漏插塞262和隔离插塞264的步骤包括:对所述介质层进行刻蚀,分别在所述介质层中形成选择接触孔、存储接触孔、伪接触孔和隔离接触孔;在所述选择接触孔、存储接触孔、伪接触孔和隔离接触孔中,以及所述介质层上形成插塞金属层;去除所述介质层上的插塞金属层。

[0132] 所述隔离插塞264用于提高对介质层进行刻蚀的工艺均一性,从而保证所述选择接触孔、存储接触孔和伪接触孔尺寸的精度,进而提高第一源漏插塞261、第二源漏插塞263和第三源漏插塞262尺寸的精度。

[0133] 需要说明的是,本实施例中,通过自对准刻蚀工艺形成所述选择接触孔、存储接触孔、伪接触孔和隔离接触孔。在对所述介质层进行刻蚀的过程中,所述保护层253能够对所述存储栅极232、选择栅极212、隔离栅极242和伪栅极222进行保护,从而减小存储栅极232、选择栅极212、隔离栅极242和伪栅极222的损耗。

[0134] 本实施例中,所述第一源漏插塞261、第二源漏插塞263、隔离插塞264和第三源漏插塞262的材料为铜、铝或钨。

[0135] 所述形成方法还包括:形成连接所述选择栅极212的第一栅极插塞271;形成连接所述存储栅极232的第二栅极插塞272。

[0136] 所述第一栅极插塞271用于实现选择栅极212与外部电路的电连接。所述第二栅极插塞272用于实现存储栅极232与外部电路的电连接。

[0137] 本实施例中,所述第二栅极插塞272和第一栅极插塞271的材料为铜、铝或钨。

[0138] 继续参考图10至图12,在所述介质层上形成连接线270,所述连接线270连接所述第三源漏插塞262和所述第二源漏插塞263。

[0139] 所述连接线270用于实现第三源漏插塞262和所述第二源漏插塞263之间的电连接,从而实现第二源漏掺杂区283与第三源漏掺杂区282之间的电连接。

[0140] 本实施例中,所述连接线270的材料为铝。在其他实施例中,所述连接线的材料还可以为铜。

[0141] 图13至图16是本发明的存储器的形成方法另一实施例各步骤的结构示意图。

[0142] 本实施例与图2至图12所述的存储器的形成方法的相同之处在此不做赘述,不同之处如图13至图16所示。

[0143] 请参考图13,图13是在图2基础上的后续步骤示意图,在所述存储区I衬底200上形成分立的牺牲存储栅极330和牺牲选择栅极210。

[0144] 所述牺牲存储栅极330与所述牺牲选择栅极210的宽度相同,所述存储区I衬底200上不具有牺牲伪栅极220。

[0145] 形成所述牺牲存储栅极330和牺牲选择栅极210的步骤包括:在衬底200上形成第一栅极层;对所述第一栅极层进行图形化,形成所述牺牲存储栅极330和牺牲选择栅极210。

[0146] 所述图形化的步骤包括:在所述第一栅极层上形成光刻胶;提供光罩,所述光罩中具有选择图形和存储图形,所述选择图形与所述选择栅极212对应,所述存储图形与所述存储栅极232对应;通过所述光罩对所述光刻胶进行曝光处理,在所述光刻胶中形成存储曝光图形和选择曝光图形,所述存储曝光图形与存储图形对应,所述选择曝光图形与所述选择图形对应。

[0147] 所述牺牲存储栅极330和牺牲选择栅极210的宽度相同,则所述选择图形和存储图形的尺寸相同。在所述曝光处理过程中,能够减小选择图形和存储图形之间的相互影响引起的存储曝光图形和选择曝光图形的畸变,从而能够精确控制所形成的牺牲存储栅极330和牺牲选择栅极210的宽度,进而能够精确控制后续形成的存储栅极与选择栅极的宽度。

[0148] 另外,由于所述牺牲存储栅极330和牺牲选择栅极210的宽度相同,不需要形成牺牲伪栅极。因此,所述存储器不具有伪栅极,从而能够减小所形成存储器的体积,提高存储器的集成度。

[0149] 请参考图14,在所述衬底200上形成隔离结构;去除所述牺牲选择栅极210,在所述隔离结构中形成第一开口;去除所述牺牲存储栅极220,在所述隔离结构中形成第二开口;在所述第一开口中形成初始选择栅极211;在所述第二开口中形成初始存储栅极331。

[0150] 请参考图15,对所述初始存储栅极331进行第一刻蚀,去除部分厚度的初始存储栅极331,形成存储栅极332,去除的初始存储栅极331的厚度为第一厚度。

[0151] 本实施例中,所述第一刻蚀用于减小所述初始存储栅极331的厚度,在所述介质层中形成第二凹槽293。

[0152] 对所述初始存储栅极331进行第一刻蚀的步骤包括:在所述初始选择栅极211上形成第一光刻胶311;以所述第一光刻胶311为掩膜进行第一刻蚀。

[0153] 本实施例中,所述第一光刻胶311还覆盖所述隔离栅极241。

[0154] 本实施例中,所述第一刻蚀的工艺包括干法刻蚀工艺。干法刻蚀工艺具有良好的线宽控制,能够较容易地控制所述存储栅极332的厚度。在其他实施例中,所述第一刻蚀的工艺还可以为湿法刻蚀工艺。

[0155] 请参考图16,对所述初始选择栅极211进行第二刻蚀,去除部分厚度的初始选择栅极211,形成选择栅极212,去除的初始选择栅极211的厚度为第二厚度,所述第二厚度小于第一厚度。

[0156] 本实施例中,所述第二刻蚀用于减小所述初始选择栅极211的厚度,在所述介质层中形成第一凹槽291,所述第一凹槽291用于后续容纳保护层。

[0157] 对所述初始选择栅极211进行第一刻蚀的步骤包括:在所述存储栅极332上形成第二光刻胶312;以所述第二光刻胶312为掩膜进行第二刻蚀。

[0158] 本实施例中,所述第二光刻胶312还覆盖所述隔离栅极241。

[0159] 本实施例中,所述第二刻蚀的工艺包括干法刻蚀工艺。干法刻蚀工艺具有良好的线宽控制,能够较容易地控制所述选择栅极212的厚度。在其他实施例中,所述第二刻蚀的工艺还可以为湿法刻蚀工艺。

[0160] 需要说明的是,以上实施例均是以后栅工艺为例对本发明进行说明的,在其他实施例中,所述存储栅极和选择栅极的材料为多晶硅、多晶锗或多晶硅锗。在又一实施例中还可以通过前栅工艺形成所述存储器。

[0161] 本实施例与图2至图12所示实施例的相同之处在此不多做赘述,不同之处在于:

[0162] 形成所述初始存储栅极、初始选择栅极的步骤包括:在所述衬底上形成第二栅极层;对所述第二栅极层进行图形化,形成所述初始存储栅极和初始选择栅极;形成初始存储栅极和初始选择栅极之后,形成所述第二源漏掺杂区和第一源漏掺杂区。

[0163] 本实施例中,形成所述第二介质层之后,对所述初始存储栅极和初始选择栅极进行栅极刻蚀,形成存储栅极和选择栅极。

[0164] 在其他实施例中,还可以对所述初始存储栅极进行第一刻蚀,去除部分厚度的初始存储栅极,形成存储栅极;对所述初始选择栅极进行第二刻蚀,去除部分厚度的初始选择栅极,形成选择栅极。

[0165] 本实施例中,形成第二介质层之后,去除部分厚度的初始选择栅极和初始存储栅极。在其他实施例中,形成选择栅极和存储栅极的步骤包括:在形成第二介质层之前,去除部分初始选择栅极和初始存储栅极。去除部分初始选择栅极和初始存储栅极之前,在所述选择栅极和存储栅极暴露出的衬底上形成图形层。所述图形层用于在去除部分初始选择栅极和初始存储栅极的过程中,对衬底进行保护。

[0166] 继续参考图10至图12,本发明实施例还提供一种存储器,包括:衬底200,所述衬底200包括存储区I;位于所述存储区I衬底200上的分立的选择栅极212和存储栅极232,所述存储栅极232的厚度大于所述选择栅极212的厚度;位于所述选择栅极212两侧存储区I衬底200中的第一源漏掺杂区281和第二源漏掺杂区283,所述第二源漏掺杂区283位于所述选择栅极212和存储栅极232之间,所述第二源漏掺杂区283与所述选择栅极212下方衬底200电连接;位于所述存储区I衬底200上的介质层,所述介质层覆盖所述存储栅极232侧壁和选择栅极212侧壁;位于所述介质层中的第一源漏插塞261和第二源漏插塞263,所述第一源漏插塞261连接所述第一源漏掺杂区281,所述第二源漏插塞263连接所述第二源漏掺杂区283。

[0167] 本实施例中,所述存储器还包括:位于所述存储区I衬底200上的伪栅极222,所述伪栅极222位于所述选择栅极212和存储栅极232之间,所述伪栅极222的宽度大于或等于所述选择栅极212的宽度,且小于所述存储栅极232的宽度;所述第二源漏掺杂区283位于所述伪栅极222和所述存储栅极232之间的衬底200中;位于所述伪栅极222与所述选择栅极212之间衬底200中的第三源漏掺杂区282,所述第三源漏掺杂区282与所述第二源漏掺杂区283电连接。在其他实施例中,所述存储器还可以不包括所述伪栅极(如图15所示)。

[0168] 所述伪栅极222的宽度为伪栅极222在沿垂直于所述伪栅极222侧壁方向上的尺寸;所述选择栅极212的宽度为选择栅极212在沿所述选择栅极212下方沟道长度方向上的尺寸;所述存储栅极232的宽度为存储栅极232在沿所述存储栅极232下方沟道长度的尺寸。

[0169] 本实施例中,所述存储器还包括:位于所述介质层中的第三源漏插塞262,所述第三源漏插塞262连接所述第三源漏掺杂区282;位于所述介质层上的连接线270,所述连接线270连接所述第三源漏插塞262和所述第二源漏插塞263。

[0170] 本实施例中,所述伪栅极222的厚度小于或等于所述选择栅极212厚度。

[0171] 本实施例中,所述存储栅极232的宽度大于所述选择栅极212的宽度。在其他实施例中,所述存储栅极232的宽度等于所述选择栅极212的宽度(如图15所示)。

[0172] 本实施例中,所述存储栅极232的宽度大于 $0.1\mu\text{m}$;所述选择栅极212的宽度小于 $0.05\mu\text{m}$ 。

[0173] 本实施例中,所述存储器还包括:位于所述选择栅极212和存储栅极232上的保护层253,所述保护层253的材料为氮化硅、氧化硅或氮氧化硅。在其他实施例中,所述存储器可以不包括所述保护层。

[0174] 所述存储区I的个数为多个,所述衬底200还包括位于相邻存储区I之间的隔离区II;所述存储器包括:位于所述隔离区II衬底200上的隔离栅极242。

[0175] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

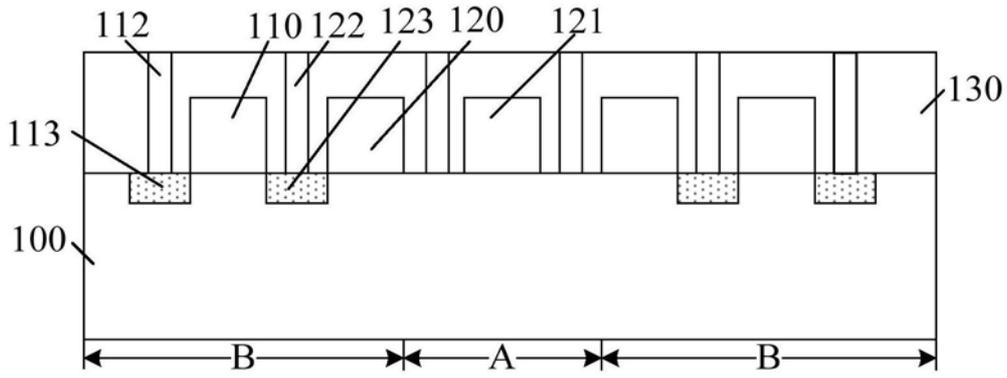


图1

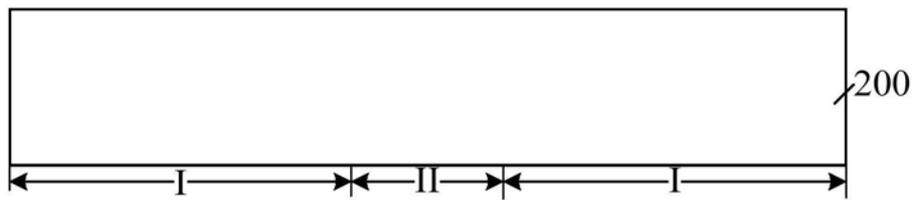


图2

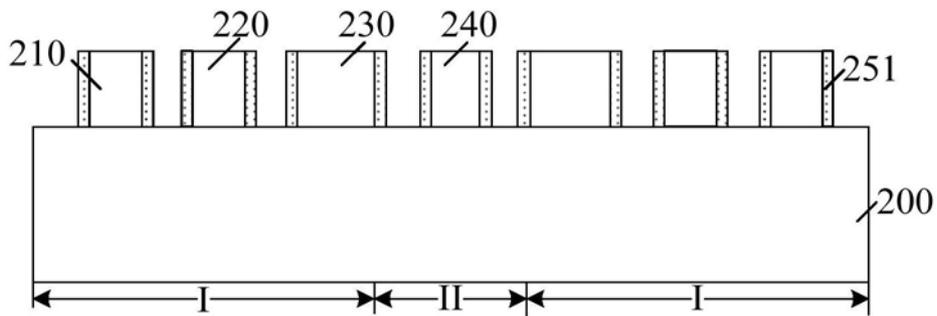


图3

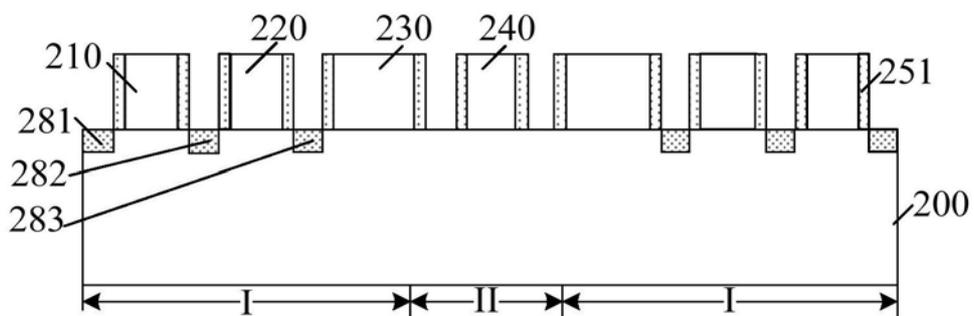


图4

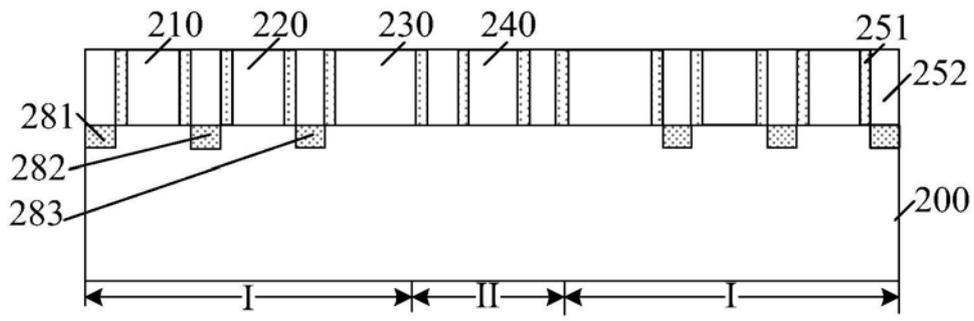


图5

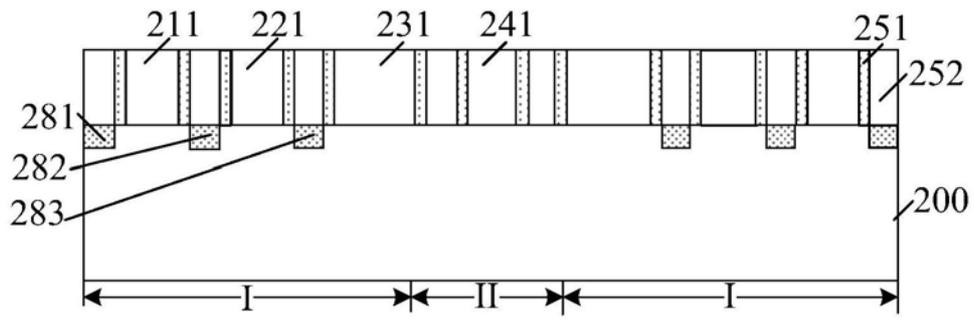


图6

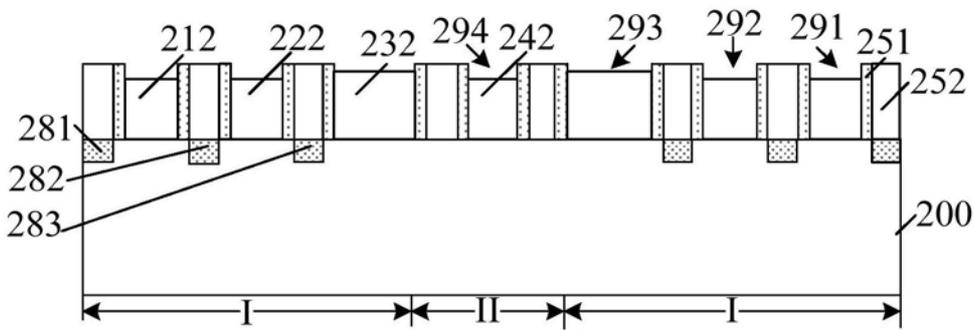


图7

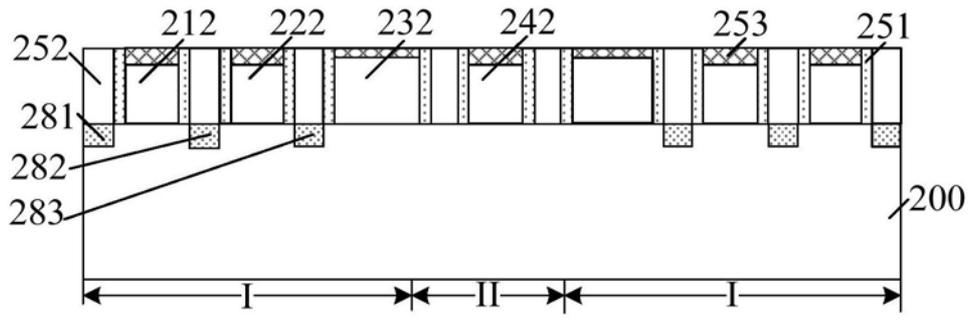


图8

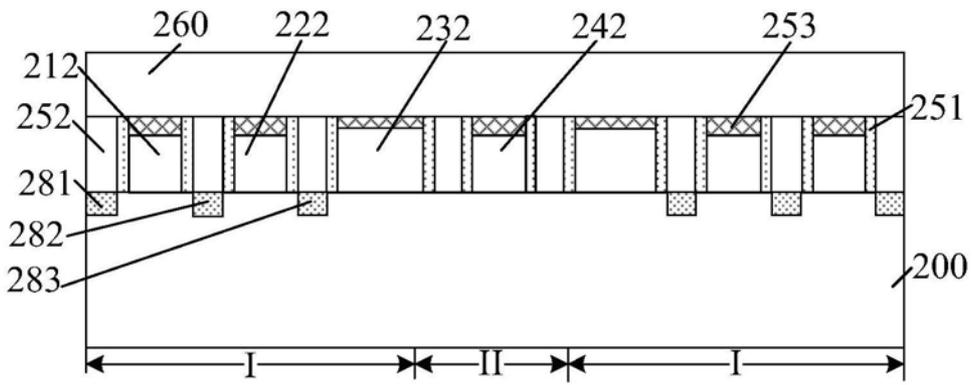


图9

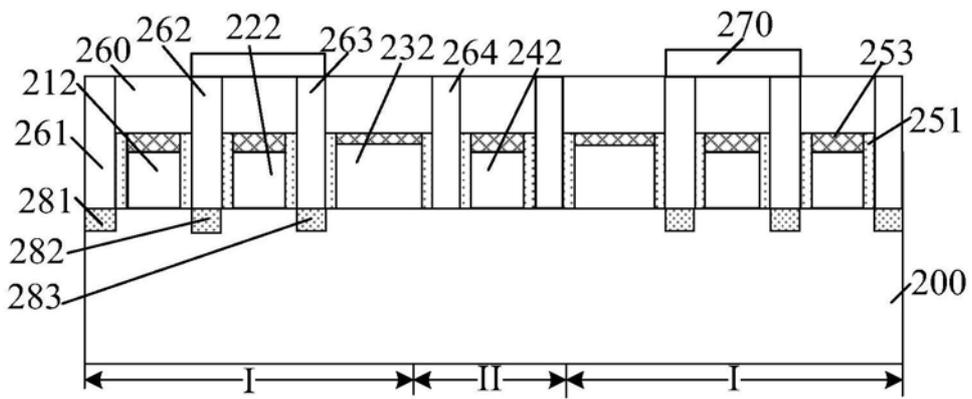


图10

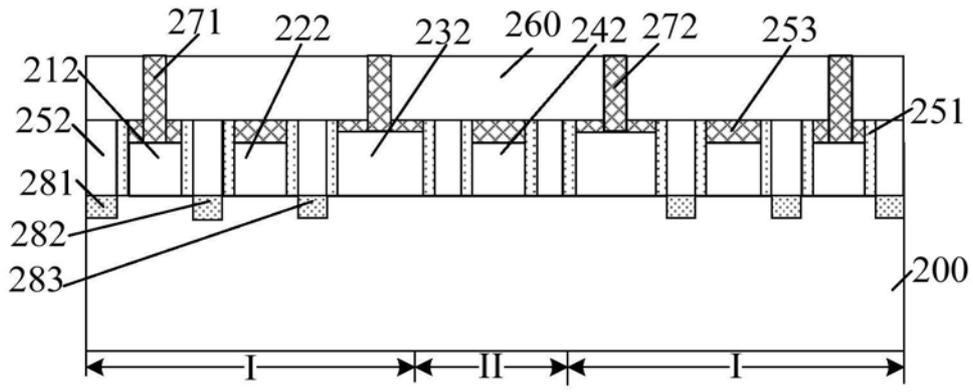


图11

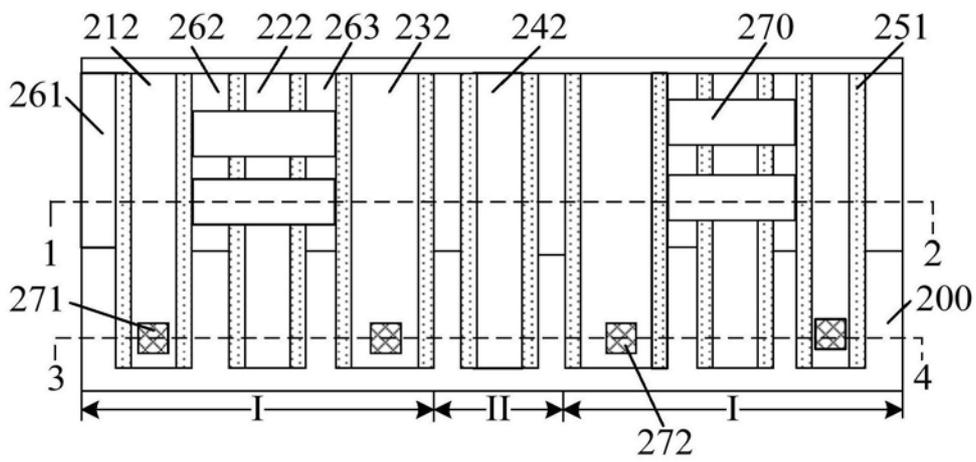


图12

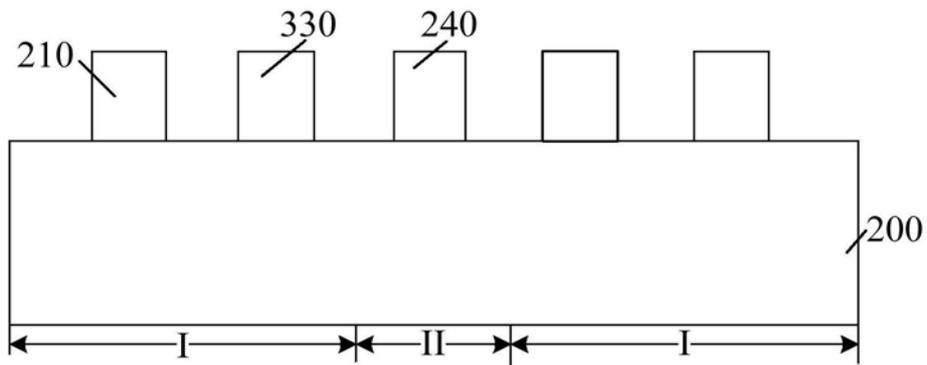


图13

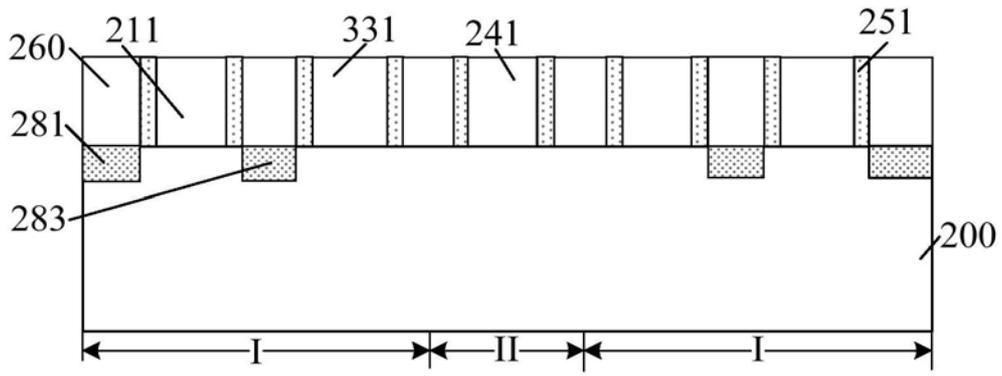


图14

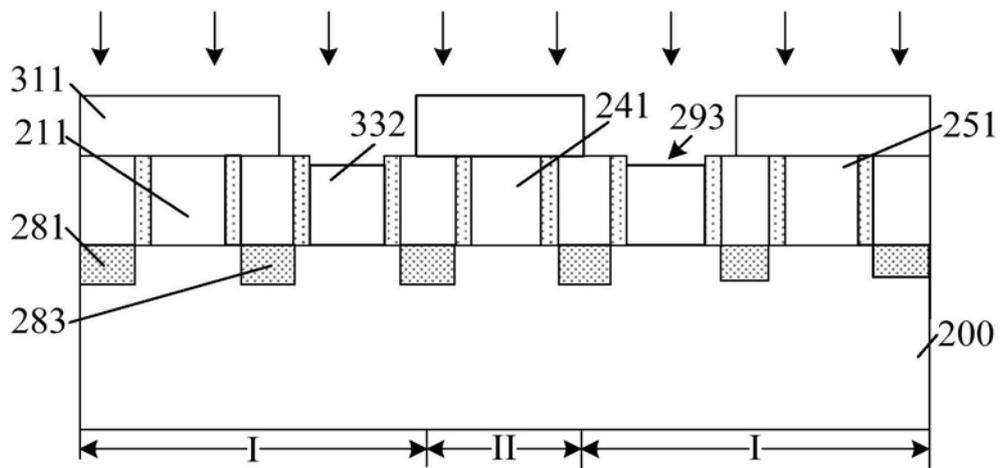


图15

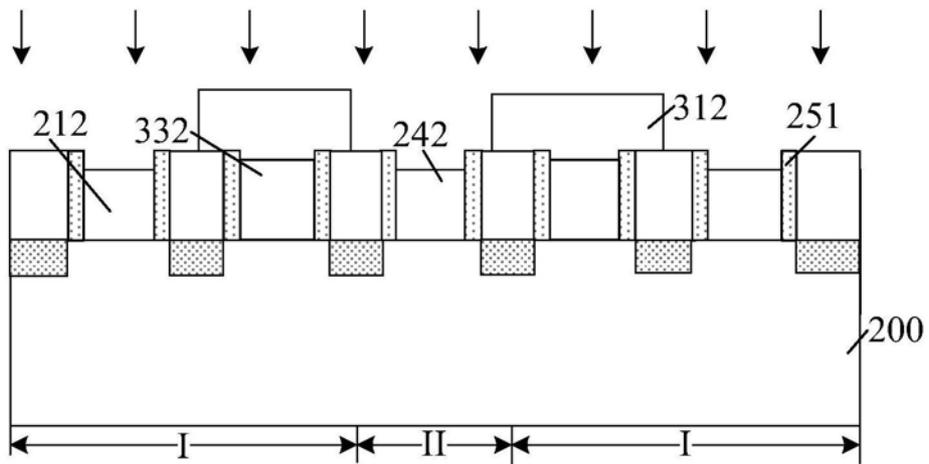


图16