



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월25일  
(11) 등록번호 10-2436634  
(24) 등록일자 2022년08월23일

- (51) 국제특허분류(Int. Cl.)  
H01L 29/78 (2006.01) H01L 21/8234 (2006.01)  
H01L 29/49 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류  
H01L 29/7831 (2013.01)  
H01L 21/823468 (2013.01)
- (21) 출원번호 10-2016-0080110
- (22) 출원일자 2016년06월27일  
심사청구일자 2021년05월25일
- (65) 공개번호 10-2018-0001234
- (43) 공개일자 2018년01월04일
- (56) 선행기술조사문헌  
US09029263 B1  
US20120282779 A1  
US20140024219 A1  
US20140248773 A1

- (73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자  
장윤경  
서울특별시 강남구 강남대로48길 15, 105호 (도곡동, 삼경하이빌 2)  
김상진  
경기도 수원시 영통구 도청로17번길 23, 5303동 2502호 (이의동, 자연앤자이)  
(뒷면에 계속)
- (74) 대리인  
특허법인가산

전체 청구항 수 : 총 19 항

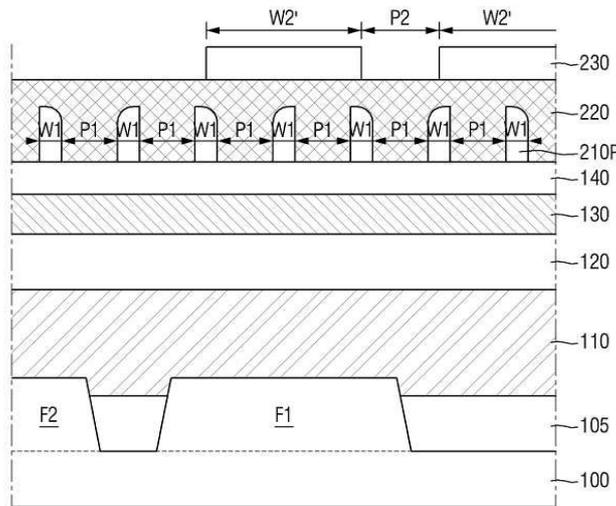
심사관 : 최정민

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치 및 그 제조 방법이 제공된다. 상기 반도체 장치 제조 방법은 기판 상에 반도체층, 제1 희생층 및 제2 희생층을 순차적으로 형성하고, 상기 제2 희생층을 패터닝하여 제2 희생 패턴을 형성하고, 상기 제2 희생 패턴의 양 측에 각각 스페이서 패턴을 형성하되, 상기 스페이서 패턴의 간격은 일정하고, 상기 스페이서 패턴의 폭은 일정하고, 상기 제2 희생 패턴을 제거하고, 상기 스페이서 패턴을 덮는 마스크층을 형성하고, 상기 마스크층 상에 서포팅 패턴을 형성하되, 상기 서포팅 패턴의 폭은 상기 스페이서 패턴의 폭보다 크고, 상기 서포팅 패턴은 상기 스페이서 패턴 중 적어도 일부와 오버랩되고, 상기 서포팅 패턴 및 상기 스페이서 패턴을 상기 제1 희생층에 전사(transfer)하여 희생 게이트 패턴 및 희생 서포팅 패턴을 형성하고, 상기 희생 게이트 패턴 및 상기 희생 서포팅 패턴을 상기 반도체층에 전사하여 게이트와 서포팅 게이트를 형성하는 것을 포함한다.

대표도 - 도21



(52) CPC특허분류

*H01L 29/4983* (2013.01)

*H01L 29/6656* (2013.01)

*H01L 29/66583* (2013.01)

*H01L 29/66818* (2013.01)

*H01L 29/7855* (2013.01)

(72) 발명자

**박동운**

서울특별시 강남구 삼성로 150, 101동 208호 (대치동, 한보미도맨션)

**박준수**

경기도 성남시 분당구 정자로 56, 101동 1502호 (정자동, 상록마을라이프1단지아파트)

**양창재**

서울특별시 중구 다산로 32, 8동 1302호 (신당동, 남산타운아파트)

**윤광섭**

경기도 용인시 수지구 상현로 101, 108동 304호 (상현동, 상현마을수지센트럴아이파크)

**주혜경**

울산광역시 동구 산록6길 13 (전하동)

## 명세서

### 청구범위

#### 청구항 1

기판 상에 반도체층, 제1 희생층 및 제2 희생층을 순차적으로 형성하고,

상기 제2 희생층을 패터닝하여 제2 희생 패턴을 형성하고,

상기 제2 희생 패턴의 양 측에 각각 스페이서 패턴을 형성하되, 상기 스페이서 패턴의 간격은 일정하고, 상기 스페이서 패턴의 폭은 일정하고,

상기 제2 희생 패턴을 제거하고,

상기 스페이서 패턴을 덮는 마스크층을 형성하고,

상기 마스크층 상에 서포팅 패턴을 형성하되, 상기 서포팅 패턴의 폭은 상기 스페이서 패턴의 폭보다 크고, 상기 서포팅 패턴은 상기 스페이서 패턴 중 적어도 일부와 오버랩되고,

상기 서포팅 패턴 및 상기 스페이서 패턴을 상기 제1 희생층에 전사(transfer)하여 희생 게이트 패턴 및 희생 서포팅 패턴을 형성하고,

상기 희생 게이트 패턴 및 상기 희생 서포팅 패턴을 상기 반도체층에 전사하여 게이트와 서포팅 게이트를 형성하는 것을 포함하고,

인접한 게이트 간의 간격은 상기 서포팅 게이트에 가장 인접한 게이트와 상기 서포팅 게이트 사이의 간격과 동일하고, 상기 스페이서 패턴의 일정한 간격과 동일한 반도체 장치 제조 방법.

#### 청구항 2

제1 항에 있어서,

상기 스페이서 패턴은 산화막을 포함하는 반도체 장치 제조 방법.

#### 청구항 3

제1 항에 있어서,

상기 희생 서포팅 패턴은 제1 및 제2 희생 서포팅 패턴을 포함하고,

상기 제1 희생 서포팅 패턴은 상기 제2 희생 서포팅 패턴과 상기 희생 게이트 패턴 사이에 형성되는 반도체 장치 제조 방법.

#### 청구항 4

제3 항에 있어서,

상기 제1 희생 서포팅 패턴의 폭은 상기 제2 희생 서포팅 패턴의 폭과 서로 다른 반도체 장치 제조 방법.

#### 청구항 5

제3 항에 있어서,

상기 제1 희생 서포팅 패턴과 상기 제2 희생 서포팅 패턴 사이의 간격은 상기 스페이서 패턴의 간격과 서로 다른 반도체 장치 제조 방법.

#### 청구항 6

제5 항에 있어서,

상기 제1 희생 서포팅 패턴과 상기 제2 희생 서포팅 패턴 사이의 간격은 상기 스페이서 패턴의 간격보다 큰 반도체 장치 제조 방법.

**청구항 7**

제5 항에 있어서,

상기 희생 서포팅 패턴을 상기 반도체층에 전사하는 것은, 상기 제1 및 제2 희생 서포팅 패턴을 상기 반도체층에 전사하여 제1 및 제2 서포팅 게이트를 형성하는 것을 포함하고,

상기 제1 서포팅 게이트와 상기 제2 서포팅 게이트 사이의 간격은 인접한 게이트 간의 간격과 동일한 반도체 장치 제조 방법.

**청구항 8**

제1 항에 있어서,

상기 게이트 및 서포팅 게이트는 제1 방향으로 나란히 연장되는 반도체 장치 제조 방법.

**청구항 9**

제8 항에 있어서,

상기 기판보다 돌출되고, 상기 제1 방향과 교차하는 제2 방향으로 연장되고, 상기 게이트 및 상기 서포팅 게이트 아래에 형성되는 핀형 패턴을 더 포함하는 반도체 장치 제조 방법.

**청구항 10**

제9 항에 있어서,

상기 핀형 패턴은 복수이고,

상기 핀형 패턴 사이에 형성되는 필드 절연막을 더 포함하는 반도체 장치 제조 방법.

**청구항 11**

기판 상에 반도체층, 제1 희생층, 제2 희생층 및 제1 마스크층을 순차적으로 형성하고,

상기 제1 마스크층을 노광을 통해서 패터닝하여 제1 마스크 패턴을 형성하고,

상기 제1 마스크 패턴을 상기 제2 희생층에 전사하여 제2 희생 패턴을 형성하고,

상기 제2 희생 패턴의 양측에 스페이서 패턴을 형성하고,

상기 스페이서 패턴을 덮는 제2 마스크층을 형성하고,

상기 제2 마스크층 상에 서포팅 패턴을 형성하되, 상기 서포팅 패턴은 상기 스페이서 패턴과 오버랩되고,

상기 제2 마스크층을 노광을 통해서 패터닝하여 제2 마스크 패턴을 형성하고,

상기 제2 마스크 패턴 및 상기 스페이서 패턴을 상기 제1 희생층에 전사(transfer)하여 희생 게이트 패턴 및 희생 서포팅 패턴을 형성하고,

상기 희생 게이트 패턴 및 상기 희생 서포팅 패턴을 상기 반도체층에 전사하여 게이트와 서포팅 게이트를 형성하는 것을 포함하고,

인접한 게이트 간의 간격은 상기 서포팅 게이트에 가장 인접한 게이트와 상기 서포팅 게이트 사이의 간격과 동일하고, 상기 스페이서 패턴의 일정한 간격과 동일한 반도체 장치 제조 방법.

**청구항 12**

제11 항에 있어서,

상기 반도체층은 게이트층과 상기 게이트층 상에 형성되는 캡핑층을 포함하는 반도체 장치 제조 방법.

**청구항 13**

제12 항에 있어서,  
 상기 게이트층은 폴리실리콘을 포함하고,  
 상기 캡핑층은 SiN을 포함하는 반도체 장치 제조 방법.

**청구항 14**

제11 항에 있어서,  
 상기 제1 희생층은 제1 희생 패턴층과, 상기 제1 희생 패턴층 상에 형성되는 제1 희생 캡핑층을 포함하는 반도체 장치 제조 방법.

**청구항 15**

제14 항에 있어서,  
 상기 희생 게이트 패턴 및 희생 서포팅 패턴을 형성하는 것은,  
 상기 제1 희생 캡핑층을 패터닝하여 캡핑 게이트 패턴 및 캡핑 서포팅 패턴을 형성하고,  
 상기 캡핑 게이트 패턴 및 캡핑 서포팅 패턴을 이용하여 제1 희생 패턴층을 패터닝하는 것을 포함하는 반도체 장치 제조 방법.

**청구항 16**

제11 항에 있어서,  
 상기 스페이서 패턴은 상기 일정한 간격으로 배치된 복수의 스페이서 패턴을 포함하고,  
 상기 복수의 스페이서 패턴 중 최외곽 스페이서 패턴은 상기 복수의 스페이서 패턴 중 최외각에 위치하고,  
 상기 서포팅 패턴은 상기 최외곽 스페이서 패턴과 오버랩되는 반도체 장치 제조 방법.

**청구항 17**

제11 항에 있어서,  
 상기 서포팅 패턴의 폭은 상기 스페이서 패턴의 폭보다 크고,  
 상기 서포팅 패턴은 복수의 상기 스페이서 패턴과 오버랩되는 반도체 장치 제조 방법.

**청구항 18**

제15 항에 있어서,  
 상기 제2 마스크 패턴의 폭은 상기 서포팅 패턴의 폭보다 크거나 같은 반도체 장치 제조 방법.

**청구항 19**

기관 상에 반도체층 및 제1 희생층을 순차적으로 형성하고,  
 상기 제1 희생층 상에 일정한 간격으로 스페이서 패턴을 형성하고,  
 상기 스페이서 패턴을 덮는 마스크층을 형성하고,  
 상기 마스크층 상에 서포팅 패턴을 형성하되, 상기 서포팅 패턴은 상기 스페이서 패턴 중 적어도 일부와 오버랩되고,  
 상기 서포팅 패턴 및 상기 스페이서 패턴을 상기 제1 희생층에 전사하여 희생 게이트 패턴 및 희생 서포팅 패턴

을 형성하고,

상기 희생 게이트 패턴 및 상기 희생 서포팅 패턴을 상기 반도체층에 전사하여 복수의 게이트와 서포팅 게이트를 형성하는 것을 포함하되,

상기 복수의 게이트 및 상기 서포팅 게이트는 상기 기판의 상면과 평행한 제1 방향으로 제1 길이만큼 연장되고, 상기 복수의 게이트 중 인접한 게이트 간의 간격은 상기 스페이서 패턴의 상기 일정한 간격과 동일하고, 상기 서포팅 게이트와 상기 복수의 게이트 중 최외각 게이트 사이의 간격과 동일한 반도체 장치 제조 방법.

**청구항 20**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 또는 나노와이어(nanowire) 형상의 실리콘 바디를 형성하고 실리콘 바디의 표면 위에 게이트를 형성하는 멀티 게이트 트랜지스터(multi gate transistor)가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명이 해결하려는 과제는, 동작 특성이 향상된 반도체 장치를 제공하는 것이다.

[0005] 본 발명이 해결하려는 다른 과제는, 동작 특성이 향상된 반도체 장치 제조 방법을 제공하는 것이다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0007] 상기 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법은, 기판 상에 반도체층, 제1 희생층 및 제2 희생층을 순차적으로 형성하고, 상기 제2 희생층을 패터닝하여 제2 희생 패턴을 형성하고, 상기 제2 희생 패턴의 양 측에 각각 스페이서 패턴을 형성하되, 상기 스페이서 패턴의 간격은 일정하고, 상기 스페이서 패턴의 폭은 일정하고, 상기 제2 희생 패턴을 제거하고, 상기 스페이서 패턴을 덮는 마스크층을 형성하고, 상기 마스크층 상에 서포팅 패턴을 형성하되, 상기 서포팅 패턴의 폭은 상기 스페이서 패턴의 폭보다 크고, 상기 서포팅 패턴은 상기 스페이서 패턴 중 적어도 일부와 오버랩되고, 상기 서포팅 패턴 및 상기 스페이서 패턴을 상기 제1 희생층에 전사(transfer)하여 희생 게이트 패턴 및 희생 서포팅 패턴을 형성하고, 상기 희생 게이트 패턴 및 상기 희생 서포팅 패턴을 상기 반도체층에 전사하여 게이트와 서포팅 게이트를 형성하는 것을 포함한다.

[0008] 상기 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법은 기판 상에 반도체층, 제1 희생층, 제2 희생층 및 제1 마스크층을 순차적으로 형성하고, 상기 제1 마스크층을 노광을 통해서 패터닝하여 제1 마스크 패턴을 형성하고, 상기 제1 마스크 패턴을 상기 제2 희생층에 전사하여 제2 희생 패턴을 형성하고, 상기 제2 희생 패턴의 양측에 스페이서 패턴을 형성하고, 상기 스페이서 패턴을 덮는 제2 마스크층을 형성하고, 상기 제2 마스크층 상에 서포팅 패턴을 형성하되, 상기 서포팅 패턴은 상기 스페이서 패턴과 오버랩되고, 상기 제2 마스크층을 노광을 통해서 패터닝하여 제2 마스크 패턴을 형성하고, 상기 제2 마스크 패턴 및 상기 스페이

서 패턴을 상기 제1 희생층에 전사(transfer)하여 희생 게이트 패턴 및 희생 서포팅 패턴을 형성하고, 상기 희생 게이트 패턴 및 상기 희생 서포팅 패턴을 상기 반도체층에 전사하여 게이트와 서포팅 게이트를 형성하는 것을 포함한다.

[0009] 상기 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법은 기판 상에 반도체층 및 제1 희생층을 순차적으로 형성하고, 상기 제1 희생층 상에 일정한 간격으로 이격된 스페이서 패턴을 형성하고, 상기 스페이서 패턴을 덮는 마스크층을 형성하고, 상기 마스크층 상에 서포팅 패턴을 형성하되, 상기 서포팅 패턴은 상기 스페이서 패턴 중 적어도 일부와 오버랩되고, 상기 서포팅 패턴 및 상기 스페이서 패턴을 상기 제1 희생층에 전사하여 희생 게이트 패턴 및 희생 서포팅 패턴을 형성하고, 상기 희생 게이트 패턴 및 상기 희생 서포팅 패턴을 상기 반도체층에 전사하여 게이트와 서포팅 게이트를 형성하는 것을 포함하되, 상기 게이트 및 상기 서포팅 게이트는 제1 방향으로 제1 길이만큼 연장된다.

[0010] 상기 다른 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는 기판, 제1 방향으로 서로 반대되는 제1 및 제2 측면을 포함하는 게이트 영역으로서, 상기 게이트 영역은, 상기 기판 상에 상기 제1 방향과 교차하는 제2 방향으로 나란히 연장되고, 상기 제1 방향으로 제1 간격만큼 서로 이격되는 복수의 게이트를 포함하고, 상기 복수의 게이트는 상기 제1 측면과 최인접하는 제1 최외곽 게이트와, 상기 제2 측면과 최인접하는 제2 최외곽 게이트를 포함하는 게이트 영역, 상기 제1 최외곽 게이트와 상기 제1 방향으로 상기 제1 간격으로 이격되고, 상기 제2 방향으로 연장되는 제1 서포팅 게이트 및 상기 제2 최외곽 게이트와 상기 제1 방향으로 상기 제1 간격으로 이격되고, 상기 제2 방향으로 연장되는 제2 서포팅 게이트를 포함하되, 상기 복수의 게이트 각각의 폭은 상기 제1 및 제2 서포팅 게이트의 폭보다 작다.

[0011] 상기 다른 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는 제1 방향으로 서로 이격되는 제1 및 제2 영역을 포함하는 기판, 상기 제1 영역 상에 상기 제1 방향으로 제1 간격만큼 서로 이격되고, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 게이트, 상기 제2 영역 상에 상기 제1 방향으로 제2 간격만큼 서로 이격되고, 상기 제2 방향으로 연장되는 복수의 제2 게이트로서, 상기 제2 간격은 상기 제1 간격과 서로 다른 복수의 제2 게이트, 상기 제1 및 제2 영역 사이에 형성되고, 상기 제2 영역보다 상기 제1 영역에 인접하고, 상기 제2 방향으로 연장되는 제1 서포팅 게이트로서, 상기 제1 서포팅 게이트의 폭은 상기 복수의 게이트의 각각의 폭보다 큰 제1 서포팅 게이트 및 상기 제1 서포팅 게이트와 상기 제2 영역 사이에 형성되고, 상기 제2 방향으로 연장되는 제2 서포팅 게이트로서, 상기 제2 서포팅 게이트의 폭은 상기 복수의 제2 게이트의 각각의 폭보다 큰 제2 서포팅 게이트를 포함한다.

**도면의 간단한 설명**

[0012] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.  
 도 2는 도 1의 A 부분을 확대한 확대 레이아웃도이다.  
 도 3은 도 2의 B - B'로 자른 단면도이다.  
 도 4는 도 2의 C - C'로 자른 단면도이다.  
 도 5는 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 단면도이다.  
 도 6은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 단면도이다.  
 도 7은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.  
 도 8은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.  
 도 9는 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.  
 도 10은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.  
 도 11은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.  
 도 12 내지 도 25는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.  
 도 26 내지 도 34는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 35는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 이하에서, 도 1 내지 도 4를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치에 대해서 설명한다.
- [0014] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이고, 도 2는 도 1의 A 부분을 확대한 확대 레이아웃도이다. 도 3은 도 2의 B - B'로 자른 단면도이고, 도 4는 도 2의 C - C'로 자른 단면도이다.
- [0015] 도 1을 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 기판(100), 게이트 영역(GR) 및 서포팅 게이트(SG1, SG2)를 포함할 수 있다.
- [0016] 기판(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는, 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다.
- [0017] 게이트 영역(GR)은 기판(100) 상에 형성될 수 있다. 게이트 영역(GR)은 추후에 설명할 게이트(G), 제1 최외곽 게이트(G1) 및 제2 최외곽 게이트(G2)를 포함하는 영역이다. 게이트 영역(GR)은 동일한 길이의 게이트(G), 제1 최외곽 게이트(G1) 및 제2 최외곽 게이트(G2)에 의해서 정의될 수 있다.
- [0018] 게이트 영역(GR)은 게이트(G), 제1 최외곽 게이트(G1) 및 제2 최외곽 게이트(G2)를 포함함에 따라서, 직사각형의 영역일 수 있다. 단, 이는 하나의 예시일 뿐, 이에 제한되는 것은 아니다. 즉, 게이트 영역(GR)의 형상은 정사각형일 수도 있고, 제1 측면(S1) 및 제2 측면(S2)을 가지는 다른 도형의 형상일 수도 있다.
- [0019] 게이트 영역(GR)은 제1 방향(X) 상에서 서로 반대되는 제1 측면(S1)과 제2 측면(S2)을 포함할 수 있다. 즉, 제1 측면(S1)과 제2 측면(S2)은 게이트 영역(GR)이 직사각형일 경우 제1 방향(X)의 양 측면에 해당되는 부분일 수 있다.
- [0020] 게이트 영역(GR)은 추후에 설명될 서포팅 게이트(SG1, SG2) 사이에 형성될 수 있다. 즉, 게이트 영역(GR)의 측면은 서포팅 게이트(SG1, SG2)에 의해서 둘러싸일 수 있다. 서포팅 게이트(SG1, SG2)는 게이트 영역(GR)의 제1 측면(S1) 및 제2 측면(S2)에 인접하도록 형성될 수 있다.
- [0021] 게이트(G)는 게이트 영역(GR) 내에 형성될 수 있다. 게이트(G)는 복수일 수 있다. 복수의 게이트(G)는 제1 방향(X)으로 서로 이격될 수 있다. 게이트(G)는 제2 방향(Y)으로 연장될 수 있다. 복수의 게이트(G)는 서로 나란하게 제2 방향(Y)으로 연장될 수 있다. 각각의 게이트(G)의 제2 방향(Y)의 길이는 제1 길이(L1)로 동일할 수 있다. 또한, 각각의 게이트(G)의 제2 방향(Y)의 단부는 제2 방향(Y) 상에서 일정한 위치로 정렬될 수 있다. 즉, 각각의 게이트(G)는 서로 제2 방향(Y)으로 완전히 오버랩될 수 있다. 이에 따라서, 게이트 영역(GR)은 제1 방향(X)의 측면과 제2 방향(Y)의 측면을 가지는 직사각형으로 정의될 수 있다.
- [0022] 게이트(G)는 서로 제1 간격(P1)으로 이격될 수 있다. 즉, 복수의 게이트(G) 사이의 간격은 모두 동일할 수 있다. 이는 게이트(G)의 형성 공정에 기인할 수 있다. 게이트(G)가 모두 동일한 간격으로 이격됨에 따라서, 게이트(G)들의 균일성이 향상되고, 반도체 장치의 신뢰성도 향상될 수 있다.
- [0023] 게이트(G)는 모두 동일한 제1 폭(W1)을 가질 수 있다. 제1 폭(W1)은 게이트(G)의 제1 방향(X)의 폭을 의미한다. 이는 게이트(G)의 형성 공정에 기인할 수 있고, 게이트(G)가 모두 동일한 폭으로 형성됨에 따라서, 게이트(G)들의 균일성이 향상될 수 있다. 이를 통해서, 역시 반도체 장치의 신뢰성도 향상될 수 있다.
- [0024] 게이트 영역(GR)의 제1 측면(S1)과 가장 인접한 게이트는 제1 최외곽 게이트(G1)로 정의할 수 있다. 반대로, 게이트 영역(GR)의 제2 측면(S2)과 가장 인접한 게이트는 제2 최외곽 게이트(G2)로 정의할 수 있다. 제1 최외곽 게이트(G1)와 제2 최외곽 게이트(G2)는 게이트(G)와 유사한 특성을 가지지만, 편의상 새로운 도면 부호와 명칭으로 설명한다.
- [0025] 제1 최외곽 게이트(G1)는 복수의 게이트(G)와 제1 간격(P1)만큼 제1 방향(X)으로 이격되고, 게이트 영역(GR)의 제1 측면(S1)에서 가장 인접하게 형성될 수 있다. 제1 최외곽 게이트(G1)는 제2 방향(Y)으로 연장될 수 있다. 제1 최외곽 게이트(G1)는 제2 방향(Y)으로 제1 길이(L1)만큼 연장될 수 있다. 즉, 게이트(G)와 제1 최외곽 게이트(G1)는 모두 동일한 길이로 제2 방향(Y)으로 연장되고, 제1 방향(X)으로 동일한 간격으로 이격될 수 있다.

- [0026] 제2 최외곽 게이트(G2)는 복수의 게이트(G)와 제1 간격(P1)만큼 제1 방향(X)으로 이격되고, 게이트 영역(GR)의 제2 측면(S2)에서 가장 인접하게 형성될 수 있다. 제2 최외곽 게이트(G2)는 제2 방향(Y)으로 연장될 수 있다. 제2 최외곽 게이트(G2)는 제2 방향(Y)으로 제1 길이(L1)만큼 연장될 수 있다. 즉, 게이트(G), 제1 최외곽 게이트(G1) 및 제2 최외곽 게이트(G2)는 모두 동일한 길이로 제2 방향(Y)으로 연장되고, 제1 방향(X)으로 동일한 간격으로 이격될 수 있다.
- [0027] 서포팅 게이트(SG1, SG2)는 게이트 영역(GR)의 제1 측면(S1) 및 제2 측면(S2)에 인접하게 형성될 수 있다. 서포팅 게이트(SG1, SG2)는 제1 측면(S1)에 형성되는 제1 서포팅 게이트(SG1)와, 제2 측면(S2)에 형성되는 제2 서포팅 게이트(SG2)를 포함할 수 있다.
- [0028] 제1 서포팅 게이트(SG1)는 제1 최외곽 게이트(G1)와 제1 간격(P1) 만큼 제1 방향(X)으로 이격될 수 있다. 제1 서포팅 게이트(SG1)는 제2 방향(Y)으로 연장될 수 있다. 제1 서포팅 게이트(SG1)는 제2 방향(Y)으로 제1 길이(L1)만큼 연장될 수 있다. 즉, 제1 서포팅 게이트(SG1)와, 제1 최외곽 게이트(G1)와 게이트(G)는 제1 방향(X)으로 모두 동일한 간격으로 이격되고, 제2 방향(Y)으로 동일한 길이만큼 연장될 수 있다.
- [0029] 제1 서포팅 게이트(SG1)는 복수일 수 있다. 제1 서포팅 게이트(SG1)는 제1 내부 서포팅 게이트(SG1-1)와 제1 외부 서포팅 게이트(SG1-2)를 포함할 수 있다. 제1 내부 서포팅 게이트(SG1-1)는 제1 최외곽 게이트(G1)의 측면에 형성되고, 제1 외부 서포팅 게이트(SG1-2)는 제1 내부 서포팅 게이트(SG1-1)의 측면에 형성될 수 있다.
- [0030] 도 1에서는 제1 서포팅 게이트(SG1)가 2개인 경우를 도시하였지만, 이는 하나의 예시에 불과할 뿐, 이에 제한되는 것은 아니다. 즉, 제1 서포팅 게이트(SG1)의 개수는 제한되지 않는다.
- [0031] 제1 내부 서포팅 게이트(SG1-1)와 제1 외부 서포팅 게이트(SG1-2)는 제1 방향(X)으로 서로 제1 간격(P1)으로 이격될 수 있다. 즉, 게이트(G), 제1 최외곽 게이트(G1) 및 제1 서포팅 게이트(SG1)가 모두 제1 방향(X)으로 제1 간격(P1)만큼 이격될 수 있다.
- [0032] 제1 내부 서포팅 게이트(SG1-1)와 제1 외부 서포팅 게이트(SG1-2)는 제2 방향(Y)으로 모두 제1 길이(L1)만큼 연장될 수 있다. 즉, 게이트(G), 제1 최외곽 게이트(G1) 및 제1 서포팅 게이트(SG1)가 모두 제2 방향(Y)으로 제1 길이(L1)만큼 연장될 수 있다.
- [0033] 제2 서포팅 게이트(SG2)는 복수일 수 있다. 제2 서포팅 게이트(SG2)는 제2 내부 서포팅 게이트(SG2-1)와 제2 외부 서포팅 게이트(SG2-2)를 포함할 수 있다. 제2 내부 서포팅 게이트(SG2-1)는 제2 최외곽 게이트(G2)의 측면에 형성되고, 제2 외부 서포팅 게이트(SG2-2)는 제2 내부 서포팅 게이트(SG2-1)의 측면에 형성될 수 있다.
- [0034] 제2 서포팅 게이트(SG2)는 제2 최외곽 게이트(G2)와 제1 간격(P1) 만큼 제1 방향(X)으로 이격될 수 있다. 제2 서포팅 게이트(SG2)는 제2 방향(Y)으로 연장될 수 있다. 제2 서포팅 게이트(SG2)는 제2 방향(Y)으로 제2 길이(L2)만큼 연장될 수 있다. 즉, 제2 서포팅 게이트(SG2)와, 제2 최외곽 게이트(G2)와 게이트(G)는 제1 방향(X)으로 모두 동일한 간격으로 이격되고, 제2 방향(Y)으로 동일한 길이만큼 연장될 수 있다.
- [0035] 제2 내부 서포팅 게이트(SG2-1)와 제2 외부 서포팅 게이트(SG2-2)는 제1 방향(X)으로 서로 제1 간격(P1)으로 이격될 수 있다. 즉, 게이트(G), 제2 최외곽 게이트(G2) 및 제2 서포팅 게이트(SG2)가 모두 제1 방향(X)으로 제1 간격(P1)만큼 이격될 수 있다.
- [0036] 서포팅 게이트(SG1, SG2)와 제1 최외곽 게이트(G1) 및 제2 최외곽 게이트(G2)가 제1 간격(P1) 만큼 이격되는 것은 본 발명의 몇몇 실시예에 따른 반도체 장치의 제조 방법에 있어서, 서포팅 게이트(SG1, SG2)를 게이트(G) 형성에 필요한 패턴과 오버랩하여 형성하는 것에 기인할 수 있다. 즉, 동일한 간격의 패턴과 오버랩됨에 따라서, 서포팅 게이트(SG1, SG2)의 간격도 상기 동일한 간격과 동일하게 될 수 있다.
- [0037] 마찬가지로, 제1 내부 서포팅 게이트(SG1-1)와 제1 외부 서포팅 게이트(SG1-2)가 제1 간격(P1) 만큼 이격되는 것과, 제2 내부 서포팅 게이트(SG2-1)와 제2 외부 서포팅 게이트(SG2-2)가 제1 간격(P1) 만큼 이격되는 것은 본 발명의 몇몇 실시예에 따른 반도체 장치의 제조 방법에 있어서, 서포팅 게이트(SG1, SG2)를 게이트(G) 형성에 필요한 패턴과 오버랩하여 형성하는 것에 기인할 수 있다. 즉, 동일한 간격의 패턴과 오버랩됨에 따라서, 서포팅 게이트(SG1, SG2)의 간격도 상기 동일한 간격과 동일하게 될 수 있다.
- [0038] 제2 내부 서포팅 게이트(SG2-1)와 제2 외부 서포팅 게이트(SG2-2)는 제2 방향(Y)으로 모두 제1 길이(L1)만큼 연장될 수 있다. 즉, 게이트(G), 제2 최외곽 게이트(G2) 및 제2 서포팅 게이트(SG2)가 모두 제2 방향(Y)으로 제1 길이(L1)만큼 연장될 수 있다.

- [0039] 서포팅 게이트(SG1, SG2)는 제1 간격(P1)을 가지는 복수의 게이트(G)와 반도체 장치 내의 다른 구성 요소 내지 영역과의 간섭을 방지하기 위해서 형성될 수 있다. 즉, 서포팅 게이트(SG1, SG2)에 의해서 형성 공정, 식각 공정 또는 동작 과정에서 다른 영역의 형성 및 구동에 의해서, 게이트 영역(GR)이 손상되거나 동작이 비정상적으로 수행되는 경우를 최소화할 수 있다.
- [0040] 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)는 모두 동일한 물질로 형성될 수 있다. 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)는 도전성 물질을 포함할 수 있다. 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)는 단일층으로 도시하였지만, 이에 제한되는 것은 아니다. 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)는 예를 들어, TiN, WN, TaN, Ru, TiC, TaC, Ti, Ag, Al, TiAl, TiAlN, TiAlC, TaCN, TaSiN, Mn, Zr, W, Al 중 적어도 하나를 포함할 수 있다. 또는, 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)는 각각 금속이 아닌 Si, SiGe 등으로 이루어질 수도 있다. 이러한 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)는 예를 들어, 리플레이스먼트(replacement) 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0041] 도 2 내지 도 4를 참고하면, 본원 발명의 몇몇 실시예에 따른 반도체 장치는 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)의 하부에 핀(F, F1, F2, F3)을 포함할 수 있다.
- [0042] 핀(F, F1, F2, F3)은 제1 방향(X)으로 길게 연장될 수 있다. 즉, 핀(F, F1, F2, F3)은 제1 방향(X)으로 연장되는 장변과 제2 방향(Y)으로 연장되는 단변을 포함할 수 있다. 핀(F, F1, F2, F3)은 제2 방향(Y)으로 서로 이격될 수 있다. 또한, 핀(F, F1, F2, F3) 중 일부는 제1 방향(X)으로도 서로 이격될 수 있다.
- [0043] 구체적으로, 제1 핀(F1)과 제2 핀(F2)은 제1 방향(X)으로 서로 이격될 수 있다. 핀(F, F1, F2, F3)의 제1 방향(X)의 이격은 도 2에 도시된 것에 제한되는 것은 아니다. 핀(F, F1, F2, F3)은 그 쓰임새에 따라서, 자유롭게 제1 방향(X)으로 이격될 수 있다. 핀(F, F1, F2, F3)과 핀(F, F1, F2, F3) 사이에는 1개의 게이트가 위치할 수도 있고, 2개의 게이트가 위치할 수 있다. 예를 들어, 제1 핀(F1)과 제2 핀(F2) 사이에는 제1 최외곽 게이트(G1)만이 위치할 수 있다. 다른 예로, 제3 핀(F3)과 다른 핀(F) 사이에는 2개의 게이트(G)가 위치할 수도 있다. 핀(F, F1, F2, F3)과 서포팅 게이트(SG1, SG2)는 오버랩될 수도 있고, 그렇지 않을 수도 있다.
- [0044] 핀(F, F1, F2, F3)은 기판(100)보다 제3 방향(Z)으로 돌출되어 형성될 수 있다. 핀(F, F1, F2, F3)은 기판(100)의 일부의 식각하여 형성된 것일 수도 있고, 기판(100)으로부터 성장된 에피층(epitaxial layer)을 포함할 수 있다. 핀(F, F1, F2, F3)은 예를 들어, 원소 반도체 물질인 실리콘 또는 게르마늄을 포함할 수 있다. 또한, 핀(F, F1, F2, F3)은 화합물 반도체를 포함할 수 있고, 예를 들어, IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체를 포함할 수 있다.
- [0045] 예를 들어, IV-IV족 화합물 반도체를 예로 들면, 핀(F, F1, F2, F3)은 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn) 중 적어도 2개 이상을 포함하는 이원계 화합물(binary compound), 삼원계 화합물(ternary compound) 또는 이들에 IV족 원소가 도핑된 화합물일 수 있다.
- [0046] III-V족 화합물 반도체를 예로 들면, 핀(F, F1, F2, F3)은 III족 원소로 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나와 V족 원소인 인(P), 비소(As) 및 안티모늄(Sb) 중 하나가 결합되어 형성되는 이원계 화합물, 삼원계 화합물 또는 사원계 화합물 중 하나일 수 있다.
- [0047] 본 발명의 실시예들에 따른 반도체 장치에서, 핀(F, F1, F2, F3)은 실리콘을 포함하는 것으로 설명한다.
- [0048] 필드 절연막(105)은 핀(F, F1, F2, F3)의 측벽의 적어도 일부를 감쌀 수 있다. 핀(F, F1, F2, F3)은 필드 절연막(105)에 의해 정의될 수 있다. 필드 절연막(105)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합 중 하나를 포함할 수 있다.
- [0049] 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2)는 핀(F, F1, F2, F3) 혹은 필드 절연막(105) 상에 형성될 수 있다. 즉, 핀(F, F1, F2, F3)이 제2 방향(Y)으로 이격된 부분에는 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2) 모두가 필드 절연막(105) 상에서 형성될 수 있다. 핀(F, F1, F2, F3)이 제1 방향(X)으로 이격된 부분에는 게이트(G), 제1 최외곽 게이트(G1), 제2 최외곽 게이트(G2) 및 서포팅 게이트(SG1, SG2) 중 일부가 필드 절연막(105) 상에 형성될 수 있다.
- [0050] 구체적으로, 도 3을 참고하면, 제1 서포팅 게이트(SG1) 중 제1 내부 서포팅 게이트(SG1-1)는 제1 핀(F1) 상에 형성되고, 게이트(G)는 제2 핀(F2) 상에 형성될 수 있다. 제1 최외곽 게이트(G1)와 제1 서포팅 게이트(SG1) 중

제1 외부 서포팅 게이트(SG1-2)는 필드 절연막(105) 상에 형성될 수 있다. 단, 이는 하나의 예시에 불과하고, 핀(F, F1, F2, F3)과 필드 절연막(105)의 위치는 자유롭게 변형될 수 있다.

- [0051] 제1 스페이서(SP1)는 게이트(G) 및 제1 최외곽 게이트(G1)의 양측에 형성될 수 있다. 도시되지 않았지만, 제1 스페이서(SP1)는 제2 최외곽 게이트(G2)의 양측에도 동일하게 형성될 수 있다. 제1 스페이서(SP1)는 제2 방향(Y)으로 게이트(G) 및 제1 최외곽 게이트(G1)를 따라서 연장될 수 있다.
- [0052] 제1 스페이서(SP1)는 예를 들어, 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산화물(SiO<sub>2</sub>), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0053] 제2 스페이서(SP2)는 제1 서포팅 게이트(SG1)의 양측에 형성될 수 있다. 도시되지 않았지만, 제2 스페이서(SP2)는 제2 서포팅 게이트(SG2)의 양측에도 동일하게 형성될 수 있다. 제2 스페이서(SP2)는 제2 방향(Y)으로 제1 서포팅 게이트(SG1) 및 제2 서포팅 게이트(SG2)를 따라서 연장될 수 있다.
- [0054] 제2 스페이서(SP2)는 예를 들어, 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산화물(SiO<sub>2</sub>), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0055] 게이트 콘택(199)은 층간 절연막(198)을 관통하여 액티브(active) 게이트와 접하도록 형성될 수 있다. 예를 들어, 도 3에서, 게이트(G)만 액티브 게이트로 이용될 경우, 게이트 콘택(199)은 도시된 것과 같이, 층간 절연막(198)을 관통하여 게이트(G)와 접하도록 형성될 수 있다. 즉, 게이트 콘택(199)은 제1 최외곽 게이트(G1) 및 서포팅 게이트(SG1) 상에는 형성되지 않을 수 있다.
- [0056] 도 4를 참고하면, 게이트(G) 및 제1 최외곽 게이트(G1)의 양 측에 소스/드레인(E)이 형성될 수 있다. 소스/드레인(E)은 게이트(G) 및 제1 최외곽 게이트(G1)의 양측에 형성될 수 있다. 도시되지 않았지만, 소스/드레인(E)은 제2 최외곽 게이트(G2)의 양 측에도 형성될 수 있다. 소스/드레인(E)은 핀(F, F1, F2, F3) 상에 형성될 수 있다. 소스/드레인(E)은 핀(F, F1, F2, F3)의 상면 상에 형성된 에피층을 포함할 수 있다. 이를 통해서, 게이트(G) 및 제1 최외곽 게이트(G1)는 액티브 게이트로서 활용될 수 있다. 이에 따라, 게이트 콘택(199)은 층간 절연막(198)을 관통하여 게이트(G) 및 제1 최외곽 게이트(G1)와 접하도록 형성될 수 있다.
- [0057] 이하, 도 5 및 도 6을 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치에 대해서 설명한다. 설명의 편의성을 위해, 상술한 실시예와 다른 점을 위주로 설명한다.
- [0058] 도 5는 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 단면도이고, 도 6은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 단면도이다.
- [0059] 도 5 및 도 6을 참고하면, 게이트(G) 및 제1 최외곽 게이트(G1)는 일함수 메탈(MG1) 및 필 메탈(MG2)을 포함할 수 있다. 일함수 메탈(MG1)은 일함수 조절을 하고, 필 메탈(MG2)은 일함수 메탈(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 일함수 메탈(MG1)은 예를 들어, N형 일함수 메탈, P형 일함수 메탈 또는 이들의 조합일 수 있다. 일함수 메탈(MG1)은 예를 들어, TiN, WN, TiAl, TiAlN, TaN, TiC, TaC, TaCN, TaSiN 또는 이들의 조합 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다. 또한, 필 메탈(MG2)은 예를 들어, W, Al, Cu, Co, Ti, Ta, poly-Si, SiGe 또는 금속 합금 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0060] 제1 서포팅 게이트(SG1)도 마찬가지로 서포팅 일함수 메탈(SMG1, SMG3)과 서포팅 필 메탈(SMG2, SMG4)을 포함할 수 있다. 서포팅 일함수 메탈(SMG1, SMG3)은 제2 스페이서(SP2)의 측면 및 핀(F, F1, F2, F3)의 상면에 콘포말하게 형성되고, 서포팅 필 메탈(SMG2, SMG4)은 서포팅 일함수 메탈(SMG1, SMG3)에 의해서 형성된 공간을 채울 수 있다.
- [0061] 구체적으로, 제1 내부 서포팅 게이트(SG1-1)는 제1 서포팅 일함수 메탈(SMG1) 및 제1 서포팅 필 메탈(SMG2)을 포함하고, 제1 외부 서포팅 게이트(SG1-2)는 제2 서포팅 일함수 메탈(SMG3) 및 제2 서포팅 필 메탈(SMG4)을 포함할 수 있다. 도시되지 않았지만, 제2 서포팅 게이트(SG2)도 일함수 메탈과 필 메탈을 포함할 수 있다.
- [0062] 게이트 콘택(199)은 층간 절연막(198)을 관통하여 게이트(G)와 접하도록 형성되고, 제1 최외곽 게이트(G1) 및 서포팅 게이트(SG1) 상에는 형성되지 않을 수 있다.
- [0063] 이하, 도 7을 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치에 대해서 설명한다. 설명의 편의성을 위해, 상술한 실시예와 다른 점을 위주로 설명한다.
- [0064] 도 7은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.

- [0065] 도 7을 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치의 복수의 서포팅 게이트(SG1, SG2)는 서로 제2 간격(P2)으로 이격될 수 있다. 즉, 제1 내부 서포팅 게이트(SG1-1)와 제1 최외곽 게이트(G1)는 제1 간격(P1)으로 이격되고, 제2 내부 서포팅 게이트(SG2-1)도 여전히 제1 간격(P1)으로 이격될 수 있다.
- [0066] 다만, 제1 내부 서포팅 게이트(SG1-1)와 제1 외부 서포팅 게이트(SG1-2)는 서로 제2 간격(P2)으로 이격될 수 있다. 제2 간격(P2)은 제1 간격(P1)보다 큰 간격일 수 있다. 이는 내부 서포팅 게이트(SG1-1, SG2-1)가 게이트(G) 형성에 필요한 패턴과 오버랩되어 형성되되, 외부 서포팅 게이트(SG1-2, SG2-2)는 상기 게이트(G) 형성에 필요한 패턴과 오버랩되지 않는 것에 기인할 수 있다.
- [0067] 즉, 복수의 제1 서포팅 게이트(SG1) 중 일부와, 복수의 제2 서포팅 게이트(SG2) 중 일부만이 게이트(G) 형성에 필요한 패턴과 오버랩될 수 있다. 따라서, 제1 내부 서포팅 게이트(SG1-1) 및 제2 내부 서포팅 게이트(SG2-1)가 각각 제1 최외곽 게이트(G1) 및 제2 최외곽 게이트(G2)와 제1 간격(P1)으로 이격될 수 있다. 제1 외부 서포팅 게이트(SG1-2) 및 제2 외부 서포팅 게이트(SG2-2)는 각각 제1 내부 서포팅 게이트(SG1-1) 및 제2 내부 서포팅 게이트(SG2-1)와 제2 간격(P2)으로 이격될 수 있다. 이 때, 제2 간격(P2)은 제1 간격(P1)보다 클 수 있다.
- [0068] 이하, 도 8을 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치에 대해서 설명한다. 설명의 편의성을 위해, 상술한 실시예와 다른 점을 위주로 설명한다.
- [0069] 도 8은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.
- [0070] 도 8을 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치의 제1 서포팅 게이트(SG1) 및 제2 서포팅 게이트(SG2)는 각각 하나의 패턴일 수 있다.
- [0071] 제1 서포팅 게이트(SG1)는 복수가 아닌 단수일 수 있다. 즉, 제1 서포팅 게이트(SG1)에 의해서 차지되는 영역을 최소화함에 따라서, 반도체 장치의 집적도를 최대한 높여 반도체 장치의 속도, 용량을 향상시킬 수 있다.
- [0072] 마찬가지로, 제2 서포팅 게이트(SG2)는 복수가 아닌 단수일 수 있다. 즉, 제2 서포팅 게이트(SG2)에 의해서 차지되는 영역을 최소화함에 따라서, 반도체 장치의 집적도를 최대한 높여 반도체 장치의 속도, 용량을 향상시킬 수 있다.
- [0073] 이하, 도 9를 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치에 대해서 설명한다. 설명의 편의성을 위해, 상술한 실시예와 다른 점을 위주로 설명한다.
- [0074] 도 9는 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.
- [0075] 도 9를 참고하면, 제1 서포팅 게이트(SG1)는 제1 외부 서포팅 게이트(SG1-3)를 포함하고, 제2 서포팅 게이트(SG2)는 제2 외부 서포팅 게이트(SG2-3)를 포함할 수 있다.
- [0076] 제1 외부 서포팅 게이트(SG1-3)는 제1 방향(X)으로 제3 폭(W3)을 가질 수 있다. 제3 폭(W3)은 제2 폭(W2)보다 클 수 있다. 단, 이에 제한되는 것은 아니고, 제3 폭(W3)은 제2 폭(W2)과 작을 수도 있다. 즉, 제3 폭(W3)은 제2 폭(W2)과 서로 다른 폭일 수 있다.
- [0077] 마찬가지로, 제2 외부 서포팅 게이트(SG2-3)는 제1 방향(X)으로 제3 폭(W3)을 가질 수 있다. 제3 폭(W3)은 제2 폭(W2)보다 클 수 있다. 단, 이에 제한되는 것은 아니고, 제3 폭(W3)은 제2 폭(W2)보다 작을 수도 있다. 즉, 제3 폭(W3)은 제2 폭(W2)과 서로 다른 폭일 수 있다.
- [0078] 이는 내부 서포팅 게이트(SG1-1, SG2-1)가 게이트(G) 형성에 필요한 패턴과 오버랩되어 형성되되, 외부 서포팅 게이트(SG1-3, SG2-3)는 상기 게이트(G) 형성에 필요한 패턴과 오버랩되지 않는 것에 기인할 수 있다.
- [0079] 내부 서포팅 게이트(SG1-1, SG2-1)와 외부 서포팅 게이트(SG1-3, SG2-3)가 서로 다른 폭을 가진 마스크에 의해서 형성될 수 있다. 따라서, 마스크 패턴의 폭에 따라서, 내부 서포팅 게이트(SG1-1, SG2-1)와 외부 서포팅 게이트(SG1-3, SG2-3)가 서로 다른 폭을 가질 수 있다.
- [0080] 또는 내부 서포팅 게이트(SG1-1, SG2-1)와 외부 서포팅 게이트(SG1-3, SG2-3)가 서로 동일한 폭을 가진 마스크에 의해서 형성되는 경우에도, 내부 서포팅 게이트(SG1-1, SG2-1)는 게이트(G) 형성에 필요한 패턴 즉, 추후에 설명되는 스페이서 패턴과 오버랩됨에 따라서, 상기 스페이서 패턴과 내부 서포팅 게이트(SG1-1, SG2-1)를 형성하는 마스크의 폭보다 큰 폭의 내부 서포팅 게이트(SG1-1, SG2-1)를 형성할 수 있다. 이에 따라, 내부 서포팅 게이트(SG1-1, SG2-1)와 외부 서포팅 게이트(SG1-3, SG2-3)가 서로 다른 폭을 가질 수 있다.
- [0081] 이하, 도 10을 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치에 대해서 설명한다. 설명의 편의성을

위해, 상술한 실시예와 다른 점을 위주로 설명한다.

- [0082] 도 10은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.
- [0083] 도 10을 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 제1 게이트 영역(GR1), 제2 게이트 영역(GR2) 및 제3 서포팅 게이트(SG3)를 포함할 수 있다.
- [0084] 제1 게이트 영역(GR1)은 도 1의 게이트 영역(GR)과 동일한 영역일 수 있다. 제1 게이트 영역(GR1)의 측면에 제1 서포팅 게이트(SG1)가 형성될 수 있다. 제2 게이트 영역(GR2)은 제1 게이트 영역(GR1)에서 이격되어 형성될 수 있다.
- [0085] 제2 게이트 영역(GR2)은 제3 간격(P3)으로 서로 이격되고, 같은 길이로 나란히 연장되는 복수의 게이트(G')를 포함할 수 있다. 제2 게이트 영역(GR2)의 측면과 가장 인접한 게이트는 제3 최외곽 게이트(G1')로 정의할 수 있다. 제3 최외곽 게이트(G1')는 게이트(G')와 유사한 특성을 가지지만, 편의상 새로운 도면 부호와 명칭으로 설명한다. 제2 게이트 영역(GR2)의 게이트(G') 및 제3 최외곽 게이트(G1')의 폭은 제4 폭(W4)일 수 있다. 제4 폭(W4)은 제1 폭(W1)과 동일할 수도 있고, 다를 수도 있다.
- [0086] 제3 최외곽 게이트(G1')는 복수의 게이트(G)와 제3 간격(P3)만큼 이격되고, 제2 게이트 영역(GR2)의 측면에서 가장 인접하게 형성될 수 있다. 제3 최외곽 게이트(G1')는 게이트(G') 길이만큼 연장될 수 있다. 즉, 게이트(G')와 제3 최외곽 게이트(G1')는 모두 동일한 길이로 연장되고, 동일한 간격으로 이격될 수 있다.
- [0087] 제3 서포팅 게이트(SG3)는 제3 최외곽 게이트(G1')와 제3 간격(P3) 만큼 이격될 수 있다. 제3 서포팅 게이트(SG3)는 제3 최외곽 게이트(G1')와 같은 방향으로 나란하게 연장될 수 있다. 제3 서포팅 게이트(SG3)는 제3 최외곽 게이트(G1')와 같은 길이만큼 연장될 수 있다. 즉, 제3 서포팅 게이트(SG3)와, 제3 최외곽 게이트(G1')와 게이트(G')는 모두 동일한 간격으로 이격되고, 동일한 길이만큼 연장될 수 있다.
- [0088] 제3 서포팅 게이트(SG3)는 복수일 수 있다. 제3 서포팅 게이트(SG3)는 제3 내부 서포팅 게이트(SG3-1)와 제3 외부 서포팅 게이트(SG3-2)를 포함할 수 있다. 제3 내부 서포팅 게이트(SG3-1)는 제3 최외곽 게이트(G1')의 측면에 형성되고, 제3 외부 서포팅 게이트(SG3-2)는 제3 내부 서포팅 게이트(SG3-1)의 측면에 형성될 수 있다.
- [0089] 제3 내부 서포팅 게이트(SG3-1) 및 제3 외부 서포팅 게이트는 모두 동일하게 제5 폭(W5)을 가질 수 있다. 제5 폭(W5)은 제4 폭(W4)보다 클 수 있다.
- [0090] 제3 서포팅 게이트(SG3)와 제1 서포팅 게이트(SG1)는 서로 제4 간격(P4) 만큼 이격될 수 있다. 제4 간격(P4)은 제1 간격(P1), 제2 간격(P2) 및 제3 간격(P3)보다 클 수 있다. 단, 이에 제한되는 것은 아니다.
- [0091] 제3 서포팅 게이트(SG3)와 제1 서포팅 게이트(SG1)는 서로 다른 간격으로 이격되는 제1 게이트 영역(GR1) 및 제2 게이트 영역(GR2)의 서로간의 간섭을 최소화할 수 있다.
- [0092] 이하, 도 11을 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치에 대해서 설명한다. 설명의 편의성을 위해, 상술한 실시예와 다른 점을 위주로 설명한다.
- [0093] 도 11은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.
- [0094] 도 11을 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 더미 게이트(DG)를 포함할 수 있다.
- [0095] 더미 게이트(DG)는 제1 게이트 영역(GR1) 및 제2 게이트 영역(GR2) 사이에 위치할 수 있다. 더미 게이트(DG)는 제1 서포팅 게이트(SG1) 및 제2 서포팅 게이트(SG2) 사이에 위치할 수 있다. 더미 게이트(DG)는 전체 반도체 장치의 식각공정에서의 로딩 효과(loading effect)를 최소화하기 위해서 형성될 수 있다. 즉, 실제로 사용되지 않는 부분이라도, 돌출된 패턴의 밀도에 따라서, 식각율이 서로 차이가 나므로 이를 최소화하기 위해서 더미 게이트(DG)를 형성할 수 있다.
- [0096] 제1 게이트 영역(GR1)의 게이트(G), 제1 최외곽 게이트(G1) 및 제1 서포팅 게이트(SG1)는 제1 길이(L1)일 수 있다. 마찬가지로 제2 게이트 영역(GR2)의 게이트(G'), 제3 최외곽 게이트(G1') 및 제2 서포팅 게이트(SG2)는 제1 길이(L1)일 수 있다. 이에 반해, 더미 게이트(DG)는 제2 길이(L2)일 수 있다. 제2 길이(L2)는 제1 길이(L1)와 서로 다른 길이일 수 있다. 도면에서는 제2 길이(L2)가 제1 길이(L1)보다 크게 도시되었지만, 이에 제한되는 것은 아니다. 본 발명의 몇몇 실시예에서는 제1 길이(L1)와 제2 길이(L2)가 같은 수도 있고, 제2 길이(L2)가 제1 길이(L1)보다 짧을 수도 있다.
- [0097] 복수의 더미 게이트(DG)는 일정한 폭을 가질 수 있다. 복수의 더미 게이트(DG)는 제6 폭(W6)을 가질 수 있다.

제6 폭(W6)은 제2 폭(W2) 및 제5 폭(W5)보다 작을 수 있다. 제6 폭(W6)은 제1 폭(W1) 및 제4 폭(W4) 중 어느 하나와 동일할 수도 있다. 단, 이에 제한되는 것은 아니다.

- [0098] 복수의 더미 게이트(DG)는 일정한 간격으로 서로 이격될 수 있다. 복수의 더미 게이트(DG)는 제5 간격(P5)만큼 서로 이격될 수 있다. 이 때, 제5 간격(P5)은 제1 간격(P1) 및 제3 간격(P3) 중 어느 하나와 동일할 수도 있다. 단, 이에 제한되는 것은 아니다.
- [0099] 제1 외부 서포팅 게이트(SG1-2)와 더미 게이트(DG)는 제6 간격(P6)만큼 이격될 수 있다. 제3 외부 서포팅 게이트(SG3-2)와 더미 게이트(DG)는 제6 간격(P6)만큼 이격될 수 있다. 이 때, 제6 간격(P6)은 디자인 룰에 의해서 정의된 간격일 수 있다. 따라서, 마진 확보를 위해서 설정된 간격인 제1 외부 서포팅 게이트(SG1-2)와 더미 게이트(DG)의 간격과 제3 외부 서포팅 게이트(SG3-2)와 더미 게이트(DG)의 간격이 동일하지 않을 수도 있다. 즉, 어느 하나 혹은 둘 다가 제6 간격(P6)보다 큰 간격으로 이격될 수 있다.
- [0100] 이하, 도 1 내지 도 5 및 도 12 내지 도 23을 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법에 대해 설명한다. 도 1 내지 도 5 및 도 12 내지 도 23을 통해서 제조되는 반도체 장치는 도 1 내지 도 5를 통해 설명한 반도체 장치이다.
- [0101] 도 12 내지 도 25는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0102] 도 12를 참고하면, 기판(100) 상에 여러 층을 적층 형성한다.
- [0103] 순차적으로 설명하면, 기판(100) 상에 핀(F1, F2)이 형성되고, 핀(F1, F2) 사이에 필드 절연막(105)이 형성될 수 있다. 이어서, 핀(F1, F2) 및 필드 절연막(105) 상에 게이트층(110), 캡핑층(120), 제1 희생 패턴층(130), 제1 희생 캡핑층(140), 제2 희생 패턴층(150), 제1 마스크층(160), 제2 희생 캡핑층(170), 반사 방지층(180)을 순차적으로 적층할 수 있다.
- [0104] 이 때, 게이트층(110), 제1 희생 패턴층(130), 제2 희생 패턴층(150)은 다결정질 실리콘, ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask) 중에서 어느 하나를 포함할 수 있다.
- [0105] 캡핑층(120) 및 제1 희생 캡핑층(140)은 실리콘 산화물(SiOx), 실리콘 산질화물(SiON), 실리콘 질화물(SixNy) 중에서 어느 하나를 포함할 수 있다.
- [0106] 제1 마스크층(160)은 복수의 층으로 구성될 수 있다. 상기 복수의 층은 각각 실리콘 산화물(SiOx), 실리콘 산질화물(SiON), 실리콘 질화물(SixNy), TEOS(TetraEthylOrthoSilicate) 또는 다결정질 실리콘 등과 같은 실리콘 함유 물질, ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask)와 같이 탄소 함유물질 또는 금속 중 적어도 하나로 이루어질 수도 있다. 상기 복수의 층은 아래층은 예를 들어, 실리콘 질화물층으로 이루어질 수 있고, 상기 아래층은 상기 실리콘 질화물의 하부에 얇은 실리콘 산화물을 더 포함할 수 있다. 중간층은 실리콘 산화물로 이루어질 수 있다. 위층은 다결정질 실리콘으로 이루어질 수 있다. 단, 이에 제한되는 것은 아니다.
- [0107] 반사 방지층(180)은 사진 식각 공정(photolithography process) 시에 하부막질에 의한 빛의 반사를 방지하기 위한 층들이다. 반사 방지층(180)은 BARC(Bottom AntiReflect Coating)로 이루어질 수 있다.
- [0108] 이어서, 도 13을 참조하면, 반사 방지층(180) 상에 제1 감광막(190)을 형성할 수 있다.
- [0109] 제1 감광막(190)은 포토 레지스트(photoresist, PR)일 수 있다. 제1 감광막(190)은 노광 공정을 통해서 라인 형태의 제1 감광막(190)의 형태를 하부 층으로 전사할 수 있다. 제1 감광막(190)은 모두 동일한 폭(W0)을 가지고, 동일한 간격(P0)으로 이격될 수 있다.
- [0110] 이어서, 도 14를 참조하면, 노광 공정(200)을 통해서 하부층을 연화시킬 수 있다.
- [0111] 제1 감광막(190)에 의해서 가려진 부분은 남고, 나머지 노출된 부분은 노광 공정(200)에 의해서 연화될 수 있다.
- [0112] 이어서, 도 15를 참조하면, 노광 공정(200)에 의해서 연화된 부분을 제거하여 제1 마스크 패턴(P1)을 형성할 수 있다. 제1 마스크 패턴(160P)은 제1 감광막(190)과 동일한 폭(W0)과 간격(P0)을 가질 수 있다. 단, 이 때, "동일"은 노광에 따른 미세한 단차를 포함하는 개념이다.
- [0113] 이어서, 도 16을 참조하면, 제1 마스크 패턴(160P)을 제2 희생 패턴층(150)에 전사하여 제2 희생 패턴(150P)을 형성한다.

- [0114] 제2 희생 패턴(150P) 역시 제1 감광막(190) 및 제1 마스크 패턴(160P)과 동일한 폭(W0)과 간격(P0)을 가질 수 있다. 단, 이 때, "동일"은 시각에 따른 미세한 단차를 포함하는 개념이다.
- [0115] 이어서, 도 17을 참조하면, 제2 희생 패턴(150P)의 측면과 상면을 덮는 스페이서막(210)을 형성한다.
- [0116] 스페이서막(210)의 물질은 제2 희생 패턴(150P)과 시각 선택비를 가지는 물질로 이루어질 수 있다. 제2 희생 패턴(150P)이 다결정질 실리콘, ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask) 중에서 어느 하나로 이루어진 경우, 스페이서막(210)은 실리콘 산화물 또는 실리콘 질화물로 이루어질 수 있다.
- [0117] 스페이서막(210)은 일정한 두께로 형성될 수 있다. 스페이서막(210)은 원자층 증착법(ALD)에 의해 형성될 수 있다.
- [0118] 이어서, 도 18을 참조하면, 스페이서막(210)의 일부를 제거하여 스페이서 패턴(210P)을 형성한다.
- [0119] 스페이서 패턴(210P)은 제2 희생 패턴(150P)의 양 옆에 각각 분리되어 형성될 수 있다. 스페이서 패턴(210P)은 제2 희생 패턴(150P)의 측면만 덮고 제2 희생 패턴(150P)의 상면을 노출시킬 수 있다.
- [0120] 이어서, 도 19를 참조하면, 제2 희생 패턴(150P)을 제거한다.
- [0121] 스페이서 패턴(210P)은 제2 희생 패턴(150P)과 시각 선택비를 가짐에 따라 스페이서 패턴(210P)은 남고, 제2 희생 패턴(150P)만 제거될 수 있다. 제2 희생 패턴(150P)이 제거됨에 따라서, 스페이서 패턴(210P)이 서로 이격된 채 위치할 수 있다.
- [0122] 이 때, 스페이서 패턴(210P)의 폭은 제1 폭(W1)으로 모두 동일할 수 있다. 또한, 스페이서 패턴(210P) 사이의 간격은 제1 간격(P1)으로 모두 동일할 수 있다.
- [0123] 이어서, 도 20을 참조하면, 스페이서 패턴(210P) 및 제1 희생 캡핑층(140)의 상면을 덮는 제2 마스크층(220)을 형성한다.
- [0124] 제2 마스크층(220)은 ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask)와 같이 탄소 함유물질 또는 금속 중 적어도 하나로 이루어질 수도 있다. 제2 마스크층(220)은 스페이서 패턴(210P)을 완전히 덮을 수 있다.
- [0125] 도시되지 않았지만, 제2 마스크층(220) 상에 추가적으로 SiON의 캡핑층 및 반사방지층이 더 형성될 수도 있다.
- [0126] 이어서, 도 21을 참조하면, 제2 마스크층(220) 상에 서포팅 패턴(230)을 형성한다.
- [0127] 서포팅 패턴(230)은 스페이서 패턴(210P)과 오버랩될 수 있다. 서포팅 패턴(230)의 폭(W2')은 스페이서 패턴(210P)의 폭(W1)보다 넓을 수 있다. 구체적으로, 서포팅 패턴(230)의 폭(W2')은 스페이서 패턴(210P)의 폭(W1)의 3배 이상일 수 있다. 이에 따라, 서포팅 패턴(230)은 복수의 스페이서 패턴(210P)과 1 대 다(多)로 오버랩될 수 있다.
- [0128] 서포팅 패턴(230)은 복수일 수 있다. 서포팅 패턴(230)은 서로 제2 간격(P2)으로 이격될 수 있다. 서포팅 패턴(230)은 포토 레지스트(photoresist, PR)일 수 있다. 서포팅 패턴(230)은 노광 공정을 통해서 라인 형태의 서포팅 패턴(230)의 형태를 하부 층으로 전사할 수 있다.
- [0129] 이어서, 도 22를 참조하면, 제2 마스크층(220)을 패터닝하여 제2 마스크 패턴(220P)을 형성한다.
- [0130] 제2 마스크 패턴(220P)은 서포팅 패턴(230)과 동일한 폭과 간격을 가질 수 있다. 제2 마스크층(220) 내에 있는 스페이서 패턴(210P)은 패터닝되지 않을 수 있다. 따라서, 도시된 바와 같이 제2 마스크 패턴(220P)과 스페이서 패턴(210P)이 오버랩된 상태로 형성될 수 있다.
- [0131] 이어서, 도 23을 참조하면, 스페이서 패턴(210P) 및 제2 마스크 패턴(220P)을 이용하여 제1 희생 캡핑층(140)을 패터닝한다.
- [0132] 제1 희생 캡핑층(140)을 패터닝하여 캡핑 게이트 패턴(140P1), 제1 캡핑 서포팅 패턴(140P2) 및 제2 캡핑 서포팅 패턴(140P3)을 형성한다.
- [0133] 캡핑 게이트 패턴(140P1)은 스페이서 패턴(210P)을 전사하여 형성되고, 제1 캡핑 서포팅 패턴(140P2) 및 제2 캡핑 서포팅 패턴(140P3)은 스페이서 패턴(210P) 및 제2 마스크 패턴(220P)이 오버랩된 패턴을 전사하여 형성될 수 있다.
- [0134] 이에 따라, 제1 캡핑 서포팅 패턴(140P2) 및 제2 캡핑 서포팅 패턴(140P3)은 제2 폭(W2)을 가질 수 있다. 또한,

캡핑 게이트 패턴(140P1), 제1 캡핑 서포팅 패턴(140P2) 및 제2 캡핑 서포팅 패턴(140P3)은 서로 제1 간격(P1)만큼 이격될 수 있다.

- [0135] 이어서, 도 24를 참조하면, 제1 희생 패턴층(130)을 패터닝하여 희생 게이트 패턴(130P1), 제1 희생 서포팅 패턴(130P2) 및 제1 희생 서포팅 패턴(130P2)을 형성한다.
- [0136] 희생 게이트 패턴(130P1), 제1 희생 서포팅 패턴(130P2) 및 제1 희생 서포팅 패턴(130P2)은 각각 캡핑 게이트 패턴(140P1), 제1 캡핑 서포팅 패턴(140P2) 및 제2 캡핑 서포팅 패턴(140P3)과 동일한 폭 및 간격을 가질 수 있다.
- [0137] 이어서, 도 25를 참조하면, 희생 게이트 패턴(130P1), 제1 희생 서포팅 패턴(130P2) 및 제1 희생 서포팅 패턴(130P2)을 게이트층(110)에 전사하여, 각각 게이트(G), 제1 최외곽 게이트(G1) 및 서포팅 게이트(SG1, SG2)를 형성한다.
- [0138] 이어서, 도 3을 참조하면, 게이트(G), 제1 최외곽 게이트(G1) 및 서포팅 게이트(SG1, SG2)의 측면에 제1 스페이서(SP1) 및 제2 스페이서(SP2)를 형성한다. 그리고, 게이트(G), 제1 최외곽 게이트(G1) 및 서포팅 게이트(SG1, SG2) 상에 층간 절연막(198)을 형성한 후, 액티브 게이트로 사용되는 게이트(G)에 접하도록 게이트 콘택(199)을 형성할 수 있다.
- [0139] 본 발명의 몇몇 실시예에 따르면, 도 5와 같이 리플레이스먼트(replacement) 공정을 통해서 일함수 메탈(MG1) 및 필 메탈(MG2)을 형성할 수 있다.
- [0140] 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법은, 서포팅 패턴(230)을 스페이서 패턴(210P)과 오버랩하게 형성하여 서포팅 패턴(230)에 의한 서포팅 게이트(SG1, SG2)를 스페이서 패턴(210P)에 의한 게이트(G)와 오버랩되게 형성할 수 있다.
- [0141] 서포팅 게이트(SG1, SG2)는 일정한 간격으로 이격된 복수의 게이트(G)를 포함하는 게이트 영역(GR)이 다른 영역과의 간섭에서 자유로울 수 있도록 도와주고, 식각 공정에서 최외곽 패턴의 불량을 방지하기 위해서 형성될 수 있다.
- [0142] 이와 다른 이유로, 복수의 게이트(G) 중 외곽에 위치한 게이트는 노광 공정에서 균일성을 확보하기 위해서 형성될 수 있다. 즉, 노광 공정은 주변의 패턴의 밀도가 중요한 척도로서 작용할 수 있다. 즉, 주변에 유사한 패턴이 있는 경우와 없는 경우에 따라, 노광된 패턴의 임계치수(critical dimension, CD)이 달라질 수 있다. 따라서, 이러한 CD의 균일성을 확보하기 위해서는 실제로 사용되는 패턴의 측면에도 추가적인 패턴을 형성해야 한다.
- [0143] 따라서, 이러한 균일성을 위한 게이트가 추가적으로 필요할 수 있다. 본 발명의 몇몇 실시예에 따른 반도체 장치는 상기 균일성을 위한 추가적인 게이트(G)와 서포팅 게이트(SG1, SG2)를 오버랩시켜 형성함에 따라서, 서포팅 게이트(SG1, SG2)를 위한 추가적인 공간이 필요하지 않을 수 있다.
- [0144] 따라서, 서포팅 게이트(SG1, SG2)가 형성되는 공간만큼을 효율적으로 절약할 수 있다. 나아가 이를 통해서, 반도체 장치 전체의 집적도를 향상시킬 수 있다. 집적도의 향상은 곧, 반도체 장치의 속도, 용량 및 성능의 향상을 의미할 수 있다. 따라서, 본 발명의 몇몇 실시예에 따른 반도체 장치의 제조 방법은 서포팅 패턴(230)을 스페이서 패턴(210P)과 오버랩함에 따라서 반도체 장치의 성능을 향상시킬 수 있다.
- [0145] 이하, 도 9, 도 22 내지 도 34를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법에 대해 설명한다. 도 9 및 도 22 내지 도 34를 통해서 제조되는 반도체 장치는 도 9를 통해 설명한 반도체 장치이다.
- [0146] 도 26 내지 도 34는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0147] 도 26을 참고하면, 기판(100) 상에 여러 층을 적층 형성하고, 반사 방지층(180) 상에 제1 감광막(190)을 형성할 수 있다.
- [0148] 순차적으로 설명하면, 기판(100) 상에 핀(F1, F2)이 형성되고, 핀(F1, F2) 사이에 필드 절연막(105)이 형성될 수 있다. 이어서, 핀(F1, F2) 및 필드 절연막(105) 상에 게이트층(110), 캡핑층(120), 제1 희생 패턴층(130), 제1 희생 캡핑층(140), 제2 희생 패턴층(150), 제1 마스크층(160), 제2 희생 캡핑층(170), 반사 방지층(180)을 순차적으로 적층할 수 있다.
- [0149] 제1 감광막(190)은 포토 레지스트(photoresist, PR)일 수 있다. 제1 감광막(190)은 노광 공정을 통해서 라인 형

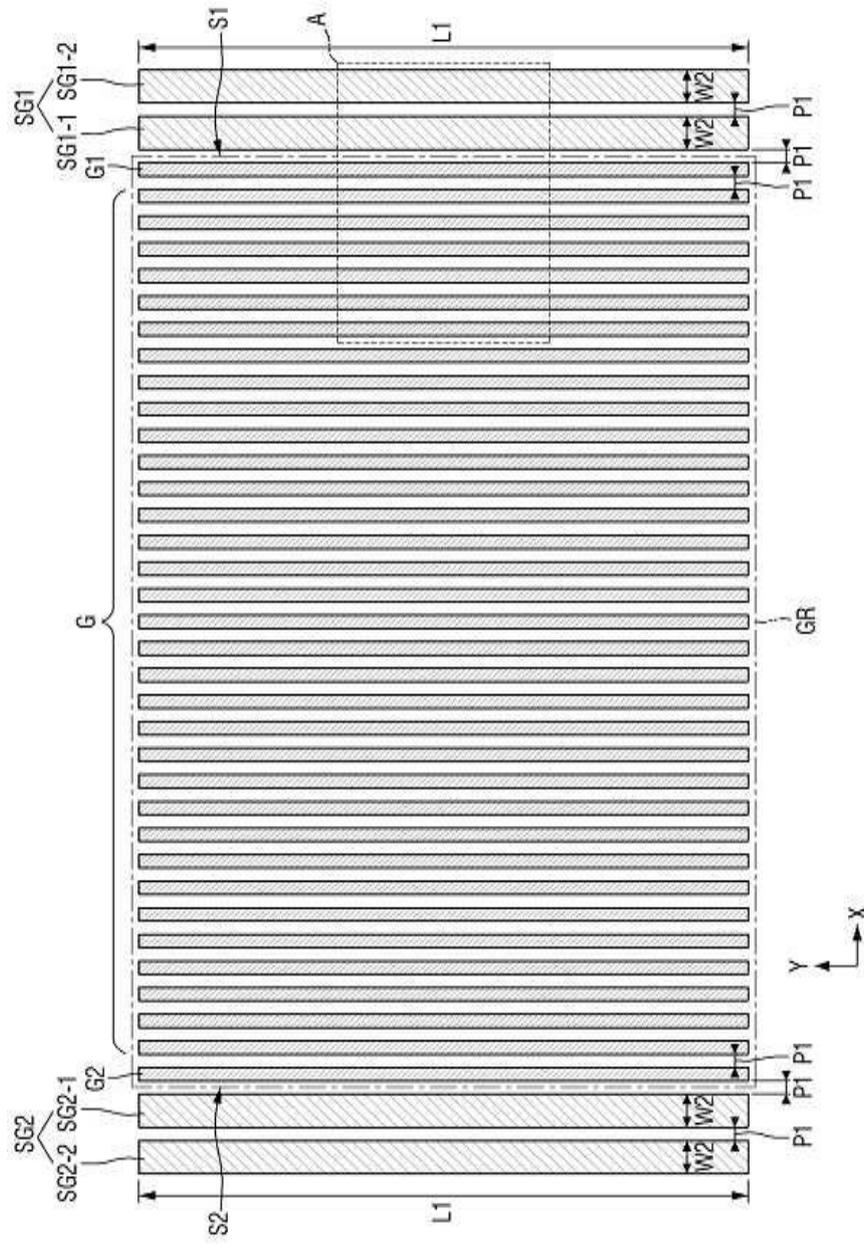
태의 제1 감광막(190)의 형태를 하부 층으로 전사할 수 있다. 제1 감광막(190)은 모두 동일한 폭(W0)을 가지고, 동일한 간격(P0)으로 이격될 수 있다.

- [0150] 이어서, 도 27을 참조하면, 노광 공정(200)을 통해서 하부층을 연화시킬 수 있다.
- [0151] 제1 감광막(190)에 의해서 가려진 부분은 남고, 나머지 노출된 부분은 노광 공정(200)에 의해서 연화될 수 있다.
- [0152] 이어서, 도 28을 참조하면, 노광 공정(200)에 의해서 연화된 부분을 제거하여 제1 마스크 패턴(160P)을 형성할 수 있다. 제1 마스크 패턴(160P)은 제1 감광막(190)과 동일한 폭(W0)과 간격(P0)을 가질 수 있다. 단, 이 때, "동일"은 노광에 따른 미세한 단차를 포함하는 개념이다.
- [0153] 이어서, 도 29를 참조하면, 제1 마스크 패턴(160P)을 제2 희생 패턴층(150)에 전사하여 제2 희생 패턴(150P)을 형성한다.
- [0154] 제2 희생 패턴(150P) 역시 제1 감광막(190) 및 제1 마스크 패턴(160P)과 동일한 폭(W0)과 간격(P0)을 가질 수 있다. 단, 이 때, "동일"은 식각에 따른 미세한 단차를 포함하는 개념이다.
- [0155] 이어서, 도 30을 참조하면, 제2 희생 패턴(150P)의 측면과 상면을 덮는 스페이서막(210)을 형성한다.
- [0156] 스페이서막(210)의 물질은 제2 희생 패턴(150P)과 식각 선택비를 가지는 물질로 이루어질 수 있다. 제2 희생 패턴(150P)이 다결정질 실리콘, ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask) 중에서 어느 하나로 이루어진 경우, 스페이서막(210)은 실리콘 산화물 또는 실리콘 질화물로 이루어질 수 있다.
- [0157] 스페이서막(210)은 일정한 두께로 형성될 수 있다. 스페이서막(210)은 원자층 증착법(ALD)에 의해 형성될 수 있다.
- [0158] 이어서, 도 31을 참조하면, 스페이서막(210)의 일부를 제거하여 스페이서 패턴(210P)을 형성한다.
- [0159] 스페이서 패턴(210P)은 제2 희생 패턴(150P)의 양 옆에 각각 분리되어 형성될 수 있다. 스페이서 패턴(210P)은 제2 희생 패턴(150P)의 측면만 덮고 제2 희생 패턴(150P)의 상면을 노출시킬 수 있다.
- [0160] 이어서, 도 32를 참조하면, 제2 희생 패턴(150P)을 제거한다.
- [0161] 스페이서 패턴(210P)은 제2 희생 패턴(150P)과 식각 선택비를 가짐에 따라 스페이서 패턴(210P)은 남고, 제2 희생 패턴(150P)만 제거될 수 있다. 제2 희생 패턴(150P)이 제거됨에 따라서, 스페이서 패턴(210P)이 서로 이격된 채 위치할 수 있다.
- [0162] 이 때, 스페이서 패턴(210P)의 폭은 제1 폭(W1)으로 모두 동일할 수 있다. 또한, 스페이서 패턴(210P) 사이의 간격은 제1 간격(P1)으로 모두 동일할 수 있다.
- [0163] 이어서, 도 33을 참조하면, 스페이서 패턴(210P) 및 제1 희생 캡핑층(140)의 상면을 덮는 제2 마스크층(220)을 형성한다.
- [0164] 제2 마스크층(220)은 ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask)와 같이 탄소 함유물질 또는 금속 중 적어도 하나로 이루어질 수도 있다. 제2 마스크층(220)은 스페이서 패턴(210P)을 완전히 덮을 수 있다.
- [0165] 도시되지 않았지만, 제2 마스크층(220) 상에 추가적으로 SiON의 캡핑층 및 반사방지층이 더 형성될 수도 있다.
- [0166] 이어서, 도 34를 참조하면, 제2 마스크층(220) 상에 서포팅 패턴(230)을 형성한다.
- [0167] 서포팅 패턴(230)은 스페이서 패턴(210P)과 오버랩될 수 있다. 서포팅 패턴(230)의 폭(W2')은 스페이서 패턴(210P)의 폭(W1)보다 넓을 수 있다. 이에 따라, 서포팅 패턴(230)은 복수의 스페이서 패턴(210P)과 1 대 다(多)로 오버랩될 수 있다.
- [0168] 서포팅 패턴(230)은 복수일 수 있다. 서포팅 패턴(230)은 서로 제2 간격(P2)으로 이격될 수 있다. 서포팅 패턴(230)은 포토 레지스트(photoresist, PR)일 수 있다. 서포팅 패턴(230)은 노광 공정을 통해서 라인 형태의 서포팅 패턴(230)의 형태를 하부 층으로 전사할 수 있다.
- [0169] 이 때, 복수의 서포팅 패턴(230) 중 일부는 스페이서 패턴(210P)과 오버랩되고, 나머지는 스페이서 패턴(210P)과 오버랩되지 않을 수 있다. 이 때, 스페이스 패턴 중 최외곽에 위치한 최외곽 스페이서 패턴은 오버랩될 수 있다. 복수의 서포팅 패턴(230) 중 일부는 스페이서 패턴(210P)과 오버랩되고, 나머지는 스페이서 패턴(210P)과

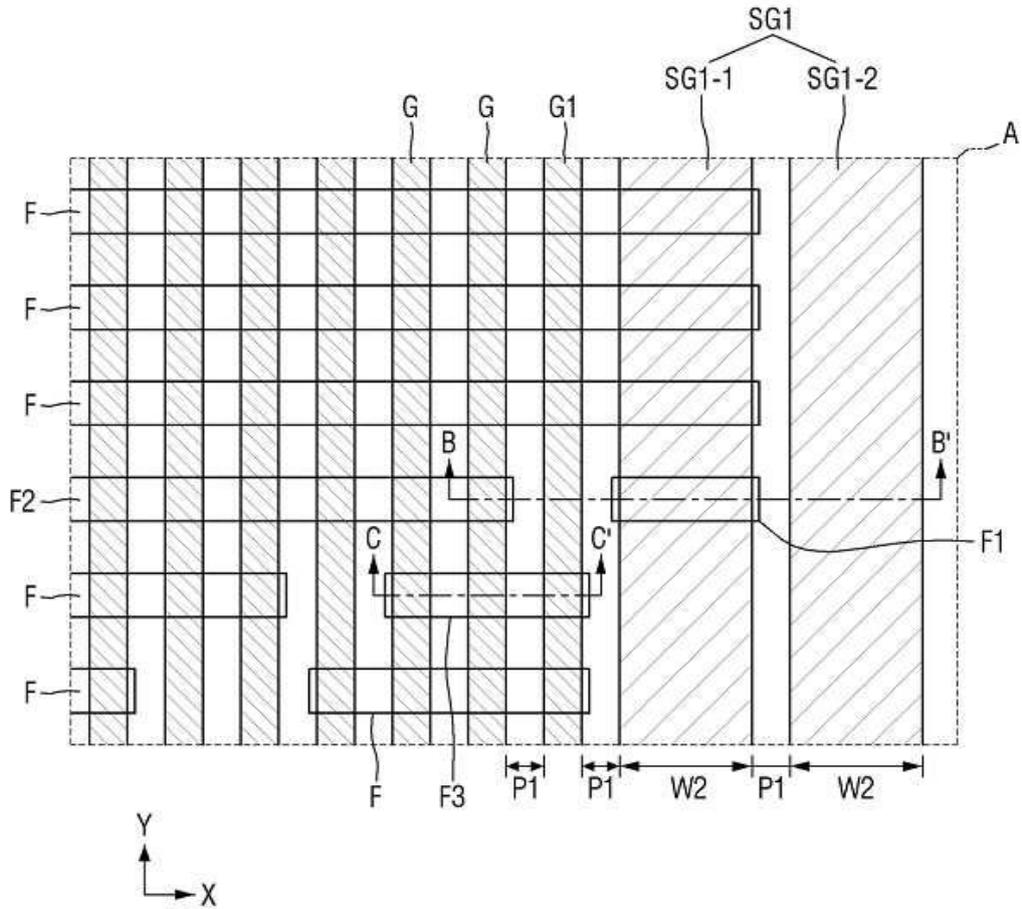


도면

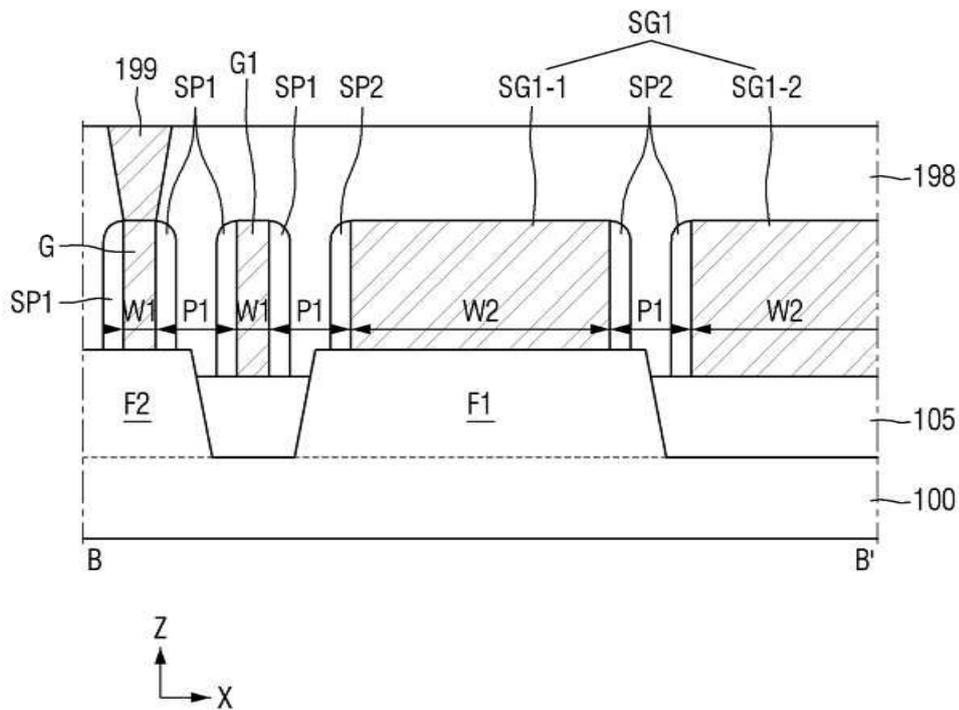
도면1



도면2

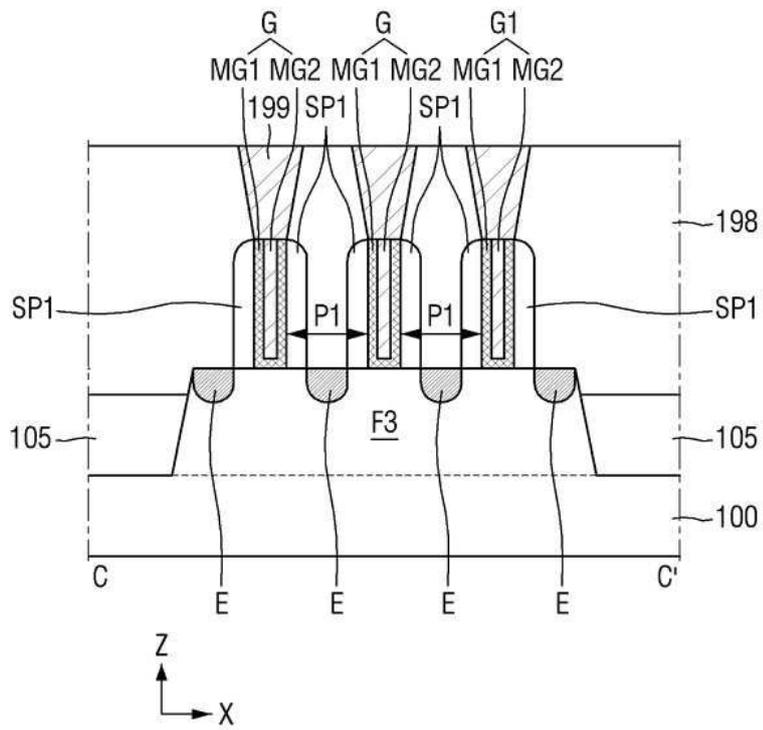


도면3

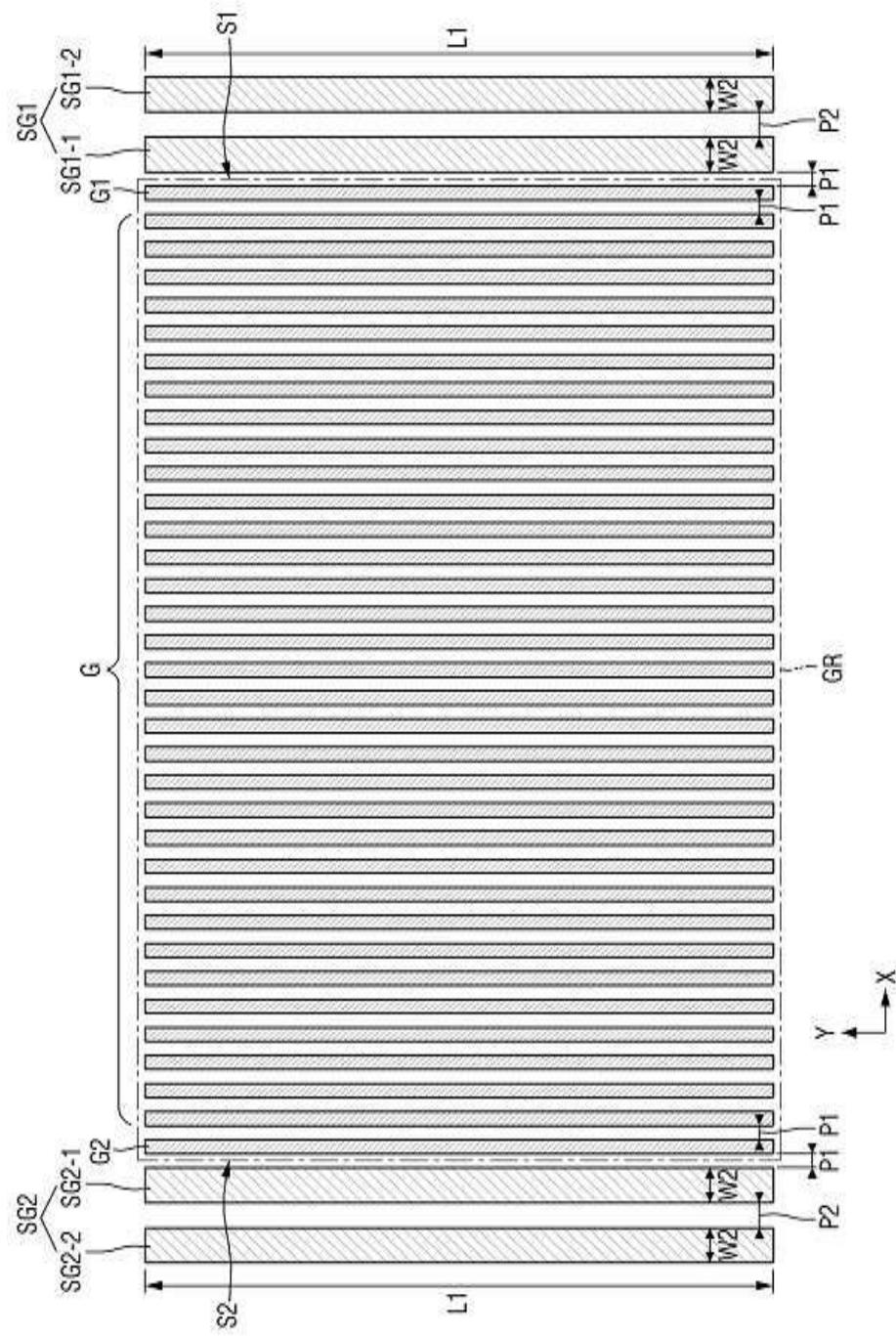




도면6

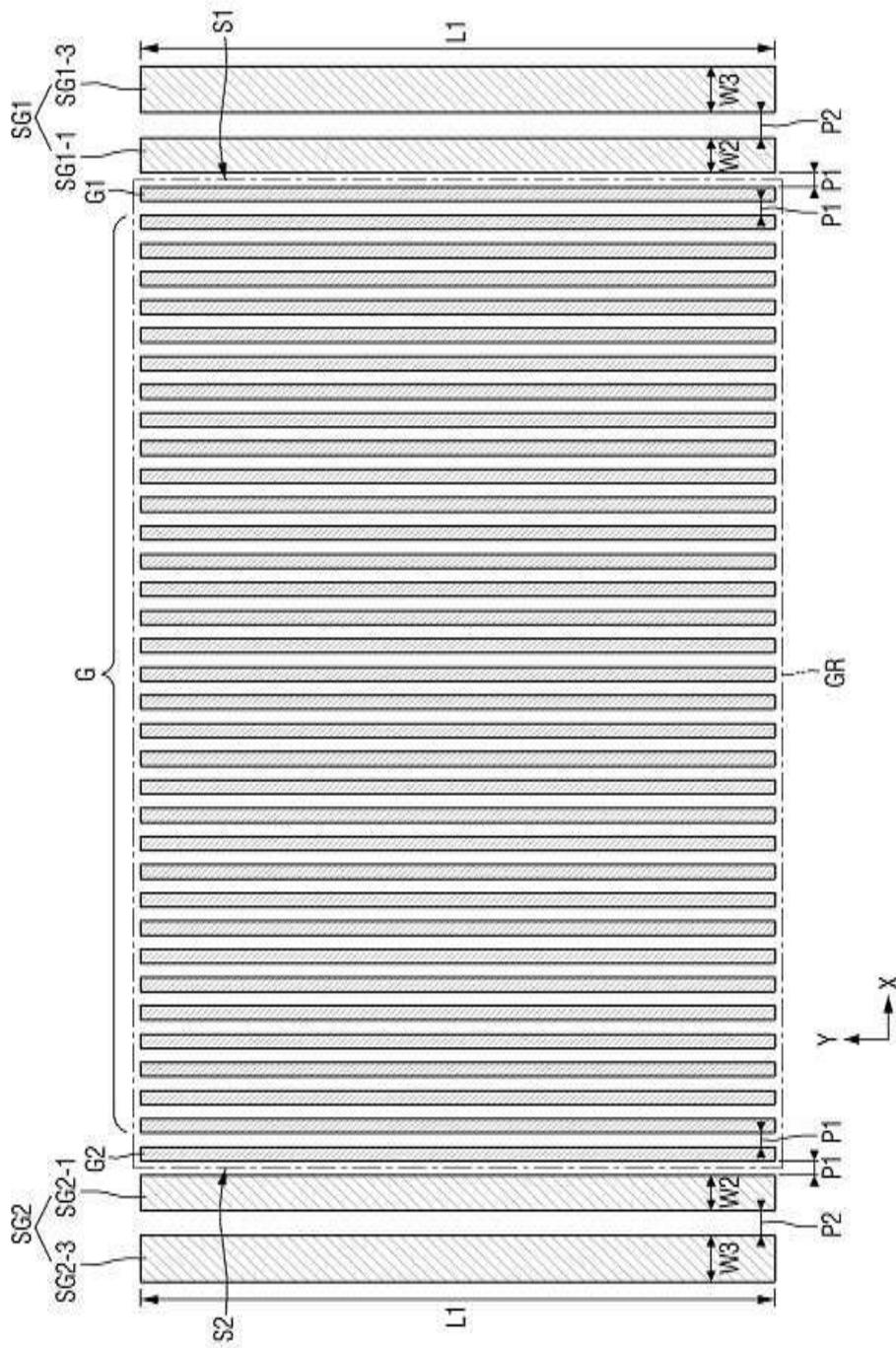


도면7

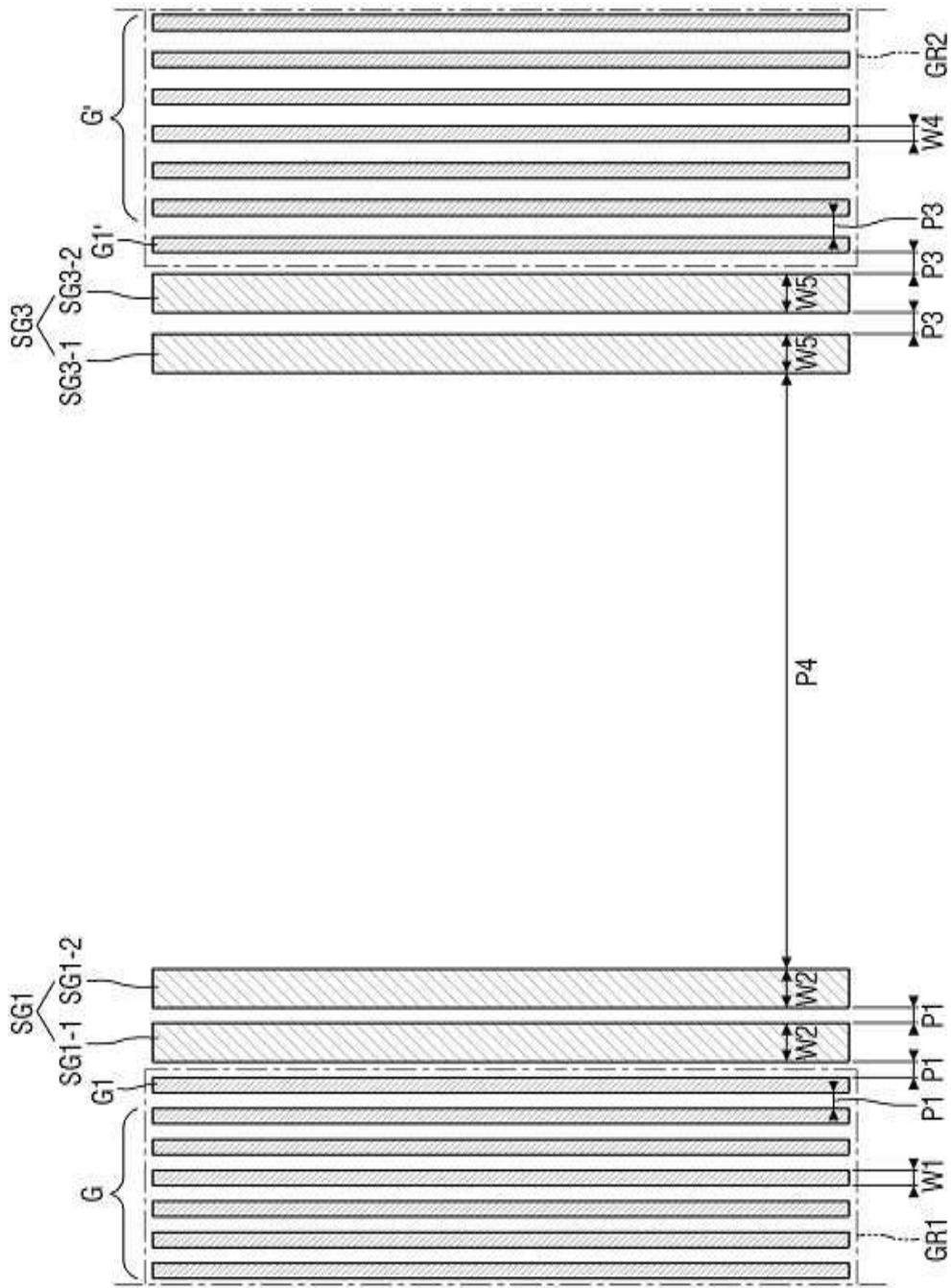




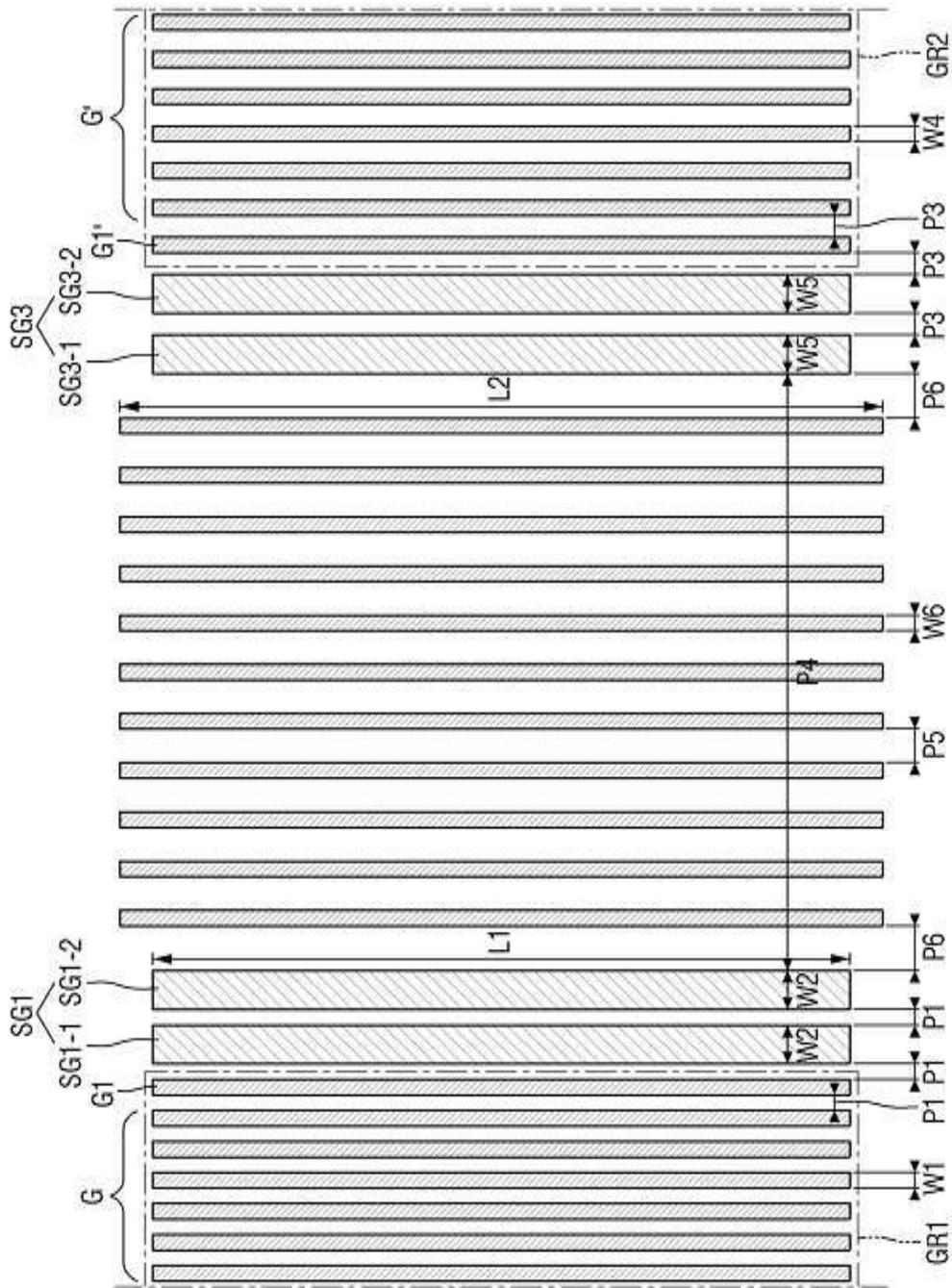
도면9



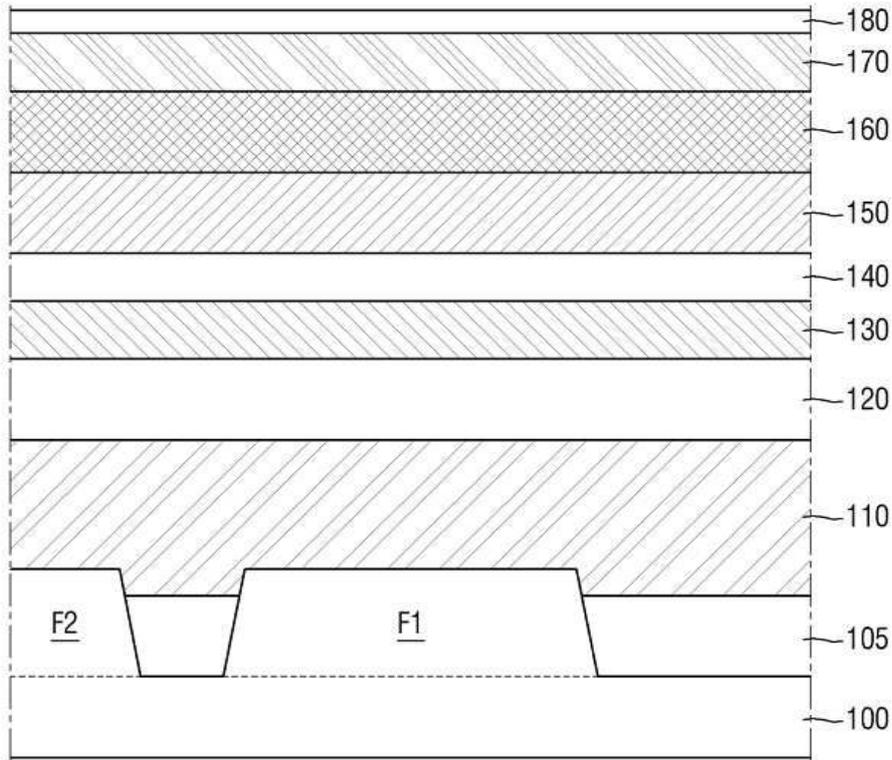
도면10



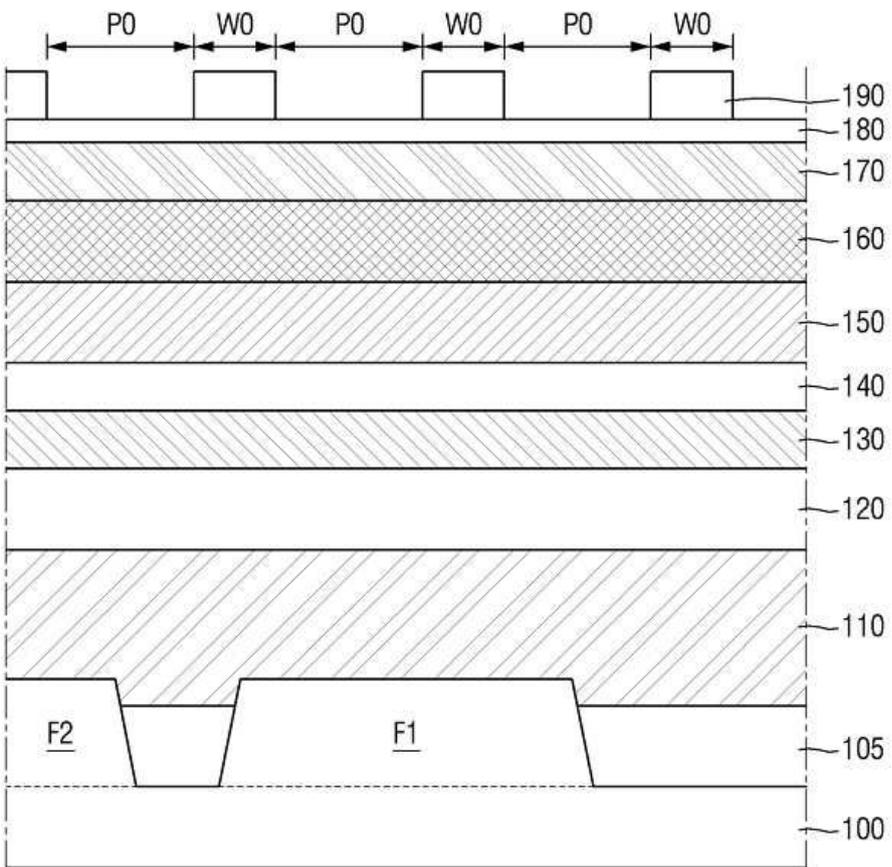
도면11



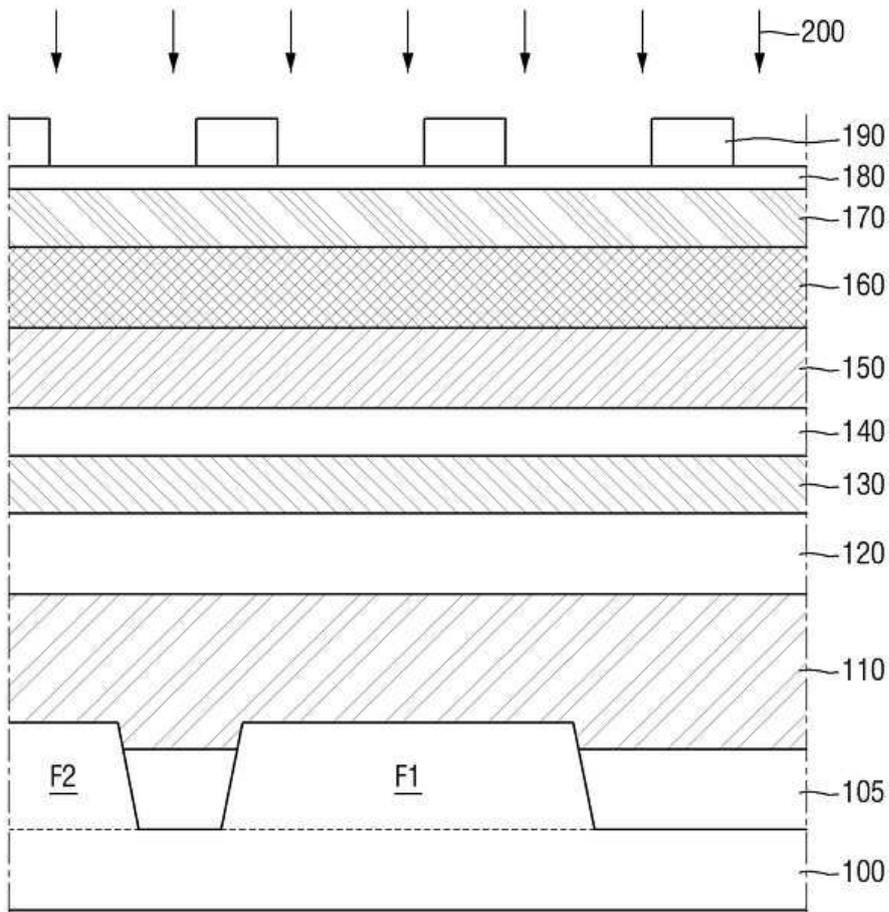
도면12



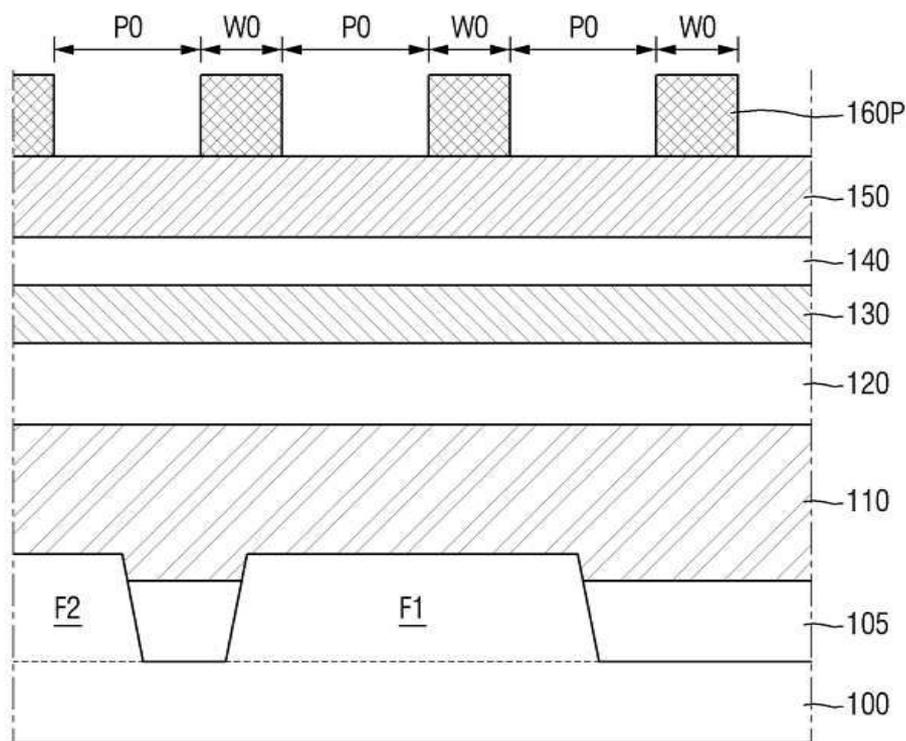
도면13



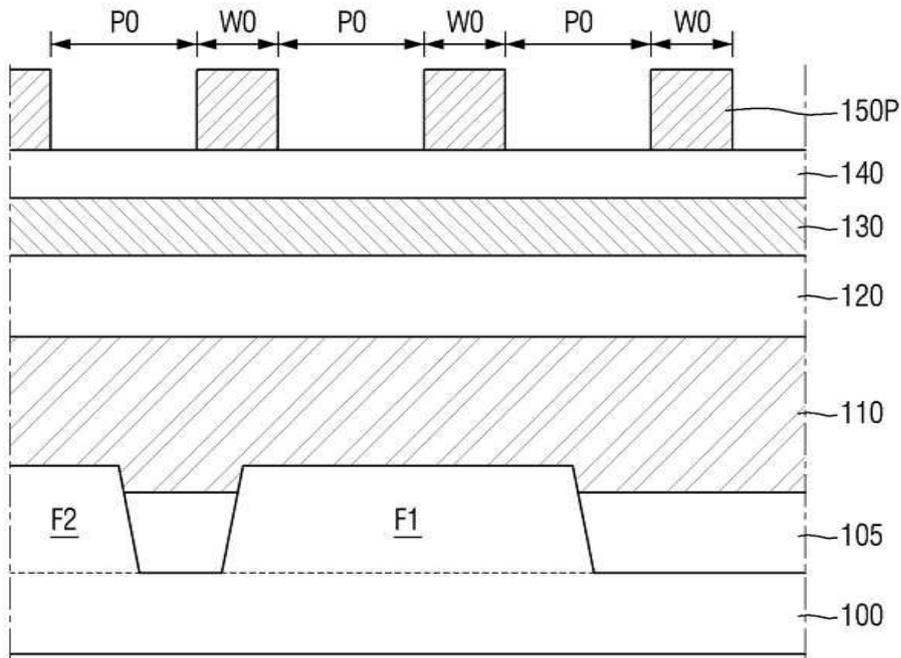
도면14



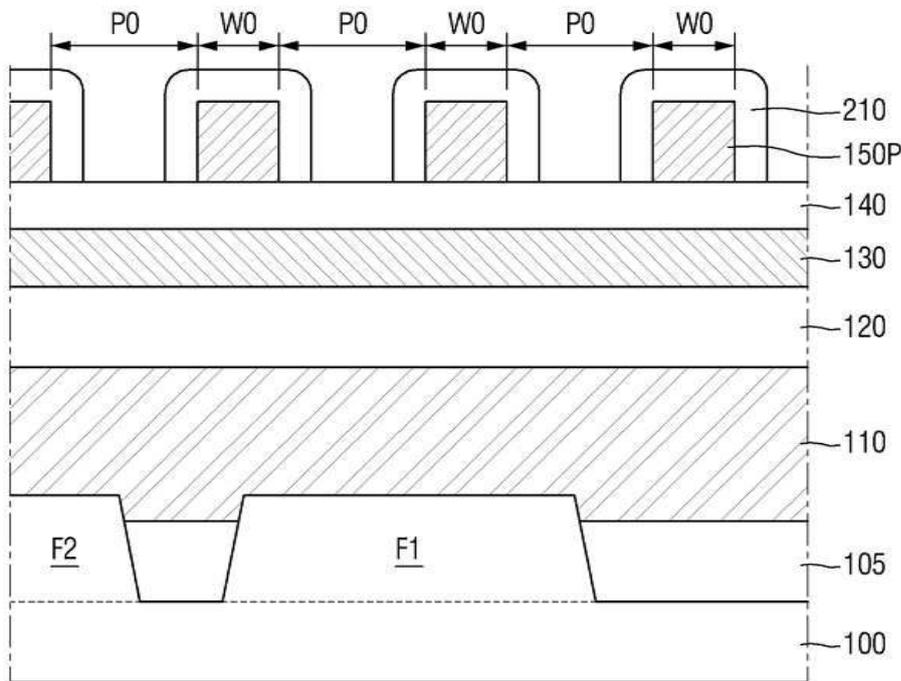
도면15



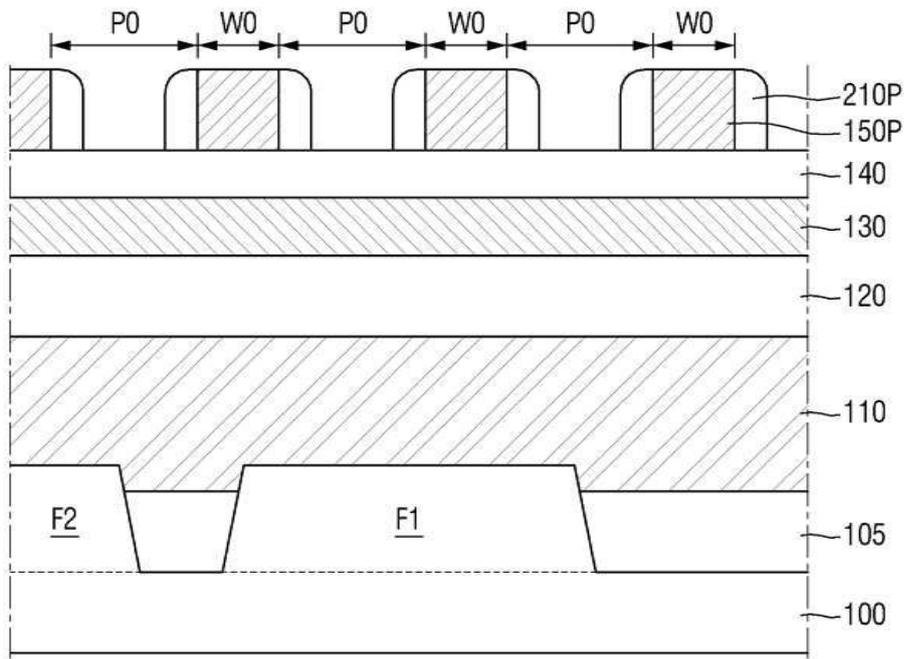
도면16



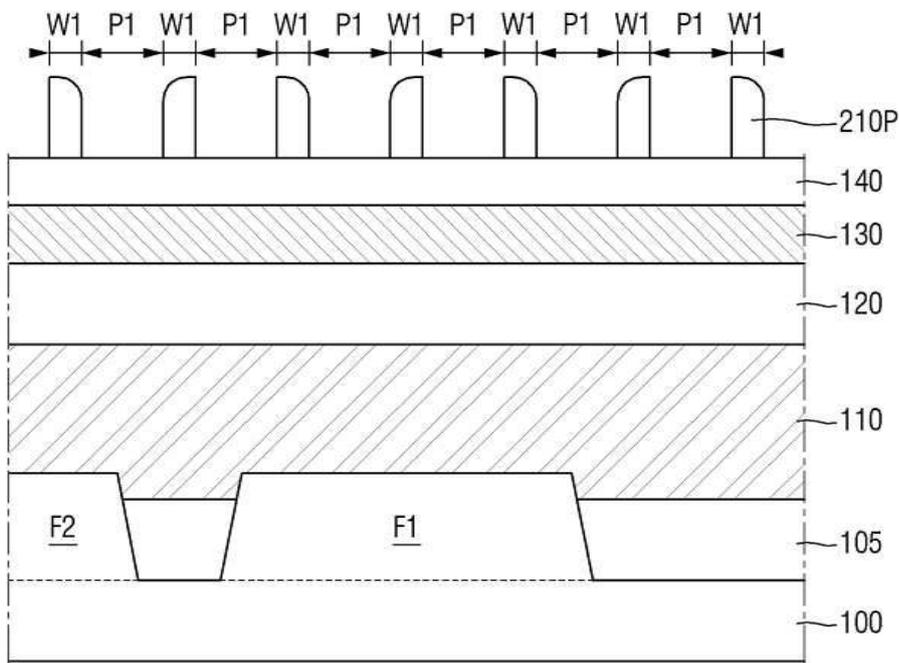
도면17



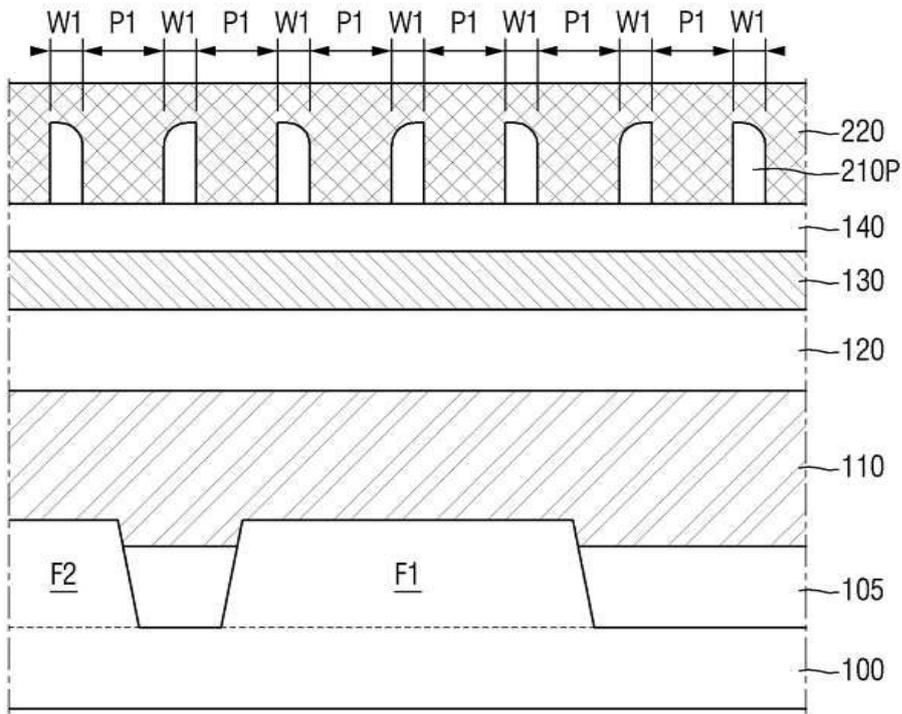
도면18



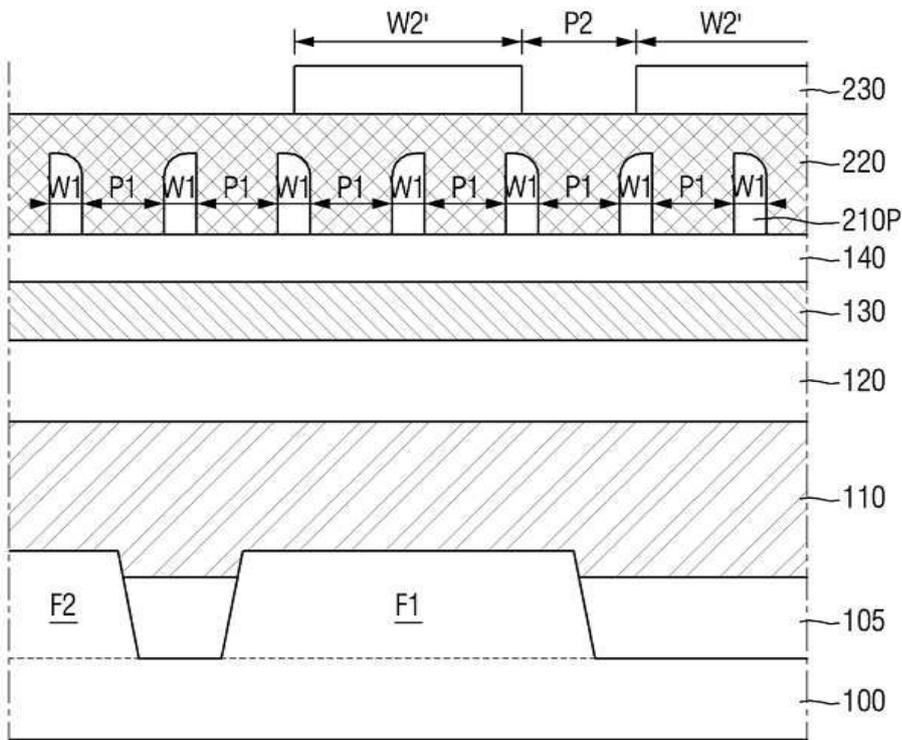
도면19



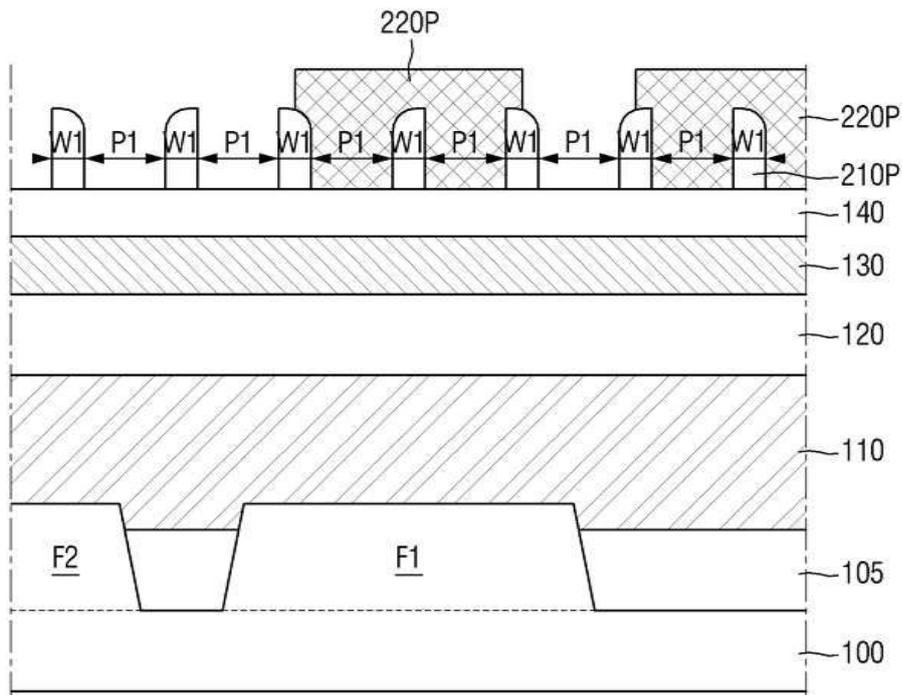
도면20



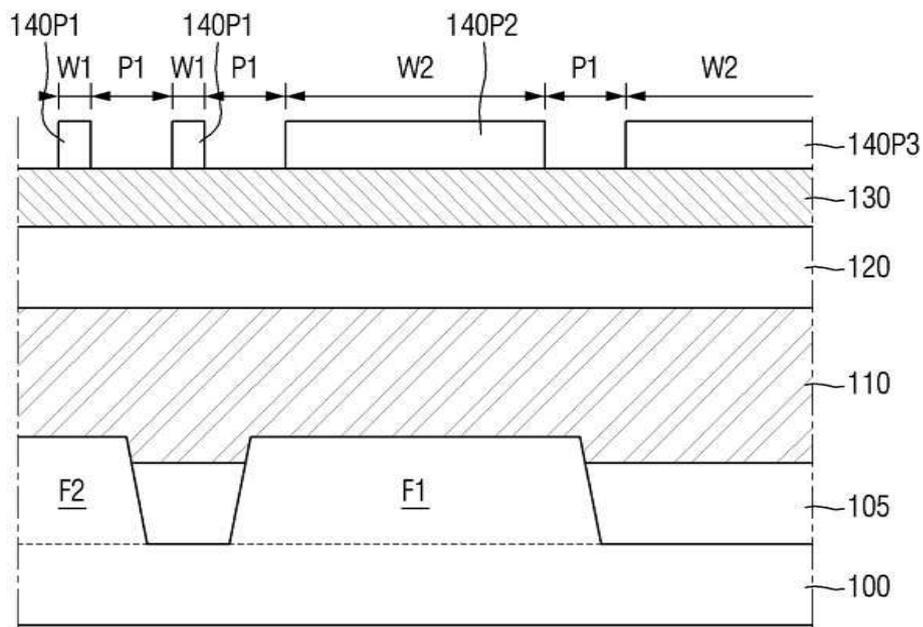
도면21



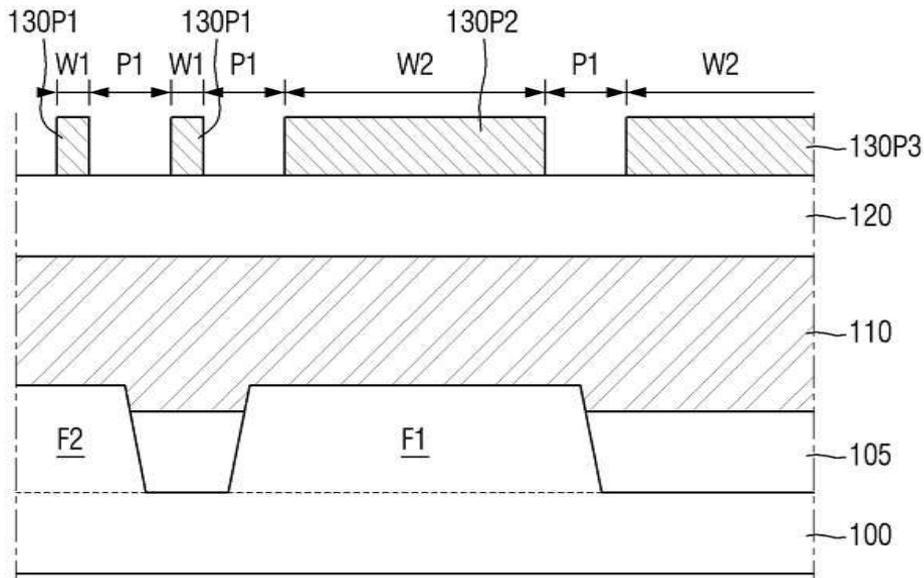
도면22



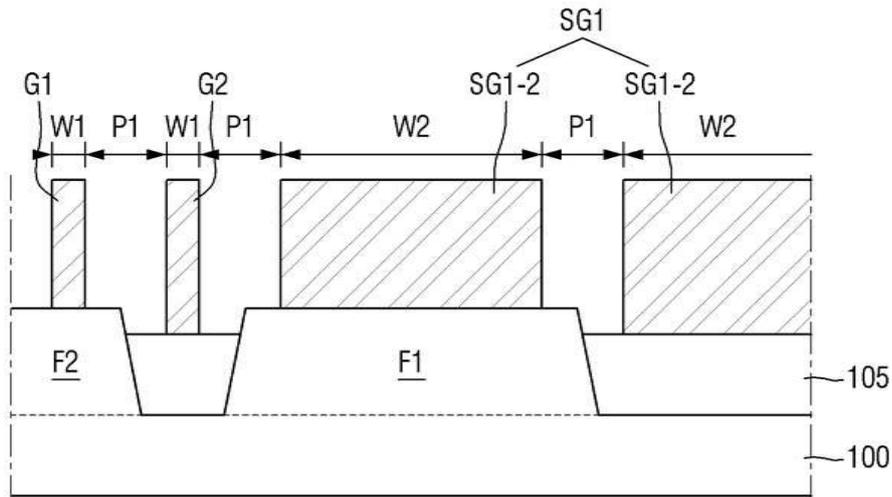
도면23



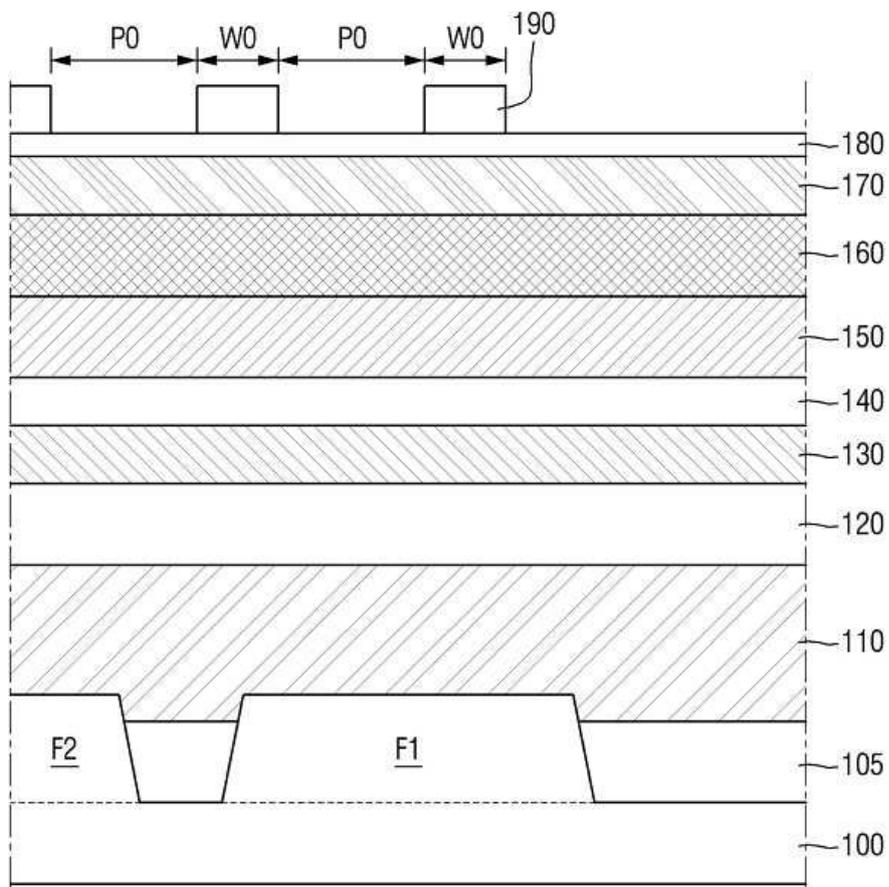
도면24



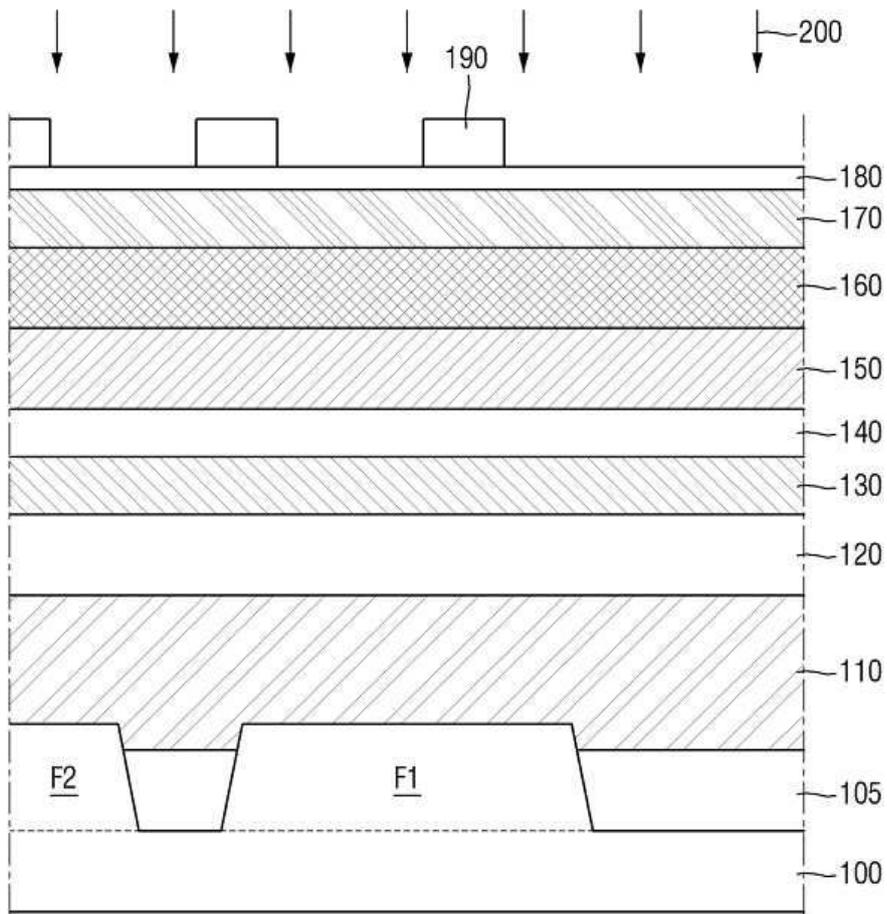
도면25



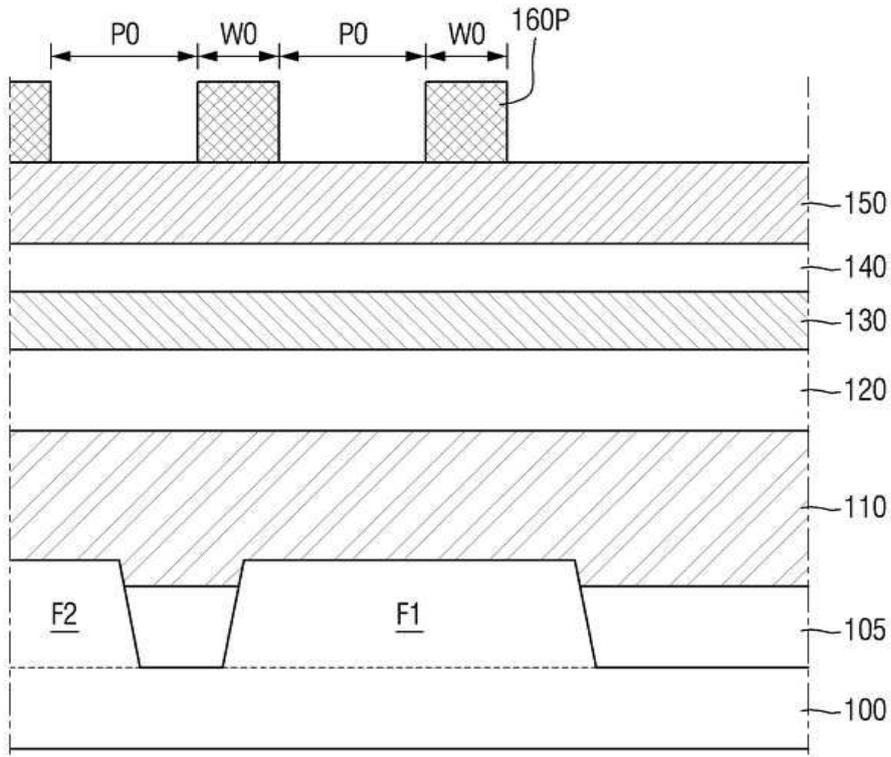
도면26



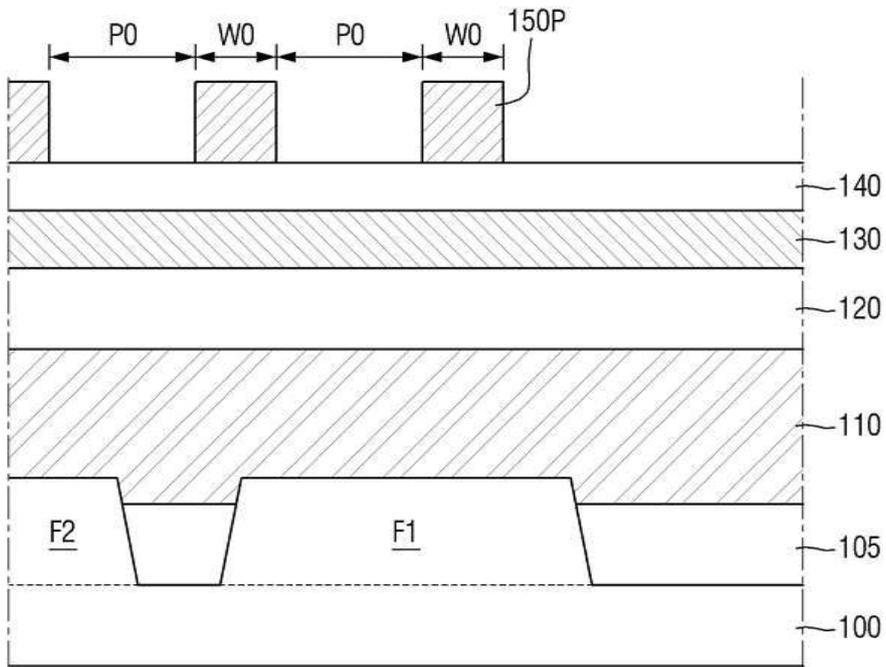
도면27



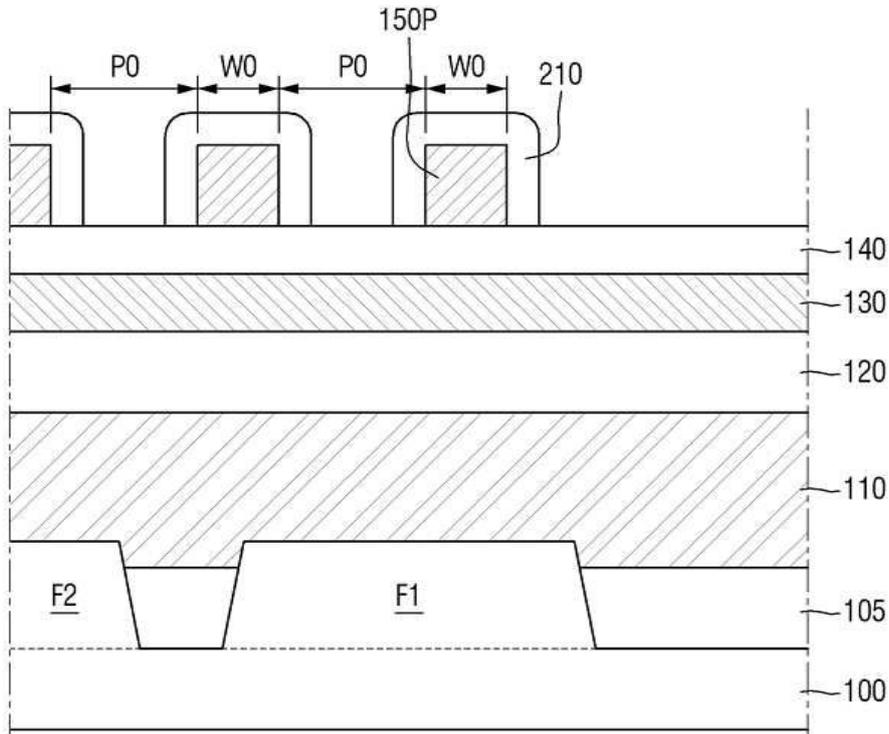
도면28



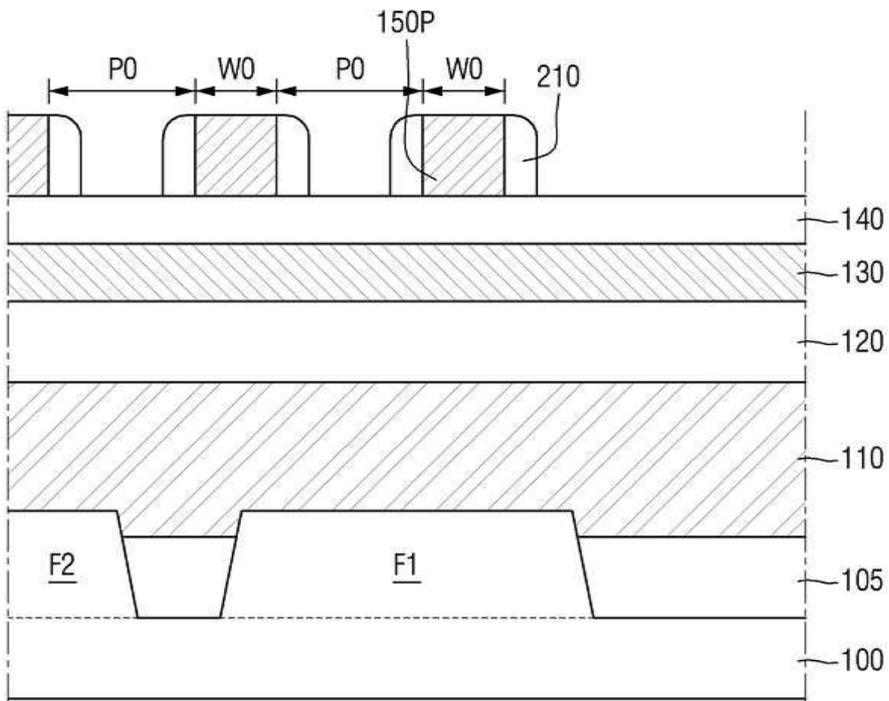
도면29



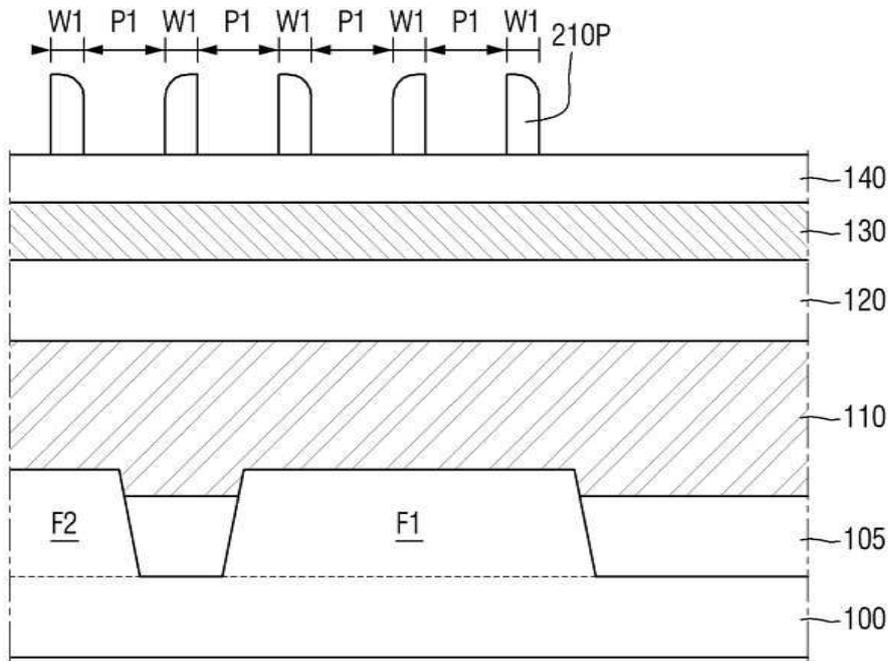
도면30



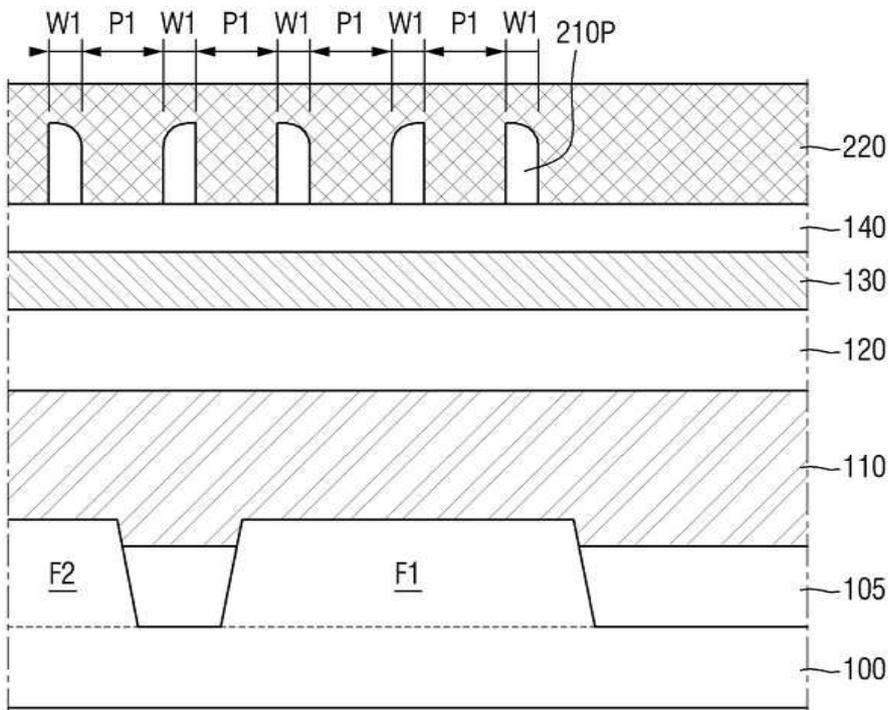
도면31



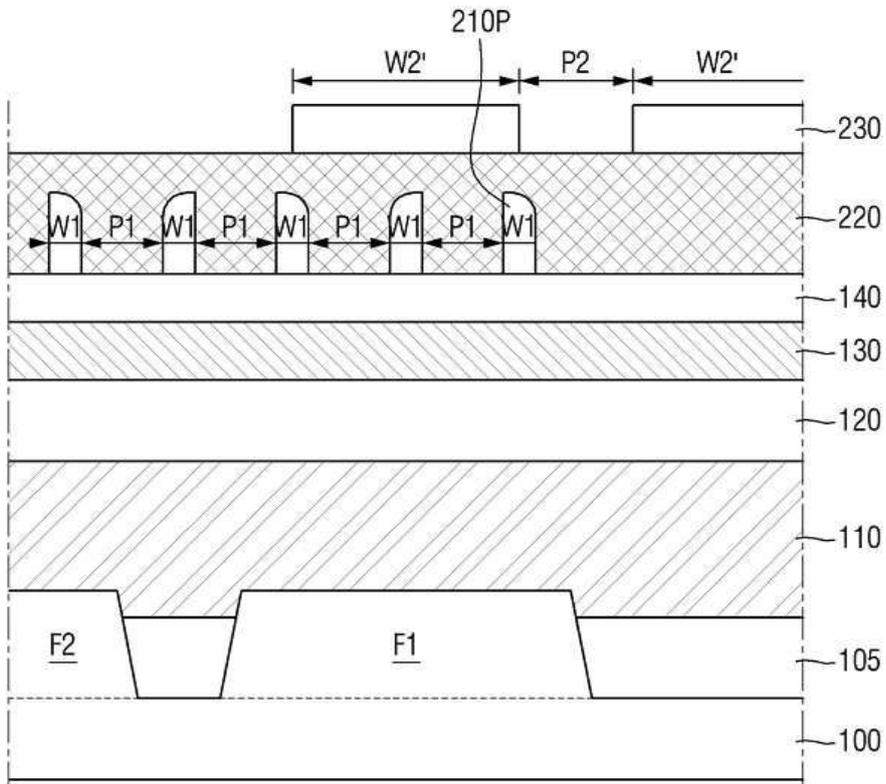
도면32



도면33



도면34



도면35

