

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4332536号
(P4332536)

(45) 発行日 平成21年9月16日(2009.9.16)

(24) 登録日 平成21年6月26日(2009.6.26)

(51) Int.Cl.	F I
HO5K 3/46 (2006.01)	HO5K 3/46 Q
HO1L 23/12 (2006.01)	HO5K 3/46 T
	HO5K 3/46 G
	HO5K 3/46 N
	HO1L 23/12 B

請求項の数 17 (全 14 頁)

(21) 出願番号	特願2006-91556 (P2006-91556)	(73) 特許権者	591003770
(22) 出願日	平成18年3月29日(2006.3.29)		三星電機株式会社
(65) 公開番号	特開2006-310822 (P2006-310822A)		大韓民国京畿道水原市靈通區梅灘3洞314番地
(43) 公開日	平成18年11月9日(2006.11.9)	(74) 代理人	100101454
審査請求日	平成18年3月29日(2006.3.29)		弁理士 山田 卓二
(31) 優先権主張番号	10-2005-0035626	(74) 代理人	100081422
(32) 優先日	平成17年4月28日(2005.4.28)		弁理士 田中 光雄
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100091465
			弁理士 石井 久夫
		(74) 代理人	100100479
			弁理士 竹内 三喜夫

最終頁に続く

(54) 【発明の名称】 ハイブリッド材料を用いたキャパシタ内蔵型プリント基板およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 両面銅箔のいずれか一方には回路パターンを含む第1回路層が形成され、両面銅箔の他方には回路パターンを含む第4回路層が形成された両面銅張積層板と、

(b) 液晶ポリマーおよびセラミック粉末を含むハイブリッド誘電体層の両面に銅箔が積層され、該両面銅箔のいずれか一方には下部電極および回路パターンを含む第2回路層が形成され、該両面銅箔の他方には上部電極および回路パターンを含む第3回路層が形成され、前記下部電極と上部電極が互いに対向するように前記第2回路層および第3回路層が形成されたハイブリッド銅張積層板と、

(c) 前記第1回路層および前記第2回路層が内層として配置されるように、前記両面銅張積層板と前記ハイブリッド銅張積層板との間に積層された絶縁層と、

(d) 前記第3回路層および第4回路層の上に積層された片面銅張積層板と、

(e) 前記片面銅張積層板の所定部位に加工されたブラインドビアホールおよびスルーホールと、

(f) 前記ブラインドビアホールおよびスルーホールにメッキされたメッキ層と、を含むことを特徴とするハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

【請求項2】

前記液晶ポリマーは、誘電率が3.5以下で、誘電正接が0.0007~0.002であることを特徴とする請求項1に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

10

20

【請求項 3】

前記セラミック粉末は、誘電率が5～120で、 $Q \cdot f$ 値が1,000～150,000であることを特徴とする請求項1に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

【請求項 4】

前記セラミック粉末は、 $BaTiO_3 - TiO_2$ 、 $ZnO - MgO - SiO_2$ 、 $CaCO_3 - TiO_2 - MgO$ 、 $BaO - MgO - Ta_2O_5$ 、 $ZrO_2 - SnO_2 - TiO_2$ 、 $BaO - ZnO - Ta_2O_5$ 、 $CaCO_3 - TiO_2 - Nd_2O_3 - Li_2CO_3$ 、 $BaTiO_3 - TiO_2 - Nd_2O_3 - Sm_2O_3 - Bi_2O_3$ および $CaCO_3 - TiO_2 - La_2O_3 - Al_2O_3$ よりなる群から選択される1種であることを特徴とする請求項1に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

10

【請求項 5】

前記セラミック粉末の平均粒径は、 $0.5 \sim 2 \mu m$ であることを特徴とする請求項1に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

【請求項 6】

前記誘電体層のうち、セラミック粉末の含量は5～55体積%であることを特徴とする請求項1に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

【請求項 7】

前記誘電体層の厚さは、 $10 \sim 300 \mu m$ であることを特徴とする請求項1に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

20

【請求項 8】

前記誘電体層が形成された層は、信号マッチング用キャパシタまたはインピーダンスマッチング用キャパシタの機能をすることを特徴とする請求項1に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板。

【請求項 9】

(a) 両面銅張積層板のいずれか一方の銅箔に、回路パターンを含む第1回路層を形成する工程と、

(b) 液晶ポリマーにセラミック粉末を分散させてシート状に形成してなるハイブリッド誘電体層の両面に銅箔を積層する工程と、

(c) 前記ハイブリッド銅張積層板のいずれか一方の銅箔に、下部電極および回路パターンを含む第2回路層を形成する工程と、

30

(d) 前記(a)工程で得られた銅張積層板と前記(c)工程で得られたハイブリッド銅張積層板を、前記第1回路層と前記第2回路層が内層として配置されるように、絶縁層を介して積層する工程と、

(e) 前記(d)工程で得られた基板の外層銅箔のうち誘電体層上の銅箔に、前記下部電極と対向する上部電極、および回路パターンを含む第3回路層を形成する工程と、

(f) 前記(d)工程で得られた基板の外層銅箔のうち他方の銅箔に、回路パターンを含む第4回路層を形成する工程と、

(g) 前記第3回路層および第4回路層上に片面銅張積層板を積層する工程と、

(h) 前記片面銅張積層板の所定部位にブラインドビアホールおよびスルーホールを加工する工程と、

40

(i) 前記ブラインドビアホールおよびスルーホールをメッキして層間を接続する工程段階と、を含むことを特徴とするハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項 10】

前記液晶ポリマーは、誘電率が3.5以下で、誘電正接が $0.0007 \sim 0.002$ であることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項 11】

前記セラミック粉末は、誘電率が5～120で、 $Q \cdot f$ 値が1,000～150,000

50

0であることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項12】

前記セラミック粉末は、 $BaTiO_3 - TiO_2$ 、 $ZnO - MgO - SiO_2$ 、 $CaCO_3 - TiO_2 - MgO$ 、 $BaO - MgO - Ta_2O_5$ 、 $ZrO_2 - SnO_2 - TiO_2$ 、 $BaO - ZnO - Ta_2O_5$ 、 $CaCO_3 - TiO_2 - Nd_2O_3 - Li_2CO_3$ 、 $BaTiO_3 - TiO_2 - Nd_2O_3 - Sm_2O_3 - Bi_2O_3$ および $CaCO_3 - TiO_2 - La_2O_3 - Al_2O_3$ よりなる群から選択される1種であることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項13】

前記セラミック粉末の平均粒径は、 $0.5 \sim 2 \mu m$ であることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項14】

前記誘電体層のうち、セラミック粉末の含量は $5 \sim 55$ 体積%であることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項15】

前記誘電体層の厚さは、 $10 \sim 300 \mu m$ であることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項16】

前記(b)工程は、 $300 \sim 350$ の温度、および $400 \sim 600 N/cm^2$ の圧力の条件下で行われることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【請求項17】

前記(g)工程は、ビルドアップ法によって行われることを特徴とする請求項9に記載のハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ハイブリッド材料を用いたキャパシタ内蔵型プリント基板およびその製造方法に関し、より詳しくは、液晶ポリマーに高周波セラミック粉末を分散させてシート状に形成したハイブリッド材料から構成されるキャパシタ層を基板内に内蔵させることで、従来のキャパシタ内蔵型プリント基板に比べて、温度による容量値変化が小さく、低い誘電正接により、信号伝送時の損失が少ないキャパシタ内蔵型プリント基板およびその製造方法に関するものである。

【背景技術】

【0002】

キャパシタは、電荷の形態としてエネルギーを保存する素子であり、直流電源の場合、電荷は蓄積されるが電流が流れない特性を有し、交流電源の場合、電荷が充・放電しながら、キャパシタの容量と電圧の時間変化に比例して電流が流れる特性を有する。

【0003】

キャパシタは、前述した特性を用いて、デジタル回路、アナログ回路、高周波回路などの電気電子回路において、カップリングおよびデカップリング、フィルター、インピーダンスマッチングおよび信号マッチング、チャージポンプおよび復調などの多様な目的で使われる必須の受動素子である。また、キャパシタは、一般に、チップ、ディスクなどの多様な形態に製造され、プリント基板の表面に実装されて使用される。

【0004】

このような電子回路内のキャパシタは、容量および温度安全性によって2種類に大別さ

10

20

30

40

50

れ、第1は、温度安全性は低い、容量が大きいB(A)特性およびF特性MLCC(Multilayer Ceramic Capacitor)のようなキャパシタであり、第2は、容量は小さいが、容量が安定的で正確なC特性MLCCのようなキャパシタである。前者は、主にデカップリングおよびバイパスなどの目的で使用され、後者は、信号マッチングおよびインピーダンスマッチングなどの目的で使用される。

【0005】

このようなキャパシタは、一般に、現在までチップ、ディスクなどの多様な形態に製造されて、目的によってプリント基板の表面に実装されて使われてきたが、近年、電子機器の小型化、複合化によって、プリント基板に受動素子が実装可能な面積が小さくなり、しかも電子機器の高速化によって周波数が高くなるにしたがい、受動素子とICの間において導体およびハンダ(Solder)などのいろいろの要因によって発生する寄生インピーダンスが多くの問題を引き起こすようになる。このような問題点を解決するために、キャパシタをプリント基板の内部に内蔵しようとする多様な試みがプリント基板メーカーおよび電子部品メーカーを中心に活発に行われている。

10

【0006】

しかし、現在まで、メーカーで開発した大部分のキャパシタ内蔵型プリント基板用材料の場合、温度および湿度などの変化により容量値が不安定となるため、主にデカップリングおよびバイパスなどの用途に限定して研究開発されてきた。

【0007】

これと関連して、図1A~図1Eに、従来技術の一例として、ポリマー厚膜型キャパシタを内蔵したプリント基板を製造するプロセスを示す。このプロセスでは、ポリマーキャパシタペーストを塗布し、熱乾燥(または硬化)させることで、ポリマー厚膜型キャパシタが内蔵されたプリント基板を実現している。以下、図面を参照して説明する。

20

【0008】

第1工程において、FR-4からなるプリント基板42の内層の銅箔をドライフィルムで被覆して、露光および現象を行った後、この銅箔をエッチングして、正極用銅箔44a、44bおよび負極用銅箔43a、43bと、その間の隙間を形成する(図1A参照)。

【0009】

第2工程において、このように形成された負極用銅箔43a、43bに、高誘電率のセラミック粉末を含むポリマーからなるキャパシタペースト45a、45bをスクリーン印刷法で塗布し、以後、これを乾燥または硬化させる(図1B参照)。ここで、スクリーン印刷とは、スキージ(squeegee)を用いてインクなどの媒体をステンシル(stencil)スクリーンに通過させて、基板表面上にパターンを転写する方法を言う。

30

【0010】

その際、キャパシタペースト45a、45bは、正極用銅箔44a、44bと負極用銅箔43a、43bとの隙間まで塗布することになる。

【0011】

次に、第3工程において、銀および銅のような導電ペーストをスクリーン印刷法で正極46a、46bを形成した後、乾燥または硬化させる(図1C参照)。

【0012】

第4工程において、前述した第1工程~第3工程により前記プリント基板42の内層に形成されたキャパシタ層を、絶縁体47a、47b間に挿入した後、積層する(図1D参照)。

40

【0013】

次に、第5工程において、この積層体にスルーホール(TH)およびレーザーブラインドビアホール(Laser Blinded ViaHole; LBVH)49a、49bを形成して、基板の内層のキャパシタを基板外部に実装されている集積回路(IC)チップ52a、52bの正端子51a、51bと負端子50a、50bを接続させることにより、内蔵型キャパシタの役目を果たす(図1E参照)。

【0014】

50

そのほかにも、セラミック充填感光性樹脂(Ceramic filled photo-dielectric resin)でプリント基板を被覆してディスクリットタイプの内蔵型キャパシタを実現する方法があり、アメリカのモトローラ社が関連特許技術を保有している。この方法は、セラミック粉末を含有した感光性樹脂で基板を被覆した後、銅箔を積層して、それぞれの上部電極および下部電極を形成し、以後、回路パターンを形成し感光性樹脂をエッチングすることにより、個別のキャパシタを実現している。

【0015】

また、プリント基板の表面に実装されるデカップリングキャパシタの代替として、プリント基板内層にキャパシタンス特性を持つ誘電層を別途に挿入してキャパシタを実現する方法があり、アメリカのサンミナ(Sanmina)社が関連特許技術を保有している。この方法は、プリント基板の内層に電源電極およびグランド電極を備えた誘電層を挿入して、電源分散型デカップリングキャパシタを実現している。

10

【0016】

前述した技術ごとに多くのプロセスが開発されているが、それぞれのプロセスによって実現方法に違いがある。

【0017】

一方、特許文献1(発明者:ハワード等(Howard et al.))、発明の名称:容量性プリント基板およびその製造方法に使われるキャパシタ薄膜)には、「借用キャパシタ(borrowed capacitor)」という概念を用いて、多数の素子と接続され、導電層間に誘電層が介在した状態の剛性なキャパシタ薄膜層を使ったプリント基板が開示されている。

20

【0018】

また、特許文献2(発明者:シスラー等(Sisler et al.))、発明の名称:多層プリント基板の製造方法)には、電源プレーンとグランドプレーンとの間に介在する完全硬化した誘電体層と、半硬化した誘電層のほかに回路パターンが形成されたコンポーネントを積層することにより、バイパスキャパシタを不要にする多層プリント基板の製造方法が開示されている。

【0019】

しかし、前述した従来技術によれば、厚膜は、主にエポキシ樹脂にセラミック粉末が充填された形態である。また、薄膜の場合、薄膜プロセスを用いて、デカップリング用およびバイパス用のキャパシタを内蔵する目的で発明された、チタン酸バリウムなどのセラミックを薄膜に形成している。こうした薄膜は、比較的高い容量値を有する一方、温度変化による容量値の偏差が大きく、材料の誘電正接も高いため、高周波回路において、信号マッチングおよびインピーダンスマッチングなどの目的でプリント基板の表面に実装されるキャパシタを内蔵するには限界がある。

30

【0020】

【特許文献1】米国特許第5079069号明細書

【特許文献2】米国特許第5010641号明細書

【発明の開示】

【発明が解決しようとする課題】

【0021】

そこで、このような問題点を解決するために、本発明は、広範囲な研究を繰り返した結果、高周波で高い誘電特性を有する液晶ポリマーに高周波用セラミックフィラーを添加したハイブリッド材料をキャパシタ内蔵型プリント基板の誘電体層材料として使うことにより、現時点で内蔵化できずにプリント基板上に実装されている温度補償型MLCC(C特性MLCC)などをプリント基板の内部に内蔵することができるキャパシタ内蔵型プリント基板を製造することにより、完成したものである。

40

【0022】

したがって、本発明の目的は、従来のキャパシタ内蔵型プリント基板に比べて、温度および湿度による容量値の変化が小さく、低い誘電正接により、信号の損失および発熱を最小化することができる、ハイブリッド材料を用いたキャパシタ内蔵型プリント基板および

50

その製造方法を提供することにある。

【0023】

本発明の他の目的は、高周波回路での信号マッチングおよびインピーダンスマッチングなどの用途に適用可能なキャパシタ内蔵型プリント基板およびその製造方法を提供することにある。

【課題を解決するための手段】

【0024】

上記課題を解決するために、本発明の一態様によれば、(a)両面銅箔のいずれか一方には回路パターンを含む第1回路層が形成され、両面銅箔の他方には回路パターンを含む第4回路層が形成された両面銅張積層板(CCL: Copper Clad Laminate)と、

(b)液晶ポリマー(Liquid Crystal Polymer)およびセラミック粉末を含むハイブリッド誘電体層の両面に銅箔が積層され、該両面銅箔のいずれか一方には下部電極および回路パターンを含む第2回路層が形成され、該両面銅箔の他方には上部電極および回路パターンを含む第3回路層が形成され、前記下部電極と上部電極が互いに対向するように前記第2回路層および第3回路層が形成されたハイブリッド銅張積層板と、

(c)前記第1回路層および前記第2回路層が内層として配置されるように、前記両面銅張積層板と前記ハイブリッド銅張積層板との間に積層された絶縁層と、

(d)前記第3回路層および第4回路層の上に積層された片面銅張積層板と、

(e)前記片面銅張積層板の所定部位に加工されたブラインドピアホールおよびスルーホールと、

(f)前記ブラインドピアホールおよびスルーホールにメッキされたメッキ層と、を含むことを特徴とするハイブリッド材料を用いたキャパシタ内蔵型プリント基板を提供する。

【0025】

前記液晶ポリマーは、誘電率が3.5以下で、誘電正接が0.0007~0.002であることが好ましい。

【0026】

前記セラミック粉末は、誘電率が5~120で、 $Q \cdot f$ 値が1,000~150,000であることが好ましい。

【0027】

前記セラミック粉末は、 $BaTiO_3 - TiO_2$ 、 $ZnO - MgO - SiO_2$ 、 $CaCO_3 - TiO_2 - MgO$ 、 $BaO - MgO - Ta_2O_5$ 、 $ZrO_2 - SnO_2 - TiO_2$ 、 $BaO - ZnO - Ta_2O_5$ 、 $CaCO_3 - TiO_2 - Nd_2O_3 - Li_2CO_3$ 、 $BaTiO_3 - TiO_2 - Nd_2O_3 - Sm_2O_3 - Bi_2O_3$ および $CaCO_3 - TiO_2 - La_2O_3 - Al_2O_3$ よりなる群から選択される1種であることが好ましい。

【0028】

前記セラミック粉末の平均粒径は、0.5~2 μm であることが好ましい。

【0029】

前記誘電体層のうち、セラミック粉末の含量は5~55体積%であることが好ましい。

【0030】

前記誘電体層の厚さは、10~300 μm であることが好ましい。

【0031】

前記誘電体層が形成された層は、信号マッチング用キャパシタまたはインピーダンスマッチング用キャパシタの機能をするのが好ましい。

【0032】

また、上記課題を解決するために、本発明の他の態様によれば、(a)両面銅張積層板のいずれか一方の銅箔に、回路パターンを含む第1回路層を形成する工程と、

(b)液晶ポリマーにセラミック粉末を分散させてシート状に形成してなるハイブリッド誘電体層の両面に銅箔を積層する工程と、

(c)前記ハイブリッド銅張積層板のいずれか一方の銅箔に、下部電極および回路パタ

10

20

30

40

50

ーンを含む第2回路層を形成する工程と、

(d) 前記(a)工程で得られた銅張積層板と前記(c)工程で得られたハイブリッド銅張積層板を、前記第1回路層と前記第2回路層が内層として配置されるように、絶縁層を介して積層する工程と、

(e) 前記(d)工程で得られた基板の外層銅箔のうち誘電体層上の銅箔に、前記下部電極と対向する上部電極、および回路パターンを含む第3回路層を形成する工程と、

(f) 前記(d)工程で得られた基板の外層銅箔のうち他方の銅箔に、回路パターンを含む第4回路層を形成する工程と、

(g) 前記第3回路層および第4回路層上に片面銅張積層板を積層する工程と、

(h) 前記片面銅張積層板の所定部位にブラインドビアホール(Blind via-hole; BVH)およびスルーホール(Through hole; TH)を加工する工程と、

(i) 前記ブラインドビアホールおよびスルーホールをメッキして層間を接続する工程段階と、を含むことを特徴とするハイブリッド材料を用いたキャパシタ内蔵型プリント基板の製造方法を提供する。

前記(b)工程は、300~350の温度、および400~600N/cm²の圧力の条件下で行われることが好ましい。

前記(g)工程は、ビルドアップ(Build-up)法によって行われることが好ましい。

【発明の効果】

【0033】

前述したように、本発明によれば、高周波で高い誘電特性を有する液晶ポリマーに特定の
高周波用セラミックフィラーを添加したハイブリッド材料を、キャパシタ内蔵型プリント
基板用の誘電層として使用することにより、従来のキャパシタ内蔵型プリント基板用の
誘電層に比べて、低い誘電正接を有し、温度変化による誘電率の変化(TCC: Temperatu
re Coefficient of Capacitance)が小さく、信号伝送時の損失が少ない内蔵キャパシタ層
を実現することができる。

【0034】

また、電極の面積を変化させるだけでなく、高周波用セラミックフィラーの種類と添加
量を変更することにより、電子システムに要求される多様な静電容量および誘電正接値に
対応可能な利点を有する。

【0035】

このような利点により、誘電層の温度変化による大きい容量値偏差と高い誘電正接のため、
プリント基板の内部に内蔵できずにプリント基板の表面に実装される高周波回路での
信号マッチングおよびインピーダンスマッチングなどを目的とするキャパシタについても
基板内に内蔵することが可能になる。

【発明を実施するための最良の形態】

【0036】

以下、添付図面を参照しながら、本発明の好適な実施形態について詳細に説明する。

【0037】

前述したように、本発明は、優れた高周波特性を有する液晶ポリマーに特定の高周波用
セラミックフィラーを添加したハイブリッド誘電体層を適用することにより、安定な誘電
率および低い誘電正接を有し、このような特性によって、高周波回路での信号マッチング
およびインピーダンスマッチングなどの目的で使用可能である、ハイブリッド材料を用い
たキャパシタ内蔵型プリント基板およびその製造方法を提供する。

【0038】

本発明のハイブリッド誘電体層は、液晶ポリマーに高周波用セラミック粉末フィラーを
含有させて構成している。

【0039】

液晶ポリマーは、熱可塑性樹脂で、低い誘電率および誘電正接の特性により、最近の高
周波回路のプリント基板用の絶縁材料への適用に関連して研究が活発に行われている。前
記液晶ポリマーは、1GHzでの誘電率と誘電正接がそれぞれ3.5以下、0.003以

10

20

30

40

50

下であり、他の基板材料より低く、高周波信号の伝送時、雑音および信号の損失が少なく、誘電率の変化に影響を及ぼす吸湿率も0.04%以下と低い。さらに、温度変化に対して安定した誘電率特性(TCC 数百ppm)を有する(TCC: Temperature Coefficient of Capacitance)。

【0040】

本発明で使われる液晶ポリマーは、特に限定されるものではないが、望ましくは誘電率が3.5以下、誘電正接が0.0007~0.002であるものが、素子のモジュール化および信号損失の最小化の面で望ましい。

【0041】

前記液晶ポリマーにフィラーとして含有される高周波用セラミック粉末は、高周波での誘電正接が低いもので、その特性は主に $Q \cdot f$ 値および誘電率で表現される。ここで、 Q は「Quality Factor」の略字で、誘電正接の逆数であり、高周波での効率を意味し、 f は周波数を意味する。

【0042】

本発明で使われるセラミック粉末は、5~120の誘電率と、1000以上、望ましくは1,000~150,000の $Q \cdot f$ 値を有することが、特性発現の面で最適である。一方、前記 $Q \cdot f$ 値が1,000未満の場合には、高周波で信号の損失および発熱の問題点がある。

【0043】

前記セラミック粉末は、前述した範囲の特性値を有するものであれば特に限定されないが、望ましくは、 $ZnO - MgO - SiO_2$ 、 $CaCO_3 - TiO_2 - MgO$ などのMCT系、 $BaTiO_3 - TiO_2$ 、 $ZrO_2 - SnO_2 - TiO_2$ などのZST系、 $CaCO_3 - TiO_2 - La_2O_3 - Al_2O_3$ 、 $BaTiO_3 - TiO_2 - Nd_2O_3 - Sm_2O_3 - Bi_2O_3$ 、 $CaCO_3 - TiO_2 - Nd_2O_3 - Li_2CO_3$ のほかに $BaO - ZnO - Ta_2O_5$ などのBZT系と、 $BaO - MgO - Ta_2O_5$ などのBMT系などのBa系複合ペロブスカイト(perovskite)系誘電体粉末よりなる群から一つを選択して使用することが良い。

【0044】

このなかでも、代表的に使用可能な高周波用セラミック材料の種類と特性を下記(表1)に整理して示す。

【0045】

【表1】

高周波用セラミック粉末

物質	ZnO MgO SiO ₂	CaCO ₃ TiO ₂ MgO	BaTiO ₃ TiO ₂	ZrO ₂ SnO ₂ TiO ₂	CaCO ₃ TiO ₂ La ₂ O ₃ Al ₂ O ₃	BaTiO ₃ TiO ₂ Nd ₂ O ₃ Sm ₂ O ₃ Bi ₂ O ₃	CaCO ₃ TiO ₂ Nd ₂ O ₃ Li ₂ CO ₃
焼結ボディ 密度	3.56g/cm ³	3.84 g/cm ³	4.50 g/cm ³	5.21 g/cm ³	4.75 g/cm ³	5.77 g/cm ³	4.66 g/cm ³
誘電率	6.43	21.09	36.65	37.36	44.88	92.03	117.32
$Q' f_0$	113,745	57,024	44,436	41,808	41,164	6,712	1,132

【0046】

また、前述したセラミック粉末の平均粒径は0.5~2 μ mであることが望ましい。前記平均粒径が0.5 μ m未満の場合には、セラミック粉末の分散が難しく、2 μ mを超える場合には、同一の絶縁層厚さで絶縁破壊電圧が低くなる問題点が発生する。

【0047】

一方、前記誘電体層のうち、セラミック粉末の含量は5~55体積%であることが経済性対効果の面および特性発現の面で最適である。

【 0 0 4 8 】

前述した本発明のハイブリッド誘電体層は、次のような通常の誘電体層製造方法によって製造できるが、これに特に限定されるものではない。

【 0 0 4 9 】

まず、セラミック粉末を液晶ポリマーおよび溶剤とともに分散してスラリー(Slurry)を作った後、一般のシート成形法であるテープキャスト法(Tape Casting)法を用いて、離型剤がコートされたPETフィルム上に、前記スラリーを用いて、目的とする静電容量および使用面積に応じて10～300μm厚さの厚膜を形成し、加熱によりスラリー内の溶媒を揮発させて乾燥させた後、離型剤がコートされたPETフィルムを除去してシート状に成形する。

10

【 0 0 5 0 】

本発明のより望ましい具体例によれば、攪拌装置を用いて、1GHzで誘電率と誘電正接がそれぞれ2.96および0.00099の値を持つ液晶ポリマーを、PF(Pentafluorophenol)、PCP(Pentachlorophenol)などの溶媒に溶かして溶液を作り、溶液内に溶けている液晶ポリマーの量を考慮して、適量のセラミック粉末を混合した後、バスケットミル(Basket Mill)を用いて分散させて、スラリーを作る。

【 0 0 5 1 】

ここで使用したセラミック粉末は、一般のセラミック粉末製法である仮焼(calcination)および粉碎の方法で製造することができ、その際の粉末大きさは1μm程度にすることができる。

20

【 0 0 5 2 】

前記方法によって製作されたスラリーで、テープキャスト法によって、離型剤の形成されたPETフィルム上に厚膜を形成した後、これを乾燥させて約20μm厚さの誘電体層を製造し、これから得られたハイブリッド誘電体層の誘電特性を測定した結果を下記(表2)に整理して示す。

【 0 0 5 3 】

【表2】

ハイブリッド材料の誘電特性

	A	B	C	D	E	F	G
セラミック フィラー	CaCO ₃ TiO ₂ MgO	BaTiO ₃ TiO ₂	ZrO ₂ SnO ₂ TiO ₂	CaCO ₃ TiO ₂ La ₂ O ₃ Al ₂ O ₃		BaTiO ₃ TiO ₂ Nd ₂ O ₃ Sm ₂ O ₃ Bi ₂ O ₃	
セラミック粉末添加量 (体積%)	30	30	30	30	15	30	45
誘電率@1GHz	7.1	7.8	8.6	9.4	7.3	11.2	17.2
損失値(Df) (×10 ⁻³)@1GHz	1.3	1.4	1.8	2.1	2.9	2.4	2.2
厚さ(μm)	20	20	20	20	20	20	20
容量密度(nF/in ²)	1.35	1.49	1.64	1.79	1.39	2.13	3.28
TCC(ppm/°C)	300	370	400	510	480	700	1,000

30

40

【 0 0 5 4 】

通常のキャパシタ内蔵型プリント基板の誘電層材料として使われるポリマー材料またはエポキシ樹脂のような感光性樹脂にセラミックが充填された複合材料の場合、温度の変化による誘電率の差が大きく、誘電正接が大きい。そのため、信号マッチング用のキャパシタとして回路基板に実装することはできない。

【 0 0 5 5 】

50

これに対し、本発明によるハイブリッド材料からなる誘電層は、前記(表2)に示すように、温度変化に対して安定した誘電率(7~17.2)と0.003以下の誘電正接を有する特性を示すため、現存の基板上に実装されている信号マッチング用キャパシタとの置き換えが可能になる。

【0056】

以下、図2A~図2Iを参照して、前述した本発明のハイブリッド誘電体層を用いたキャパシタ内蔵型プリント基板の製造方法の一例を説明する。

【0057】

図2A~図2Iは、本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【0058】

まず、絶縁樹脂層101の両面に銅箔102、103が積層された通常の両面銅張積層板(CCL: Copper Clad Laminate)を準備する(図2A参照)。

【0059】

次に、通常のリソグラフィ法を用いて、前記両面銅張積層板のいずれか一方の銅箔、例えば、銅箔102に、例えば所定のパターンでドライフィルムを被覆して、露光および現象プロセスによって、所望のエッチング部分のみを露出させた後、エッチング液でエッチングすることによって、回路パターン102a、102b、102cを含む第1回路層を形成する(図2B参照)。

【0060】

次に、前述したように、液晶ポリマーに、誘電率が5~120で、 $Q \cdot f$ 値が1,000~150,000である特定のセラミック粉末を含有させたシート状のハイブリッド誘電体層104を準備する(図2C参照)。前記シート状のハイブリッド誘電体層104は、望ましくは、液晶ポリマー、溶媒およびセラミック粉末を混合してスラリーを作り、これをテープカスティングする方法によって製作可能であるが、これに特に限定されるものではない。

【0061】

その際、前述したように形成されるハイブリッド誘電体層104の厚さは10~300 μm であるものが望ましく、層間絶縁強度を維持しながら所要の静電容量を実現できる。

【0062】

次に、前記ハイブリッド誘電体層104の両面に銅箔105、106を積層する(図2D参照)。前記積層工程は、望ましくは、高温真空プレスを用いて、300~350の温度および400~600 N/cm^2 の圧力条件下で行われる。前記積層条件が前記範囲を外れる場合、例えば、温度が低すぎる場合、熱可塑性樹脂の液晶ポリマーが充分溶融されなくて銅箔との接着力が低下してしまい、一方、温度が高すぎる場合、樹脂の流動性が高くなり、銅箔の外部へ絶縁層がはみ出して絶縁層の厚さが薄くなるため、設計値とは異なる容量密度を有する問題などが発生し得る。

【0063】

次に、通常のリソグラフィ法を用いて、前記ハイブリッド銅張積層板のいずれか一方の銅箔、例えば、銅箔106に、所定のパターンでドライフィルムを被覆して、露光および現象プロセスによって、所望のエッチング部分のみを露出させた後、エッチング液でエッチングすることによって、下部電極106a、106bおよび回路パターン(図示せず)を含む第2回路層を形成する(図2E参照)。

【0064】

次に、前記第1回路層が形成された銅張積層板と前記第2回路層が形成されたハイブリッド銅張積層板を、前記回路パターン102a、102b、102cを含む第1回路層と前記下部電極106a、106bおよび回路パターン(図示せず)を含む第2回路層を内層とし、絶縁層107、例えばプリプレグを用いて、一般のプロセスによって高温真空プレスで積層する(図2F参照)。

【0065】

10

20

30

40

50

次に、前記積層プロセスによって得られた基板の外層銅箔のうち、誘電体層104上の銅箔105に、前記誘電体層104を介して下部電極106a、106bと対向する上部電極105a、105bを形成するため、通常のリソグラフィー法を用いて、例えば、前記銅箔105上に所定のパターンでドライフィルムを被覆して、露光および現象プロセスによって所望のエッチング部分のみを露出させた後、エッチング液でエッチングすることによって、前記下部電極106a、106bに対向する上部電極105a、105b、および回路パターン(図示せず)を含む第3回路層を形成する(図2G参照)。

【0066】

同様に、通常のリソグラフィー法を用いて、前記基板の他方の銅箔103に、例えば、所定のパターンでドライフィルムを被覆して、露光および現象プロセスによって所望のエッチング部分のみを露出させた後、エッチング液でエッチングすることによって、回路パターン103a、103b、103cを含む第4回路層を形成する(図2G参照)。

【0067】

次に、前記上部電極105a、105bおよび回路パターン(図示せず)を含む第3回路層と、回路パターン103a、103b、103cを含む第4回路層上に、ビルドアップ(Build-up)法によって、片面銅張積層板(108+110)、(109+111)、例えば、樹脂コートされた銅箔(Resin Coated Copper; RCC)を積層する(図2H参照)。

【0068】

次に、前記片面銅張積層板(108+110)、(109+111)の外層110、111に、例えば、前述したリソグラフィー法を用いて、回路パターン110a、110b、111a、111b、111c、111d、・・・を実現し、さらにレーザードリルを用いてブラインドピアホール113を形成し、機械式ドリルでスルーホール112を形成した後、無電解メッキを施すことで、前記ピアホール113およびスルーホール112にメッキして層間回路を接続する(図2I参照)。

【0069】

前述したように、本発明によれば、液晶ポリマーに特定の高周波セラミック粉末を含有させたハイブリッド材料から構成されるキャパシタ層を基板内に内蔵することにより、従来のキャパシタ内蔵型プリント基板に比べて、温度による容量値変化が小さく、低い誘電正接によって、信号伝送時の損失が小さい内蔵型キャパシタ層を実現することができる。

【0070】

また、現時点で内蔵化できずにプリント基板上に実装されている温度補償型MLCC(C特性MLCC)などをプリント基板内部に内蔵することができるため、高周波回路での信号マッチングおよびインピーダンスマッチングなどの用途に適用可能なキャパシタ内蔵型プリント基板を提供することができる。

【0071】

以上、本発明を具体的な実施例に基づいて詳しく説明したが、これは本発明を具体的に説明するためのもので、本発明によるハイブリッド材料を用いたキャパシタ内蔵型プリント基板およびその製造方法はこれに限定されることなく、当業者であれば、本発明の技術的思想内でその変形および改良が可能であることは明らかであろう。

【産業上の利用可能性】

【0072】

従来、高周波回路での信号マッチングおよびインピーダンスマッチングなどを目的とするキャパシタは、誘電層の温度変化による大きい容量値偏差と高い誘電正接のため、プリント基板の表面実装に限られていたが、本発明は、高精度のキャパシタをプリント基板内部に内蔵することができる点で産業上極めて有用である。

【図面の簡単な説明】

【0073】

【図1A】従来技術によるポリマー厚膜型キャパシタを内蔵したプリント基板の製造プロセスを説明するための断面図である。

【図1B】従来技術によるポリマー厚膜型キャパシタを内蔵したプリント基板の製造プロ

10

20

30

40

50

セスを説明するための断面図である。

【図 1 C】従来技術によるポリマー厚膜型キャパシタを内蔵したプリント基板の製造プロセスを説明するための断面図である。

【図 1 D】従来技術によるポリマー厚膜型キャパシタを内蔵したプリント基板の製造プロセスを説明するための断面図である。

【図 1 E】従来技術によるポリマー厚膜型キャパシタを内蔵したプリント基板の製造プロセスを説明するための断面図である。

【図 2 A】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【図 2 B】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

10

【図 2 C】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【図 2 D】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【図 2 E】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【図 2 F】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【図 2 G】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

20

【図 2 H】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【図 2 I】本発明の一実施形態によるキャパシタ内蔵型プリント基板の製造プロセスを説明するための断面図である。

【符号の説明】

【 0 0 7 4 】

1 0 1 絶縁樹脂層

1 0 2、1 0 3 銅箔

1 0 2 a ~ 1 0 2 c 回路パターン

30

1 0 3 a ~ 1 0 3 c 回路パターン

1 0 4 ハイブリッド誘電体層

1 0 5、1 0 6 銅箔

1 0 5 a、1 0 5 b 上部電極

1 0 6 a、1 0 6 b 下部電極

1 0 7 絶縁層

1 0 8 + 1 1 0、1 0 9 + 1 1 1 片面銅張積層板

1 1 0 a、1 1 0 b 回路パターン

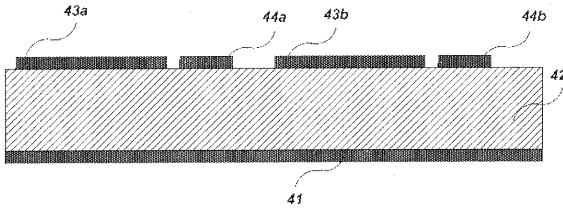
1 1 1 a、1 1 1 b、1 1 1 c、1 1 1 d 回路パターン

1 1 2 スルーホール

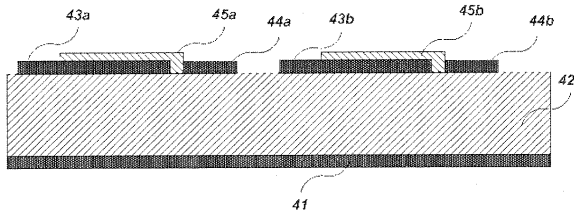
40

1 1 3 ブラインドビアホール

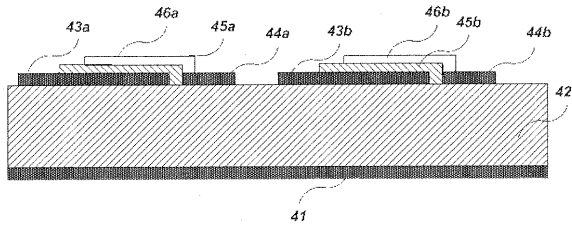
【図 1 A】



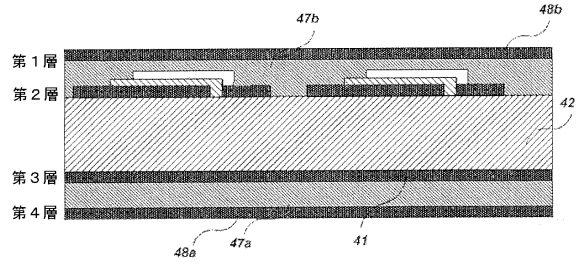
【図 1 B】



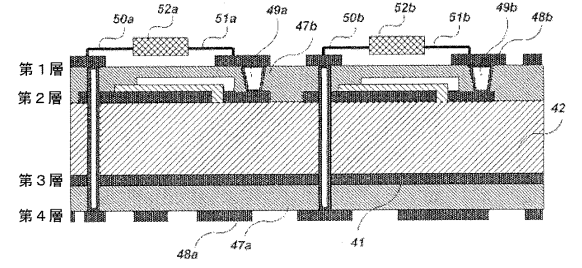
【図 1 C】



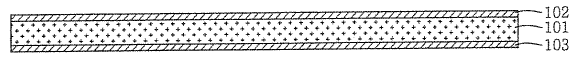
【図 1 D】



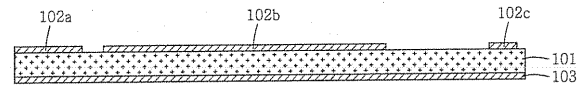
【図 1 E】



【図 2 A】



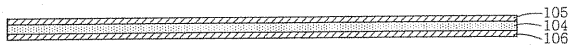
【図 2 B】



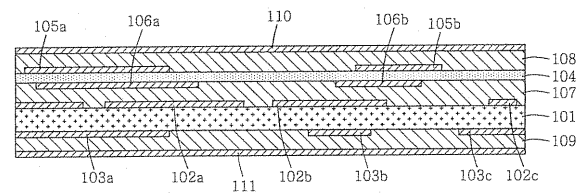
【図 2 C】



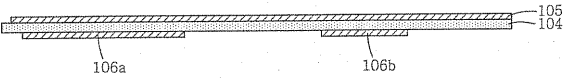
【図 2 D】



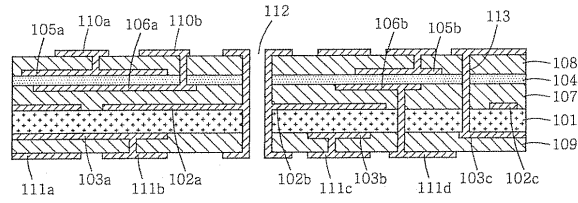
【図 2 H】



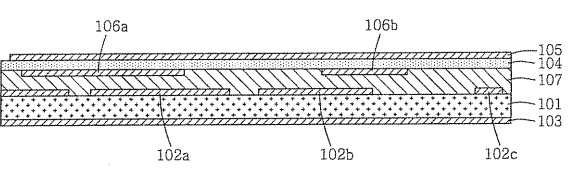
【図 2 E】



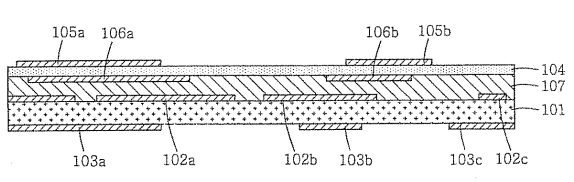
【図 2 I】



【図 2 F】



【図 2 G】



フロントページの続き

- (72)発明者 キム・テギョン
大韓民国431-085ギョンギド、アンヤンシ、ドンアング、ボムゲドン1048-3番、ハン
ソル・セントラル・パーク1408
- (72)発明者 オ・ジュンロク
大韓民国135-100ソウル、ガンナムグ、チョンダムドン42番、サムソン・アパートメント
102-502
- (72)発明者 キム・ジンチョル
大韓民国445-961ギョンギド、ファソンシ、ジョンナムミョン、バルサンリ、ドンナム・フ
ァミリー・アパートメント102-904

審査官 千壽 哲郎

- (56)参考文献 特開2004-103615(JP,A)
特開2003-342431(JP,A)
特開2004-002653(JP,A)
特開2002-367856(JP,A)
特開2003-086950(JP,A)
特開平08-216313(JP,A)
特開2004-335764(JP,A)
特開2002-359145(JP,A)
特開2002-064030(JP,A)
特開2003-309118(JP,A)
特開平05-343856(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46

H01L 23/12