



(12)发明专利申请

(10)申请公布号 CN 110058632 A

(43)申请公布日 2019.07.26

(21)申请号 201910248733.X

(22)申请日 2014.12.29

(62)分案原申请数据

201410836042.9 2014.12.29

(71)申请人 意法半导体研发(深圳)有限公司

地址 518057 广东省深圳市南山区科技园

高新区南区南一道创维大厦B座4/5层

(72)发明人 曾妮

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51)Int.Cl.

G05F 1/575(2006.01)

H03F 3/45(2006.01)

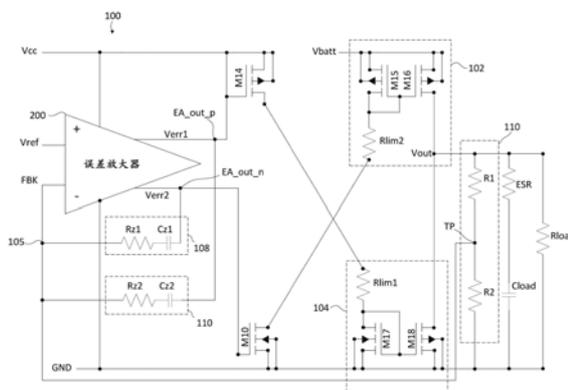
权利要求书3页 说明书6页 附图3页

(54)发明名称

低压差放大器

(57)摘要

一种低压差放大器可以包括具有分别耦合到参考信号和反馈信号的第一和第二输入的误差放大器。误差放大器可以被配置为在第一和第二输出处分别生成第一和第二误差信号,其中第一和第二误差信号基于参考信号和反馈信号之间的差。灌级可以耦合到第一输出并且被配置为基于第一误差信号生成灌电流。拉级可以耦合到第二输出并且被配置为基于第二误差信号生成拉电流。输出节点可以被耦合以灌电流和拉电流。



1. 一种操作低压差 (LDO) 电路的方法, 包括:

根据在误差放大器的第一输入和第二输入处接收的参考信号与反馈信号之间的差, 在所述误差放大器的第一输出和第二输出处生成第一误差信号和第二误差信号;

基于所述第一误差信号指示通过所述LDO电路的负载的电流正在减小而生成灌电流;

将所述灌电流应用到所述LDO电路的输出;

基于所述第二误差信号指示通过所述负载的电流正在增加而生成拉电流;

将所述拉电流应用到所述输出; 以及

根据通过所述负载的所述电流来生成所述反馈信号。

2. 根据权利要求1所述的方法, 进一步包括: 应用所述灌电流的AB类放大。

3. 根据权利要求2所述的方法, 进一步包括: 应用所述拉电流的AB类放大。

4. 根据权利要求1所述的方法, 进一步包括: 使用耦合在所述误差放大器的所述第二输出与所述误差放大器的所述第二输入之间的第一反馈网络, 来生成所述LDO电路的传递函数的第一左半平面零点。

5. 根据权利要求4所述的方法, 进一步包括: 使用在所述误差放大器的所述第一输出与所述误差放大器的所述第二输入之间串联耦合的第二反馈网络, 来生成所述LDO电路的所述传递函数的第二左半平面零点。

6. 根据权利要求5所述的方法, 进一步包括:

使用感测网络来将所述反馈信号生成为与所述负载两端的电压成比例的电压; 以及

使用所述第一反馈网络、所述第二反馈网络以及所述感测网络, 来生成所述LDO电路的所述传递函数的左半平面极点。

7. 根据权利要求1所述的方法, 其中生成所述第一误差信号和所述第二误差信号包括:

基于所述参考信号与所述反馈信号之间的差而生成比较信号;

放大所述比较信号; 以及

根据放大的所述比较信号来生成所述第一误差信号和所述第二误差信号。

8. 根据权利要求7所述的方法, 其中生成所述第一误差信号和所述第二误差信号包括: 通过利用将耦合在所述误差放大器的所述第一输出与所述第二输出之间的n沟道输出级晶体管进行偏置, 以用于当所述比较信号指示所述反馈信号的电压大于所述参考信号的电压时的导通, 从而控制所述误差放大器的所述第一输出与所述第二输出之间在第一方向上的导通, 来生成所述第一误差信号。

9. 根据权利要求8所述的方法, 其中生成所述第一误差信号和所述第二误差信号包括: 通过利用将耦合在所述误差放大器的所述第一输出与所述第二输出之间的p沟道输出级晶体管进行偏置, 以用于当所述比较信号指示所述反馈信号的所述电压小于所述参考信号的所述电压时的导通, 从而控制所述误差放大器的所述第一输出与所述第二输出之间在与所述第一方向相反的第二方向上的导通, 来生成所述第二误差信号。

10. 根据权利要求1所述的方法, 进一步包括限制所述灌电流。

11. 根据权利要求10所述的方法, 进一步包括限制所述拉电流。

12. 一种操作误差放大器的方法, 包括:

基于第一差分输入处的第一信号与第二差分输入处的第二信号之间的差来生成比较信号; 以及

通过以下步骤来生成根据所述比较的第一误差信号和第二误差信号：

通过将耦合在第一差分输出与第二差分输出之间的n沟道输出级晶体管进行偏置，以用于当所述比较信号指示所述第二信号的电压大于所述第一信号的电压时的导通，来控制所述第一差分输出与所述第二差分输出之间在第一方向上的导通；以及

通过将耦合在所述第一差分输出与所述第二差分输出之间的p沟道输出级晶体管进行偏置，以用于当所述比较信号指示所述第二信号的所述电压小于所述第一信号的所述电压时的导通，来控制所述第一差分输出与所述第二差分输出之间在与所述第一方向相反的第二方向上的导通。

13. 根据权利要求12所述的方法，进一步包括：放大所述比较信号。

14. 根据权利要求12所述的方法，其中将所述n沟道输出级晶体管进行偏置包括：生成电压降，并且将所述电压降应用到所述n沟道输出级晶体的控制端子。

15. 根据权利要求12所述的方法，其中将所述p沟道输出级晶体管进行偏置包括：生成电压降，并且将所述电压降应用到所述p沟道输出级晶体的控制端子。

16. 根据权利要求1所述的方法，其中生成单端比较输出通过以下步骤而被执行：在具有耦合源极的差分晶体管对中的第一晶体管的栅极处接收所述参考信号，在所述差分晶体管对中的第二晶体管的栅极处接收所述反馈信号，以及在所述差分晶体管对中的所述第一晶体管的漏极处输出所述单端比较输出。

17. 根据权利要求16所述的方法，其中补偿所述单端比较输出包括：从第一RC网络输出所述经补偿的双端比较输出的第一部分，以及从第二RC网络输出所述经补偿的双端比较输出的第二部分。

18. 根据权利要求17所述的方法，其中放大所述经补偿的双端比较输出以产生所述第一误差信号和所述第二误差信号使用NMOS晶体管、并且使用PMOS晶体管而被执行，所述NMOS晶体管被直接电连接在所述第一RC网络和所述第二RC网络的输出之间、并且使用第一电压源而被偏置，以在所述NMOS晶体管的漏极处产生所述第一误差信号，所述PMOS晶体管被直接电连接在所述第一RC网络和所述第二RC网络的所述输出之间、并且使用第二电压源而被偏置，以在所述PMOS晶体管的漏极处产生所述第二误差信号。

19. 根据权利要求12所述的方法，其中生成单端比较输出通过以下步骤而被执行：在具有耦合源极的差分晶体管对中的第一晶体管的栅极处接收所述第一信号，在所述差分晶体管对中的第二晶体管的栅极处接收所述第二信号，以及在所述差分晶体管对中的所述第一晶体管的漏极处输出所述单端比较输出。

20. 根据权利要求19所述的方法，其中补偿所述单端比较输出包括：从第一RC网络输出所述经补偿的双端比较输出的第一部分，以及从第二RC网络输出所述经补偿的双端比较输出的第二部分。

21. 根据权利要求20所述的方法，其中放大所述经补偿的双端比较输出以产生所述第一误差信号和所述第二误差信号使用NMOS晶体管、并且使用PMOS晶体管而被执行，所述NMOS晶体管被直接电连接在所述第一RC网络和所述第二RC网络的输出之间、并且使用第一电压源而被偏置，以在所述NMOS晶体管的漏极处产生所述第一误差信号，所述PMOS晶体管被直接电连接在所述第一RC网络和所述第二RC网络的所述输出之间、并且使用第二电压源而被偏置，以在所述PMOS晶体管的漏极处产生所述第二误差信号。

22. 一种低压差放大器, 包括:

误差放大器, 具有分别耦合到参考信号和反馈信号的第一输入和第二输入, 并且被配置为分别在第一输出和第二输出生成第一误差信号和第二误差信号, 所述第一误差信号和所述第二误差信号基于所述参考信号与所述反馈信号之间的差;

灌级, 耦合到所述第一输出, 并且被配置为基于所述第一误差信号而生成灌电流;

拉级, 耦合到所述第二输出, 并且被配置为基于所述第二误差信号而生成拉电流; 以及输出节点, 耦合以接收所述灌电流和所述拉电流;

其中所述灌级包括:

晶体管, 具有耦合到所述第一输出以接收所述第一误差信号的控制端子、耦合到第一电源节点的第一导电端子、以及第二导电端子, 所述晶体管被配置为基于所述第一误差信号而从所述晶体管的第二导电端子生成电流; 以及

灌电流镜, 耦合到所述晶体管的所述第二导电端子、以及所述输出节点, 并且被配置为将所述电流镜像到所述输出节点作为所述灌电流;

其中所述拉级包括:

晶体管, 具有耦合到所述第二输出以接收所述第二误差信号的控制端子、耦合到第二电源节点的第一导电端子、以及第二导电端子, 所述晶体管被配置为基于所述第二误差信号而从所述晶体管的第二导电端子生成电流; 以及

拉电流镜, 耦合到所述晶体管的所述第二导电端子、以及所述输出节点, 并且被配置为将所述电流镜像到所述输出节点作为所述拉电流; 以及

AB类放大器级, 耦合在所述灌级的所述晶体管与所述灌电流镜之间, 并且耦合在所述拉级的所述晶体管与所述拉电流镜之间。

23. 根据权利要求22所述的低压差放大器, 其中所述AB类放大器级包括:

第一电阻器和第二电阻器, 串联耦合在所述拉级的所述晶体管的所述第二导电端子与所述灌级的所述晶体管的所述第一导电端子之间;

第三电阻器和第四电阻器, 串联耦合在所述拉级的所述晶体管的所述第一导电端子与所述灌级的所述晶体管的所述第二导电端子之间;

第一晶体管, 具有耦合到第一电流源的第一导电端子、耦合到第一节点的第二导电端子、以及耦合到所述第一晶体管的所述第一导电端子的控制端子;

第二晶体管, 具有耦合到共源共栅的第一导电端子、耦合到第二节点的第二导电端子、以及耦合到所述第一晶体管的所述第一导电端子的控制端子;

第三晶体管, 具有耦合到所述第一节点的第一导电端子、耦合到第二电流源的第二导电端子、以及耦合到所述第三晶体管的所述第二导电端子的控制端子; 以及

第四晶体管, 具有耦合到所述第二节点的第一导电端子、耦合到所述灌电流镜的第二导电端子、以及耦合到所述第三晶体管的所述第二导电端子的控制端子。

## 低压差放大器

[0001] 本申请是申请日为2014年12月29日、申请号为201410836042.9、发明名称为“低压差放大器”的发明专利申请的分案申请。

### 技术领域

[0002] 本公开涉及放大器领域,并且,更特别是涉及包含误差放大器的低压差放大器领域。

### 背景技术

[0003] 近些年来,诸如平板电脑和智能手机之类的手持式电池供电电子设备已经被广泛使用,其使用率持续攀升,并且定期加入附加功能。

[0004] 在这种电子设备中所使用的一种常见类型的电压调节器被称为低压差(LDO)调节器,其可以用小输入操作以输出差分电压,并且提供高等级的效率以及散热。典型的LDO调节器包括误差放大器,该误差放大器控制场效应晶体管(FET)以引起FET灌或者拉(sink or source)来自或者去往输出节点的电流。误差放大器的一个输入接收反馈信号,而另一输入接收参考电压。误差放大器控制功率FET以便保持恒定的输出电压。

[0005] 这种电压调节器可以用于为电子器件诸如片上系统和模数转换器之类的各种部件供电。对于某些这种部件,期望LDO调节器能够既灌和拉来自或者去往输出节点的电流以产生输出到输出节点的高精确度的信号。此外,期望误差放大器具有低功率需要和低偏置的DC特性,并且具有高增益的AC特性。因此,期望在此范围有进一步的提高。

### 发明内容

[0006] 提供本发明内容用于介绍将在下文的具体实施方式中进一步描述的挑选出的构思。本发明内容并非要识别所要求的主旨的关键或者本质特征,也不是要用于帮助限制所要求的主旨的范围。

[0007] 一个方面针对低压差放大器。低压差放大器可以包括误差放大器,该误差放大器具有分别耦合到参考信号和反馈信号的第一和第二输入。误差放大器可以被配置为在第一和第二输出处分别生成第一和第二误差信号,其中第一和第二误差信号基于参考信号和反馈信号之间的差。灌级可以耦合到第一输出并且被配置为基于第一误差信号生成灌电流。拉级可以耦合到第二输出并且被配置为基于第二误差信号生成拉电流。输出节点可以被耦合以接收灌电流和拉电流。

[0008] 另一方面针对误差放大器。误差放大器可以包括差分输入级,该差分输入级包括耦合以接收第一信号的第一输入、耦合以接收第二信号的第二输入、以及尾部。差分输入级可以被配置为基于第一和第二信号之间的差生成比较信号。至少一个增益级可以耦合到差分输入级并且可以被配置为放大比较信号。差分输出级可以具有第一和第二输出,并且可以被配置为基于比较信号在第一输出和第二输出处生成第一和第二误差信号。差分输出级可以具有第一和第二电压降电路。差分输出级还可以具有第一输出级晶体管,其含有耦合

到尾部和第一输出的第一导电端子、耦合到至少一个增益级和第二输出的第二导电端子、以及耦合到第一电压降电路的控制端子。差分输出级可以进一步包括第二输出级晶体管，该第二输出级晶体管具有耦合到尾部和第一输出的第一导电端子、耦合到至少一个增益级和第二输出的第二导电端子、以及耦合到第二电压降电路的控制端子。

### 附图说明

[0009] 图1是根据本公开的低压差放大器的示意性框图。

[0010] 图2是图1中的误差放大器的示意性框图。

[0011] 图3是图1中的低压差放大器在灌和拉晶体管与灌和拉电流镜之间包括了放大器级的改进的示意性框图。

### 具体实施方式

[0012] 将在下文中描述本公开的一个或者多个实施例。这些所描述的实施例仅是目前公开技术的示例。此外，为了提供简明描述，可能未在说明书中描述实际实施方式的所有特征。应该领会的是，在所有这种实际实施方式的开发中（如在任何工程或者设计项目中那样），可以做出众多实施方式特有的决定以实现开发者的特定目标，诸如可以因实施方式而异以符合系统相关和业务相关的约束。此外，应该领会的是，这种开发工作可能是复杂的以及耗费时间的，但是对于想要从本公开获益的本领域普通技术人员而言，将是设计、生产、以及制造中的例行任务。

[0013] 当介绍本公开的各个实施例的元件时，冠词“一”、“一个”以及“该”旨在意指有一个或者多个元件。当涉及晶体管时，应该注意的是，术语“第一导电端子”和“第二导电端子”不涉及结构或者偏压，并且相反仅是标记。“第一导电端子”用于表示晶体管最靠近附图所出现的页面上的顶部的导电端子，而“第二导电端子”用于表示晶体管最靠近附图所出现的页面上的底部的导电端子。术语“第一导电端子”和“第二导电端子”可以分别称为源极和漏极，并且这不需要在晶体管之间保持一致。例如，一个晶体管的“第一导电端子”可以是源极，而另一晶体管的“第一导电端子”可以是漏极。

[0014] 首先参照图1，现在描述用于电子设备的电压调节器100。电子设备可以是平板电脑、智能手机、智能手表、或者任何合适的设备，并且在一些应用中可以由电池（未示出）供电。电压调节器100可以被配置为低压差调节器，并且既有灌电流的能力又有拉电流的能力。

[0015] 电压调节器100包括耦合在第一电源 $V_{CC}$ 和地GND之间的误差放大器200。误差放大器200具有分别耦合到参考信号 $V_{ref}$ 和反馈信号FBK的第一和第二输入。参考信号 $V_{ref}$ 不受温度影响，并且可以由例如带隙生成器（未示出）生成。反馈信号FBK提供自反馈节点105，其中第一、第二和第三反馈网络106、108和110耦合到该反馈节点。

[0016] 误差放大器200分别在第一和第二输出，EA\_out\_p、EA\_out\_n处生成第一和第二差分误差信号Verr1、Verr2并且这些误差信号基于参考信号 $V_{ref}$ 和反馈信号FBK之间的差。第一反馈网络106耦合在误差放大器200的第一输出和反馈节点105之间，并且包括串联的电容Cz2和电阻器Rz2。类似地，第二反馈网络108耦合在误差放大器200的第二输出和反馈电路节点105之间，并且包括串联的电容Cz1和电阻器Rz1。第三反馈网络110耦合在输出

节点Vout和反馈节点105之间。反馈信号BNK耦合到网络110的顶部节点TP。

[0017] 由Rload表示的负载,耦合在输出节点Vout和地GND之间。第三反馈网络110(如上文所提到的)耦合在输出节点Vout和反馈节点105之间,并且与负载Rload并联。第三反馈网络110包括串联的第一和第二电阻器R1、R2。负载电容器Cload和表示其等效串联电阻的电阻器ESR与彼此串联耦合,并且与负载Rload和第三反馈网络110并联耦合。

[0018] 电压调节器100包括第一晶体管M14和第二晶体管M10。第一晶体管M14由第一误差信号Verr1控制,并且生成第一电流。灌级104耦合到第一晶体管M14以接收第一电流并且镜像第一电流以生成应用到输出节点Vout的灌电流。第二晶体管M10由第二误差信号Verr2控制,并且生成第二电流。拉级102耦合到第二晶体管M10以接收第二电流并且镜像第二电流以生成应用到输出节点Vout的拉电流。

[0019] 拉级102基于指示经过负载Rload的电流在阈值零内或者大于零的反馈信号FBK,而输出拉电流,并且如果反馈信号FBK指示经过负载Rload的电流小于零,则拉级102关断。灌级104基于指示经过负载Rload的电流在阈值零内或者大于零的反馈信号FBK,而汲取灌电流。类似地,如果反馈信号FBK指示经过负载Rload的电流大于零,则灌级104关断。

[0020] 第一晶体管M14具有均耦合到第一功率源Vcc的第一导电端子和本体端子、耦合到灌级104的第二导电端子、耦合到误差放大器200的第一输出以接收第一误差信号Verr1的控制端子。

[0021] 灌级104包括被配置为电流镜的晶体管M17、M18,该电流镜将第一电流传递到第一晶体管M14的第二导电端子,并且从输出节点Vout汲取第一电流。限流电阻器Rlim1(限制第一电流)串联耦合在第一晶体管M14的第二导电端子和由晶体管M17、M18形成的电流镜之间。

[0022] 晶体管M17具有耦合到限流电阻器Rlim1的第一导电端子、均耦合到地GND的第二导电端子和本体端子、以及耦合到第一导电端子的控制端子。晶体管M18具有耦合到输出节点Vout的第一导电端子、均耦合到地GND的第二导电端子和本体端子、以及耦合到晶体管M17的控制端子的控制端子。

[0023] 更详细地,第二晶体管M10具有耦合到拉级102的第一导电端子、均耦合到地GND的第二导电端子和本体端子、以及耦合到误差放大器200的第二输出以接收第二误差信号Verr2的控制端子。

[0024] 拉级102包括被配置为电流镜的晶体管M15、M16,该电流镜将接收来自第二晶体管M10的第一导电端子的第二电流,并且将第二电流镜像到输出节点Vout。限流电阻器Rlim2(限制第二电流)串联耦合在第二晶体管M10的第一导电端子和由晶体管M15、M16形成的电流镜之间。

[0025] 晶体管M15具有均耦合到第二功率源Vbatt的第一导电端子和本体端子、耦合到限流电阻器Rlim2以接收第二电流的第二导电端子、以及耦合到第二导电端子的控制端子。晶体管M16具有均耦合到第二功率源Vbatt的第一导电端子和本体端子、耦合到输出节点Vout的第二导电端子、以及耦合到晶体管M15的控制端子的控制端子。

[0026] 参照图2,现在给出误差放大器200的细节。误差放大器200包括差分输入级202,该差分输入级包括分别接收参考电压Vref和反馈信号FBK的第一和第二输入(如上文所提及)。差分输入级202基于参考电压Vref和反馈信号FBK之间的差生成比较信号。尾部204耦

合到差分输入级202,并且将恒定电流从电流源CS1镜像到差分输入级202,并且镜像到下文将要描述的差分输出级210。第一增益级206或者有源负载电路耦合到差分输入级202,并且放大比较信号。第二增益级208耦合到第一增益级206,并且进一步放大比较信号。

[0027] 差分输出级210耦合到第二增益级208,并且基于放大的比较信号在第一和第二输出EA\_out\_p、EA\_out\_n上生成和输出第一和第二误差信号Verr1、Verr2。补偿级212耦合在第二增益级208和差分输出级210之间,并且如本领域技术人员所理解那样补偿被放大的比较信号。

[0028] 更详细地,差分输入级202包括晶体管M1、M2,这些晶体管的第一导电端子和其本体端子彼此耦合。晶体管M1、M2的本体端子还耦合到第一功率源Vcc。晶体管M1、M2的第二导电端子分别耦合到组成第一增益级206的晶体管M3、M4的第一导电端子(如将在下文中解释的那样)。晶体管M1、M2的控制端子分别耦合到参考电压Vref和反馈信号FBK。

[0029] 第一增益级206或者有源负载级包括晶体管M3、M4,这些晶体管的第一导电端子分别耦合到晶体管M1、M2的第二导电端子。晶体管M3、M4还具有均耦合到地GND的第二导电端子和本体端子,以及彼此耦合并且耦合到晶体管M4的第一导电端子的控制端子。

[0030] 第二增益级208包括晶体管M8。晶体管M8具有耦合到差分输出级210的第一导电端子、均耦合到地GND的第二导电端子和本体端子、以及耦合到晶体管M3的第一导电端子的控制端子。

[0031] 尾部204包括晶体管M5、M6,这些晶体管具有均耦合到地第一功率源Vcc的第一导电端子和本体端子,以及彼此耦合的控制端子。晶体管M5具有耦合到晶体管M5、M6的控制端子以及电流源CS1的第二导电端子。晶体管M6具有耦合到晶体管M1、M2的第一导电端子的第二导电端子。晶体管M7具有耦合到第一功率源Vcc的第一导电端子和本体端子、耦合到差分输出级210的第二导电端子、以及耦合到晶体管M5、M6的控制端子的控制端子。

[0032] 差分输出级210包括晶体管M12、M16,这些晶体管具有耦合到晶体管M7的第二导电端子以从其接收恒定电流的第一导电端子,以及耦合到晶体管M8的第一导电端子的第二导电端子。晶体管M12、M16的第一和第二导电端子还耦合到补偿网络212。晶体管M12的本体端子耦合到地GND,而晶体管M16的本体端子耦合到第一功率源Vcc。晶体管M12的控制端子耦合到电压降电路216,而晶体管M16的控制端子耦合到第一电压降电路214。

[0033] 第一电压降电路214包括与第二电流源CS2串联耦合以拉动恒定电流从其经过的二极管耦合的一对晶体管M13、M15。第二电压降电路216包括与第三电流源CS3串联耦合以从其接收恒定电流的二极管耦合的一对晶体管M11、M9。

[0034] 差分输出级210包括输出第一误差信号Verr1的第一输出,并且该第一输出耦合到晶体管M12、M16的第一导电端子。差分输出级210还包括输出第二误差信号Verr2的第二输出,并且该第二输出耦合到晶体管M12、M16的第二导电端子。

[0035] 如现在参照图3所描述的那样,在一些应用中,放大器级300可以耦合在第一和第二晶体管M14、M10以及由晶体管M17、M18和M15、M16形成的灌和拉电流镜之间。此放大器级300可以帮助减少经过晶体管M16、M18的击穿电流。如图3所示,本领域技术人员可以理解,放大器级是AB类放大器。

[0036] 此处,一对电阻器R3、R4串联耦合在第一晶体管M14的第二导电端子和第二晶体管M10的第一导电端子之间。放大器级300包括串联耦合在第一功率源Vcc和地GND之间的一对

电阻器R5、R6。晶体管M20具有耦合到第四电流源CS4的第一导电端子、耦合到晶体管M22的第一导电端子的第二导电端子、耦合到其自身第一导电端子和晶体管M21的控制端子的控制端子、以及耦合到其自身第二导电端子的本体端子。

[0037] 晶体管M22具有耦合到晶体管M20的第二导电端子的第一导电端子、耦合到第五电流源CS5的第二导电端子、耦合到其自身第二导电端子以及晶体管M23的控制端子的控制端子、以及耦合到第一功率源Vcc的本体端子。晶体管M21具有耦合到晶体管M19的第二导电端子的第一导电端子(将在下文中解释)、耦合到晶体管M23的第一导电端子的第二导电端子、耦合到晶体管M20的控制端子的控制端子、以及耦合到其自身第二导电端子的本体端子。晶体管M23具有耦合到晶体管M21的第二导电端子的第一导电端子、耦合到灌级104的第二导电端子、耦合到晶体管M22的控制端子的控制端子、以及耦合到第一功率源Vcc的本体端子。

[0038] 晶体管M20的第二导电端子和晶体管M22的第一导电端子耦合到电阻器R5、R6之间的节点。晶体管M21的第二导电端子和晶体管M23的第一导电端子耦合到电阻器R3、R4之间的节点。

[0039] 再参照图1和图2,现在描述电子设备100的交流参数的计算。当拉级102开启并且灌级104关断,环路增益可以按下式计算:

$$[0040] \quad A_{EA}(EA\_out\_n) \approx g_{M1} (r_{M1} \parallel r_{M3}) g_{M8} \Gamma_{M8} \quad (1)$$

$$[0041] \quad Gain(loop) \approx A_{EA}(EA\_out\_n) g_{M10} K \frac{R_2}{R_1 + R_2} \frac{1 + sR_{Z1}C_{Z1}}{1 + sA_{EA}(EA\_out\_n) \frac{R_1 R_2 C_{Z1}}{R_1 + R_2}} \frac{R_{load}}{1 + sC_{load}R_{load}} \quad (2)$$

[0042] 当拉级102和灌级104两者开启时,环路增益可以按下式计算:

$$[0043] \quad r_{EA\_out\_n} = \left\{ \frac{r_{M12} \parallel r_{M16} + r_{M7} [g_{M16} (r_{M12} \parallel r_{M16}) + 1]}{g_{M12} (r_{M12} \parallel r_{M16}) + 1} \right\} \parallel r_{M8} \quad (3)$$

$$[0044] \quad A_{EA}(EA\_out\_n) = g_{M1} (r_{M1} \parallel r_{M3}) g_{M8} \Gamma_{EA\_out\_n} \quad (4)$$

$$[0045] \quad i_{M12} = i_{M16} \quad (5)$$

$$[0046] \quad g_{M16} V_{EA\_out\_p} = g_{M12} V_{EA\_out\_n} \quad (6)$$

$$[0047] \quad \frac{V_{EA\_out\_p}}{V_{EA\_out\_n}} = \frac{g_{M12}}{g_{M16}} \quad (7)$$

$$[0048] \quad \begin{aligned} & Gain(loop) \\ & \approx A_{EA}(EA\_out\_n) \left( g_{M10} + \frac{g_{M12}}{g_{M16}} g_{M14} \right) K \frac{R_2}{R_1 + R_2} \frac{1 + sR_{Z1}C_{Z1}}{1 + sA_{EA}(EA\_out\_n) \frac{R_1 R_2}{R_1 + R_2} \left( C_{Z1} + \frac{g_{M12}}{g_{M16}} C_{Z2} \right)} \frac{R_{load}}{1 + sC_{load}R_{load}} \end{aligned}$$

(8)

[0049] 当灌级104开启并且拉级102关断时,环路增益可以按下式计算:

$$[0050] \quad A_{EA}(EA\_out\_p) \approx g_{M1} (r_{M1} \parallel r_{M3}) g_{M8} \Gamma_{M7} \quad (9)$$

$$[0051] \quad Gain(loop) \approx A_{EA(EA\_out\_p)} g_{M14} K \frac{R_2}{R_1 + R_2} \frac{1 + sR_{Z2}C_{Z2}}{1 + sA_{EA(EA\_out\_p)} \frac{R_1 R_2 C_{Z2}}{R_1 + R_2}} \frac{R_{load}}{1 + sC_{load}R_{load}} \quad (10)$$

[0052] 虽然参照有限数目的实施例描述了本公开,从本公开中受益的本领域技术人员将领会的是,可以设想不背离本文所公开内容的范围的其它实施例。因此,本公开的范围应该仅由所附权利要求限制。

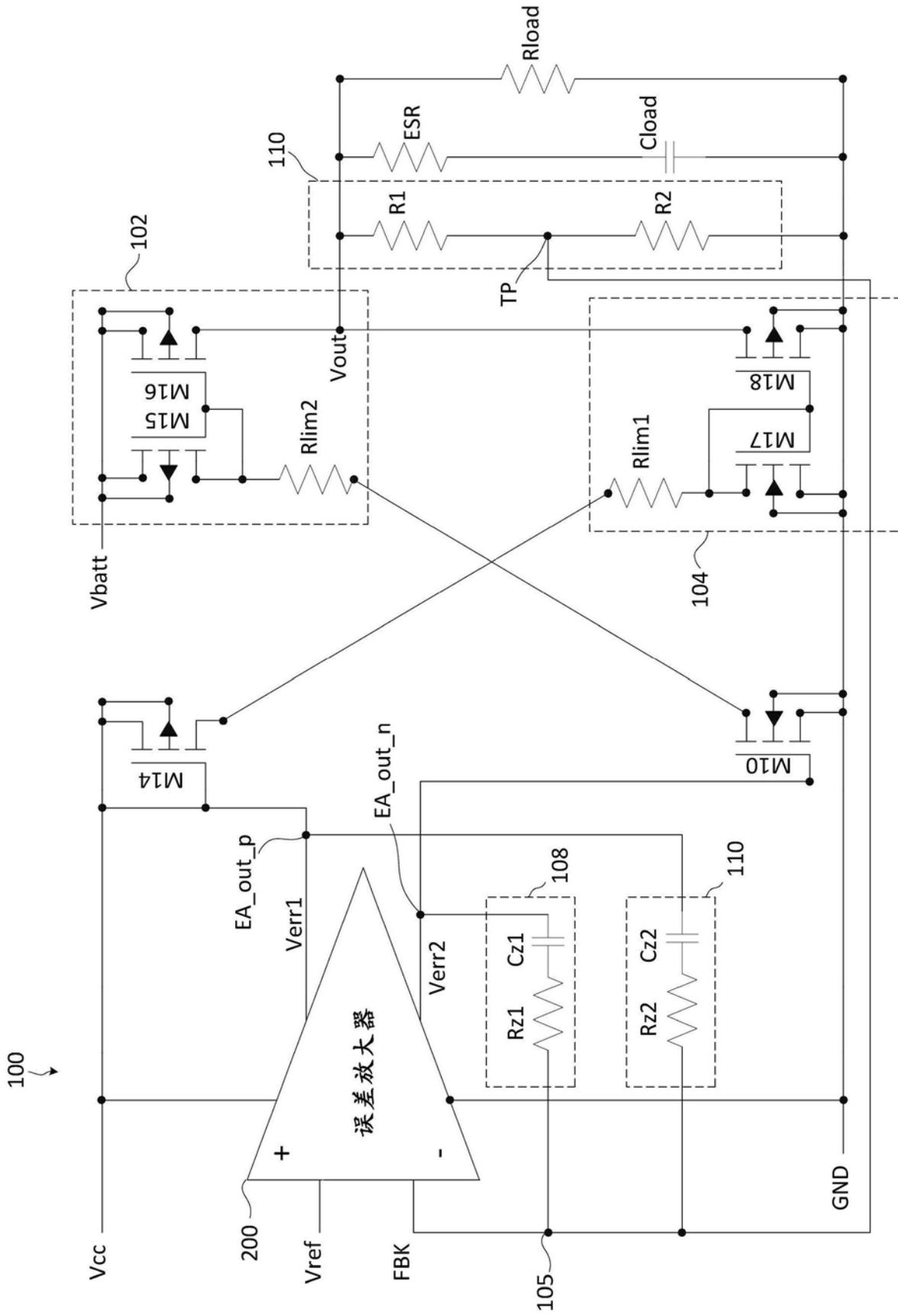


图1

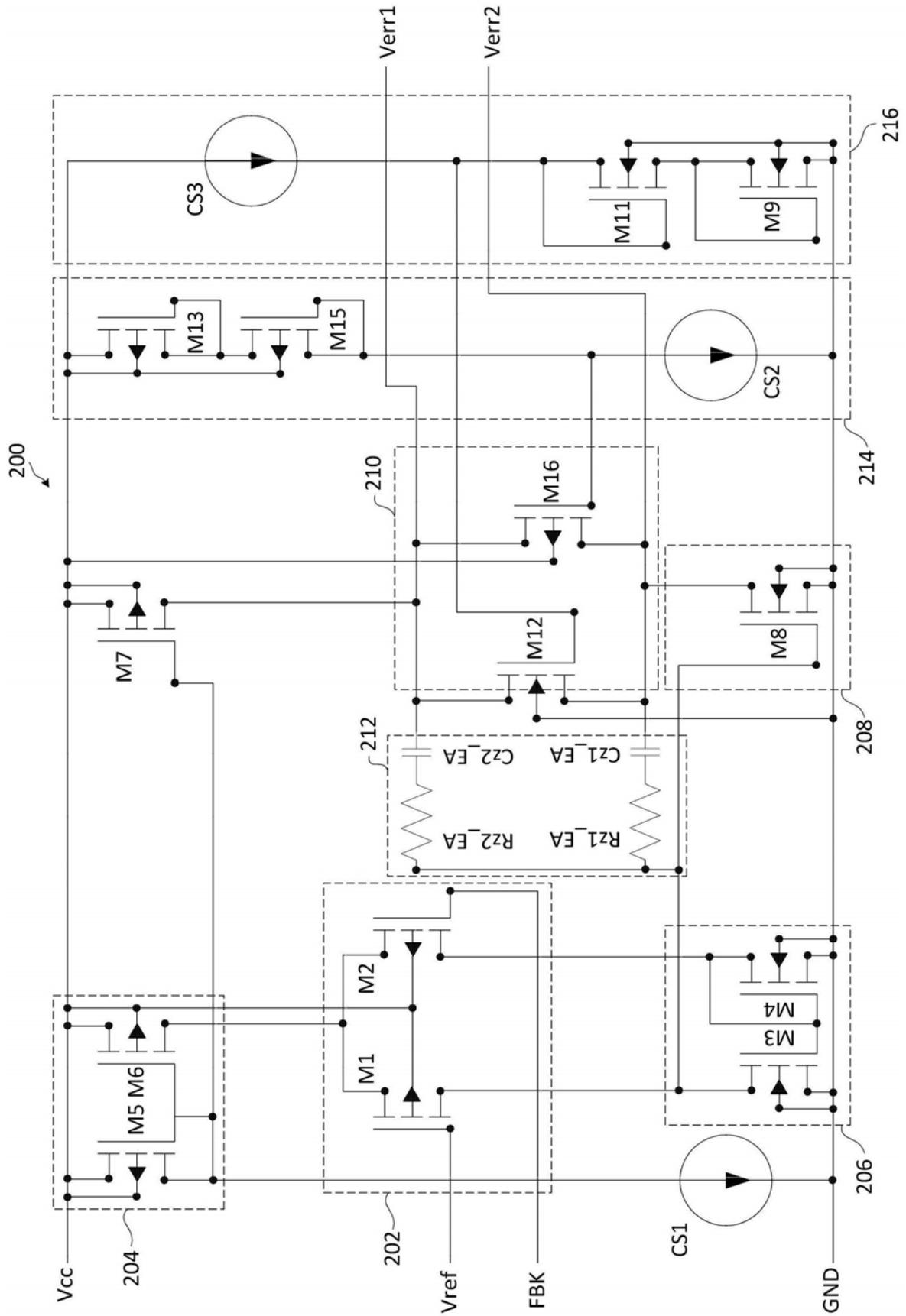


图2

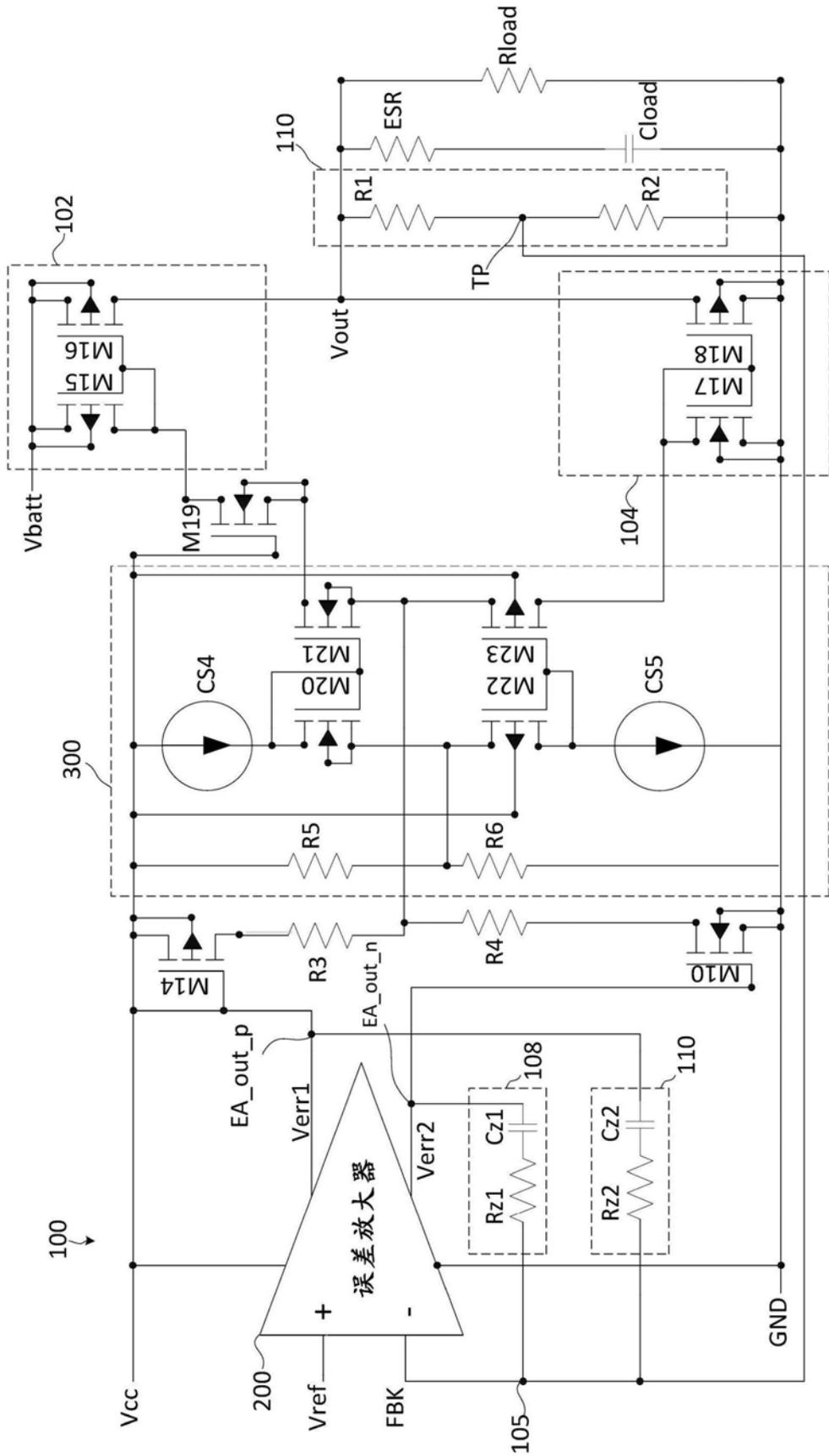


图3