

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3913451号

(P3913451)

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.

G11C 11/22 (2006.01)

F I

G11C 11/22 501L

請求項の数 13 (全 16 頁)

| | | | |
|-----------|------------------------------|-----------|--|
| (21) 出願番号 | 特願2000-251853 (P2000-251853) | (73) 特許権者 | 000003078 |
| (22) 出願日 | 平成12年8月23日 (2000.8.23) | | 株式会社東芝 |
| (65) 公開番号 | 特開2002-74938 (P2002-74938A) | | 東京都港区芝浦一丁目1番1号 |
| (43) 公開日 | 平成14年3月15日 (2002.3.15) | (74) 代理人 | 100109900 |
| 審査請求日 | 平成16年1月23日 (2004.1.23) | | 弁理士 堀口 浩 |
| | | (72) 発明者 | 竹内 義昭 |
| | | | 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内 |
| | | (72) 発明者 | 大脇 幸人 |
| | | | 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内 |
| | | 審査官 | 加藤 俊哉 |

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

セルトランジスタのソース、ドレイン間に強誘電体キャパシタの両電極をそれぞれ接続させたメモリセルが複数個直列に接続され、その一端に選択トランジスタを備える複数のメモリブロックと、

前記複数のメモリブロックのそれぞれの一端に接続され、前記メモリブロックの長手方向に沿った長手方向を有する複数のビット線と、

前記複数のメモリブロックのそれぞれの他端に接続され、前記複数のビット線の長手方向に沿った長手方向を有する複数のプレート電極配線と

を具備することを特徴とする半導体記憶装置。

【請求項2】

前記複数のビット線のうち同一の前記ビット線に接続された前記メモリブロックは、同一の前記プレート電極配線に接続されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記セルトランジスタのゲートに接続されたワード線をさらに有し、このワード線と前記プレート電極配線とが選択状態となった場合に複数個の前記メモリセルのうち、選択されたワード線とプレート電極配線に接続されたメモリセルがアクセスされることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】

10

20

複数個直列に接続された前記メモリブロックを有し、各メモリブロックに同一の前記プレート電極配線及び同一の前記ビット線が接続されたメモリブロック群を具備することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】

前記メモリブロック群を複数個有し、少なくとも 2 つのメモリブロック群に対して、同一の前記プレート電極配線が接続されていることを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】

同一の前記ビット線及び同一の前記プレート電極配線に接続されたメモリセルブロック群にすべてのワード線が接続されることを特徴とする請求項 4 記載の半導体記憶装置。

10

【請求項 7】

前記ビット線はそれぞれ相補の信号線が伝達される 1 対の信号線を有し、複数本配置され、前記メモリブロック群を複数個有し、それぞれのメモリブロック群はこの 1 対のビット線のいずれか 1 本にそれぞれ接続される複数のメモリブロックを有することを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 8】

セルトランジスタのソース、ドレイン間に強誘電体キャパシタの両電極をそれぞれ接続させたメモリセルが複数個直列に接続され、その一端に選択トランジスタを備える複数のメモリブロックと、

前記複数のメモリブロックのそれぞれの一端に接続され、前記メモリブロックの長手方向に沿った長手方向を有する複数のビット線と、

20

前記複数のメモリブロックのそれぞれの他端に接続され、前記複数のビット線の長手方向に沿った長手方向を有する複数のプレート電極配線と

前記メモリブロックが複数個直列に接続され、当該メモリブロックに同一の前記プレート電極配線及び同一の前記ビット線が接続された複数のメモリブロック群と、

前記複数のビット線のうちの 1 つにそれぞれ接続された複数のセンスアンプと、

前記メモリブロック群に属する前記メモリブロックにプレート電極駆動信号を前記プレート電極配線により伝達するプレート電極配線駆動回路と

を具備することを特徴とする半導体記憶装置。

【請求項 9】

30

前記ビット線は 1 対の相補信号線で構成され、前記プレート電極配線と、前記プレート電極配線駆動回路と、前記センスアンプとが前記 1 対のビット線ごとに配設されていることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】

前記プレート電極配線は、1 対の前記ビット線対の一方に前記メモリブロック群を介して接続される第 1 のプレート電極配線と、1 対の前記ビット線対の他方に前記メモリブロック群を介して接続され、前記第 1 のプレート電極配線に伝達される信号と相補関係にある信号が伝達される第 2 のプレート電極配線とを有することを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 11】

40

前記センスアンプは選択されたプレート電極配線が接続されたメモリブロック群に接続されるビット線のみを活性化することを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 12】

前記センスアンプ及び前記プレート電極配線駆動回路はカラムアドレス信号によって活性化動作が制御されることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 13】

前記ビット線及び前記プレート電極配線の延伸方向と直交する延伸方向を有し、ロウアドレス信号によって制御される信号が伝達されるワード線を具備し、当該信号によって前記セルトランジスタが制御されることを特徴とする請求項 8 乃至 12 いずれか 1 項記載の半導体記憶装置。

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体膜を使用した半導体記憶装置に係り、特に高集積化されたメモリセルを有する半導体記憶装置に関する。

【0002】

【従来の技術】

強誘電体メモリはフラッシュメモリのような不揮発性とDRAMのような高速アクセス、高速書き換えを兼ね備え、さらに低電圧/低消費電力動作が可能であるといった利点がある。強誘電体メモリのセル構造に関してはDRAMセルと同様な1トランジスタ1キャパシタ型メモリセルによる開発が広く進められてきた。

10

【0003】

強誘電体メモリは不揮発性でありながら同じ不揮発性デバイスであるフラッシュメモリに比べて書き換え可能回数が多い、書き込み時間が小さい、また低電圧・低消費電力動作が可能であるといった利点がある。

【0004】

まず、図9に示される従来の強誘電体メモリでは、マトリクス構造のメモリセル100がそれぞれ、互いに直交するワード線WL101と相補ビット線BL102、BBL103の交点に配置され、プレート電極配線PL104がワード線WLに平行に配置されている。

20

【0005】

ここでは、ワード線WL101ごとにプレート電極配線PL104が分割配設されている。プレート電極配線PL104及びワード線WL101は、ロウデコーダ/プレート電極配線駆動回路105によって、ロウアドレスに基づき、制御されている。

【0006】

また、相補ビット線BL102、BBL103はロウアドレスに基づき制御されるセンスアンプSA106によって制御されている。センスアンプSA106は互いに相補信号が伝達される一対の相補ビット線BL102、BBL103を制御している。

【0007】

メモリセルはワード線WL101、プレート電極配線PL104の組に対して1つおきに同一の相補ビット線BL102、BBL103の交点に配置されている。

30

【0008】

センスアンプ106から読み書きされるデータは相補データ線DQ107、BDQ108から入出力される。ロウデコーダ/プレート電極配線駆動回路105はチップイネーブル信号配線110に伝達されるチップイネーブル信号CEB110及びロウアドレス信号Adr120に基づいて制御されるロウ系制御回路109によって制御される。

【0009】

さらにチップイネーブル信号CEB110、及びカラムアドレス信号Adc121に基づいて制御されるカラム系制御回路114の出力に基づいて、カラムデコーダ115は制御されている。

40

【0010】

また、チップイネーブル信号CEB110及び読み出し/書き込み信号RW111により読み出し/書き込み系制御回路119が制御されている。

【0011】

さらに読み出し/書き込み系制御回路119により読み出しデータラッチ113、書き込みデータラッチ116は制御されている。読み出しデータラッチ113、書き込みデータラッチ116は相補データ線DQ107、BDQ108に接続されている。

【0012】

また、読み出しデータラッチ113から出力信号Dout122は出力され、書き込みデータラッチ116は入力信号Din123が入力される。

50

【 0 0 1 3 】

図 9 中で A で示される領域の回路図は図 1 0 に示される通りである。

【 0 0 1 4 】

相補ビット線対 B L 0 , B B L 0 の間に 4 つのメモリセルが配置されている。第 1 セルトランジスタ M 0 のゲートはワード線 W L 0 に接続されている。第 1 キャパシタ C 0 はプレート線 P L 0 と第 1 セルトランジスタ M 0 のソース・ドレインの一方側とに接続されている。第 1 セルトランジスタ M 0 のソース・ドレインの他方側はビット線 B L 0 に接続されている。

【 0 0 1 5 】

第 2 セルトランジスタ M 1 のゲートはワード線 W L 1 に接続され、ソース・ドレインの一方側はビット線 B L 0 に接続されている。第 2 キャパシタ C 1 の一方電極はプレート線 P L 1 に接続され、他方電極は第 2 セルトランジスタ M 1 のソース・ドレインの他方側に接続されている。

10

【 0 0 1 6 】

第 3 セルトランジスタ M 2 のゲートはワード線 W L 2 に接続されている。第 3 キャパシタ C 2 はプレート線 P L 2 と第 3 セルトランジスタ M 2 のソース・ドレインの一方側とに接続されている。第 3 セルトランジスタ M 2 のソース・ドレインの他方側はビット線 B B L 0 に接続されている。

【 0 0 1 7 】

第 4 セルトランジスタ M 3 のゲートはワード線 W L 3 に接続され、ソース・ドレインの一方側はビット線 B B L 0 に接続されている。第 4 キャパシタ C 3 の一方電極はプレート線 P L 3 に接続され、他方電極は第 4 セルトランジスタ M 3 のソース・ドレインの他方側に接続されている。

20

【 0 0 1 8 】

この構成においては、各ビット線の長手方向に配置された各キャパシタごとにプレート線がワード線に対応して平行に配置されて個別に設けられている。

【 0 0 1 9 】

この従来技術に対して、特開平 4 - 4 2 4 9 8 号公報の第 2 図に示される技術においては、1 トランジスタ・1 キャパシタ型セルの強誘電体メモリにおいてプレート電極配線をビット線長手方向に配設した構成が記載されている。この構成では、図 1 1 に示されるように相補ビット線対 B L 0 , B B L 0 の間に 4 つのメモリセルが配置されている。

30

【 0 0 2 0 】

第 1 セルトランジスタ M 0 のゲートはワード線 W L 0 に接続されている。第 1 キャパシタ C 0 はプレート線 P L 0 と第 1 セルトランジスタ M 0 のソース・ドレインの一方側とに接続されている。第 1 セルトランジスタ M 0 のソース・ドレインの他方側はビット線 B L 0 に接続されている。

【 0 0 2 1 】

第 2 セルトランジスタ M 1 のゲートはワード線 W L 1 に接続され、ソース・ドレインの一方側はビット線 B L 0 に接続されている。第 2 キャパシタ C 1 の一方電極はプレート線 P L 0 に接続され、他方電極は第 2 セルトランジスタ M 1 のソース・ドレインの他方側に接続されている。

40

【 0 0 2 2 】

第 3 セルトランジスタ M 2 のゲートはワード線 W L 2 に接続されている。第 3 キャパシタ C 2 は一方電極がプレート線 P L 0 に接続され、他方電極が第 3 セルトランジスタ M 2 のソース・ドレインの一方側とに接続されている。第 3 セルトランジスタ M 2 のソース・ドレインの他方側はビット線 B B L 0 に接続されている。

【 0 0 2 3 】

第 4 セルトランジスタ M 3 のゲートはワード線 W L 3 に接続され、ソース・ドレインの一方側はビット線 B B L 0 に接続されている。第 4 キャパシタ C 3 の一方電極はプレート線 P L 0 に接続され、他方電極は第 4 セルトランジスタ M 3 のソース・ドレインの他方側に接

50

続されている。

【0024】

この構成では、1対のビット線間に1本のプレート線がビット線の長手方向に配置されている。

【0025】

こうして、ワード線が“H”レベルの場合にオンした複数のセルとプレート電極配線が“H”レベルに駆動された複数のセルの交点のセルのみ読み書きすることによりアクセスされるセル数を減少させ動作電流を削減している。

【0026】

しかし、この構成においてはアクセス頻度、消費電流の点は改良されているが、プレート電極配線が駆動され、かつワード線が“H”レベルでセルトランジスタがオフ状態のセル（半選択セル）に注目すると、このセルにおいてメモリ蓄積情報を減少させ、ついには破壊せしめる読み出しディスタ urb が生じている。これを図11および図12を用いて説明する。

10

【0027】

まず、図12のヒステリシス曲線を用いて強誘電体メモリの読み出し動作方法に関して説明する。たとえば、強誘電体膜として知られるPZT（チタン酸ジルコン酸鉛（ $PbZrTiO_3$ ））膜に電圧が印加されていない状態で強誘電体膜中には図中“0”および“1”と示した上向きあるいは下向きの2方向いずれかの分極状態となっており不揮発性のメモリとなっている。

20

【0028】

そこに電圧を印加すると状態が“1”である場合には分極は反転しないが“0”であった場合は分極が反転する。これら2つの場合に同じ電圧を印加するのに必要な電荷量、すなわち、一端に同じ電圧を印加したときに他端に発生する電荷量が“0”と“1”の状態異なる。これらの差を検知することにより読み出しを行う。

【0029】

図11において例えばワード線WL0が“H”レベル、WL1が“L”レベルの状態プレート電極配線PL0を駆動したとする。ここでWL1に接続されるキャパシタC1が“1”すなわち下向きの分極状態状態であったとするとプレート電極配線が駆動されてもワード線が閉じられてセルトランジスタM1がオフ状態であるためキャパシタC1の両端には電位差がなく短時間では問題ない。

30

【0030】

しかし、長時間その状態が続くと接合リークにより、セルトランジスタM1側のノードの電位が低下して行きキャパシタC1の両端に電位差がつき、メモリ蓄積情報“1”を減少させ、ついには破壊する読み出しディスタ urb が生じて不揮発性の特性が損なわれる可能性がある。

【0031】

次に、高速性、高集積性を改善できるセルトランジスタ（T）のソースドレイン間にキャパシタ（C）の両端をそれぞれ接続し、これをユニットとして、このユニットセルを複数直列に接続した強誘電体メモリ（以下TC並列ユニット直列接続型強誘電体メモリと称する）が特開平10-255483号公報に示されている。

40

【0032】

このTC並列ユニット直列接続型強誘電体メモリは図13に示されるようにワード線方向に配設されるプレート電極配線を直列接続される複数の単位セルにおいて共有し、プレート電極配線数を減少させて、さらにプレート電極配線を駆動する駆動回路を直列接続される複数の単位セルにおいて共有させて、プレート電極配線駆動回路の数を減少させることによりチップサイズの縮小を実現している。

【0033】

この図13に示される構成では、それぞれセルトランジスタ120とキャパシタ121からなるメモリセルが複数個直列に接続され、1つのメモリブロック122を構成している

50

。このメモリブロック122内のセルトランジスタ120はそれぞれのゲートにワード線WL0、WL1、が接続されている。このメモリブロックの一端にはプレート線PL、PLBが接続され、他端にはゲートにブロック選択線BS0、BS1が接続されたブロック選択トランジスタ123を介して、ビット線BL、BBLが接続されている。

【0034】

プレート線PL、PLBはプレート線駆動回路124によって駆動されている。1つのプレート線駆動回路124はプレート線PL、PLBの長手方向に配置され、同一のプレート線PL、PLBに接続された複数のメモリブロック122を駆動する。また、ビット線BL、BBLの長手方向に対して、メモリブロックごとにプレート線駆動回路124が設けられている。ビット線BL、BBLにはセンスアンプ125が接続されている。

10

【0035】

この図13では、プレート線駆動回路124は2つのみ示されているが、ビット線の長手方向に配置されたメモリブロック数分、設けられてそれぞれのメモリブロックに異なるプレート線駆動信号を与えている。

【0036】

選択されたメモリセルはセルトランジスタのゲートに接続されたワード線は“L”レベルとなり、他のワード線は“H”レベルになる。こうして選択されたセルトランジスタのみがオフし、並列接続されたキャパシタの両端に電位が与えられる。他の選択トランジスタはオン状態となって、それぞれが並列接続されたキャパシタには同電位が与えられ、キャパシタは読み出し/書き込みの動作を行わない。

20

【0037】

また、選択されたセルトランジスタが含まれるメモリブロック122に接続されたブロック選択トランジスタ123はそのゲートに接続されたビット線BS0が“H”レベルとなって、ビット線BL、BBLと接続される。こうして、プレート線PL、PLBとビット線BL、BBLとの間で選択されたメモリセルのデータの読み出し/書き込み動作が行われる。

【0038】

【発明が解決しようとする課題】

以上のような従来の半導体記憶装置では、以下の課題が生じる。

【0039】

図13に示される技術においては、チップ面積の点は改良されているが基本的には1本のワード線が選択される際にアクセスされるセルの数は従来と変わらない。

30

【0040】

これは図13からも明らかなように、ワード線方向にプレート電極配線を配設した場合、選択ワード線につながるセルのプレート電極配線が選択されるため、1本の選択ワード線方向のメモリセルが全てアクセスされることになる。

【0041】

従って、メモリセルを読み出し、再書き込みする際の平均的アクセス頻度および消費電流も基本的には従前の強誘電体メモリと実質上変わり無く、読み書き回数の制限や消費電力が大きいという課題が存在している。また、プレート電極配線の駆動回路やセンスアンプはワード線方向に全て駆動しているために、消費電力が大きいという課題がある。

40

【0042】

本発明の目的は以上のような従来技術の課題を解決することにある。特に本発明では、活性化されるメモリセル数を減少させ、消費電力が削減された強誘電体メモリを備えた半導体記憶装置を提供することを目的とする。

【0043】

また、ディスターブを発生させる非選択セルで且つプレート線が活性化されるセル(半選択セル)の読み出し動作を防止して、ディスターブの生じない強誘電体メモリを備えた半導体記憶装置を提供することを目的とする。

【0044】

50

【課題を解決するための手段】

本発明の一態様によれば、セルトランジスタのソース、ドレイン間に強誘電体キャパシタの両電極をそれぞれ接続させたメモリセルが複数個直列に接続され、その一端に選択トランジスタを備える複数のメモリブロックと、前記複数のメモリブロックのそれぞれの一端に接続され、前記メモリブロックの長手方向に沿った長手方向を有する複数のビット線と、前記複数のメモリブロックのそれぞれの他端に接続され、前記複数のビット線の長手方向に沿った長手方向を有する複数のプレート電極配線とを具備することを特徴とする半導体記憶装置が提供される。

【0045】

また、本発明の別の態様によれば、セルトランジスタのソース、ドレイン間に強誘電体キャパシタの両電極をそれぞれ接続させたメモリセルが複数個直列に接続され、その一端に選択トランジスタを備える複数のメモリブロックと、前記複数のメモリブロックのそれぞれの一端に接続され、前記メモリブロックの長手方向に沿った長手方向を有する複数のビット線と、前記複数のメモリブロックのそれぞれの他端に接続され、前記複数のビット線の長手方向に沿った長手方向を有する複数のプレート電極配線と前記メモリブロックが複数個直列に接続され、当該メモリブロックに同一の前記プレート電極配線及び同一の前記ビット線が接続された複数のメモリブロック群と、前記複数のビット線のうちの1つにそれぞれ接続された複数のセンスアンプと、前記メモリブロック群に属する前記メモリブロックにプレート電極駆動信号を前記プレート電極配線により伝達するプレート電極配線駆動回路とを具備することを特徴とする半導体記憶装置が提供される。

【0048】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。

(第1の実施の形態)

本発明にかかる第1の実施の形態にかかる半導体記憶装置を、図1を用いて説明する。

【0049】

図1に本発明の第1の実施の形態の強誘電体メモリのメモリセルアレイを示す。

【0050】

本発明の強誘電体メモリはワード線とビット線の交点に1つのNチャンネルのセルトランジスタ1及びこのセルトランジスタ1のソース、ドレイン間に接続された1つの強誘電体キャパシタ2からなる強誘電体メモリセル(以後メモリセルと称する)を有する。

【0051】

メモリセルの構成は、ここでは例えば8個のメモリセルを直列に接続したメモリセルブロック3を構成し、該メモリセルブロック3の1端はブロック選択信号BS0, BS1, BS2, BS3で制御される選択トランジスタ4を介して多段に設けられて、それぞれ対応するビット線BL0, BBL0に接続され、他端はプレート線PL0に接続されている。ビット線は1対でセンスアンプ5に接続されている。

【0052】

メモリセル内のセルトランジスタ1はゲートにワード線WLが入力されていて、この信号が“H”レベルで導通して、ソース、ドレイン間に接続されたキャパシタ2の二つの電極を同電位に設定して、当該キャパシタ2を非選択状態とする。また、ワード線WLが“L”レベルの場合にはセルトランジスタ1は非導通となり、非導通のセルトランジスタ1のソース、ドレイン間に接続されたキャパシタ2が選択される。ここで、メモリセルの個数は16個でもよく、他の個数であっても構わない。

【0053】

図1では、1つのビット線に接続されるメモリブロックは2つのみ示されているが、実際にはビット線の長手方向に多数個接続されている。すなわち、メモリブロック3は同一ビット線に複数個接続されていて、同一ビット線に接続されたメモリブロック3の集合をメモリブロック群6と呼ぶ。メモリブロック群6はワード線の長手方向に複数個直列に配置

10

20

30

40

50

され、それぞれ1本のビット線に接続されている。

【0054】

ここで、プレート電極配線 P L 0 はビット線の長手方向に配設されている。プレート電極配線はこの実施の形態では、1対のビット線に接続された1対のメモリブロック群6に共通して接続されている。このため、この1対のメモリブロック群中の2つのメモリセルが同時に選択される。

【0055】

この図1に示された回路図は図2に示されるメモリセルアレイ構成図のB部分に相当する。まず、図2に示される本実施の形態の強誘電体メモリでは、マトリクス構造のメモリセル7がそれぞれ、互いに直交するそれぞれ実線で示されるワード線 W L 8 と相補ビット線 B L、B B L 9 の交点に配置され、破線で示されるプレート電極配線 P L 1 0 がビット線 B L、B B L に平行に配置されている。

10

【0056】

ここでは、ビット線 B L、B B L 9 ごとにプレート電極配線 P L 1 0 が分割配設されている。プレート電極配線 P L 1 0 は、プレート電極配線駆動回路 1 1 によって、制御されている。図2に示されるようにワード線8の長手方向にメモリブロック群6はセンスアンプ5、プレート線駆動回路11に対応した個数分設けられている。

【0057】

プレート電極配線駆動回路11はビット線対に接続され、1本のプレート電極配線10に接続された1対のメモリブロック群6ごとに複数個設けられている。このプレート電極配線駆動回路11は、例えばインバータ、バッファなどにより構成される。

20

【0058】

また、相補ビット線 B L、B B L 9 はセンスアンプ S A 5 によって制御されている。メモリセルはワード線 W L 8、相補ビット線 B L、B B L 9 の交点に配置されている。センスアンプ5から読み書きされるデータは相補データ線 D Q、B D Q 1 2 からカラム選択線 C S L 0 ~ C S L n (n は自然数) 2 7 を経て伝達されるカラム選択信号 C S L 0 ~ C S L n で制御されるカラム選択ゲート16を介して入出力される。

【0059】

ロウデコーダ13はチップイネーブル信号線14に伝達されるチップの起動を駆ける信号であるチップイネーブル信号 C E B 1 4 及びロウアドレス信号線 A d r 2 6 に伝達されるロウアドレス信号 A d r に基づいて制御されるロウ系制御回路15によって制御される。このロウデコーダ13はワード線8を制御している。

30

【0060】

また、チップイネーブル信号 C E B 1 4、及びカラムアドレス信号 A d c 線 2 5 に伝達されるカラムアドレス信号 A d c に基づいてカラム系制御回路19が制御される。カラム系制御回路19は複数個設けられたプレート電極配線駆動回路11、複数個のセンスアンプ5及びカラムデコーダ20を制御している。

【0061】

また、チップイネーブル信号 C E B 1 4、及び読み出し/書き込み信号 R W 1 7 により読み出し/書き込み系制御回路22を制御していて、読み出し/書き込み系制御回路22が読み出しデータラッチ18、書き込みデータラッチ21を制御している。読み出しデータラッチ18、書き込みデータラッチ21は相補データ線 D Q、B D Q 1 2 に接続している。また、読み出しデータラッチ18は出力信号線 D o u t 2 3 からデータを出し、書き込みデータラッチ21は入力信号線 D i n 2 4 からデータが入力される。

40

【0062】

ここで、センスアンプ5の回路の例が図3に示される。センスアンプ5にはビット線対 B L 0、B B L 0 9 が接続されている。このビット線対9の間にはイコライズ信号 E Q L によって制御されるトランジスタ P T 1、P T 2、P T 3 が接続されている。ビット線対9にはビット線それぞれに接続されたトランジスタ T 1、T 2 を有する第1トランスファークラップ部がある。

50

【 0 0 6 3 】

この第1トランスファー部に続いて、ビット線対間にはNチャネルトランジスタT3, T4からなる第1センス部と、それに並列接続されたPチャネルトランジスタT5, T6からなる第2センス部が配置されている。

【 0 0 6 4 】

この第2センス部に続いて、ビット線対9には、ビット線それぞれに接続されたトランジスタT7, T8を有する第2トランスファー部が配置されている。このトランジスタT7は一对のデータ線対12の一方側に接続され、トランジスタT8はデータ線対12の他方側に接続されている。なお、強誘電体キャパシタとして用いられる強誘電体膜としては、PZT(チタン酸ジルコン酸鉛($PbZrTiO_3$))膜やSrBiTaOの混成膜などが

10

【 0 0 6 5 】

カラム系制御回路19によって選択されたプレート電極配線駆動回路11とセンスアンプ5だけが活性化される。この場合、選択されるプレート電極配線駆動回路11とセンスアンプ5はそれぞれ1つに限られるものではなく、それぞれ複数個選択されて、複数個のメモリセルが選択されても構わない。

【 0 0 6 6 】

ただし、選択されるプレート電極配線駆動回路11とセンスアンプ5はそれぞれ同一のメモリブロック群に接続されている必要がある。もし、選択されるプレート電極配線駆動回路11とセンスアンプ5が別々のメモリブロック群に接続されている場合には、選択されるメモリセルのプレート電極配線10とビット線9が同時に選択されない事態となる。

20

【 0 0 6 7 】

この実施の形態により図10に示される従来の強誘電体メモリの利点であるメモリブロック単位で共有されたプレート電極配線をメモリブロック群単位で共有する構成に変えることによりプレート電極配線数を減少させられる。またプレート電極配線を駆動する駆動回路の数を減少させることによりチップサイズの縮小を実現するという利点を生かし、且つ1本のワード線が選択される際にアクセスされるセルの数を減らすことが可能となる。

【 0 0 6 8 】

センスアンプ5及びプレート電極駆動回路11は選択されたメモリセルが含まれるメモリブロック群のみを活性化するようにカラムアドレスで制御される。

30

【 0 0 6 9 】

これによりメモリセルの読み出し書き込み疲労を減少させると共に消費電力の低減を可能とする。例えば、ビット線対の本数が32本でそれに対応するセンスアンプも32個ある場合、従来は読み出し/書き込み動作の際にはすべてのビット線対、センスアンプが活性化していたのに対して、本実施の形態では選択されたメモリセルに対応した1つのビット線対9、センスアンプ5のみが活性化され、消費電力を例えば1/32に削減することが可能となる。

【 0 0 7 0 】

さらに、読み出し/書き込みされるメモリセル7のみが活性化されるため、活性化不要なメモリセル7を活性化させないため、各メモリセル7のアクセス回数の総和を減らすことができ、読み出し/書き込みの回数制限を緩和することが可能である。

40

【 0 0 7 1 】

また、図11に示される従来の1トランジスタ1キャパシタ型の強誘電体メモリにおいてプレート電極配線10をビット線9長手方向に配設した構成において問題になった半選択セルにおける読み出しディスタープの問題が全くなくなる。

【 0 0 7 2 】

本実施の形態のTC並列ユニット直列接続型強誘電体メモリにおいては図1に示されるようにワード線8により駆動される直列接続されたセルトランジスタ1に強誘電体キャパシタ2が並列接続されており、ワード線8が非選択状態(待機状態)の時、ワード線8を“H”レベル状態にして全ての強誘電体キャパシタの両端を短絡状態にしている。従って、

50

この状態でプレート電極配線 10 が駆動されたとしても従来型の強誘電体メモリのような読み出しディスタープの問題は起きない。

【0073】

動作時には、選択したワード線 8 のみを“L”レベル状態にして、ブロック選択信号 BS を“H”レベルにし、プレート電極配線 10 を“L”レベルから“H”レベルに駆動することにより、選択した強誘電体キャパシタにだけ両電極間に電源電圧分の電圧が印加されメモリセルの蓄積情報が読み出される。

【0074】

本構成においては、選択されるビット線対に対応するプレート電極配線の駆動回路 11 やセンスアンプ 5 のみ駆動する構成を採ることによりさらなる消費電力の低減が出来る。

10

【0075】

こうして、本実施の形態によれば、読み出し書き込み動作と無関係なメモリセルがアクセスされることを防止して、不要なアクセスの発生を減少させた半導体記憶装置を提供できる。これによりメモリセルの読み出し書き込み疲労を減少させると共に消費電力の低減が可能になる。また、ディスタープを発生させる半選択セルの読み出し動作を防止して、ディスタープを防止することが可能である。

【0076】

このように消費電力を大幅に削減できることで、本実施の形態による強誘電体メモリを搭載した携帯情報端末などのシステム製品の消費電力削減、バッテリー電圧の低電圧化を図ることが可能となる。また、従来書き換え回数の制約や消費電力の大きさなどから強誘電体メモリが採用されていなかったシステム製品においても、本実施の形態に基づいた強誘電体メモリを搭載することが可能となる。

20

(第2の実施の形態)

本発明の第2の実施の形態は図4にその回路図が示される。第1の実施の形態では、相補ビット線対 BL、BBL 9 ごとに接続されるメモリセルのプレート電極配線を共通にしているが、第2の実施の形態では相補ビット線対 BL、BBL の1本ごとにプレート電極配線を分離している。本実施の形態では、セルアレイの構成は、プレート電極配線がメモリブロック群ごとに個別に用意されて接続されている点のみが異なり、他の構成は第1の実施の形態と同様である。

【0077】

図4に示されるように第1プレート電極配線 PL0 にビット線 BL0 に接続される第1のメモリブロック群 6 が接続され、第2プレート電極配線 BPL0 にビット線 BBL0 に接続される第2のメモリブロック群 6 が接続され、図中この第1のメモリブロック群 6 の下方位置に第2のメモリブロック群 6 が配置されている。

30

【0078】

この回路図は図5中にCで示される領域に対応している。図5に示されるようにプレート電極配線駆動回路 30 は、一对のプレート電極配線 PL, BPL 31 を駆動している。このプレート電極配線駆動回路 30 と、一对のプレート電極配線 PL, BPL 31 以外の点では図5の構成は図2の構成と同様である。

【0079】

第1の実施の形態では相補ビット線対 BL0、BBL0 につながる2つの選択メモリセルの一方が“0”、他方が“1”という相補データを保持して、いわゆる2トランジスタ・2キャパシタ構成で動作する場合は問題ないが、例えば1本のビット線 BL0 につながるセル情報を参照電位と比較して動作させるいわゆる1トランジスタ・1キャパシタ構成で動作する場合は次のような問題がある。

40

【0080】

動作時に選択ワード線を“L”レベルに下げた時、参照電位側に接続されている単位セルの内部ノードがフローティング状態となり、プレート電極配線を駆動すると、非選択ワード線に接続されるセルの強誘電体キャパシタに電圧が印加され、蓄積情報が部分的に破壊される。

50

【 0 0 8 1 】

この問題を解決するため、この第 2 の実施の形態ではビット線に対応するプレート電極配線を B L 側のメモリブロック群と B B L 側のメモリブロック群 6 とで分離し、選択側のメモリブロック群 6 に接続されるプレート電極配線のみ駆動するようにした。

【 0 0 8 2 】

本実施の形態においても、第 1 の実施の形態同様の効果を有している。

(第 3 の実施の形態)

第 1 の実施の形態又は第 2 の実施の形態に示されるように、ビット線対ごとあるいはビット線ごとにプレート電極配線とその駆動回路を設ける構成がアクセスされるセル数を最も少なくできる。

10

【 0 0 8 3 】

しかし、強誘電体メモリを有する半導体記憶装置全体のレイアウトを縮小させる観点から図 6 (A) , (B) に示されるようにセルアレイが複数個配置された半導体記憶装置に本発明を適用し、各セルアレイ内の強誘電体メモリのプレート電極配線を共通化する構成が可能である。

【 0 0 8 4 】

図 6 (A) においては、半導体チップ 3 5 上に一列に配列された複数個のセルアレイ 3 6 が配置されている。図 6 (A) の構成はセルアレイ 3 6 の容量の大きさによっては、セルアレイの上方と下方あるいは中央部というようにビット線対の配置位置により、ワード線あるいはセンスアンプの駆動信号等に位置による遅延差が生じる可能性があり、駆動タイミングに不均衡が起こり易い。従って、小容量の半導体記憶装置で用いられることが多い。

20

【 0 0 8 5 】

また、図 6 (B) においては、半導体チップ 3 5 上には複数個のセルアレイ 3 6 は縦横 4 つずつ柵目状に配置されている。

【 0 0 8 6 】

大容量の半導体記憶装置ではさらにセルアレイ 3 6 の分割数を増やし、最小セルアレイの容量を減らした図 6 (B) の構成を用いることが多い。

【 0 0 8 7 】

各セルアレイ 3 6 は図 7 に示されるような構成となっているが、図 7 に示されるようにプレート電極配線 3 7、プレート電極配線駆動回路 3 8、及びカラム選択線 C S L 2 7 が 1 つだけになっている点が第 1 の実施の形態又は第 2 の実施の形態と異なっている。

30

【 0 0 8 8 】

すなわち、図 7 に示される構成はプレート電極配線 3 7、プレート電極配線駆動回路 3 8、カラムデコーダ 2 0、カラム選択線 C S L 2 7 の構成が図 2 に示される構成と異なり、他の点では共通している。

【 0 0 8 9 】

このように構成することで、セルアレイ単位でプレート電極配線を活性化して、プレート電極駆動回路が占める面積を縮小して高集積化を図ることが可能である。

【 0 0 9 0 】

本実施の形態においても、第 1 の実施の形態同様の効果を有している。

40

(第 3 の実施の形態の変形例)

本変形例では、図 8 に示されるようにセルアレイ内の複数個のビット線対同士のプレート電極配線を共通化する。これは同時に活性化するメモリセルブロック同士のプレート電極配線を共通化したものである。例えば、同一アドレスで選択されるカラム選択線 C S L 2 7 に接続され且つ異なる相補データ線対 D Q、B D Q 1 2 に接続される複数個のビット線対同士のプレート電極配線を共通化する。

【 0 0 9 1 】

図 8 では 2 個のビット線対同士のプレート電極配線を共通化しており、第 1 のプレート電極配線駆動回路 3 9 が 2 つのメモリブロック群 6 に共通にプレート電極配線 4 0 を接続し

50

ている。ついで、第2のプレート電極配線駆動回路41が2つのメモリブロック群に共通にプレート電極配線42を接続している。以下この単位が複数個繰り返し配設された構成となっている。

【0092】

図8に示された構成では、同一アドレスで選択されるカラム選択信号線CSL27に接続され且つ異なる相補データ線対DQ、BDQ12に接続される複数個のビット線対同士のプレート電極配線が2本となっている。

【0093】

このように図8に示される構成では、プレート電極配線駆動回路39.41、プレート電極配線40,42、カラムデコーダ20及びカラム選択線CSL27の構成が図2に示される構成と異なり、他の点では共通している。

10

【0094】

プレート電極配線の共通化はこの例に限るものではなく、隣接するメモリブロック群6のいくつかの組ごとで共有化してもよいし、離間したメモリブロック群6同士で共有化してもよい。すなわち、カラムゲート16を制御するカラム選択線CSL27ごとにメモリブロックを共有化して、プレート電極配線を共有化することができる。

【0095】

このように構成することで、同時に活性化するメモリセルが複数メモリブロック群6にまたがって存在する半導体記憶装置において、そのメモリセルが活性化されるパターンに応じて、適宜、プレート電極駆動回路を共通化することで、高集積化がさらに促進される。

20

本実施の形態においても、第1の実施の形態同様の効果を有している。

【0096】

【発明の効果】

本発明により、活性化されるメモリセル数を減少させ、消費電力が削減された強誘電体メモリを備えた半導体記憶装置を提供することを可能とする。

【0097】

また、ディスターブを発生させる非選択セルで且つプレート線が活性化されるセル(半選択セル)の読み出し動作を防止して、ディスターブの生じない強誘電体メモリを備えた半導体記憶装置を提供することを可能とする。

【図面の簡単な説明】

30

【図1】 本発明の第1の実施の形態の回路図。

【図2】 本発明の第1の実施の形態のセルアレイの構成図。

【図3】 本発明の第1の実施の形態のセンスアンプの回路図。

【図4】 本発明の第2の実施の形態の回路図。

【図5】 本発明の第2の実施の形態のセルアレイの構成図。

【図6】 (A)は、本発明の第3の実施の形態の半導体記憶装置の構成の1例を示す構成図であり、(B)は、本発明の第3の実施の形態の半導体記憶装置の構成の他の例を示す構成図である。

【図7】 本発明の第3の実施の形態のセルアレイの構成図。

【図8】 本発明の第3の実施の形態の変形例のセルアレイの構成図。

40

【図9】 従来強誘電体メモリのセルアレイの構成図。

【図10】 従来強誘電体メモリの回路図。

【図11】 従来強誘電体メモリの回路図。

【図12】 強誘電体メモリの動作を示す図。

【図13】 従来TC並列ユニット直列接続型強誘電体メモリの回路図。

【符号の説明】

1 セルトランジスタ

2 キャパシタ

3 メモリブロック

4 ブロック選択トランジスタ

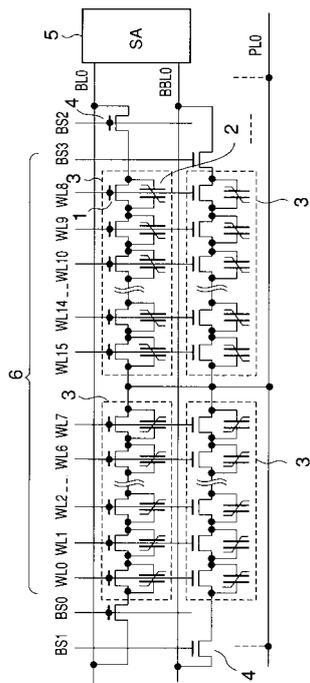
50

- 5 センスアンプ
- 6 メモリブロック群
- 7 メモリセル
- 8 ワード線
- 9 ビット線
- 10, 31, 37, 40, 42 プレート電極配線
- 11, 30, 38, 39, 41 プレート電極配線駆動回路
- 12 データ線
- 13 ロウデコーダ
- 14 チップイネーブル信号線
- 15 ロウ系制御回路
- 16 カラム選択ゲート
- 17 読み出し/書き込み信号線
- 18 読み出しデータラッチ
- 19 カラム系制御回路
- 20 カラムデコーダ
- 21 書き込みデータラッチ
- 22 読み出し/書き込み系制御回路
- 23 出力信号線
- 24 入力信号線
- 25, 26 アドレス信号線
- 27 カラムセレクト信号線
- 35 半導体チップ
- 36 セルアレイ

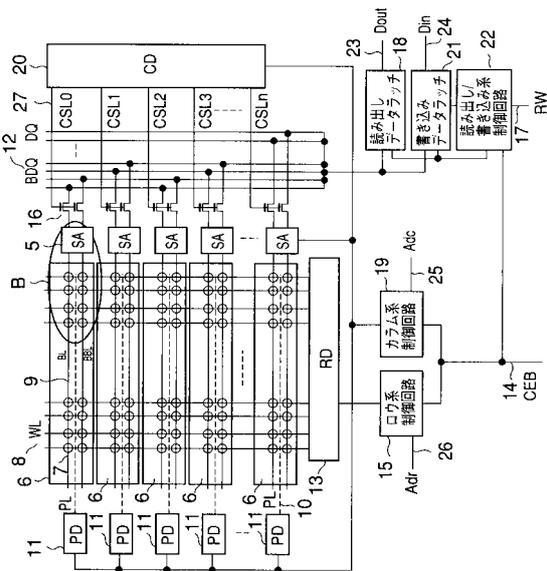
10

20

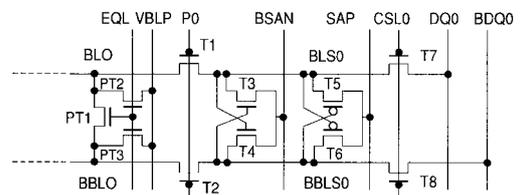
【図1】



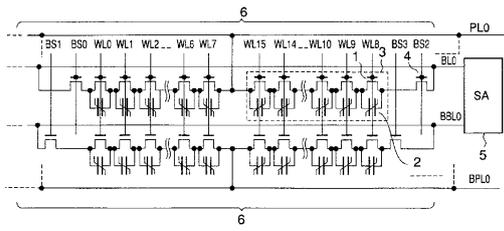
【図2】



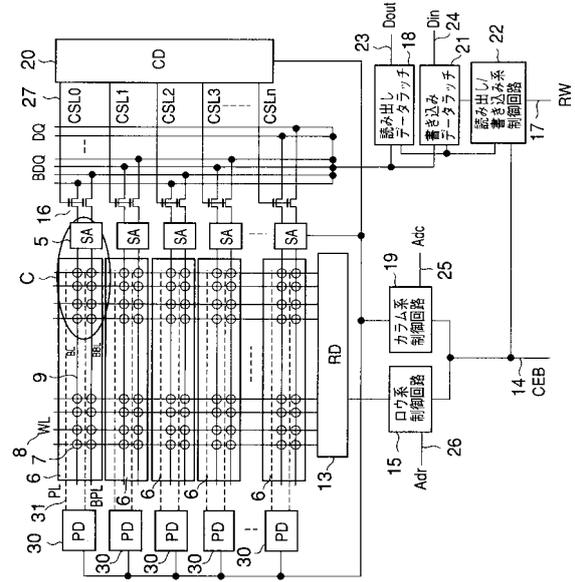
【図3】



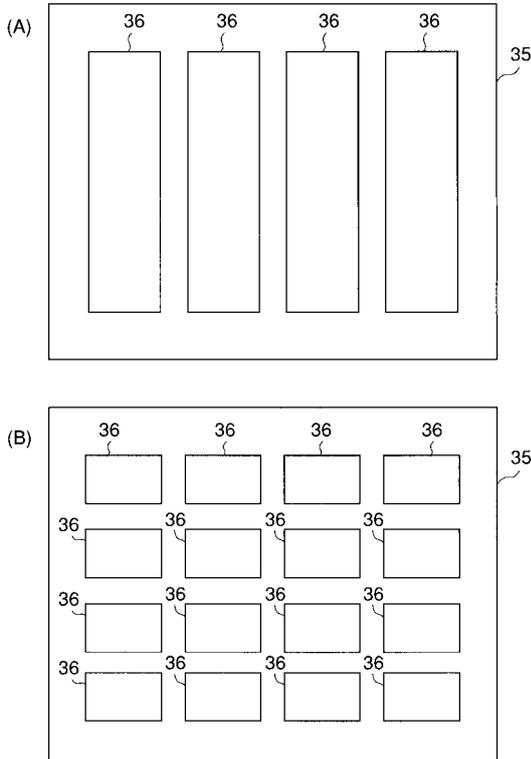
【 図 4 】



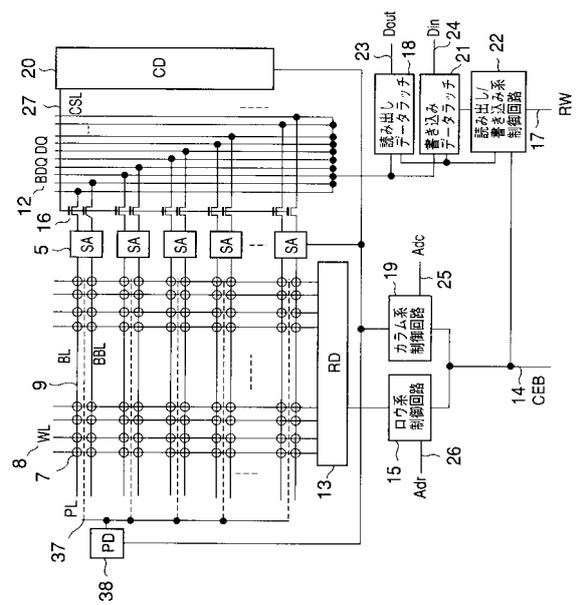
【 図 5 】



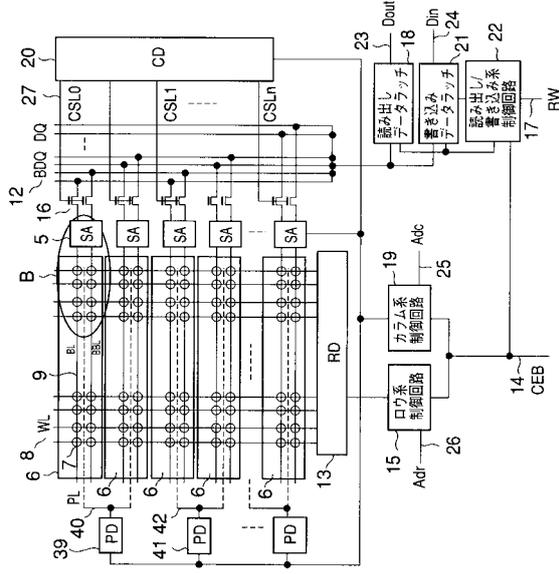
【 図 6 】



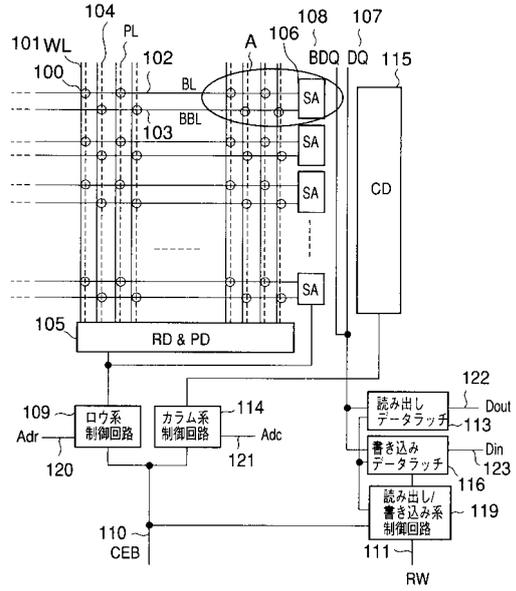
【 図 7 】



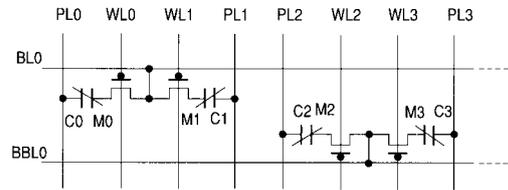
【 図 8 】



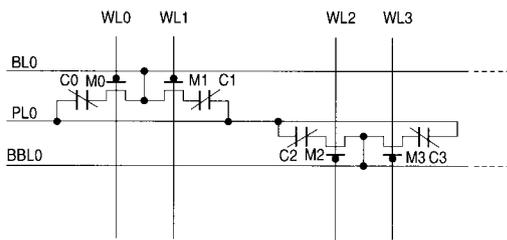
【 図 9 】



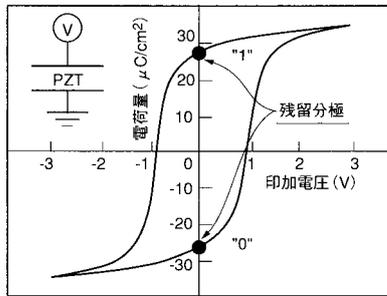
【 図 10 】



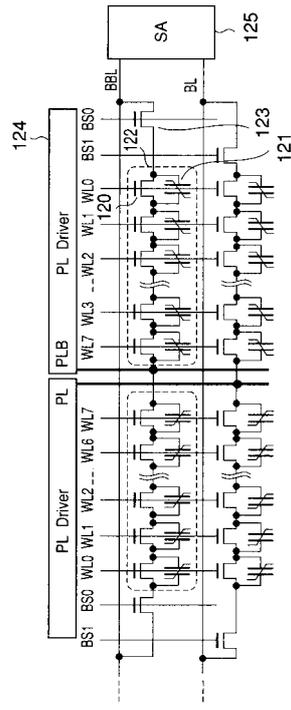
【 図 11 】



【 図 12 】



【 図 13 】



フロントページの続き

- (56)参考文献 特開平10 - 255483 (JP, A)
特開2000 - 215676 (JP, A)
特開平04 - 295690 (JP, A)
特開平11 - 177036 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/22