

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3605086号
(P3605086)

(45) 発行日 平成16年12月22日(2004.12.22)

(24) 登録日 平成16年10月8日(2004.10.8)

(51) Int. Cl.⁷

F I

H O 1 L 29/786

H O 1 L 29/78 6 1 7 N

H O 1 L 27/08

H O 1 L 27/08 3 3 1 E

H O 1 L 29/78 6 1 8 C

請求項の数 6 (全 12 頁)

(21) 出願番号 特願2002-97049 (P2002-97049)
 (22) 出願日 平成14年3月29日(2002.3.29)
 (65) 公開番号 特開2003-298063 (P2003-298063A)
 (43) 公開日 平成15年10月17日(2003.10.17)
 審査請求日 平成15年5月29日(2003.5.29)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075683
 弁理士 竹花 喜久男
 (74) 代理人 100084515
 弁理士 宇治 弘
 (72) 発明者 杉山 直治
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝 研究開発センター内
 (72) 発明者 手塚 勉
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝 研究開発センター内

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

ソース領域及びドレイン領域を有し、そのソース領域及びドレイン領域間に、相対する主面を有する基体と、

前記主面に設けられた一对のゲート電極と具備し、

前記一对のゲート電極の間隔が、前記ソース領域側において前記ドレイン領域側よりも大きいことを特徴とする電界効果トランジスタ。

【請求項2】

前記基体が半導体により形成されていることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】

前記一对のゲート電極の間隔が、前記ソース領域側から前記ドレイン領域側に次第に小さくなっていることを特徴とする請求項1 或いは請求項2 記載の電界効果トランジスタ。

【請求項4】

前記ソース領域を外側に、前記ドレイン領域を内側に位置するように前記電界効果トランジスタを複数個環状に配置することを特徴とする請求項1 乃至請求項3 のいずれかに記載の電界効果トランジスタを用いた電界効果トランジスタ。

【請求項5】

前記複数個の電界効果トランジスタは、p型及びn型が混在しており、p型の方がn型よりも多いことを特徴とする請求項4 記載の電界効果トランジスタ。

【請求項6】

中心部にドレイン電極を具備し、前記複数個の電界効果トランジスタのドレイン領域が前記ドレイン電極の周りに配置されていることを特徴とする請求項4 或いは請求項5記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果トランジスタに関する。

【0002】

【従来の技術】

現在、超高速MOSFET(Metal Oxide Semiconductor Field Effect Transistor)は、ゲート長(Lg)に代表される素子の寸法を縮小することにより、その性能を向上させてきている。

【0003】

しかしながらゲート長が極端に短くなると、ゲートを閉状態にした場合でもソース領域及びドレイン領域間の電位差により電荷が漏れてしまうというショートチャネル効果が発生してしまう。この結果、電界効果トランジスタにおいてスイッチング動作が出来なくなるという問題が生じる。

【0004】

このショートチャネル効果を抑制するために、チャンネル面の両側からゲート電圧を印加するダブルゲート構造の電界効果トランジスタが提案されている。

【0005】

このダブルゲート構造の電界効果トランジスタは、極めて狭い面間隔に配置されたゲート電極でチャンネル面を挟むため、チャンネル領域に十分な電圧を印加できるのでゲート閉状態においても電荷の漏れを抑制する。

【0006】

しかしながら、ダブルゲート構造の電界効果トランジスタは、ゲート間隔を極めて狭く配置するために、チャンネル領域の厚さも小さくなるので、ゲート開状態において流れる電流量が少なくなり駆動力が小さいという問題がある。

【0007】

【発明が解決しようとする課題】

上述したように、従来のダブルゲート構造の電界効果トランジスタでは、ショートチャネル効果を抑制はするものの駆動力が小さいという問題があった。

【0008】

本発明は、このような問題点に鑑みてなされたもので、ショートチャネル効果を抑制しつつ駆動力を向上させることのできる電界効果トランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明は、ソース領域及びドレイン領域を有し、そのソース領域及びドレイン領域間に、相対する主面を有する基体と、前記主面に設けられた一対のゲート電極と具備し、前記一対のゲート電極の間隔が、前記ソース領域側において前記ドレイン領域側よりも大きいことを特徴とする電界効果トランジスタを提供する。

【0010】

このとき前記基体が半導体により形成されていることが好ましい。

【0011】

また、前記一対のゲート電極の間隔が、前記ソース領域側から前記ドレイン領域側に次第に小さくなっていることが好ましい。

【0012】

また、前記ソース領域を外側に、前記ドレイン領域を内側に位置するように前記電界効果

10

20

30

40

50

トランジスタを複数個環状に配置することが好ましい。

【0013】

また、前記複数個の電界効果トランジスタは、p型及びn型が混在しており、p型の方がn型よりも多いことが好ましい。

【0014】

また、中心部にドレイン電極を具備し、前記複数個の電界効果トランジスタのドレイン領域が前記ドレイン電極の周りに配置されていることが好ましい。

【0015】

【発明の実施の形態】

以下、図面を用いて、本発明の実施形態について詳細に説明する。なお、本発明は、以下の実施形態に限定されるものではなく、種々選択して用いることができる。 10

【0016】

(実施形態1)

図1は、本発明の実施形態1に関わる電界効果トランジスタの斜視図である。

【0017】

図1に示すように、シリコン基板1上に楔形に成形された基体2が形成されている。この基体2は、シリコン等の半導体により形成されている。また、基体2中にはチャンネル領域が形成されている。

【0018】

基体2は、対向する一对のチャンネル面を具備し、このチャンネル面上にそれぞれ一对のゲート電極3及び4が形成されている。チャンネル面上とゲート電極3及び4間には、それぞれゲート絶縁膜(図示せず)が形成されている。 20

【0019】

基体2を挟むように、離間してソース領域5及びドレイン領域6が形成されている。ソース領域5及びドレイン領域6は、チャンネル領域が延在している方向でチャンネル領域を挟む位置に形成されている。また、ソース領域5及びドレイン領域6は、シリコン等の半導体により形成され、不純物ドーパされている。

【0020】

基体2は、シリコン基板1に対して突出して形成された壁状の凸部であり、その形状はソース領域5側の幅が、ドレイン領域6側の幅よりも広い楔形となっている。すなわち一对のゲート電極3及び4の間隔は、ソース領域5側の間隔W1のほうがドレイン領域6側の間隔W2よりも大きい。また、一对のゲート電極3及び4の間隔は、ソース領域5側からドレイン領域6側に次第に小さくなっている。 30

【0021】

基体2の具体的な寸法は、ソース領域5に接する部分の幅を10nm、ドレイン領域6に接する部分の幅を6nmとしている。これらの幅は、一对のゲート電極3及び4のソース領域5側の間隔W1及びドレイン領域6側の間隔W2から、図示しないゲート絶縁膜の膜厚を引いたものとほぼ一致する。また、基体2の高さLwは20nmである。また、チャンネル領域の長さ、ここではソース領域5と接する部分からドレイン領域6と接する部分の距離Lgは、30nmである。 40

【0022】

ソース領域5及びドレイン領域6の幅は、それぞれチャンネル領域と接する部分の幅と同じでよい。ただしドレイン領域6の幅は、抵抗を下げるために広くしてもよい。

【0023】

次に、ゲート電極の間隔がソース領域からドレイン領域まで、次第に狭くなっている電界効果トランジスタと、ゲート電極の間隔が一定の電界効果トランジスタについて、ゲート電圧とドレイン電流の関係をシミュレーションによって求めた結果を示す。

【0024】

図2に示すように、(1)ソース領域(不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$)、チャンネル領域(不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$)及びドレイン領域(不純物濃度 $1 \times 10^{20} \text{ cm}$ 50

$^{-3}$)の幅が全て5 nmであるダブルゲート構造の電界効果トランジスタ及び(2)ソース領域(不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$)側のチャネル領域(不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$)の幅が3.34 nm、ドレイン領域(不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$)側のチャネル領域の幅が1.67 nmであるダブルゲート構造の電界効果トランジスタについて、シミュレーションした。ゲート長は共に20 nmである。

【0025】

図3は、ゲート電圧とドレイン電流の関係を示す特性図である。

【0026】

図3に示すように、(2)に示すソース側が広い構造では、0.2 V以下のゲート電圧の低い領域でドレイン電流が、(1)に示す通常の構造のものよりも少ない特性が得られている。すなわち、電界効果トランジスタの閉状におけるショートチャネル効果が抑制されていることが分かる。

10

【0027】

また、(2)に示すソース側が広い構造では、0.4 V以上のゲート電圧の高い領域では、(1)に示す通常の構造と同様にドレイン電流量が高くなっていることが分かる。これは駆動力が向上できることを示唆している。

【0028】

このように、本実施形態による構造は、ゲート閉状で、ショートチャネル効果を抑制し、かつゲート開状で駆動電流量を十分に確保できるということがいえる。

【0029】

なお、比較として(1)のチャネル幅を、(2)程度に狭くした場合は、ゲート閉状で、ショートチャネル効果を抑制することは可能であるが、駆動電流は(2)に比較して、非常に低いものであると予想される。

20

【0030】

次に、本実施形態に関する電界効果トランジスタの製造方法について、図4乃至図10を用いて説明する。

【0031】

本実施形態に関する電界効果トランジスタは、例えば、埋め込み酸化膜上に、SOI(Silicon On Insulator)層が積層された基板を用いて、基板表面に熱酸化膜のマスクを形成し、ドライエッチング法にて楔形の突起を作成する。次に、ドライエッチングによりダメージを受けた突起の表面を回復させるために、高温で熱酸化を施す。

30

【0032】

この高温熱酸化の過程で、突起は、その大きさが小さくなる。その後、表面の酸化膜マスクを除去し、表面処理を施した後にゲート加工及びソース領域及びドレイン領域の加工をして電界効果トランジスタが完成する。

【0033】

今回例としてあげる製造方法は2種類である。ひとつはゲート加工を施してから、ソース領域及びドレイン領域の加工を行うものである。他方は先にソース領域及びドレイン領域の加工を施し、その後にゲート加工を行うものである。

40

【0034】

先ず、ゲート加工を先に行う製造方法の例を説明する。

【0035】

ここでは厚さ100 nmの埋め込み酸化膜上に、厚さ100 nmのSOI層が積層された基板を用いる。埋め込み酸化膜の膜厚は、プロセス上からの大きな制約は無い。ただし、埋め込み酸化膜上のシリコン層などを、埋め込み酸化膜とのエッチング速度の差を利用して、選択エッチングする工程が用いられるため、埋め込み酸化膜の厚さが数nm以下ではプロセスに注意が必要となる。

【0036】

SOI層の厚さは、最終的に形成される突起の高さ以上の値が要求される。突起の高さは

50

チャンネル領域の高さ L_w (図1)を決定する値となるため、50nm以上は必要となる。最大値については、素子設計上からは制約は少ないが、突起の高さ或いは底面に対する高さの比(アスペクト比)が大きいとプロセスが難しくなるため、1 μ m以下が望ましい。

【0037】

先ず、図4に示すように、シリコン基板10、埋め込み酸化膜11及びSOI層12の積層構造を有するSOI基板を準備する。

【0038】

図4中、(a)は、上面図、(b)はAA断面図、(c)はBB断面図である。以下図5乃至図10について同じである。

10

【0039】

図4に示すように、SOI基板のSOI層12上にSiN層13を形成し、長さ2 μ m、幅20nm~40nmのレジストパターン14を形成する。

【0040】

次に、図5に示すように、レジストパターン14(図4)をマスクとして、エッチングすることで、楔型のSiNマスク13を形成する。次に、SiNマスク13をマスクとして、エッチングすることで楔形のシリコン突起12を形成する。このとき、埋め込み酸化膜11が露出する。

【0041】

シリコン突起部は、後にチャンネル領域及び、これを挟むようにソース領域及びドレイン領域が形成される。シリコン突起12の側面が(010)面或いは(100)面を向いていることが望ましい。また、(110)面或いはそれと等価の面でもよい。これらの面を有することで、電荷の移動度を大きくすることができる。

20

【0042】

次に、図6に示すように、SiNマスク13を残したまま、熱酸化処理を行う。こうすることでドライエッチングのダメージ層を除去することができる。このときSiNマスク13で覆われた上面は酸化が進まないが、カバーの無い側面は酸化され、シリコン突起12の幅が狭くなる。シリコン突起12の側面を5nm酸化した場合、その幅は片面で5nm、両面で10nm薄くなり、10nm~30nmの楔形となる。

【0043】

次に、SiNマスク13を除去し、シリコン突起12を露出させ、前処理をした後、シリコン突起12の表面を熱酸化する。このときの酸化膜の厚さは4nmである。その結果、シリコン突起12の幅は8nm~28nmとなる。

30

【0044】

次に、図7に示すように、全面に厚さ200nmの多結晶シリコン15を堆積する。このときの多結晶シリコン15には高濃度の燐を添加する。燐の添加は多結晶シリコン15をCVD法等により、堆積時に同時に不純物添加する方法でも、イオン注入により導入する方法でもいずれでも良い。図中16は、シリコン酸化膜である。

【0045】

次に、図8に示すように、多結晶シリコン15をゲート加工する。このとき、ゲート加工でマスクに用いたレジストを利用し、シリコン突起12のエクステンションイオン注入もできる。

40

【0046】

次に、図9に示すように、側壁加工を行うことで側壁絶縁膜17を形成する。ここではCVD法でSiO₂層を堆積後、選択エッチングで側壁のみSiO₂を残して側壁絶縁膜17とした。このとき多結晶シリコン層15と、シリコン突起12の高さが異なるため、選択エッチングの条件を多結晶シリコン15の側面にのみ酸化物が残る用に設定すれば、シリコン突起12側壁のSiO₂は完全除去される。その結果ゲートのみ側壁が残り、フィン側面及び上面は歪Si層が露出する。

【0047】

50

次に、図10に示すように、ソース領域18及びドレイン領域19をシリコンの選択成長で形成する。ここではシリコン結晶が露出したシリコン突起12上にもみ新たなシリコン層が成長する。このときホウ素を添加した選択成長を行うことによりソース領域18及びドレイン領域19の不純物添加ができる。最後にゲート電極、ソース電極、ドレイン電極を形成して電界効果トランジスタが完成する。

【0048】

(実施形態2)

次に、本発明の実施形態2に関わる電界効果トランジスタについて説明する。本実施形態では、複数のチャンネル領域を連結してひとつの電界効果トランジスタを形成する例を示す。

10

【0049】

図11は、楔形のチャンネル領域となる基体が3個並べて形成された電界効果トランジスタの斜視図である。

【0050】

図11に示すように、ソース領域及びドレイン領域をそれぞれ配線で共通に接続され、ゲート電極に共通のゲート電圧が印加されるようになっている。このように複数のチャンネル領域を形成して共有させることで、より駆動電流量を稼ぐことができる。

【0051】

図12は、本実施形態の変形例に関わる電界効果トランジスタの上面図である。ここではドレイン端を中心にチャンネル領域を環状に配置している。中心部にはドレイン電極が配置されている。各チャンネル領域のダブルゲートはそれぞれゲート配線によって共通のゲート電圧が印加されるようになっている。また、ソース領域も配線によって共通化されている。

20

【0052】

このように楔形の基体をドレイン領域が中心側になるように環状に配置することによって素子面積を小さくする上で有効である。

【0053】

また、電界効果トランジスタは、通常正孔の移動度が電子の移動より低いため、p型電界効果トランジスタの駆動力がn型電界効果トランジスタの駆動力より低い。

【0054】

したがって図13に示すような環状に配置した電界効果トランジスタにおいて、n型電界効果トランジスタとp型電界効果トランジスタの数を調整することにより実効的なチャンネル幅を制御するにすればよい。こうすることで駆動力の差の補正が可能となる。具体的には、p型電界効果トランジスタの数pをn型電界効果トランジスタの数nよりも多くすればよい。

30

【0055】

次に、本実施形態の電界効果トランジスタの製造方法について、図13乃至図19を用いて説明する。図では、2つの基体を具備する電界効果トランジスタの製造方法について示している。

【0056】

先ず、図14に示すように、埋め込み酸化膜11上にSiGeからなるSOI層12が形成されたSOI基板を準備する。ここではSOI層12の厚さを200nmである。

40

【0057】

図14中、(a)は、上面図、(b)はAA断面図、(c)はBB断面図である。以下図15乃至図20について同じである。

【0058】

図14に示すように、SOI基板のSOI層12上に酸化膜20を厚さ10nmCVD法により堆積し、この酸化膜20上にSiN膜21を厚さ10nm堆積する。次に、ソース領域及びドレイン領域となる部分にSiN膜21が残るようにエッチングをし、酸化膜20を露出させる。さらに、チャンネル領域となる基体に酸化膜20が残るようにエッチング

50

してSOI層12を露出させる。

【0059】

このときチャンネル領域となる基体を覆う酸化膜20の幅は240nm~260nmとした。

【0060】

次に、図15に示すように、酸化膜20及びSiN膜21をマスクとして、ドライエッチングすることによって、チャンネル領域の基体22を形成する。これによりソース領域23及びドレイン領域24の間にチャンネル領域の基体22が形成される。このときチャンネル領域の基体22の側面が(010)面となるよう、マスクを設計する。

【0061】

次に、図16に示すように、熱酸化を施すことによって、酸化膜25を形成する。このとき表面をSiN膜21で覆われたソース領域23及びドレイン領域24は酸化されないが、SiN膜21で覆われていないチャンネル領域の基体22の表面は酸化される。

【0062】

すなわちチャンネル領域の基体22は、上部はCVD酸化膜25で覆われ、側面は熱酸化膜26で覆われる。この熱酸化によりチャンネル領域の基体22をおよそ100nm酸化する。その結果チャンネル領域の基体22は、高さ100nm、幅20nm~40nmとなる。

【0063】

ここでチャンネル領域の基体22の上面には予め薄い酸化膜20が形成されていたため、側面の酸化の速度が、酸化開始時にわずかに速い。

【0064】

次に、図17に示すように、ソース領域23及びドレイン領域24を覆うSiN膜を除去した後に、リンのイオン注入をする。このときソース領域23及びドレイン領域24にはイオンは注入されるが、チャンネル領域の基体22は熱酸化で形成された厚い酸化膜で覆われているため、イオンは注入されない。

【0065】

次に、図18に示すように、ソース領域23及びドレイン領域24上、チャンネル領域の突起基体上の酸化膜を除去し、SiGe表面を露出させたのち、このSiGe層の表面を厚さ3nm熱酸化する。

【0066】

次に、チャンネル領域の基体22の隙間を埋め込むようにCVD法により多結晶シリコン25を堆積する。ここで多結晶シリコン25にはホウ素を添加する。これはCVD法による堆積時に同時にホウ素を添加する方法でも、後からイオン注入により導入方法でも良い。

【0067】

次に、図20に示すように、ゲートの幅で多結晶シリコン25を残し、周囲を除去して、ソース領域23及びドレイン領域24、ゲート多結晶部にそれぞれ電極を形成して電界効果トランジスタが出来上がる。

【0068】

【発明の効果】

ゲート閉状のショートチャンネル効果の抑制をしながら、ゲート開状の駆動力を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1に関わる電界効果トランジスタの斜視図。

【図2】(1)従来のダブルゲート構造の電界効果トランジスタ及び(2)本発明のダブルゲート構造の電界効果トランジスタについて、シミュレーションするための寸法を示した図。

【図3】ゲート電圧とドレイン電流の関係を示す特性図。

【図4】本発明の実施形態1に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図5】本発明の実施形態1に関わる電界効果トランジスタの製造方法を説明する各主要

10

20

30

40

50

工程の断面図。

【図 6】本発明の実施形態 1 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 7】本発明の実施形態 1 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 8】本発明の実施形態 1 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 9】本発明の実施形態 1 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 10】本発明の実施形態 1 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。 10

【図 11】本発明の実施形態 2 に関わる電界効果トランジスタの斜視図。

【図 12】本発明の実施形態 2 に関わる電界効果トランジスタの変形例。

【図 13】本発明の実施形態 2 に関わる電界効果トランジスタの変形例。

【図 14】本発明の実施形態 2 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 15】本発明の実施形態 2 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 16】本発明の実施形態 2 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。 20

【図 17】本発明の実施形態 2 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 18】本発明の実施形態 2 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 19】本発明の実施形態 2 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【図 20】本発明の実施形態 2 に関わる電界効果トランジスタの製造方法を説明する各主要工程の断面図。

【符号の説明】

1・・・基板

2・・・チャネル領域の基体

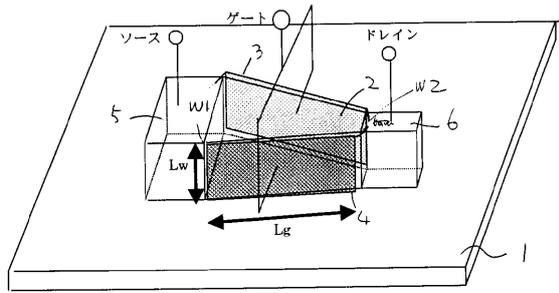
3・・・ゲート電極

4・・・ゲート電極

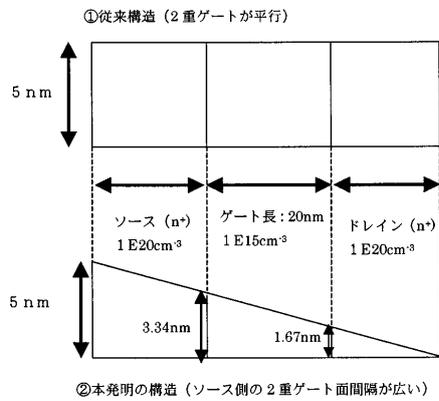
5・・・ソース領域

6・・・ドレイン領域

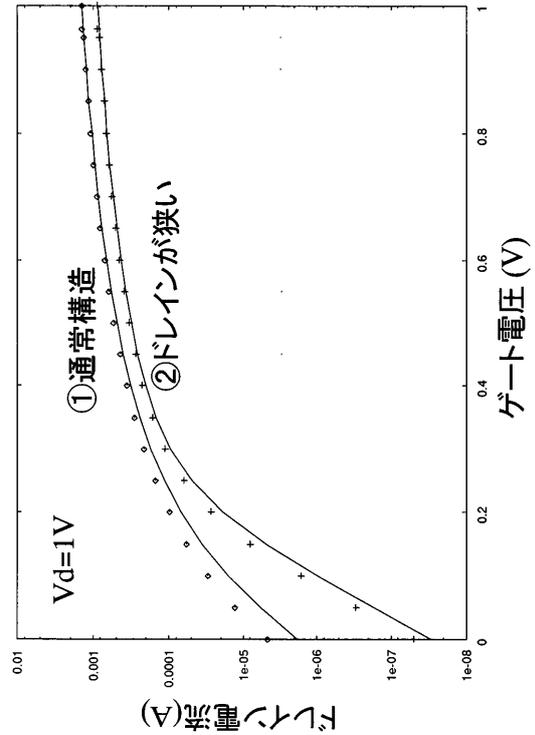
【 図 1 】



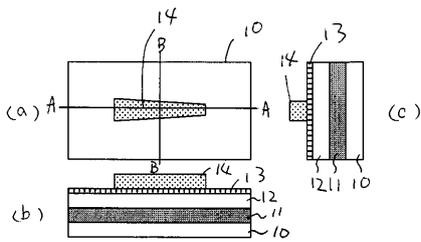
【 図 2 】



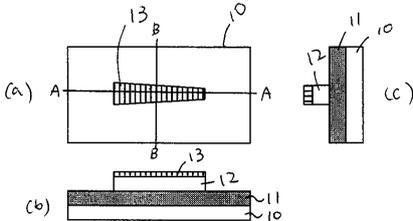
【 図 3 】



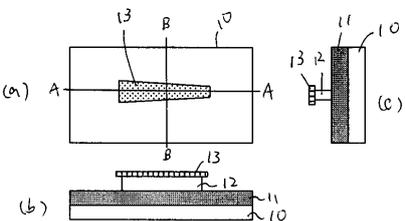
【 図 4 】



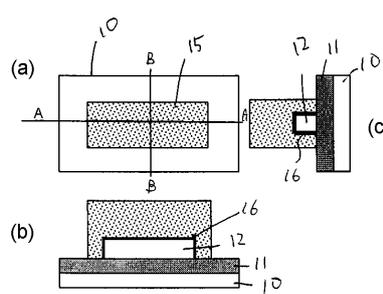
【 図 5 】



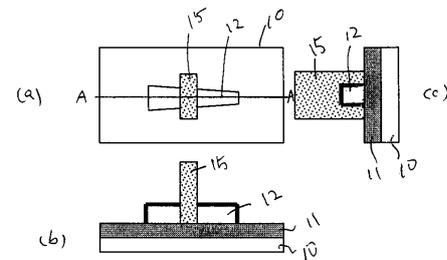
【 図 6 】



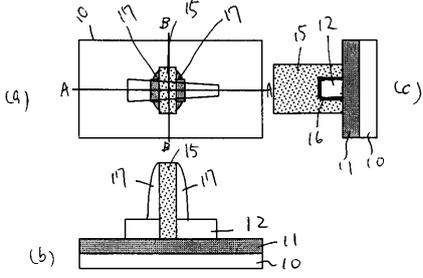
【 図 7 】



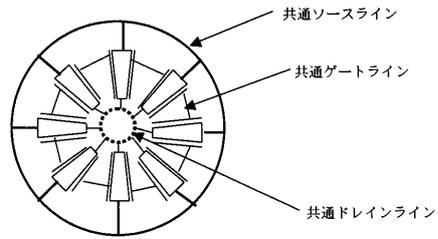
【 図 8 】



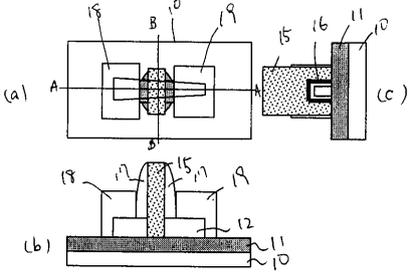
【 図 9 】



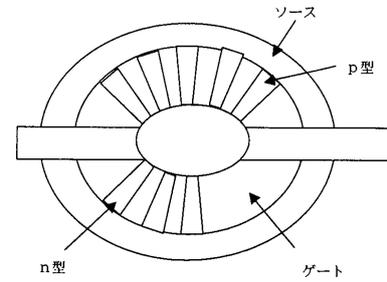
【 図 12 】



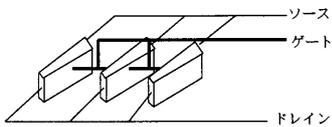
【 図 10 】



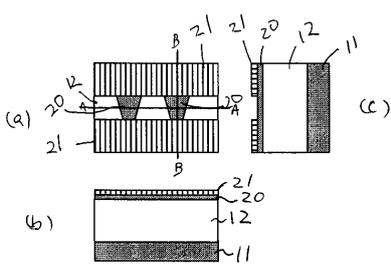
【 図 13 】



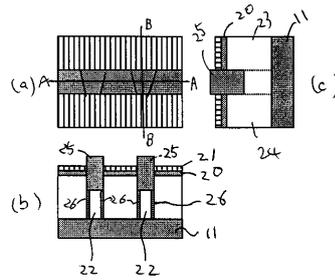
【 図 11 】



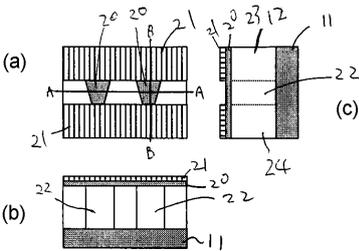
【 図 14 】



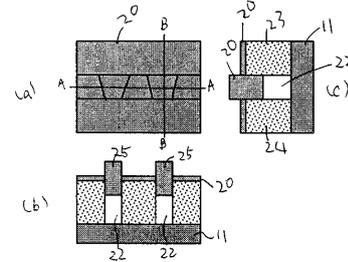
【 図 16 】



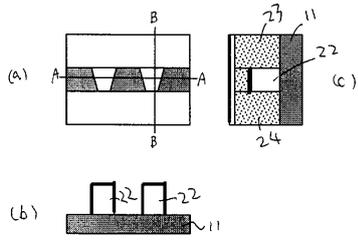
【 図 15 】



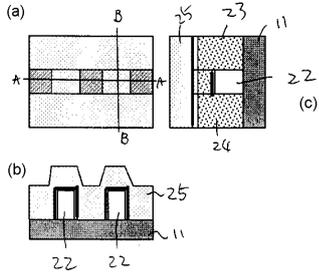
【 図 17 】



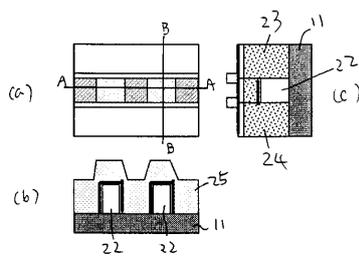
【 図 18 】



【 図 19 】



【 図 20 】



フロントページの続き

(72)発明者 高木 信一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

(72)発明者 松澤 一也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内

審査官 綿引 隆

(56)参考文献 特開平06-151738(JP,A)

特開平06-334181(JP,A)

特表2003-534666(JP,A)

特開昭60-017964(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/78

H01L 27/06

H01L 27/08