



# (12) 发明专利

(10) 授权公告号 CN 113632238 B

(45) 授权公告日 2024. 08. 02

(21) 申请号 201980094734.1

(22) 申请日 2019.04.01

(65) 同一申请的已公布的文献号  
申请公布号 CN 113632238 A

(43) 申请公布日 2021.11.09

(85) PCT国际申请进入国家阶段日  
2021.09.26

(86) PCT国际申请的申请数据  
PCT/JP2019/014449 2019.04.01

(87) PCT国际申请的公布数据  
W02020/202430 JA 2020.10.08

(73) 专利权人 三菱电机株式会社  
地址 日本东京

(72) 发明人 木村光太

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112

专利代理师 何立波 张天舒

(51) Int.Cl.  
H01L 29/78 (2006.01)  
H01L 29/739 (2006.01)

(56) 对比文件  
CN 102959705 A, 2013.03.06  
CN 109314143 A, 2019.02.05

审查员 刘立平

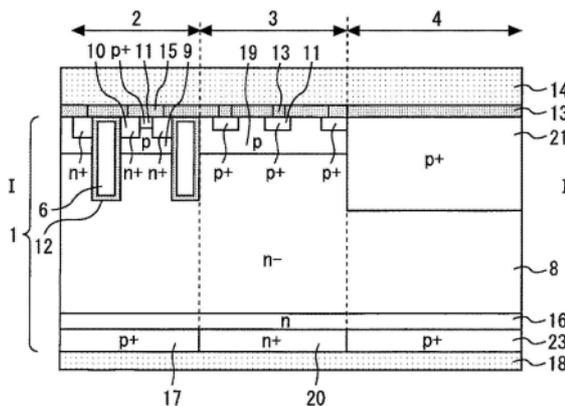
权利要求书1页 说明书5页 附图7页

(54) 发明名称

半导体装置

(57) 摘要

IGBT (2)、二极管 (3) 以及阱区域 (4) 设置于半导体衬底 (1)。IGBT (2) 具有在半导体衬底 (1) 的第1主面设置的沟槽栅极 (6)。二极管 (3) 具有在半导体衬底 (1) 的第1主面设置的p型阳极层 (19)。阱区域 (4) 设置于半导体衬底 (1) 的第1主面, 具有比p型阳极层 (19) 浓度高、比沟槽栅极 (6) 深度深的p型阱层 (21)。沟槽栅极 (6) 的末端设置于阱区域 (4), 被p型阱层 (21) 包围。二极管 (3) 设置于比IGBT (2) 更靠半导体衬底 (1) 的外侧处。阱区域 (4) 设置于比二极管 (3) 更靠半导体衬底 (1) 的外侧处。



1. 一种半导体装置,其特征在于,具有:  
半导体衬底,其具有彼此相反侧的第1主面和第2主面;以及  
IGBT、二极管以及阱区域,它们设置于所述半导体衬底,  
所述IGBT具有在所述半导体衬底的所述第1主面设置的沟槽栅极,  
所述二极管具有在所述半导体衬底的所述第1主面设置的p型阳极层,  
所述阱区域设置于所述半导体衬底的所述第1主面,具有比所述p型阳极层浓度高、比所述沟槽栅极深度深的p型阱层,  
所述沟槽栅极的末端设置于所述阱区域,被所述p型阱层包围,  
所述二极管设置于比所述IGBT更靠所述半导体衬底的外侧处,  
所述阱区域设置于比所述二极管更靠所述半导体衬底的外侧处,  
在所述阱区域设置栅极配线,  
所述沟槽栅极的末端具有升高部,该升高部在所述阱区域与所述栅极配线连接,该升高部的深度比所述沟槽栅极的其它部分浅。
2. 根据权利要求1所述的半导体装置,其特征在于,  
所述二极管与所述阱区域接触。
3. 根据权利要求1或2所述的半导体装置,其特征在于,  
所述阱区域具有在所述半导体衬底的所述第2主面设置的p型层。
4. 根据权利要求1或2所述的半导体装置,其特征在于,  
在所述二极管,在所述沟槽栅极的侧旁设置有n型发射极层。
5. 根据权利要求3所述的半导体装置,其特征在于,  
所述二极管具有在所述半导体衬底的所述第2主面设置的n型阴极层,  
所述第2主面侧的所述n型阴极层与所述p型层的边界配置于比所述第1主面侧的所述p型阳极层与所述p型阱层的边界更靠所述半导体衬底的中心侧处。
6. 根据权利要求1或2所述的半导体装置,其特征在于,  
在所述二极管的所述p型阳极层和所述阱区域的所述p型阱层的下方设置有寿命控制层。
7. 根据权利要求1或2所述的半导体装置,其特征在于,  
所述半导体衬底由宽带隙半导体形成。

## 半导体装置

### 技术领域

[0001] 本发明涉及在相同半导体衬底设置有IGBT和二极管的半导体装置。

### 背景技术

[0002] 作为电力用半导体元件的功率器件在家电产品、电动汽车以及铁路这样的领域乃至作为可再生能源而备受瞩目的太阳能发电或者风力发电的领域被广泛地使用。大多由功率器件构建逆变器电路,对感应电动机等电感性负载进行驱动。在这种情况下,需要用于对通过电感性负载的反电动势产生的电流进行续流的续流二极管(以下记作二极管),通常的逆变器电路具有多个绝缘栅型双极晶体管(以下记作IGBT)和多个二极管。但是,强烈期望逆变器装置的小型轻量化和低成本化,不希望搭载多个半导体装置。作为其解决方法之一,正在推进将IGBT和二极管一体化的反向导通型IGBT(以下记作RC-IGBT)的开发。提出了为了减小RC-IGBT的芯片面积,在IGBT的外侧配置有二极管的装置(例如,参照专利文献1)。

[0003] 专利文献1:日本特开2018-46187号公报

### 发明内容

[0004] 但是,就以往的装置而言,阱区域配置于IGBT与二极管之间,其中,在该阱区域设置有沟槽栅极的末端。因此,二极管被形成有高浓度的 $p^+$ 型层的阱区域和末端区域夹着。因此,有可能由于二极管动作时的电流集中而使恢复电流增大,半导体装置被破坏。

[0005] 本发明就是为了解决上述这样的课题而提出的,其目的在于得到能够防止恢复破坏的半导体装置。

[0006] 本发明涉及的半导体装置的特征在于,具有:半导体衬底,其具有彼此相反侧的第1主面和第2主面;以及IGBT、二极管以及阱区域,它们设置于所述半导体衬底,所述IGBT具有在所述半导体衬底的所述第1主面设置的沟槽栅极,所述二极管具有在所述半导体衬底的所述第1主面设置的 $p$ 型阳极层,所述阱区域设置于所述半导体衬底的所述第1主面,具有比所述 $p$ 型阳极层浓度高、比所述沟槽栅极深度深的 $p$ 型阱层,所述沟槽栅极的末端设置于所述阱区域,被所述 $p$ 型阱层包围,所述二极管设置于比所述IGBT更靠所述半导体衬底的外侧处,所述阱区域设置于比所述二极管更靠所述半导体衬底的外侧处。

[0007] 发明的效果

[0008] 在本发明中,阱区域设置于比二极管更靠半导体衬底的外侧处。因此,二极管只受阱区域的 $p$ 型阱层的影响,不受末端区域的高浓度的 $p^+$ 型层的影响,因此,能够防止恢复破坏。

### 附图说明

[0009] 图1是表示实施方式1涉及的半导体装置的俯视图。

[0010] 图2是将图1的区域A放大的俯视图。

[0011] 图3是沿图2的I-II的IGBT的剖视图。

- [0012] 图4是沿图2的III-IV的二极管的剖视图。
- [0013] 图5是沿图2的V-VI的剖视图。
- [0014] 图6是沿图1的I-II的剖视图。
- [0015] 图7是表示芯片面积与热阻的关系的图。
- [0016] 图8是表示单元分割数与热阻的关联的图。
- [0017] 图9是表示热解析模拟出的RC-IGBT的温度分布的图。
- [0018] 图10是表示热解析模拟出的单体的IGBT的温度分布的图。
- [0019] 图11是表示实施方式2涉及的半导体装置的二极管的剖视图。
- [0020] 图12是表示实施方式3涉及的半导体装置的剖视图。
- [0021] 图13是表示实施方式4涉及的半导体装置的剖视图。

### 具体实施方式

[0022] 参照附图,对实施方式涉及的半导体装置进行说明。对相同或者相应的结构要素标注相同的标号,有时省略重复说明。

[0023] 实施方式1.

[0024] 图1是表示实施方式1涉及的半导体装置的俯视图。该半导体装置是在相同半导体衬底1设置有IGBT 2、二极管3、阱区域4以及末端区域5的RC-IGBT。IGBT 2设置于芯片中央附近,二极管3设置于比IGBT 2更靠半导体衬底1的外侧处。阱区域4设置于比二极管3更靠半导体衬底1的外侧处。在阱区域4的更外侧设置有末端区域5。

[0025] 图2是将图1的区域A放大的俯视图。由多晶硅构成的多个沟槽栅极6平行地排列而横穿IGBT 2和二极管3,全部沟槽栅极6的末端都设置于阱区域4。由Al或者AlSi构成的栅极配线7与多个沟槽栅极6连接,设置于阱区域4。此外,在图2中,省略了栅极配线7以外的衬底之上的电极和绝缘膜。

[0026] 图3是沿图2的I-II的IGBT的剖视图。半导体衬底1具有彼此相反侧的第1主面和第2主面。在半导体衬底1的n<sup>-</sup>型漂移层8的第1主面侧设置有p型基极层9。在p型基极层9的表面设置有n<sup>+</sup>型发射极层10和p<sup>+</sup>型接触层11。在将p型基极层9和n<sup>+</sup>型发射极层10贯通的沟槽内隔着栅极绝缘膜12而设置有沟槽栅极6。由SiO<sub>2</sub>构成的层间膜13设置于沟槽栅极6之上。由Al或者AlSi构成的发射极电极14经由由Ti构成的阻挡金属15而与n<sup>+</sup>型发射极层10和p<sup>+</sup>型接触层11连接。这样,在IGBT 2的第1主面设置有MOSFET构造。在n<sup>-</sup>型漂移层8的第2主面侧依次设置有n型缓冲层16和p<sup>+</sup>型集电极层17。由Al或者AlSi构成的集电极(collector)电极(electrode)18与p<sup>+</sup>型集电极层17连接。

[0027] 图4是沿图2的III-IV的二极管的剖视图。在半导体衬底1的n<sup>-</sup>型漂移层8的第1主面侧设置有p型阳极层19。这样,在二极管3的第1主面设置有阳极构造。p型阳极层19与IGBT 2的p型基极层9同时形成,杂质浓度和深度相同。在二极管3也形成有沟槽栅极6。在第2主面设置有n<sup>+</sup>型阴极层20以取代IGBT 2的p<sup>+</sup>型接触层11。

[0028] 图5是沿图2的V-VI的剖视图。在阱区域4,在半导体衬底1的第1主面设置有p<sup>+</sup>型阱层21。p<sup>+</sup>型阱层21比p型阳极层19杂质浓度高,比沟槽栅极6深度深。沟槽栅极6的末端被p<sup>+</sup>型阱层21包围。沟槽栅极6的升高部22在阱区域4与栅极配线7连接。在阱区域4,在半导体衬底1的第2主面设置有p<sup>+</sup>型层23。p<sup>+</sup>型层23的杂质浓度是与IGBT 2的p<sup>+</sup>型集电极层17相等或者

与其接近的浓度。此外,第2主面的 $p^+$ 型集电极层17与 $n^+$ 型阴极层20的边界和IGBT 2与二极管3的边界相同,但不限于此,边界也可以不一致。

[0029] 图6是沿图1的I-II的剖视图。在图1的IGBT 2的上下2条边,与沟槽栅极6平行地设置有二极管3和阱区域4。因此,在二极管3和阱区域4未设置沟槽栅极6,在阱区域4未设置栅极配线7。

[0030] 此外,在本实施方式中,二极管3以将IGBT 2的四周包围的方式而配置,但不限于此,只要以在比IGBT 2更靠外侧处与阱区域4接触的方式配置二极管3即可。例如,也可以将二极管3仅配置于IGBT 2的1条边、2条边或者3条边,也可以不是连续的,而是隔开间隔地配置。另外,也可以在IGBT 2的 $p$ 型基极层9和二极管3的 $p$ 型阳极层19的正下方设置 $n$ 型载流子积蓄区域。

[0031] 在IGBT和二极管是单独的元件的情况下,元件自身的热阻仅由芯片面积和厚度决定。图7是表示芯片面积与热阻的关系的图。为了改善热阻,需要增大芯片面积,成为逆变器装置的小型轻量化和低成本化的阻碍。与此相对,本实施方式涉及的半导体装置是IGBT 2和二极管3形成于相同半导体衬底1的RC-IGBT。因此,在IGBT 2进行动作时,二极管3有助于散热,在二极管进行动作时,IGBT 2有助于散热。因此,与IGBT 2和二极管3是单独的元件的情况相比,能够改善热阻。

[0032] 通过IGBT 2和二极管3的配置的方式也能够对热阻进行控制。图8是表示单元分割数与热阻的关联的图。如本实施方式所示,在IGBT 2和二极管3为交替地配置的条带构造的情况下,能够通过增加分割数而改善热阻。

[0033] 图9是表示热解析模拟出的RC-IGBT的温度分布的图。图10是表示热解析模拟出的单体的IGBT的温度分布的图。与单体的IGBT相比,RC-IGBT能够确认到热的分散。但是,可知,由于与相邻的区域之间的热干涉,与单体的IGBT或者二极管同样地,就RC-IGBT而言,芯片中央也成为最高温。模块构造大多由通电时的最高到达温度 $T_{jmax}$ 决定,在芯片设计时不希望热在芯片中央集中。

[0034] 在以减小RC-IGBT整体的损耗的方式而进行了布局设计的情况下,大多与二极管3的有效面积相比,IGBT 2的有效面积增大。由于二极管3的有效面积减小,热在芯片中难以扩散,二极管3的热阻比设想更差。因此,将热负荷高的二极管3设置于比IGBT 2更靠外侧处,远离温度变高的芯片中心部。

[0035] 这里,当在二极管3不形成沟槽栅极6,在IGBT 2与二极管3的边界或者在IGBT 2内设置沟槽栅极6的末端时,栅极电容减小,有利于通断特性。但是,如果沟槽栅极6的末端设置于杂质浓度低的二极管3的 $p$ 型阳极层19或者IGBT 2的 $p$ 型基极层9,则耐压显著地下降。因此,在本实施方式中,沟槽栅极6横穿IGBT 2和二极管3,沟槽栅极6的末端设置于阱区域4。通过在阱区域4设置比沟槽栅极6深、比二极管3的 $p$ 型阳极层19杂质浓度高的 $p^+$ 型阱层21而将沟槽栅极6的末端包围,从而能够防止耐压的下降。该构造仅设置于芯片的4条边中的IGBT 2和二极管3的边界面与沟槽栅极6的方向垂直的边。在两者平行的边处,也可以不在二极管3和阱区域4设置沟槽栅极6。

[0036] 以往,二极管被形成有高浓度的 $p^+$ 型层的阱区域和末端区域夹着,因此,存在由于二极管动作时的电流集中而产生恢复破坏这一问题。与此相对,在本实施方式中,阱区域4设置于比二极管3更靠半导体衬底1的外侧处。因此,二极管3只受阱区域4的 $p^+$ 型阱层21的

影响,不受末端区域的影响,因此能够防止恢复破坏。

[0037] 另外,二极管3与在通电时不发热的阱区域4接触。由此,有助于二极管3的散热的面积扩大,能够降低面积小、热负荷高的二极管3的热阻。因此,能够使在通电时在芯片中央集中的热向外侧分散。

[0038] 如果阱区域4的 $p^+$ 型阱层21作为二极管而进行动作,则恢复时的电流增大,导致损耗的恶化和恢复破坏。因此,在阱区域4,在半导体衬底1的第2主面设置 $p^+$ 型层23。由此,能够抑制阱区域4的二极管动作。

[0039] 实施方式2.

[0040] 图11是表示实施方式2涉及的半导体装置的二极管的剖视图。在二极管3的沟槽栅极6的侧旁设置有 $n^+$ 型发射极层10。此外,也可以在阱区域4的沟槽栅极6的侧旁也设置 $n^+$ 型发射极层10。

[0041] 通过在二极管3的恢复动作时对沟槽栅极6施加电压,从而能够在 $p$ 型阳极层19内形成 $n$ 反转层。由此,从 $p$ 型阳极层19注入的空穴受到抑制,能够减小恢复电流。由于 $p^+$ 型阱层21比 $p$ 型阳极层19浓度高,恢复电流变大,因此,本实施方式特别有效。其它结构及效果与实施方式1相同。

[0042] 实施方式3.

[0043] 图12是表示实施方式3涉及的半导体装置的剖视图。剖面部位与实施方式1的图6相同。半导体衬底1的第2主面侧的 $n^+$ 型阴极层20与 $p^+$ 型层23的边界配置于比第1主面侧的 $p$ 型阳极层19与 $p^+$ 型阱层21的边界更靠半导体衬底1的中心侧处。

[0044] 在实施方式1中,通过在阱区域4,在半导体衬底1的第2主面侧设置 $p^+$ 型层23,从而防止了阱区域4的二极管动作。但是,在二极管3与阱区域4的边界部分处,由于第1主面侧的阱区域4的高浓度的 $p^+$ 型层23的影响,恢复电流变大,损耗恶化。与此相对,在本实施方式中,通过使第2主面侧的 $n^+$ 型阴极层20与 $p^+$ 型层23的边界向半导体衬底1的中心侧偏移,从而来自二极管3的第2主面侧的电子不再流入至阱区域4,能够减小恢复电流。其它结构及效果与实施方式1相同。

[0045] 实施方式4.

[0046] 图13是表示实施方式4涉及的半导体装置的剖视图。剖面部位与实施方式1的图6相同。在二极管3的 $p$ 型阳极层19和阱区域4的 $p^+$ 型阱层21的下方设置有通过氦或者质子等的粒子束照射而局部地存在晶体缺陷的寿命控制层24。

[0047] 如上所述,在实施方式1中,在二极管3与阱区域4的边界部分处,由于第1主面侧的阱区域4的高浓度的 $p^+$ 型阱层21的影响,恢复电流变大,损耗恶化。与此相对,在本实施方式中,通过在二极管3的 $p$ 型阳极层19和阱区域4的 $p^+$ 型阱层21的下方形成载流子的寿命短的寿命控制层24,从而能够减小恢复电流。其它结构及效果与实施方式1相同。此外,也可以将实施方式2-4的结构彼此组合。

[0048] 此外,半导体衬底1不限于由硅形成,也可以由与硅相比带隙大的宽带隙半导体形成。宽带隙半导体例如是碳化硅、氮化镓类材料或者金刚石。由这样的宽带隙半导体形成的半导体装置的耐电压性和容许电流密度高,因此能够小型化。通过使用该小型化后的半导体装置,从而组装有该半导体装置的半导体模块也能够小型化。另外,半导体装置的耐热性高,因此,能够使散热器的散热鳍片小型化,能够使水冷部空冷化,因而能够使半导体模块

进一步小型化。另外,半导体装置的电力损耗低且高效,因此,能够使半导体模块高效化。

[0049] 标号的说明

[0050] 1 半导体衬底,2 IGBT,3 二极管,4 阱区域,6 沟槽栅极,10 n<sup>+</sup>型发射极层,19 p型阳极层,20 n<sup>+</sup>型阴极层,21 p型阱层,23 p<sup>+</sup>型层,24 寿命控制层

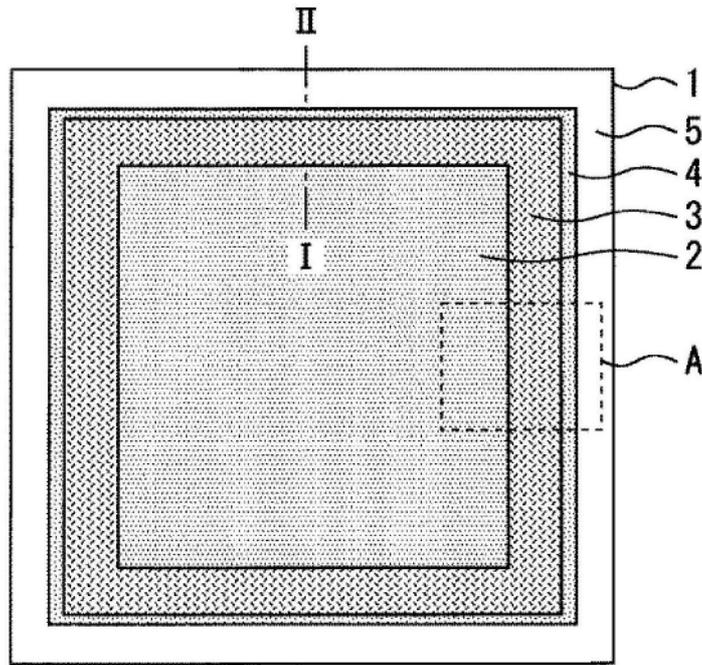


图1

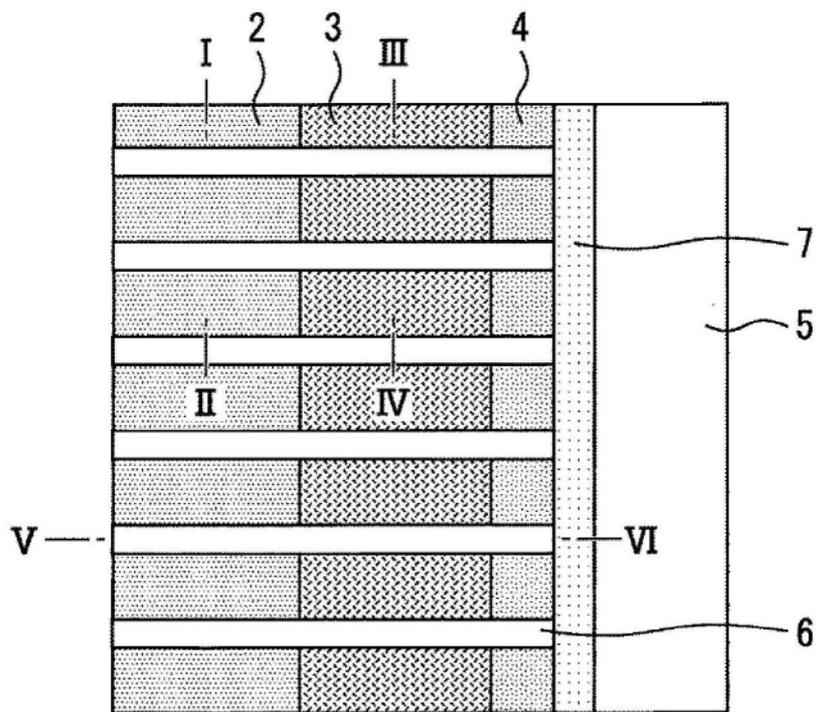


图2



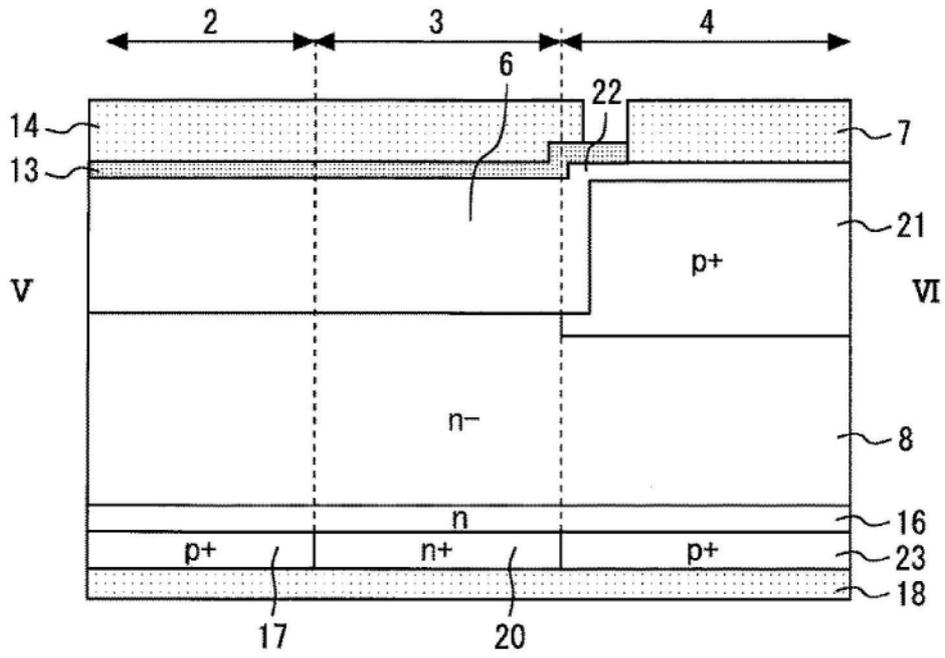


图5

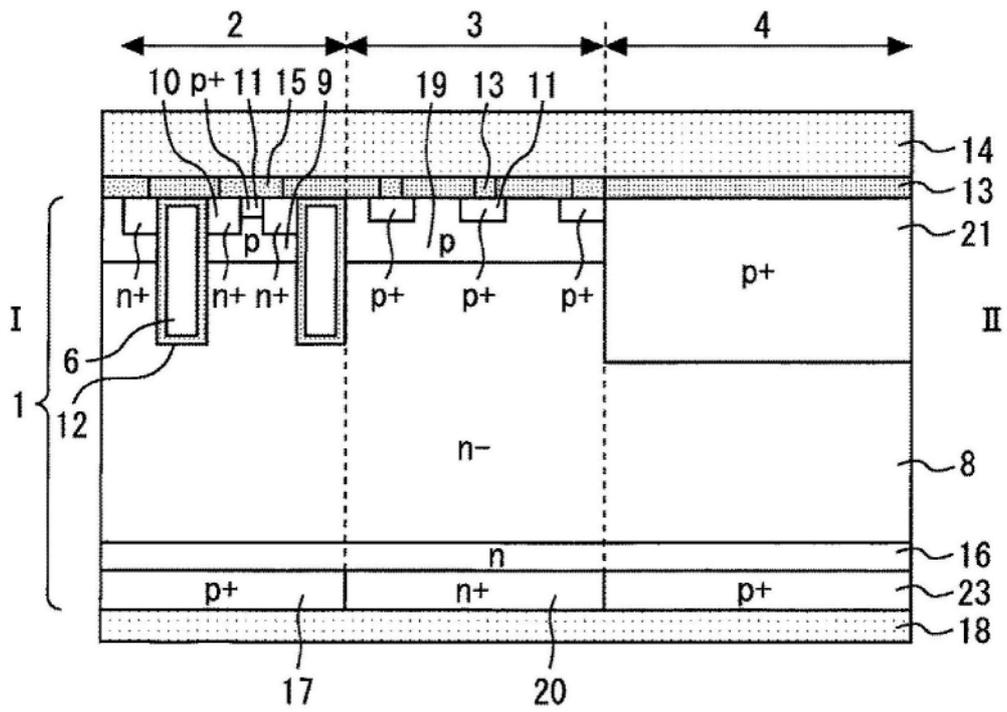


图6

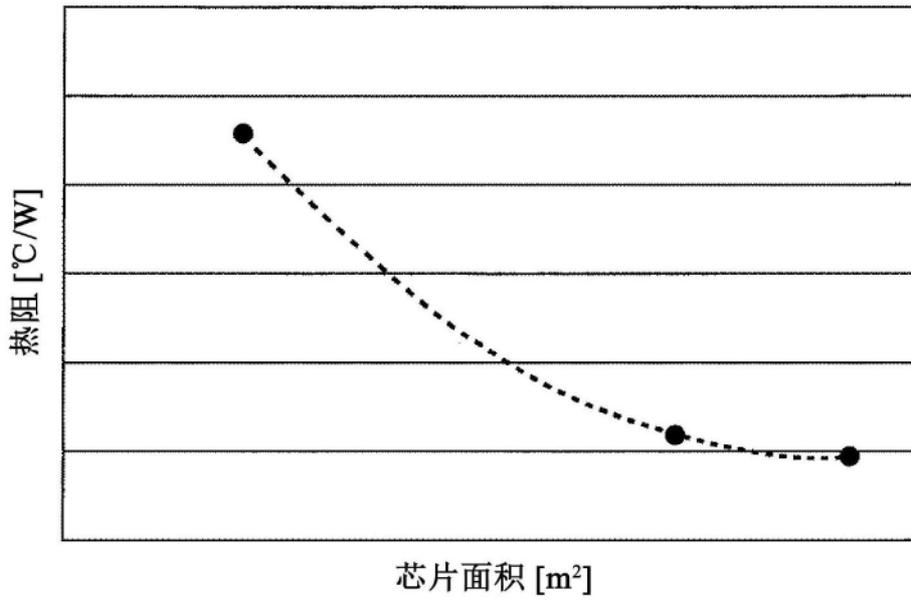


图7

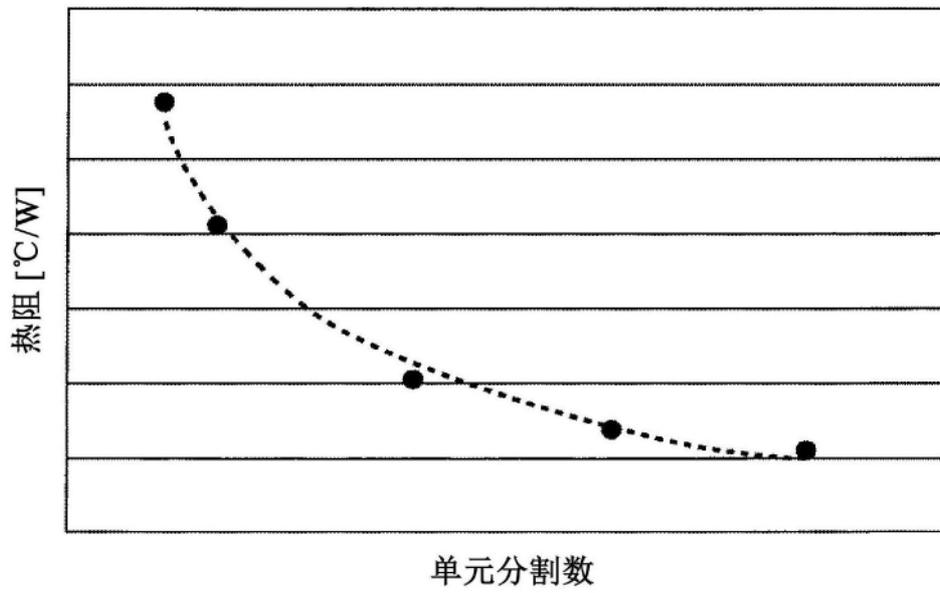


图8

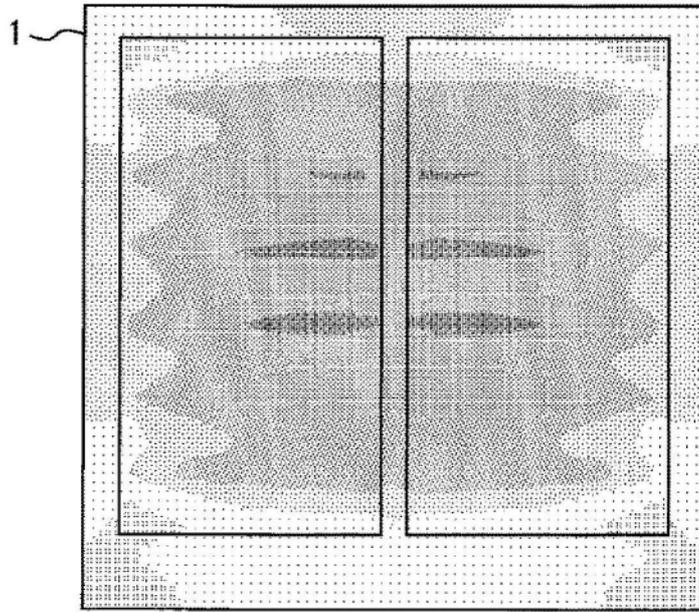


图9

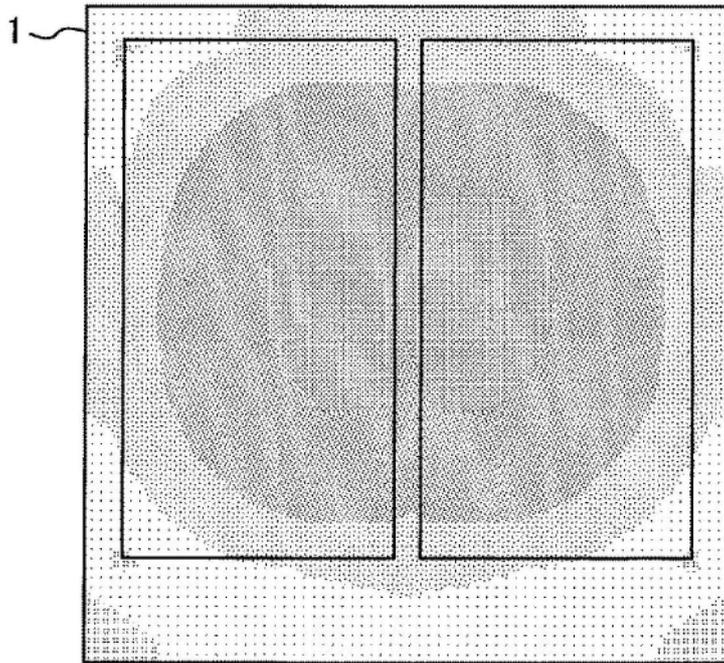


图10

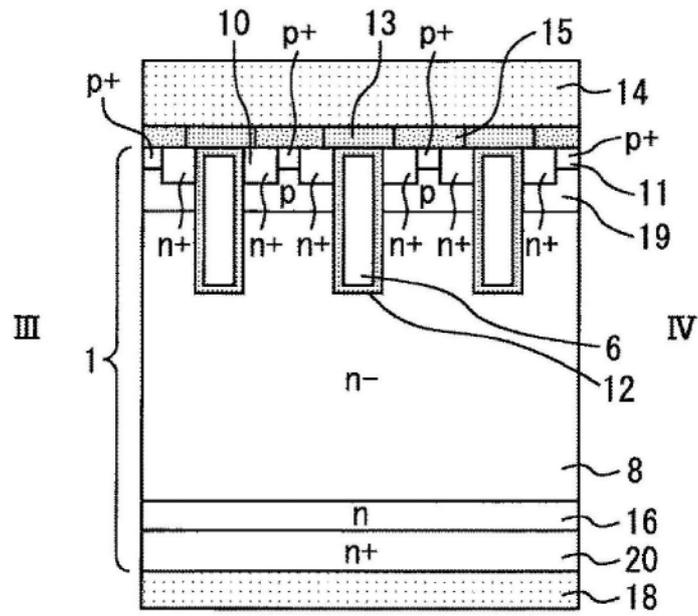


图11

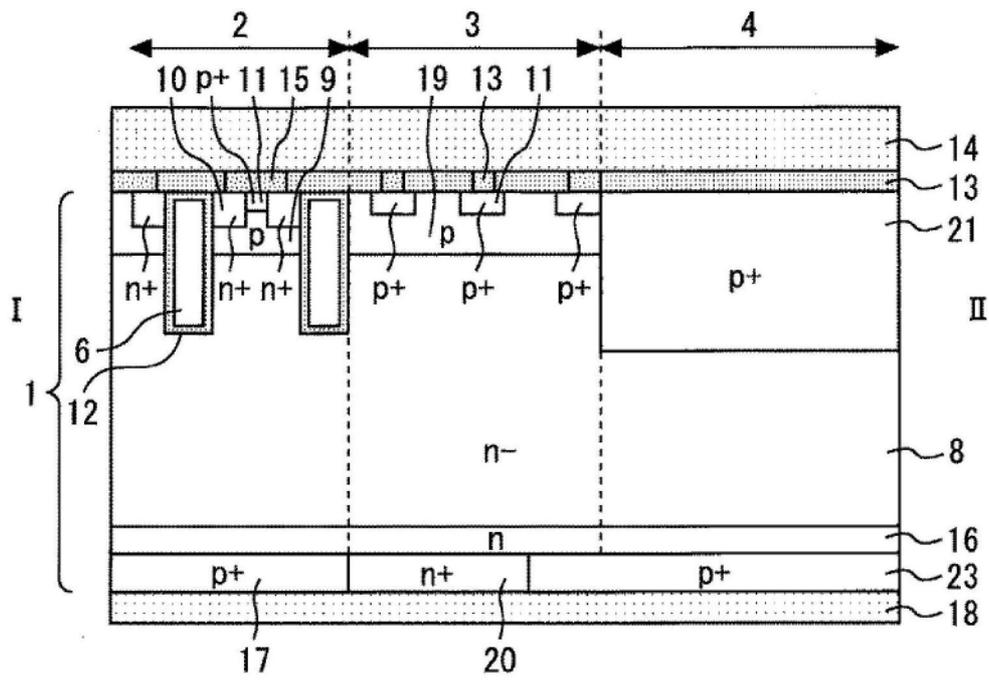


图12

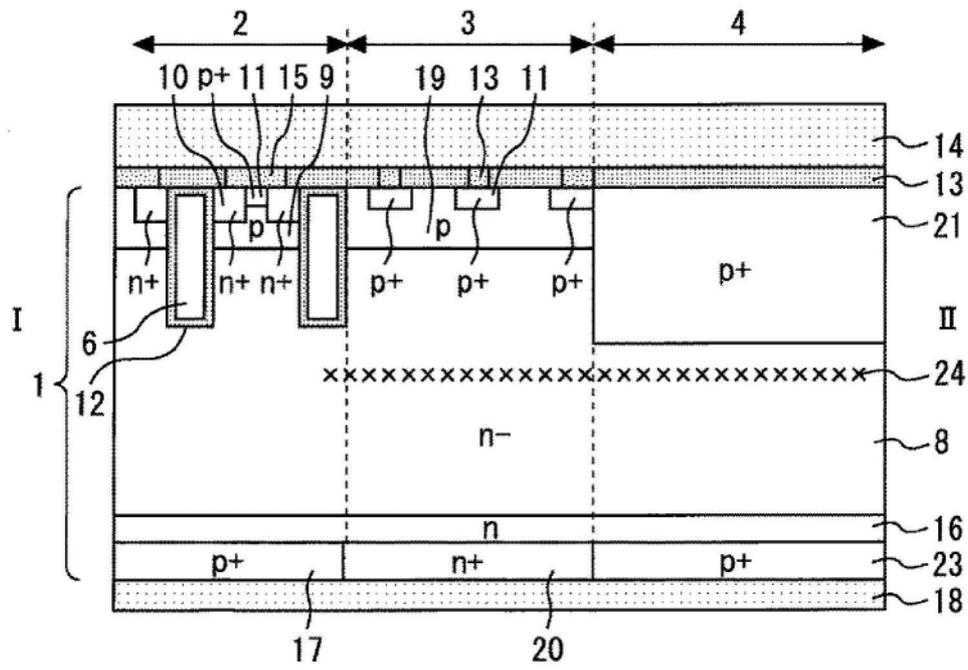


图13