



(12) 发明专利申请

(10) 申请公布号 CN 118631256 A

(43) 申请公布日 2024. 09. 10

(21) 申请号 202410640066.0

(22) 申请日 2024.05.22

(71) 申请人 芯海科技(深圳)股份有限公司

地址 518000 广东省深圳市南山区粤海街道高新区社区科苑大道深圳湾创新科技中心1栋301

(72) 发明人 陈敏 龚猛 刘维辉

(74) 专利代理机构 北京北汇律师事务所 11711

专利代理师 盛东生

(51) Int. Cl.

H03M 1/12 (2006.01)

H03M 1/34 (2006.01)

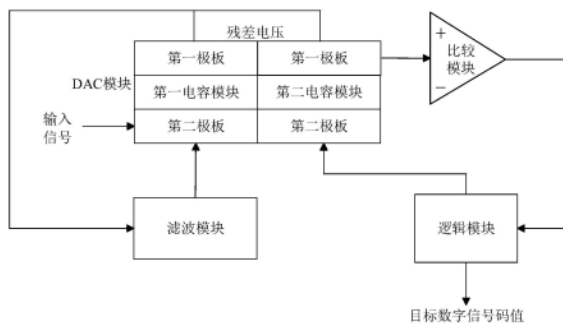
权利要求书2页 说明书12页 附图5页

(54) 发明名称

模数转换电路、控制方法、芯片及电子设备

(57) 摘要

本申请提供一种模数转换电路、控制方法、芯片及电子设备,属于电子技术领域。所述模数转换电路至少包括DAC模块、比较模块、滤波模块和逻辑模块;在上一个转换结束时,对残差电压滤波,输出滤波信号;DAC模块包括第一电容模块和第二电容模块,第一极板与比较模块的输入端连接;采样过程中输入信号接入第一电容模块的第二极板;转换开始时,滤波信号接入第一电容模块的第二极板;转换时,基于逻辑模块的控制信号对第二电容模块电容切换;基于第一极板上的电压进行比较;基于比较结果,在转换过程中输出控制信号,在转换结束时输出数字信号码值。采用本申请,相较于传统的逐次逼近型模数转换电路,可以提高模数转换精度。



1. 一种模数转换电路,其特征在于,所述模数转换电路包括数模转换DAC模块、比较模块、滤波模块和逻辑模块,所述DAC模块包括第一电容模块和第二电容模块,所述第一电容模块和所述第二电容模块分别包括至少一个电容单元,所述电容单元包括第一极板和第二极板,所述第一极板与所述比较模块的输入端连接;

所述滤波模块,用于在上一个模数转换周期结束时,对所述第一电容模块和所述第二电容模块中所述第一极板上的残差电压进行处理,输出滤波信号;

所述DAC模块,被配置为:

在当前模数转换周期的采样过程中,将输入信号接入所述第一电容模块中的所述第二极板;

在当前模数转换周期的转换开始时,将上一个模数转换周期的所述滤波信号接入所述第一电容模块中的所述第二极板;

在当前模数转换周期的转换过程中,基于所述逻辑模块输出的控制信号,分别控制所述第二电容模块中的每个电容单元进行电容切换操作;

所述比较模块,用于在当前模数转换周期的转换过程中,基于所述DAC模块中的所述第一极板上的电压进行比较处理,输出比较结果信号;

所述逻辑模块,被配置为基于所述比较结果信号,在当前模数转换周期的转换过程中输出所述控制信号,在当前模数转换周期结束时输出所述输入信号对应的目标数字信号码值。

2. 根据权利要求1所述的模数转换电路,其特征在于,所述DAC模块,还被配置为:

在所述上一个模数转换周期结束时,将所述第一电容模块和所述第二电容模块中的所述第一极板上的电压置为所述残差电压,所述残差电压是指模数转换周期的输入信号与输出信号之间的余量电压;

将所述残差电压传递至所述滤波模块。

3. 根据权利要求1所述的模数转换电路,其特征在于,所述第二电容模块包括第一电容阵列;

在当前模数转换周期的采样过程中,所述第一电容阵列中的所述第二极板用于保持所述上一个模数转换周期结束时的状态。

4. 根据权利要求3所述的模数转换电路,其特征在于,所述逻辑模块,被配置为:

在当前模数转换周期的转换过程中,将所述比较模块输出的比较结果信号转换为第一控制信号,所述第一控制信号用于分别控制所述第一电容阵列中每个电容单元进行电容切换操作。

5. 根据权利要求3所述的模数转换电路,其特征在于,所述第二电容模块还包括第二电容阵列,所述第二电容阵列相对于所述第一电容阵列属于高位电容。

6. 根据权利要求5所述的模数转换电路,其特征在于,所述逻辑模块,被配置为:在当前模数转换周期的转换过程中,将所述比较模块输出的比较结果信号转换为第一控制信号和第二控制信号,所述第一控制信号用于分别控制所述第一电容阵列中每个电容单元进行电容切换操作,所述第二控制信号用于分别控制所述第二电容阵列中每个电容单元进行电容切换操作。

7. 根据权利要求5所述的模数转换电路,其特征在于,

在当前模数转换周期的采样过程中,所述第二电容阵列中的所述第二极板上的电压被配置为接入复位电压;

在当前模数转换周期的转换开始时,所述第一电容阵列中的所述第二极板上的电压被配置为接入所述复位电压。

8. 根据权利要求1所述的模数转换电路,其特征在于,所述第一电容模块包括第一端第一电容器模块和第二端第一电容器模块,所述第二电容模块包括第一端第二电容器模块和第二端第二电容器模块;

所述第一端第一电容器模块中的所述第一极板、所述第一端第二电容器模块中的所述第一极板与所述比较模块的第一相输入端连接;

所述第二端第一电容器模块中的所述第一极板、所述第二端第二电容器模块中的所述第一极板与所述比较模块的第二相输入端连接。

9. 根据权利要求1所述的模数转换电路,其特征在于,所述滤波模块包括缓冲器buffer和开关电容积分器。

10. 一种模数转换电路的控制方法,其特征在于,所述模数转换电路至少包括数模转换DAC模块、比较模块、滤波模块和逻辑模块,所述DAC模块包括第一电容模块和第二电容模块,所述第一电容模块和所述第二电容模块分别包括至少一个电容单元,所述电容单元包括第一极板和第二极板,所述第一极板与所述比较模块的输入端连接;

所述方法包括:

通过所述滤波模块,在上一个模数转换周期结束时,对所述第一电容模块和所述第二电容模块中所述第一极板上的残差电压进行处理,输出滤波信号;

控制所述DAC模块,执行如下处理:在当前模数转换周期的采样过程中,将输入信号接入所述第一电容模块中的所述第二极板;在当前模数转换周期的转换开始时,将上一个模数转换周期的所述滤波信号接入所述第一电容模块中的所述第二极板;在当前模数转换周期的转换过程中,基于所述逻辑模块输出的控制信号,分别控制所述第一电容模块和所述第二电容模块中的每个电容单元进行电容切换操作;

通过所述比较模块,在当前模数转换周期的转换过程中,基于所述DAC模块中的所述第一极板上的电压进行比较处理,输出比较结果信号;

通过所述逻辑模块,基于所述比较结果信号,在当前模数转换周期的转换过程中输出所述控制信号,在当前模数转换周期结束时输出所述输入信号对应的目标数字信号码值。

11. 一种芯片,其特征在于,包括如权利要求1-9中至少一个项所述的模数转换电路。

12. 一种电子设备,其特征在于,包括如权利要求1-9中至少一个项所述的模数转换电路。

模数转换电路、控制方法、芯片及电子设备

技术领域

[0001] 本申请涉及电子技术领域,尤其涉及一种模数转换电路、控制方法、芯片及电子设备。

背景技术

[0002] 在电子技术领域中,模拟数字转换器(Analog-to-Digital Converter,ADC)电路可以用于信号测量,将模拟信号转换为数字信号。逐次逼近型模数转换电路(SARADC, Successive Approximation Register Analog-to-Digital Converter)是一种精度较高的模拟数字转换器。

[0003] 目前,实现高精度SAR ADC会遇到的主要问题是比较器的噪声问题和DAC阵列中电容失配问题。其中,对于比较器的噪声问题,可以将SAR ADC转化后的残差电压通过环路滤波器传递到双输入通路比较器进行噪声整形。双输入通路比较器中,每个输入通路均包括正相输入端和反相输入端。将环路滤波器处理后的残差电压接入一个输入通路,将采样电压接入另一输入通路,由于两个输入通路的电压均包含比较器的噪声,可以进行抵消以减弱比较器的噪声问题。

[0004] 但是,双输入通路比较器中两对输入对管间的不匹配以及两对输入对管输入共模电压的不匹配都会降低噪声整形能力,降低了噪声整形的效果。

发明内容

[0005] 为了解决现有技术的问题,本申请实施例提供了一种模数转换电路、控制方法、芯片及电子设备,可以避免使用双输入通路比较器,提高模数转换精度。技术方案如下:

[0006] 根据本申请的一方面,提供了一种模数转换电路,所述模数转换电路至少包括数模转换DAC模块、比较模块、滤波模块和逻辑模块,所述DAC模块包括第一电容模块和第二电容模块,所述第一电容模块和所述第二电容模块分别包括至少一个电容单元,所述电容单元包括第一极板和第二极板,所述第一极板与所述比较模块的输入端连接;

[0007] 所述滤波模块,用于在上一个模数转换周期结束时,对所述第一电容模块和所述第二电容模块中所述第一极板上的残差电压进行处理,输出滤波信号;

[0008] 所述DAC模块,被配置为:

[0009] 在当前模数转换周期的采样过程中,将输入信号接入所述第一电容模块中的所述第二极板;

[0010] 在当前模数转换周期的转换开始时,将上一个模数转换周期的所述滤波信号接入所述第一电容模块中的所述第二极板;

[0011] 在当前模数转换周期的转换过程中,基于所述逻辑模块输出的控制信号,分别控制所述第二电容模块中的每个电容单元进行电容切换操作;

[0012] 所述比较模块,用于在当前模数转换周期的转换过程中,基于所述DAC模块中的所述第一极板上的电压进行比较处理,输出比较结果信号;

[0013] 所述逻辑模块,被配置为基于所述比较结果信号,在当前模数转换周期的转换过程中输出所述控制信号,在当前模数转换周期结束时输出所述输入信号对应的目标数字信号码值。

[0014] 根据本申请的另一方面,提供了一种模数转换电路的控制方法,所述模数转换电路至少包括数模转换DAC模块、比较模块、滤波模块和逻辑模块,所述DAC模块包括第一电容模块和第二电容模块,所述第一电容模块和所述第二电容模块分别包括至少一个电容单元,所述电容单元包括第一极板和第二极板,所述第一极板与所述比较模块的输入端连接;

[0015] 所述方法包括:

[0016] 通过所述滤波模块,在上一个模数转换周期结束时,对所述第一电容模块和所述第二电容模块中所述第一极板上的残差电压进行处理,输出滤波信号;

[0017] 控制所述DAC模块,执行如下处理:在当前模数转换周期的采样过程中,将输入信号接入所述第一电容模块中的所述第二极板;在当前模数转换周期的转换开始时,将上一个模数转换周期的所述滤波信号接入所述第一电容模块中的所述第二极板;在当前模数转换周期的转换过程中,基于所述逻辑模块输出的控制信号,分别控制所述第一电容模块和所述第二电容模块中的每个电容单元进行电容切换操作;

[0018] 通过所述比较模块,在当前模数转换周期的转换过程中,基于所述DAC模块中的所述第一极板上的电压进行比较处理,输出比较结果信号;

[0019] 通过所述逻辑模块,基于所述比较结果信号,在当前模数转换周期的转换过程中输出所述控制信号,在当前模数转换周期结束时输出所述输入信号对应的目标数字信号码值。

[0020] 根据本申请的另一方面,提供了一种芯片,包括上述模数转换电路。

[0021] 根据本申请的另一方面,提供了一种电子设备,包括上述模数转换电路。

[0022] 本申请中,在模数转换电路中,采样时使用部分电容的下极板进行采样,并在转换开始时将处理后的残差电压传输到仅用于采样的第一电容模块中的下极板处,基于电荷守恒原理将处理后的残差电压与输入信号进行求和以实现噪声整形的功能,在此基础上可以采用单输入通路的比较模块,避免使用双输入通路比较器,从而避免了由于双输入通路比较器中的两对输入对管之间的不匹配以及两对输入对管之间共模电压的不匹配引入的问题。并且,在DAC模块中进行的是下极板采样,相比于上极板采样,可以避免在不同采样周期中比较器的寄生电容的不匹配引入的非线性。综上,本申请提供的模数转换电路提高了模数转换的精度。

附图说明

[0023] 在下面结合附图对于示例性实施例的描述中,本申请的更多细节、特征和优点被公开,在附图中:

[0024] 图1示出了根据本申请示例性实施例提供的模数转换电路示意图;

[0025] 图2示出了根据本申请示例性实施例提供的一种基于下极板采样和MES功能的模数转换电路示意图;

[0026] 图3示出了根据本申请示例性实施例提供的一种基于下极板采样、MES功能和DWA功能的模数转换电路示意图;

- [0027] 图4示出了根据本申请示例性实施例提供的一种具体的单端SARADC；
- [0028] 图5示出了根据本申请示例性实施例提供的另一种具体的单端SARADC；
- [0029] 图6示出了根据本申请示例性实施例提供的比较模块示意图；
- [0030] 图7示出了根据本申请示例性实施例提供的一种具体的差分SARADC；
- [0031] 图8示出了根据本申请示例性实施例提供的采样时CDAC模块状态示意图；
- [0032] 图9示出了根据本申请示例性实施例提供的转换开始时CDAC模块状态示意图；
- [0033] 图10示出了根据本申请示例性实施例提供的模数转换电路的控制方法流程图。

具体实施方式

[0034] 下面将参照附图更详细地描述本申请的实施例。虽然附图中显示了本申请的某些实施例,然而应当理解的是,本申请可以通过各种形式来实现,而且不应该被解释为限于这里阐述的实施例,相反提供这些实施例是为了更加透彻和完整地理解本申请。应当理解的是,本申请的附图及实施例仅用于示例性作用,并非用于限制本申请的保护范围。

[0035] 本文使用的术语“包括”及其变形是开放性包括,即“包括但不限于”。术语“基于”是“至少部分地基于”。术语“一个实施例”表示“至少一个实施例”;术语“另一实施例”表示“至少一个另外的实施例”;术语“一些实施例”表示“至少一些实施例”。其他术语的相关定义将在下文描述中给出。需要注意,本申请中提及的“第一”、“第二”等概念仅用于对不同的装置、模块或单元进行区分,并非用于限定这些装置、模块或单元所执行的功能的顺序或者相互依存关系。

[0036] 需要注意,本申请中提及的“一个”、“多个”的修饰是示意性而非限制性的,本领域技术人员应当理解,除非在上下文另有明确指出,否则应该理解为“一个或多个”。

[0037] 本申请实施方式中的多个装置之间所交互的消息或者信息的名称仅用于说明性的目的,而并不是用于对这些消息或信息的范围进行限制。

[0038] 本申请实施例提供了一种模数转换电路,该模数转换电路可以集成在芯片中,或者设置在电子设备中。

[0039] 参照图1所示的模数转换电路示意图,该模数转换电路可以包括数模转换DAC模块、比较模块、滤波模块和逻辑模块,其中,DAC模块可以包括第一电容模块和第二电容模块,每个电容模块中可以包括至少一个电容单元,其中的每个电容单元可以包括第一极板和第二极板,第一极板与比较模块的输入端连接。通常而言,可以将与比较模块的输入端连接的电容极板称为“上极板”,与之相对应的另一电容极板称为“下极板”,也即是说,本实施例中,第一极板可以是指上极板,第二极板可以是指下极板。

[0040] 上述滤波模块,可以用于在上一个模数转换周期结束时,对第一电容模块和第二电容模块中第一极板上的残差电压进行处理,输出滤波信号。

[0041] 上述DAC模块,可以被配置为:

[0042] 在当前模数转换周期的采样过程中,将输入信号接入第一电容模块中的第二极板;

[0043] 在当前模数转换周期的转换开始时,将上一个模数转换周期的滤波信号接入第一电容模块中的第二极板;

[0044] 在当前模数转换周期的转换过程中,基于逻辑模块输出的控制信号,分别控制第

二电容模块中的每个电容单元进行电容切换操作。

[0045] 上述比较模块,可以用于在当前模数转换周期的转换过程中,基于DAC模块中的第一极板上的电压进行比较处理,输出比较结果信号。

[0046] 上述逻辑模块,可以被配置为基于比较结果信号,在当前模数转换周期的转换过程中输出上述控制信号,在当前模数转换周期结束时输出输入信号对应的目标数字信号码值。

[0047] 在一种可能的实施方式中,模数转换电路可以对输入信号进行测量,将输入信号转换为数字信号码值。其中,可以将输入信号接入DAC模块进行采样以及转换操作。为了便于介绍,本实施例以单端输入为例。

[0048] 具体的,可以在DAC模块中划分第一电容模块和第二电容模块,其中,仅将第一电容模块用于对输入信号进行下级板采样。

[0049] 在当前模数转换周期的采样过程中,可以将输入信号接入第一电容模块中电容单元的下极板,采用下极板进行采样;此时,第二电容模块中电容单元的下级板可以不用于采样,也即是仅有部分电容采样。对于上极板,DAC模块中各个电容单元的上极板可以接入偏置信号 V_{CM} 。

[0050] 当前模数转换周期的采样结束后转换开始时,将接入上极板的偏置信号 V_{CM} 断开,将滤波模块在上一个模数转换周期结束时处理的残差电压(即滤波信号)传递至上述第一电容模块中的下极板。

[0051] 可选的,残差电压可以由DAC模块中的上极板传递至滤波模块,在此基础上,DAC模块还可以被配置为:在上一个模数转换周期结束时,将第一电容模块和第二电容模块中的第一极板上的电压置为残差电压,残差电压是指模数转换周期的输入信号与输出信号之间的余量电压;将残差电压传递至滤波模块。

[0052] 在一种可能的实施方式中,在上一个模数转换周期结束时,模数转换电路可以输出当前的输入信号 V_{IN} 对应的目标数字信号码值 D_{OUT} ,使DAC模块中的上极板上的电压为残差电压 $V_{IN}-D_{OUT}$ 。滤波模块的输入端与DAC模块中的上极板连接,将残差电压传递至滤波模块,以使滤波模块可以对该残差电压进行处理。

[0053] 在当前模数转换周期的采样结束后转换开始时,滤波模块的输出端与第一电容模块中的下极板连接,以将处理后的残差信号(即滤波信号)传递至第一电容模块中的下极板。

[0054] 此时,DAC模块中上极板的电压可以基于输入信号和残差电压得到,而残差电压可以包含比较模块的噪声量。

[0055] 随后进行转换过程,对DAC模块中上极板的当前电压进行量化,转换为数字信号码值。具体的,ADC的转换过程中可以包括多个时钟周期,在每个时钟周期中将DAC模块中上极板的电压传递至比较模块进行比较处理,输出比较结果信号,并将比较结果信号传递至逻辑模块。逻辑模块可以包括SAR逻辑阵列,在SAR逻辑模块中,可以基于预设的SAR逻辑对该比较结果进行处理,从而生成相应的控制信号,并将控制信号传递至DAC模块。在下一个时钟周期中,DAC模块可以基于控制信号,分别控制第二电容模块中的每个电容单元进行电容切换操作,也即是控制接入每个电容单元的下极板的电压为逻辑高电平电压(如参考电压 V_{REF})或逻辑低电平电压(如接地电压AGND),以进行逐次逼近方法判断输入信号大小。在最

后一次比较完成后,逻辑模块可以输出输入信号对应的目标数字信号码值,作为输出信号。即完成一次模数转换周期,在下一次模数转换周期中,重复上述模数转换的过程。

[0056] 在上述模数转换过程中,由于残差电压包含比较模块的噪声量,在转换开始时将滤波模块处理后的残差电压传输到第一电容模块中的下极板处,基于电荷守恒原理将处理后的残差电压与输入信号进行求和以实现噪声整形的功能,从而可以采用单输入通路的比较模块,仅基于DAC模块中的上极板电压进行比较处理。由此可见,可以避免使用双输入通路比较器以同时基于处理后的残差电压与采样后的输入信号进行比较处理(其中,处理后的残差电压接入一个输入通路,采样后的输入信号接入另一输入通路),从而避免了由于双输入通路比较器中的两对输入对管之间的不匹配以及两对输入对管之间共模电压的不匹配引入的问题。并且,在DAC模块中进行的是下极板采样,相比于上极板采样,可以避免在不同采样周期中比较器的寄生电容的不匹配引入的非线性。综上,本实施例提供的模数转换电路提高了模数转换的精度。

[0057] 可选的,为了进一步提高模数转换的精度,可以将第二电容模块用于保留电容失配信息,进行失配误差整形以减小失配误差。具体的,第二电容模块可以包括第一电容阵列。在当前模数转换周期的采样过程中,该第一电容阵列中的第二极板可以用于保持上一个模数转换周期结束时的状态。

[0058] 在一种可能的实施方式中,在当前模数转换周期的采样过程中,第一电容阵列中电容单元的下级板可以保持当前的状态不变,若此前已进行过模数转换,则第二电容模块中电容单元的下级板可以保持上一次模数转换结束时状态,以保留包含电容失配信息的模拟量。从而,可以基于电容失配信息在第一电容阵列中进行失配误差整形以减小失配误差。由于仅将第一电容模块用于对输入信号进行下级板采样,上述第二电容模块可以同时用于保留电容失配信息,即可以共同实现避免引入比较器的寄生电容的非线性以及失配误差整形。

[0059] 可选的,在此基础上,可以采用MES(Mismatch Error Shaping,失配误差整形)功能以实现失配误差整形。具体的,参照图2示出的一种基于下极板采样和MES功能的逐次逼近型模数转换电路示意图,模数转换电路的逻辑模块中可以包含SAR逻辑和MES逻辑。

[0060] 相应的,逻辑模块,可以被配置为:

[0061] 在当前模数转换周期的转换过程中,将比较模块输出的比较结果信号转换为第一控制信号,第一控制信号用于分别控制第一电容阵列中每个电容单元进行电容切换操作。

[0062] 在一种可能的实施方式中,在当前模数转换周期的转换过程中,在逻辑模块中,可以基于预设的SAR逻辑和MES逻辑对比较模块输出的比较结果进行处理,输出输入信号对应的目标数字信号码值和生成第一控制信号,并将第一控制信号传递至DAC模块。DAC模块可以基于第一控制信号,分别控制第二电容模块中的第一电容阵列中每个电容单元进行电容切换操作,也即是控制接入每个电容单元的下极板的电压为逻辑高电平电压(如参考电压 V_{REF})或逻辑低电平电压(如接地电压AGND),以进行逐次逼近方法判断输入信号大小,并以MES方法进行失配误差整形。在最后一次比较完成后,逻辑模块可以输出输入信号对应的目标数字信号码值,作为输出信号。

[0063] 也即是说,本实施例提供的模数转换电路可以共同实现部分电容下极板采样和MES功能。

[0064] 进一步的,本实施例提供的模数转换电路还可以共同实现部分电容下极板采样、MES功能和DWA(Data Weighted Average,数据加权平均)功能,以进一步提高模数转换精度。第二电容模块还可以包括第二电容阵列,第二电容阵列相对于第一电容阵列属于高位电容,并且,第一电容阵列和第二电容阵列的电容位数之和大于输入信号对应的目标数字信号码值的位数。也即是说,可以采用MES方法解决低位电容失配的问题,采用DWA方法解决高位电容失配的问题。

[0065] 在此基础上,参照图3示出的一种基于下极板采样、MES功能和DWA功能的模数转换电路示意图,模数转换电路的逻辑模块中可以包含SAR逻辑、MES逻辑和DWA逻辑。

[0066] 相应的,逻辑模块可以被配置为:在当前模数转换周期的转换过程中,将比较模块输出的比较结果信号转换为第一控制信号和第二控制信号,第一控制信号用于分别控制第一电容阵列中每个电容单元进行电容切换操作,第二控制信号用于分别控制第二电容阵列中每个电容单元进行电容切换操作。

[0067] 在一种可能的实施方式中,转换过程中,在逻辑模块中,可以基于预设的SAR逻辑和MES逻辑对比较模块输出的比较结果进行处理,输出输入信号对应的目标数字信号码值和生成第一控制信号,并将第一控制信号传递至DAC模块。DAC模块可以基于第一控制信号,分别控制第二电容模块中的第一电容阵列中每个电容单元进行电容切换操作,也即是控制接入第一电容阵列中的每个电容单元的下极板的电压为逻辑高电平电压(如参考电压 V_{REF})或逻辑低电平电压(如接地电压AGND),以进行逐次逼近方法判断输入信号大小,并以MES方法进行失配误差整形。在最后一次比较完成后,逻辑模块可以输出输入信号对应的目标数字信号码值,并且处理由于MES方法引入的额外数字量,将其转换为第二控制信号。

[0068] 具体的,可以基于预设的DWA逻辑对上述额外的数字量进行处理,生成第二控制信号,并将第二控制信号传递至DAC模块。DAC模块可以基于第二控制信号,分别控制第二电容模块中的第二电容阵列中每个电容单元进行电容切换操作,也即是控制接入第二电容阵列中的每个电容单元的下极板的电压为逻辑高电平电压(如参考电压 V_{REF})或逻辑低电平电压(如接地电压AGND),以通过DWA方法解决高位电容失配的问题。可选的,第二电容阵列中每个电容单元的大小可以与第一电容阵列中每个电容单元的大小相等,例如可以均采用 $256C_0$ 电容大小的电容单元,从而可以通过预测下一次的输入信号大小来恢复由于使用MES方法引入的动态范围的损失。

[0069] 可选的,在当前模数转换周期的采样过程中,第二电容阵列中的第二极板上的电压被配置为接入复位电压;在当前模数转换周期的转换开始时,第一电容阵列中的第二极板上的电压被配置为接入相应的复位电压。其中,复位电压可以包括参考电压 V_{REF} 或接地电压AGND。作为一种示例,在当前模数转换周期的采样过程中,第一电容阵列中的下极板用于保持上一个模数转换周期结束时的状态,第二电容阵列的下极板的电压复位至参考电压 V_{REF} ;在当前模数转换周期的转换开始时,与之对应的第一电容阵列中的下极板可以从上一个模数转换周期结束时的状态复位至相同的参考电压 V_{REF} 。

[0070] 可选的,滤波模块可以包括缓冲器buffer和开关电容积分器。

[0071] 作为一种具体的示例,图4示出了一种具体的单端SARADC,其中包括CDAC(电荷再分配型DAC,对应于上述DAC模块),比较器(对应于上述比较模块),包含SAR逻辑、MES逻辑和DWA逻辑的逻辑阵列(对应于上述逻辑模块)和滤波器(由缓冲器buffer和开关电容积分器

构成,对应于上述滤波模块)。

[0072] 该SARADC基于传统的分裂电容时序,其CDAC包括采样电容 C_{SAM} ,高位电容 C_{M3} 至 C_{M1} ,低位电容 C_{L9} 至 C_{L1} ,终端电容 C_d 。其中,采样电容 C_{SAM} 对应于上述第一电容模块, C_{SAM} 选择为 $2048C_0$ 的电容,其中 C_0 为单位电容;高位电容 C_{M3} 至 C_{M1} 对应于上述第二电容模块中的第二电容阵列, C_{M3} 为4个 $256C_0$ 电容, C_{M2} 为2个 $256C_0$ 电容, C_{M1} 为1个 $256C_0$ 电容;低位电容 C_{L9} 至 C_{L1} 和终端电容 C_d 对应于上述第二电容模块中的第一电容阵列,每个低位电容均为 $256C_0$ 电容。 $Fta<1:17>$ 为下极板电压控制信号,其中, $Fta<9:17>$ 对应于上述第一控制信号, $Fta<2:8>$ 对应于上述第二控制信号。 V_{IN} 为SARADC的输入信号, V_{REF} 为CDAC中的逻辑高电平电压,AGND为CDAC中的逻辑低电平电压。滤波器由buffer和有源开关电容积分器构成,用于进行统一一阶噪声整形,其输出为 V_{INT} 信号,传递函数为 $z^{-1}/(1+z^{-1})$, z 为滤波器的输入。

[0073] 该SARADC具体的模数转换过程与上文介绍的模数转换过程同理,此处不再赘述。在最后一次比较完成后,逻辑模块可以输出输入信号对应的目标数字信号码值 $D<12:1>$ 。在正常SAR ADC转换完成后,将CDAC顶板的残差电压通过buffer传递给积分器,并在SAR ADC采样时,积分器进行建立,随后在进行SAR ADC转换。在最后输出的数字码中,需要处理由于MES方法引入的额外数字量 D_3bit ,通过DWA逻辑将上述额外数字量转换为控制信号 $Fta<2:8>$,并传递至CDAC以控制高位电容 C_{M3} 至 C_{M1} 的下极板接入 V_{REF} 或AGND,以通过DWA方法解决高位电容失配的问题。并且高位电容中每个电容的大小和低位电容等大,均为 $256C_0$,进一步可以通过预测下一次系统总得输入信号大小来恢复由于使用MES方法引入的动态范围的损失。

[0074] 作为另一种具体的示例,图5示出了另一种具体的单端SARADC,与图4示出的单端SARADC相比,区别在于,其CDAC分为两个电容模块,分别是 C_{PA} , C_{PB} 。而其中每个电容模块的电容构成相同,即每个电容模块与图4示出的单端SARADC的CDAC相同,分为采样电容 C_{SAM} ,高位电容 C_{M3} 至 C_{M1} ,低位电容 C_{L9} 至 C_{L1} ,终端电容 C_d 。 $Fta<1:17>$ 为 C_{PA} 电容模块的下极板电压控制信号,其中, $Fta<9:17>$ 对应于上述第一控制信号, $Fta<2:8>$ 对应于上述第二控制信号。 $Ftb<1:17>$ 为 C_{PB} 电容模块的下极板电压控制信号,其中, $Ftb<9:17>$ 对应于上述第一控制信号, $Ftb<2:8>$ 对应于上述第二控制信号。图5示出单端SARADC的其余部分与图4相同,工作原理亦同理,此处不再赘述。

[0075] 可选的,上文介绍的DAC模块为单端型DAC,DAC模块还可以是差分型DAC,第一电容模块包括第一端第一电容器子模块和第二端第一电容器子模块,第二电容模块包括第一端第二电容器子模块和第二端第二电容器子模块。例如,第一端第一电容器子模块可以是指P端/N端第一电容器子模块,对应的,第二端第一电容器子模块可以是指N端/P端第二电容器子模块;第一端第二电容器子模块可以是指P端/N端第二电容器子模块,对应的,第二端第二电容器子模块可以是指N端/P端第二电容器子模块。

[0076] 参照图6示出的比较模块示意图,第一端第一电容器子模块中的第一极板、第一端第二电容器子模块中的第一极板与比较模块的第一相输入端连接;第二端第一电容器子模块中的第一极板、第二端第二电容器子模块中的第一极板与比较模块的第二相输入端连接。其中,第一相输入端可以是指正相输入端,对应的第二相输入端可以是指反相输入端;反之亦然,即第一相输入端可以是指反相输入端,对应的第二相输入端可以是指正相输入端。与双输入通路比较器不同的是,本实施例所使用的比较模块为单输入通路,上述第一相输入端和第

二相输入端构成一个输入通路。

[0077] 作为一种具体的示例,图7示出了一种具体的差分SARADC,其中包括CDAC(电荷再分配型DAC,对应于上述DAC模块),比较器(对应于上述比较模块),包含SAR逻辑、MES逻辑和DWA逻辑的逻辑阵列(对应于上述逻辑模块)和滤波器(由缓冲器buffer和开关电容积分器构成,对应于上述滤波模块)。

[0078] 该噪声整形SARADC基于传统的分裂电容时序,其CDAC分为四个电容模块,分别是 C_{PA} , C_{PB} , C_{NC} , C_{ND} 。而其中每个电容模块的电容构成相同,分为采样电容 C_{SAM} ,高位电容 C_{M3} 至 C_{M1} ,低位电容 C_{L9} 至 C_{L1} ,终端电容 C_d 。其中,采样电容 C_{SAM} 对应于上述第一电容模块, C_{SAM} 选择为 $2048C_0$ 的电容,其中 C_0 为单位电容;高位电容 C_{M3} 至 C_{M1} 对应于上述第二电容模块中的第二电容阵列, C_{M3} 为4个 $256C_0$ 电容, C_{M2} 为2个 $256C_0$ 电容, C_{M1} 为1个 $256C_0$ 电容;低位电容 C_{L9} 至 C_{L1} 和终端电容 C_d 对应于上述第二电容模块中的第一电容阵列,每个低位电容均为 $256C_0$ 电容。

[0079] $Fta<1:17>$ 为 C_{PA} 电容模块的下极板电压控制信号,其中, $Fta<9:17>$ 对应于上述第一控制信号, $Fta<2:8>$ 对应于上述第二控制信号。 $Ftb<1:17>$ 为 C_{PB} 电容模块的下极板电压控制信号,其中, $Ftb<9:17>$ 对应于上述第一控制信号, $Ftb<2:8>$ 对应于上述第二控制信号。 $Fbc<1:17>$ 为 C_{NC} 电容模块的下极板电压控制信号,其中, $Fbc<9:17>$ 对应于上述第一控制信号, $Fbc<2:8>$ 对应于上述第二控制信号。 $Fbd<1:17>$ 为 C_{ND} 电容模块的下极板电压控制信号,其中, $Fbd<9:17>$ 对应于上述第一控制信号, $Fbd<2:8>$ 对应于上述第二控制信号。

[0080] V_{INP} 与 V_{INN} 为SARADC的输入信号, V_{REF} 为CDAC中的逻辑高电平电压,AGND为CDAC中的逻辑低电平电压。滤波器由buffer和有源开关电容积分器构成,用于进行传统一阶噪声整形,其输出为 V_{INT_P} 与 V_{INT_N} 信号,传递函数为 $z^{-1}/(1+z^{-1})$, z 为滤波器的输入。

[0081] 采样时,CDAC模块状态如图8所示。以 C_{PA} 电容模块为例, C_{PA} 电容模块 $2048C_0$ 的 C_{SAM} 电容接输入信号 V_{INP} ,高位电容的七个 $256C_0$ 电容正常复位到AGND,而低位电容部分LSBa(即低位电容 C_{L9} 至 C_{L1} 和终端电容 C_d)仅需要保持上一周期结束时的状态 V_{PA_LSB} 不变即可。 C_{PB} 与上述 C_{PA} 的状态相同,此处不再赘述。类似的, C_{ND} 电容模块 $2048C_0$ 的 C_{SAM} 电容接输入信号 V_{INN} ,高位电容的七个 $256C_0$ 电容正常复位到 V_{REF} ,而低位电容部分LSBc(即低位电容 C_{L9} 至 C_{L1} 和终端电容 C_d)仅需要保持上一周期结束时的状态不变 V_{NC_LSB} 即可。 C_{NC} 与上述 C_{ND} 的状态相同,此处不再赘述。各个电容模块的上极板均接入偏置电压 V_{CM} 。

[0082] 若不考虑MES操作,此时P侧电容上电荷量 Q_{1P} 和N侧上电荷量 Q_{1N} 如下:

$$[0083] \quad Q_{1P} = (2048*2)C_0*(V_{CM} - V_{INP}) + (256*7+256)C_0*(V_{CM} - V_{REF}) + (256*7+256)C_0*(V_{CM} - 0)$$

$$[0084] \quad Q_{1N} = (2048*2)C_0*(V_{CM} - V_{INN}) + (256*7+256)C_0*(V_{CM} - V_{REF}) + (256*7+256)C_0*(V_{CM} - 0)$$

[0085] 采样结束转换开始时,CDAC模块状态如图9所示。将环路滤波器输出电压 V_{INT_N} 传输到 C_{PA} 和 C_{PB} 电容模块的 C_{SAM} 电容下极板, V_{INT_P} 传输到 C_{NC} 和 C_{ND} 电容模块的 C_{SAM} 电容下极板, C_{PA} 和 C_{NC} 电容模块的低位电容下极板电压由上一周期结束时的状态转变至同高位电容一样的AGND, C_{PB} 和 C_{ND} 电容模块的低位电容下极板电压由上一周期结束时的状态转变至同高位电容一样的AGND。

[0086] 此时P侧电容上电荷量 Q_{2P} 和N侧上电荷量 Q_{2N} 如下,其中 V_{XP} 是P侧上极板电压, V_{XN} 是N侧上极板电压:

$$[0087] \quad Q_{2P} = (2048*2)C_0*(V_{XP} - V_{INT_P}) + (256*7+256)C_0*(V_{XP} - V_{REF}) + (256*7+256)C_0*(V_{XP} - 0)$$

$$[0088] \quad Q_{2N} = (2048*2)C_0*(V_{XN} - V_{INT_N}) + (256*7+256)C_0*(V_{XN} - V_{REF}) + (256*7+256)C_0*(V_{XN} - 0)$$

[0089] 整理可得,转换开始时P侧上极板电压 V_{XP} 和N侧上极板电压 V_{XN} 分别为:

$$[0090] \quad V_{XP} = \frac{(4096+4096)C_0 * V_{CM}}{(4096+4096)C_0} + \frac{-4096C_0 * V_{INP}}{(4096+4096)C_0} + \frac{4096C_0 * V_{INT_P}}{(4096+4096)C_0}$$

$$[0091] \quad V_{XN} = \frac{(4096+4096)C_0 * V_{CM}}{(4096+4096)C_0} + \frac{-4096C_0 * V_{INN}}{(4096+4096)C_0} + \frac{4096C_0 * V_{INT_N}}{(4096+4096)C_0}$$

[0092] 则比较器输入差分电压为:

$$[0093] \quad V_{XP} - V_{XN} = + \frac{-4096C_0}{(4096+4096)C_0} * ((V_{INP} - V_{INN}) + (V_{INT_P} - V_{INT_N}))$$

[0094] 随后进行正常的SAR ADC量化过程时,通过SAR逻辑阵列将比较器输出的比较结果转换为控制信号 $Fta\langle 9:17 \rangle$ 、 $Ftb\langle 9:17 \rangle$ 、 $Fbc\langle 9:17 \rangle$ 、 $Fbd\langle 9:17 \rangle$,并传递至CDAC以控制低位电容 C_{L9} 至 C_{L1} 和终端电容 C_d 的下极板接入 V_{REF} 或AGND,以进行逐次逼近方法判断输入信号大小,并以MES方法进行失配误差整形。即将包含电容失配信息的上周期LSB部分模拟量传递至本周期用于失配误差整形以减小失配误差,并且将处理后的残差信号传递至本周期用于噪声整形来降低量化噪声,并且通过部分电容采样时接受输入信号,转换时接收处理过的残差电压 V_{INT_P} ,巧妙的实现下极板采样与MES方法共用,并且避免了使用双输入通路比较器由于不匹配引入的问题。在最后一次比较完成后,逻辑模块可以输出输入信号对应的目标数字信号码值 $D\langle 12:1 \rangle$ 。

[0095] 在正常SAR ADC转换完成后,将CDAC顶板的残差电压通过buffer传递给积分器,并在SAR ADC采样时,积分器进行建立,随后在进行SAR ADC转换。在最后输出的数字码中,需要处理由于MES方法引入的额外数字量,分别为 C_{PA} 对应的 D_3bit_a 、 CPB 对应的 D_3bit_b 、 CNC 对应的 D_3bit_c 、 CND 对应的 D_3bit_d 。通过DWA逻辑将上述额外数字量转换为控制信号 $Fta\langle 2:8 \rangle$ 、 $Ftb\langle 2:8 \rangle$ 、 $Fbc\langle 2:8 \rangle$ 、 $Fbd\langle 2:8 \rangle$,并传递至CDAC以控制高位电容 C_{M3} 至 C_{M1} 的下极板接入 V_{REF} 或AGND,以通过DWA方法解决高位电容失配的问题。并且高位电容中每个电容的大小和低位电容等大,均为 $256C_0$,进一步可以通过预测下一次系统总得输入信号大小来恢复由于使用MES方法引入的动态范围的损失。

[0096] 本申请实施例可以获得如下有益效果:

[0097] (1) 在模数转换电路中,采样时使用部分电容的下极板进行采样,并在转换开始时将处理后的残差电压传输到仅用于采样的第一电容模块中的下极板处,基于电荷守恒原理将处理后的残差电压与输入信号进行求和以实现噪声整形的功能,在此基础上可以采用单输入通路的比较模块,避免使用双输入通路比较器,从而避免了由于双输入通路比较器中的两对输入对管之间的不匹配以及两对输入对管之间共模电压的不匹配引入的问题。并且,在DAC模块中进行的是下极板采样,相比于上极板采样,可以避免在不同采样周期中比较器的寄生电容的不匹配引入的非线性。综上,本实施例提供的模数转换电路提高了模数转换的精度。

[0098] (2) 本实施例提供的模数转换电路可以共同实现下极板采样和MES功能,进一步实现失配误差整形。

[0099] (3) 本实施例提供的模数转换电路还可以共同实现下极板采样、MES功能和DWA功能,采用MES方法解决低位电容失配的问题,采用DWA方法解决高位电容失配的问题,进一步

提高了模数转换的精度。

[0100] 本申请实施例还提供了一种模数转换电路的控制方法,可以用于控制上述模数转换电路。所述模数转换电路至少包括数模转换DAC模块、比较模块、滤波模块和逻辑模块,所述DAC模块包括第一电容模块和第二电容模块,所述第一电容模块和所述第二电容模块分别包括至少一个电容单元,所述电容单元包括第一极板和第二极板,所述第一极板与所述比较模块的输入端连接。参照图10所示的模数转换电路的控制方法流程图,该方法可以如下:

[0101] 步骤1001,通过所述滤波模块,在上一个模数转换周期结束时,对所述第一电容模块和所述第二电容模块中所述第一极板上的残差电压进行处理,输出滤波信号;

[0102] 步骤1002,控制所述DAC模块,执行如下处理:在当前模数转换周期的采样过程中,将输入信号接入所述第一电容模块中的所述第二极板;在当前模数转换周期的转换开始时,将上一个模数转换周期的所述滤波信号接入所述第一电容模块中的所述第二极板;在当前模数转换周期的转换过程中,基于所述逻辑模块输出的控制信号,分别控制所述第一电容模块和所述第二电容模块中的每个电容单元进行电容切换操作;

[0103] 步骤1003,通过所述比较模块,在当前模数转换周期的转换过程中,基于所述DAC模块中的所述第一极板上的电压进行比较处理,输出比较结果信号;

[0104] 步骤1004,通过所述逻辑模块,基于所述比较结果信号,在当前模数转换周期的转换过程中输出所述控制信号,在当前模数转换周期结束时输出所述输入信号对应的目标数字信号码值。

[0105] 可选的,所述方法还包括:

[0106] 控制所述DAC模块,执行如下处理:

[0107] 在所述上一个模数转换周期结束时,将所述第一电容模块和所述第二电容模块中的所述第一极板上的电压置为所述残差电压,所述残差电压是指当前模数转换周期的输入信号与输出信号之间的余量电压;

[0108] 将所述残差电压传递至所述滤波模块。

[0109] 可选的,所述第二电容模块包括第一电容阵列;

[0110] 所述方法还包括:

[0111] 在当前模数转换周期的采样过程中,将所述第一电容阵列中的所述第二极板用于保持所述上一个模数转换周期结束时的状态。

[0112] 可选的,所述通过所述逻辑模块,基于所述比较结果信号,在当前模数转换周期的转换过程中输出所述控制信号,包括:

[0113] 通过所述逻辑模块,执行如下处理:在当前模数转换周期的转换过程中,将所述比较模块输出的比较结果信号转换为第一控制信号,所述第一控制信号用于分别控制所述第一电容阵列中每个电容单元进行电容切换操作。

[0114] 可选的,所述第二电容模块还包括第二电容阵列,所述第二电容阵列相对于所述第一电容阵列属于高位电容。

[0115] 可选的,所述通过所述逻辑模块,基于所述比较结果信号,在当前模数转换周期的转换过程中输出所述控制信号,包括:

[0116] 通过所述逻辑模块,执行如下处理:在当前模数转换周期的转换过程中,将所述比

较模块输出的比较结果信号转换为第一控制信号和第二控制信号,所述第一控制信号用于分别控制所述第一电容阵列中每个电容单元进行电容切换操作,所述第二控制信号用于分别控制所述第二电容阵列中每个电容单元进行电容切换操作。

[0117] 可选的,所述方法还包括:

[0118] 在当前模数转换周期的采样过程中,将所述第二电容阵列中的所述第二极板上的电压配置为接入复位电压;

[0119] 在当前模数转换周期的转换开始时,将所述第一电容阵列中的所述第二极板上的电压配置为接入所述复位电压。

[0120] 可选的,所述第一电容模块包括第一端第一电容器子模块和第二端第一电容器子模块,所述第二电容模块包括第一端第二电容器子模块和第二端第二电容器子模块;

[0121] 所述第一端第一电容器子模块中的所述第一极板、所述第一端第二电容器子模块中的所述第一极板与所述比较模块的第一相输入端连接;

[0122] 所述第二端第一电容器子模块中的所述第一极板、所述第二端第二电容器子模块中的所述第一极板与所述比较模块的第二相输入端连接。

[0123] 可选的,所述滤波模块包括缓冲器buffer和开关电容积分器。

[0124] 本申请实施例可以获得如下有益效果:

[0125] (1) 在模数转换电路中,采样时使用部分电容的下极板进行采样,并在转换开始时将处理后的残差电压传输到仅用于采样的第一电容模块中的下极板处,基于电荷守恒原理将处理后的残差电压与输入信号进行求和以实现噪声整形的功能,在此基础上可以采用单输入通路的比较模块,避免使用双输入通路比较器,从而避免了由于双输入通路比较器中的两对输入对管之间的不匹配以及两对输入对管之间共模电压的不匹配引入的问题。并且,在DAC模块中进行的是下极板采样,相比于上极板采样,可以避免在不同采样周期中比较器的寄生电容的不匹配引入的非线性。综上,本实施例提供的模数转换电路提高了模数转换的精度。

[0126] (2) 本实施例提供的模数转换电路可以共同实现下极板采样和MES功能,进一步实现失配误差整形。

[0127] (3) 本实施例提供的模数转换电路还可以共同实现下极板采样、MES功能和DWA功能,采用MES方法解决低位电容失配的问题,采用DWA方法解决高位电容失配的问题,进一步提高了模数转换的精度。

[0128] 本申请示例性实施例还提供一种芯片,包括本申请实施例提供的模数转换电路。在模数转换电路中,采样时使用部分电容的下极板进行采样,并在转换开始时将处理后的残差电压传输到仅用于采样的第一电容模块中的下极板处,基于电荷守恒原理将处理后的残差电压与输入信号进行求和以实现噪声整形的功能,在此基础上可以采用单输入通路的比较模块,避免使用双输入通路比较器,从而避免了由于双输入通路比较器中的两对输入对管之间的不匹配以及两对输入对管之间共模电压的不匹配引入的问题。并且,在DAC模块中进行的是下极板采样,相比于上极板采样,可以避免在不同采样周期中比较器的寄生电容的不匹配引入的非线性。提高了模数转换的精度,从而可以提高芯片性能。

[0129] 本申请示例性实施例还提供一种电子设备,包括本申请实施例提供的模数转换电路。在模数转换电路中,采样时使用部分电容的下极板进行采样,并在转换开始时将处理后

的残差电压传输到仅用于采样的第一电容模块中的下极板处,基于电荷守恒原理将处理后的残差电压与输入信号进行求和以实现噪声整形的功能,在此基础上可以采用单输入通路的比较模块,避免使用双输入通路比较器,从而避免了由于双输入通路比较器中的两对输入对管之间的不匹配以及两对输入对管之间共模电压的不匹配引入的问题。并且,在DAC模块中进行的是下极板采样,相比于上极板采样,可以避免在不同采样周期中比较器的寄生电容的不匹配引入的非线性。提高了模数转换的精度,从而可以提高电子设备性能。

[0130] 以上对本申请所提供的一种逐次逼近型模数转换电路、控制方法、芯片及电子设备进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想;同时,对于本领域的一般技术人员,依据本申请的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本申请的限制。

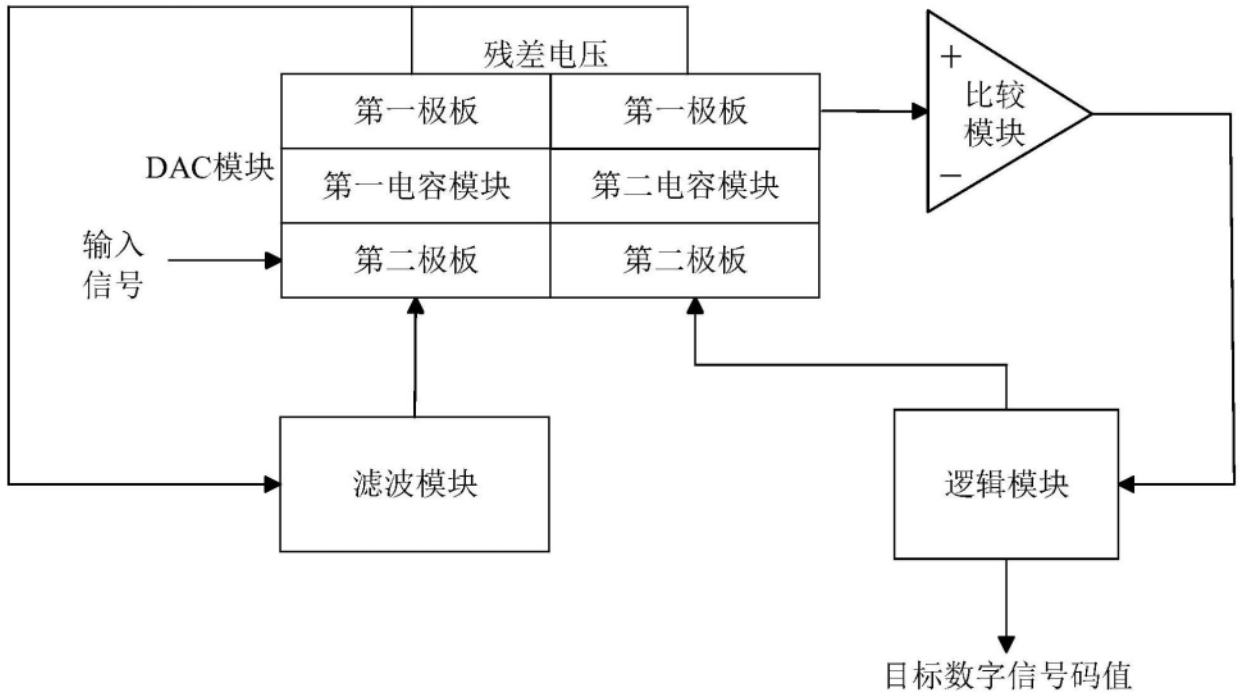


图1

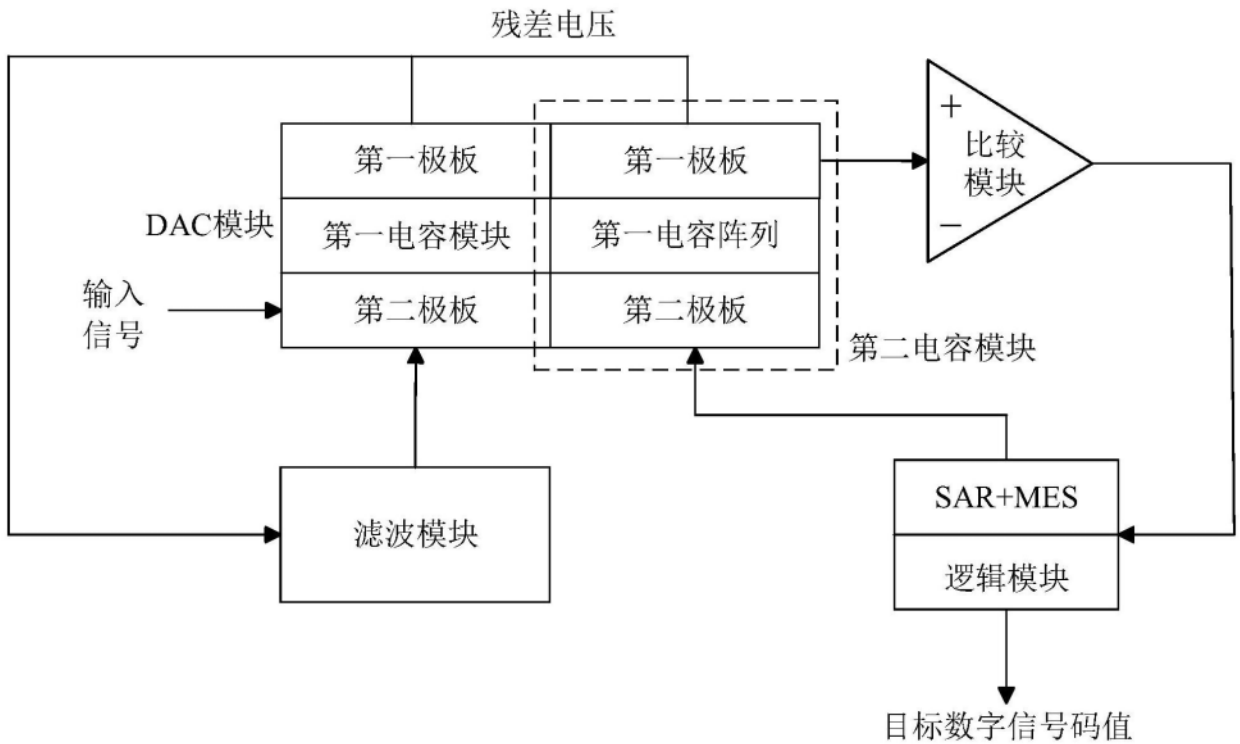


图2

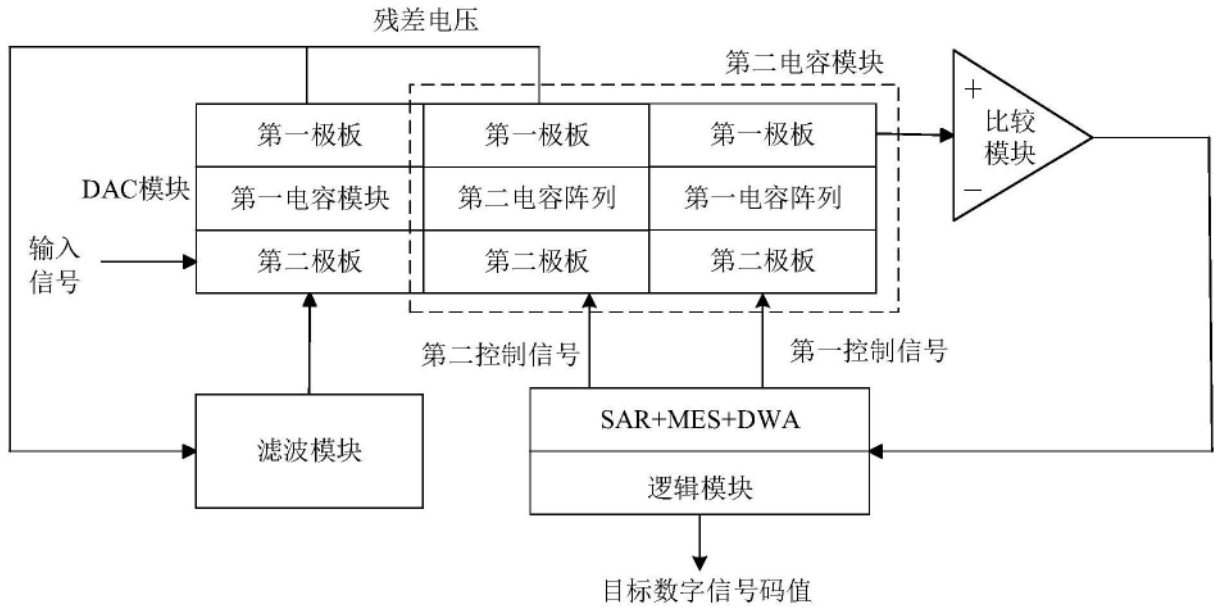


图3

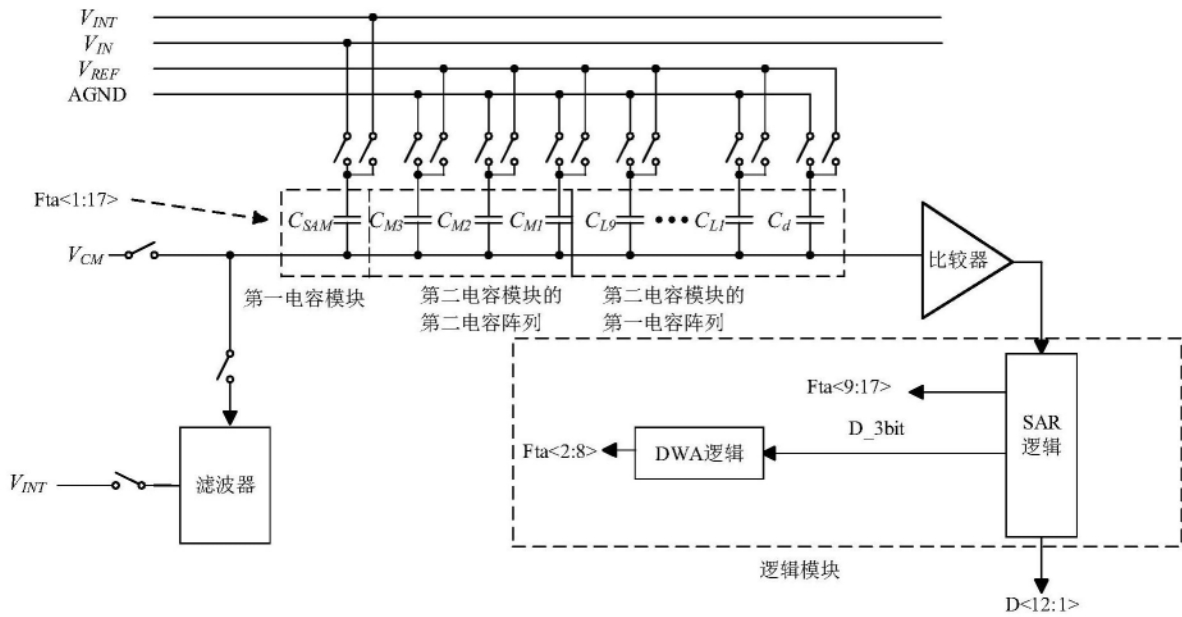


图4

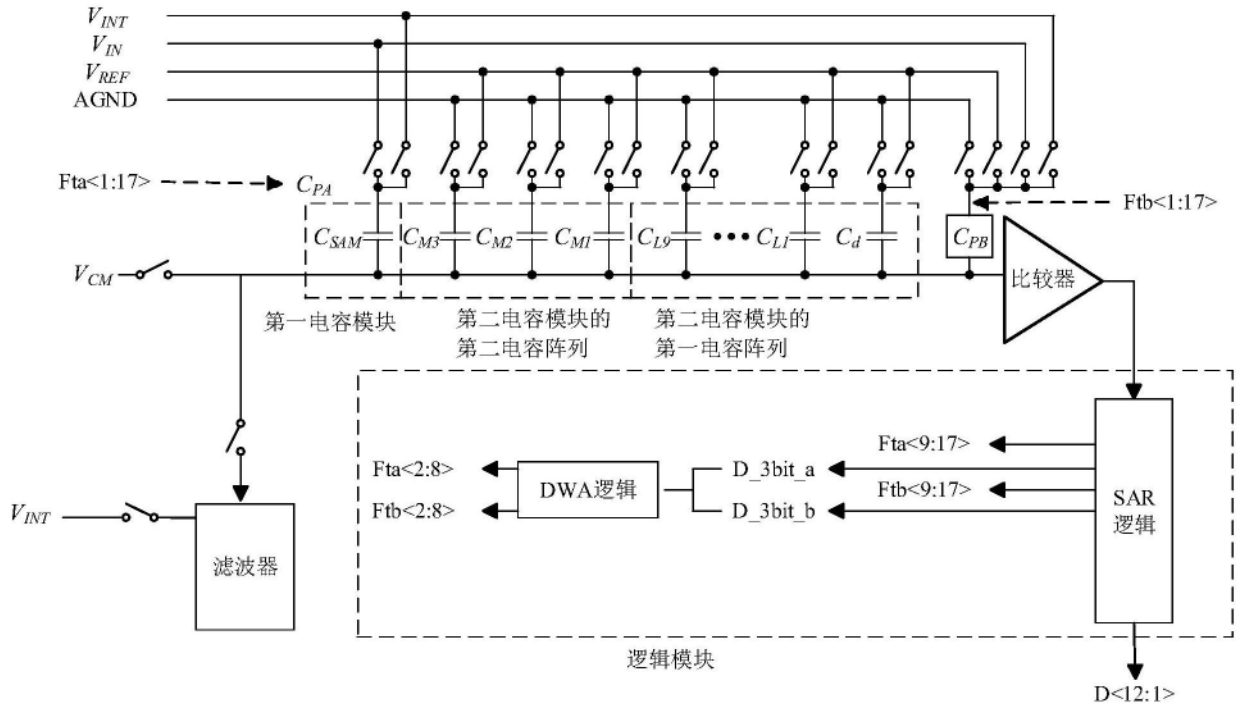


图5

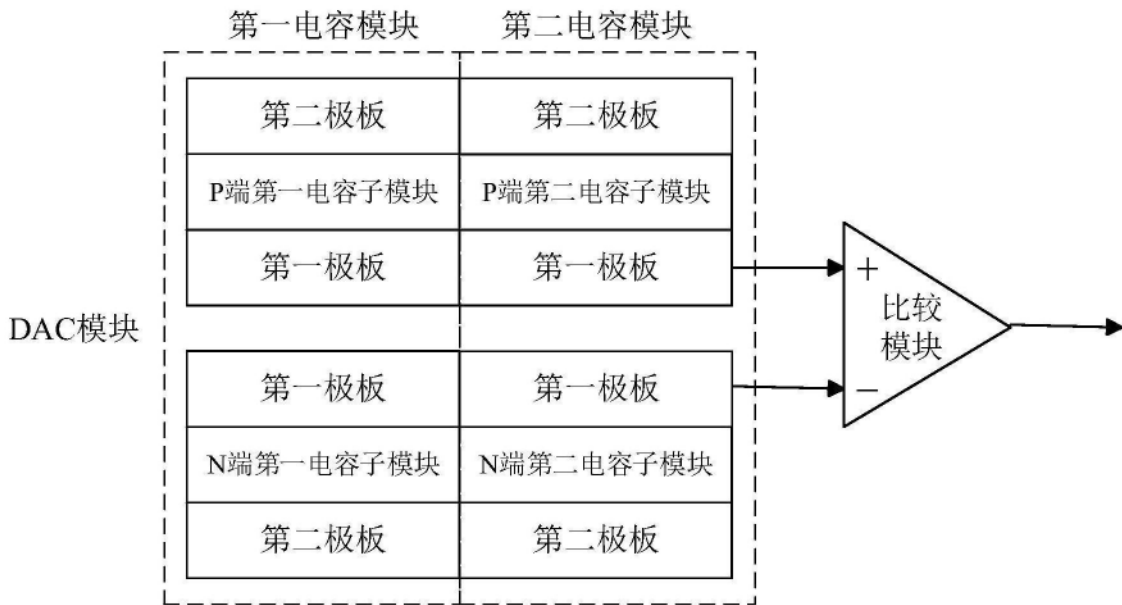


图6

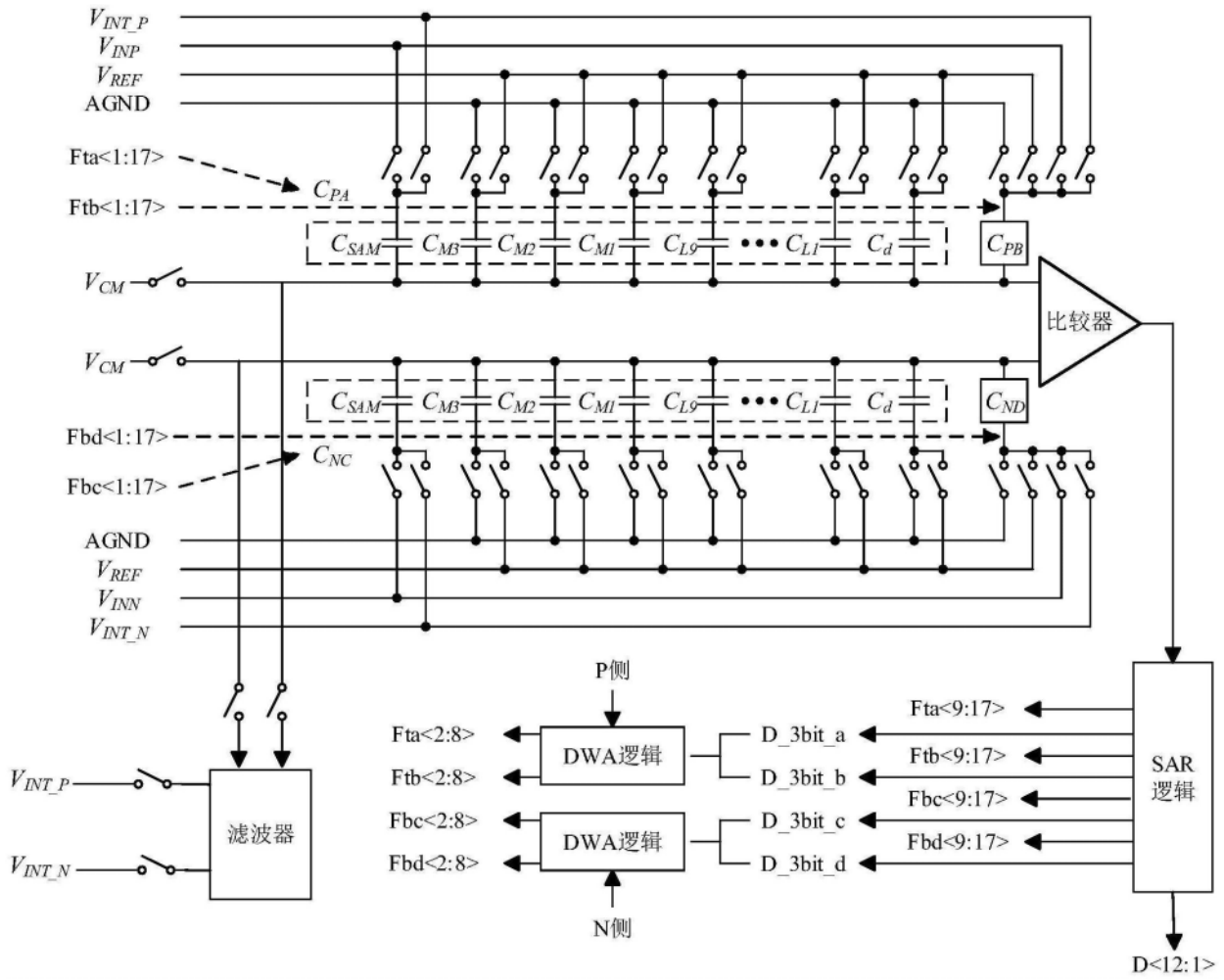


图7

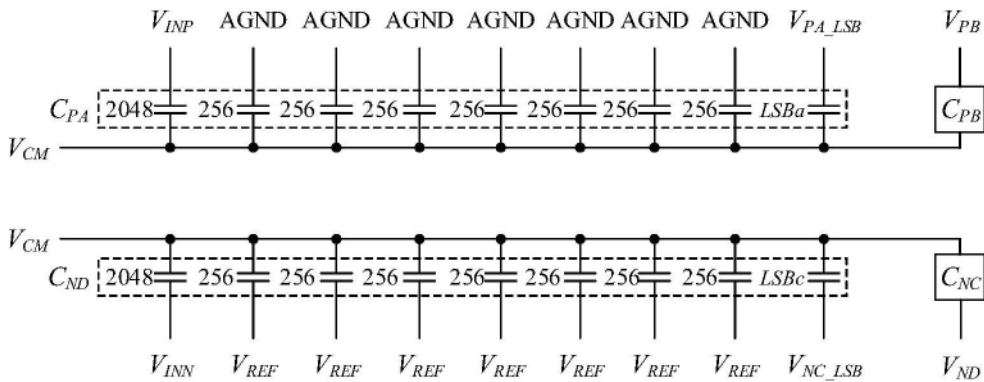


图8

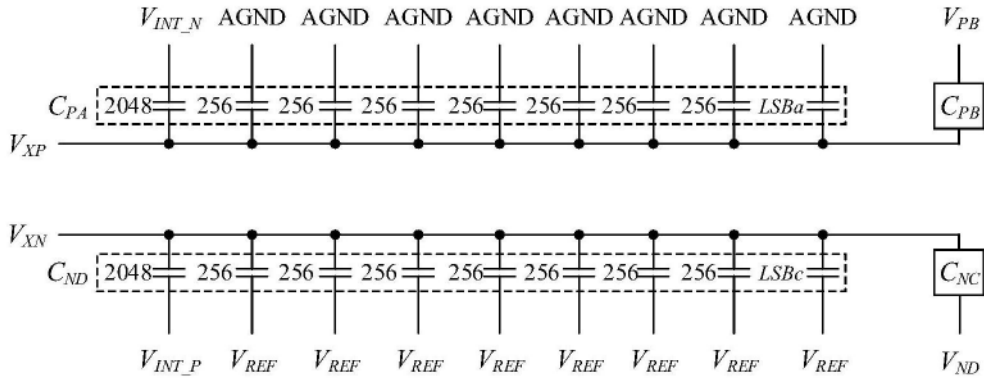


图9

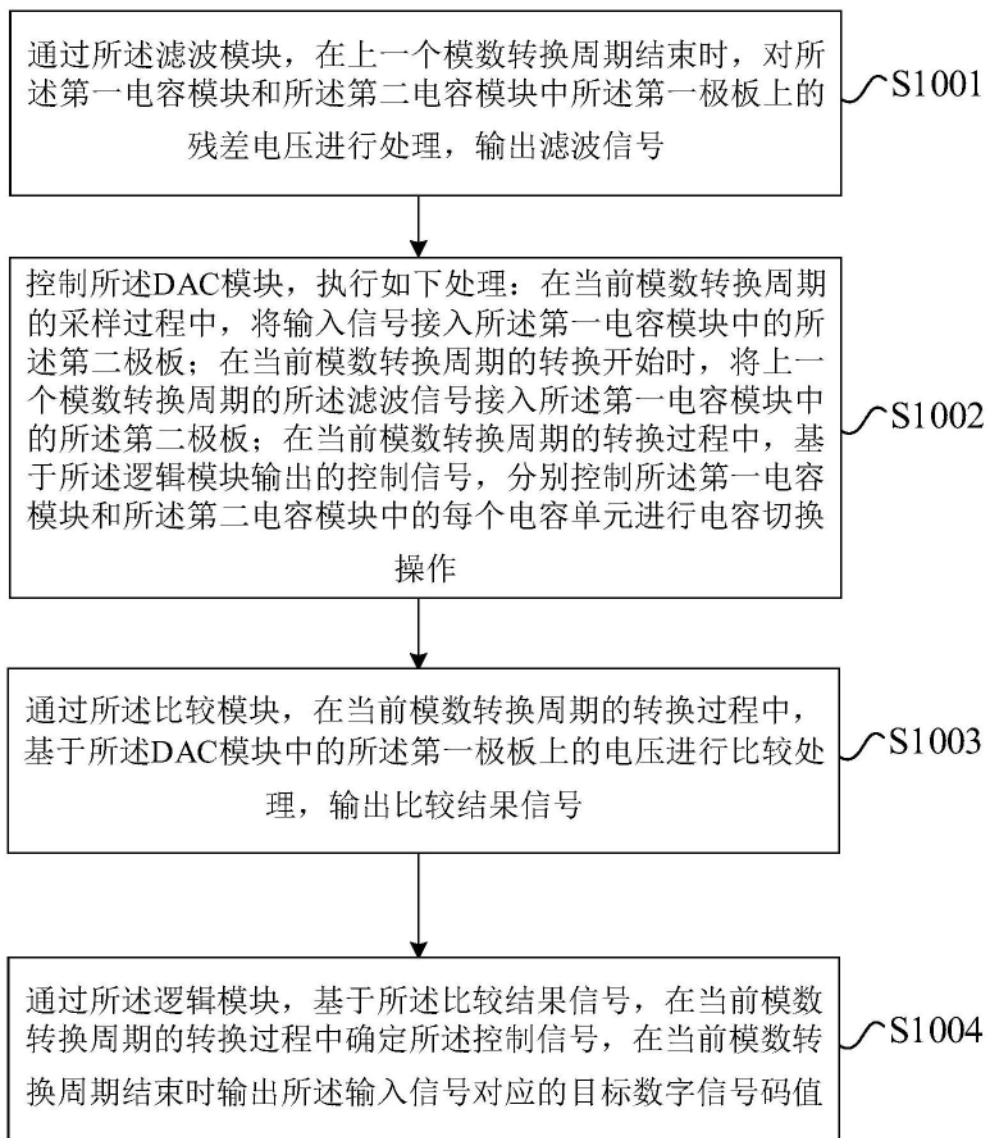


图10