

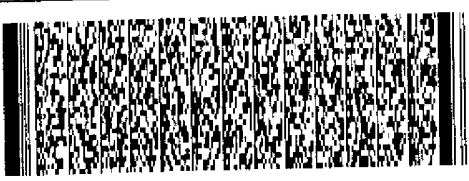
公告本

申請日期： 87.11.11 案號： 87118530
 類別： H01L 29/33, 29/78

(以上各欄由本局填註)

發明專利說明書 437086

一、發明名稱	中文	半導體裝置、靜電放電保護元件及絕緣破壞防止方法
	英文	SEMICONDUCTOR DEVICE, ELECTROSTATIC PROTECTIVE ELEMENT, AND DIELECTRIC BREAKDOWN PREVENTING METHOD
二、發明人	姓名(中文)	1. 佐佐木 誠
	姓名(英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內
三、申請人	姓名(名稱)(中文)	1. 日本電氣股份有限公司
	姓名(名稱)(英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所(事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人姓名(中文)	1. 金子 尚志
	代表人姓名(英文)	1.



本案已向

國(地區)申請專利

申請日期 案號

主張優先權

日本 JP

1997/11/12 特願平9-325156

有

有關微生物已寄存於

寄存日期

寄存號碼



五、發明說明 (1)

發明背景

發明之領域

本發明係關於半導體裝置、靜電放電保護元件及靜電破壞防止方法的技術，特別是關於MOS電晶體之絕緣破壞的技術。

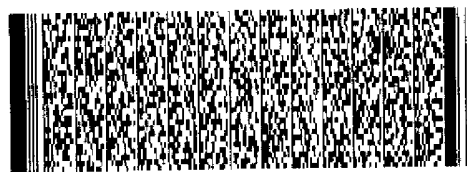
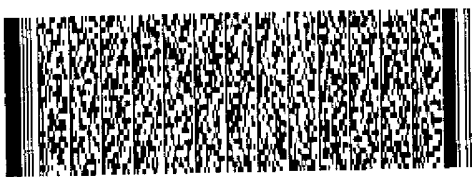
相關技術之描述

在半導體裝置中，特別是包含MOS電晶體的積體電路中，從外部向著信號輸入/輸出部的靜電放電很容易導致閘極絕緣破壞，且因此在輸入/輸出部提供靜電破壞防止元件是必要的。

圖1為顯示日本專利公開公報第2-238668號所揭露之習知半導體裝置之靜電放電保護元件的平面圖，而圖2為顯示習知靜電破壞保護元件的橫剖面圖。

在此等圖中，參考號數3代表閘極電極，5代表汲極接觸區，6代表閘極接觸區，7代表源極接觸區，8代表井接觸區，9代表用於連接到p井的 p^+ 擴散層，10代表源極，11代表汲極，12代表p井，20代表用於連接閘極電極與井的鋁配線，21代表用於連接到井的 p^- 擴散層，而22代表用於連接閘極電極與井的接觸孔。此外，13代表閘極氧化膜，而14代表場氧化膜。

在此習知技術中，作為被保護元件的一內部電路與一輸入/輸出焊墊係連接到汲極11。閘極電極3係由鋁配線20、接觸孔22與 p^- 擴散層21連接到p井12。此外，p井12係由 p^+ 擴散層9連接到接地電極。



五、發明說明 (2)

以下將說明此靜電破壞保護元件的運作。當對連接到輸入/輸出焊墊的汲極11施加高電壓時，在汲極11與井12間之接合處發生破壞，而電流由汲極11流通到井12，而保護了內部電路。即使在破壞期間藉由流到p井12的電流使p井12的電位提高，仍由於閘極電極3係連接到p井12，而閘極電極3與p井12具有大約相等的電位，而因此並不會發生閘極絕緣膜被閘極電極3與p井12間之電位差異所損壞的情況。

然而，在習知靜電放電保護元件中，在擴散層與井間之接合處的破壞被用來作靜電保護。接合處的破壞電壓取決於接合部分的雜質濃度，且通常其約為8~10 V。另一方面，MOS電晶體的閘極氧化膜無論膜厚為何均會由於約15 MV/cm以上的電場而損壞。因此，若藉由MOS電晶體的微細化將閘極氧化膜薄膜化，則致使閘極絕緣破壞的電壓變成小於接合處的破壞電壓。

舉例來說，在膜厚為4 nm的閘極氧化膜中，在6 V下閘極氧化膜導致絕緣破壞，且此顯然小於接合處的破壞電壓8 V。因此，在將接合處的破壞用於保護元件之運作原理的情況下，則保護內部MOS電晶體變得不可能。

發明概要

本發明的一目的為提供：一種靜電放電保護元件，其藉由在電壓小於將導致閘極絕緣破壞之電壓運作而可防止內部電路的閘極絕緣破壞；一種半導體裝置，其包含該靜



五、發明說明(3)

電放電保護元件；與靜電破壞防止方法。

依照本發明的半導體裝置為一種可防止閘極絕緣破壞的半導體裝置，此乃藉由從外部向著包含MOS電晶體之積體電路的信號輸入/輸出部的靜電放電。此半導體裝置的構成為：井接觸孔對於井的接觸面積係由設置在接觸孔區中的閘極電極所限制，以使對於井的連接電阻提高。

在此情況下，最好是將接觸孔對於井的連接電阻設定為一電阻值可使MOS電晶體的寄生雙極電晶體位於電壓小於將導致閘極絕緣破壞之電壓的導通狀態。

此外，依照本發明的另一種半導體裝置，包含：

輸入/輸出配線；

電源線，用於供應接地電位與源極電位；

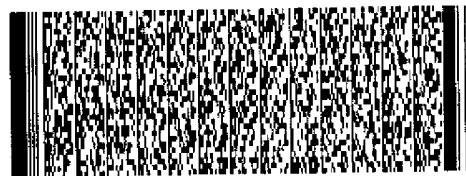
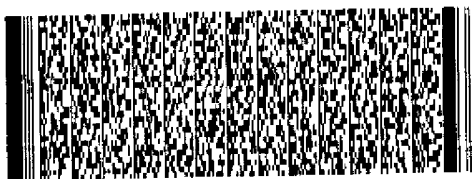
一種導電型的井，其係形成於一導電型之半導體基板的表層部分，且具有較半導體基板高的雜質濃度；

具相反導電型的源極與汲極，其係形成於一導電型之井的表層部分，且由一通道區所分隔，該汲極係連接到該輸入/輸出配線且該源極係連接到該電源線；

一種導電型的井接觸區，其係形成於一導電型之井的表層部分上，且藉由場絕緣膜與該源極與該汲極分隔，井接觸區係連接到電源線；

接觸孔，其形成於半導體基板的表面上，並連接井接觸區上的金屬配線與井接觸區；

閘極電極，其隔著朝向半導體基板表面的閘極絕緣膜形成於通道區；與



五、發明說明(4)

閘極電極，其隔著朝向半導體基板表面的閘極絕緣膜形成於井接觸孔區。

接著，將汲極連接到輸入/輸出配線，且將該源極、閘極電極與井接觸區連接到電源線的接地電位或電源電位。

在此情況下，也可具有以下構成：對於一導電型之井的接觸面積係藉由形成於井接觸孔區的閘極電極而加以限制。

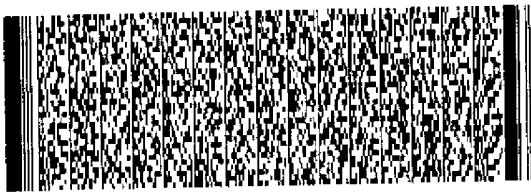
此外，也可具有以下構成：對於一導電型之井的接觸面積係藉由將形成於井接觸孔區的閘極電極排列在井接觸區之兩側上而加以限制。

此外，也可具有以下構成：對於一導電型之井的接觸面積係藉由將形成於井接觸孔區的閘極電極排列成圍繞井接觸區周邊的方式而加以限制。

此外，也可具有以下構成：對於一導電型之井的接觸面積係藉由將形成於井接觸孔區的閘極電極排列在井接觸區之中央部分而加以限制。

此外，也可具有以下構成：對於一導電型之井的接觸面積係藉由將形成於井接觸孔區的閘極電極連接到形成於通道區的閘極電極而加以限制。

再者，本發明的靜電放電保護元件為包含MOS電晶體之半導體裝置的靜電放電保護元件，其中將源極、閘極與井連接到電源線的接地電位或電源電位與將汲極連接到輸入/輸出配線。此靜電放電保護元件包含以下功能：藉由



五、發明說明(5)

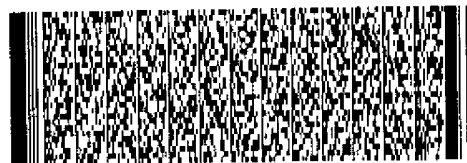
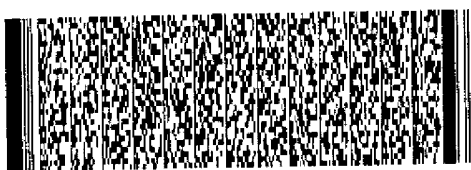
以井接觸區中所設置的閘極絕緣膜而從井絕緣的閘極電極來限制井接觸孔向著該井的接觸面積，與使MOS電晶體的寄生雙極電晶體的運作容易進行，使得可執行靜電保護。

另一方面，依照本發明的靜電保護方法為一種半導體裝置的絕緣破壞防止方法，用於防止閘極絕緣破壞，此乃藉由從外部向著包含MOS電晶體之積體電路的輸入/輸出部的靜電放電。在此靜電保護方法中，井接觸孔對於井的接觸面積係藉由接觸孔區中設置的閘極電極所限制，以使對於井的連接電阻提高，且因此使MOS電晶體的寄生雙極電晶體位於電壓小於將導致閘極絕緣破壞之電壓的導通狀態，使得施加到汲極的過量電壓可以流到接地電極或電源電極。

在本發明中，井接觸孔對於井的接觸面積係藉由接觸孔區中設置的閘極電極所限制，使得對於井的連接電阻提高。因此，使MOS電晶體的寄生雙極電晶體位於電壓小於將導致閘極絕緣破壞之電壓的導通狀態。因此，施加到汲極的過量電壓可以流到接地電極或電源電極，使得可以保護電路免受靜電破壞。

因此，依照本發明，可獲得的技術包括：一種靜電放電保護元件可以在構件微小化的同時防止閘極絕緣膜的靜電破壞；一種半導體裝置具有靜電放電保護元件；與一種絕緣破壞防止方法。

圖式之簡單說明



五、發明說明 (6)

圖1為習知半導體裝置之靜電放電保護元件的平面圖。

圖2為習知半導體裝置之靜電放電保護元件的橫剖面構造圖。

圖3為依照本發明之第1實施例的半導體裝置的平面圖。

圖4為沿著圖3之IV-IV的橫剖面圖。

圖5為說明本發明之第1實施例中寄生雙極電晶體之等效電路的橫剖面圖。

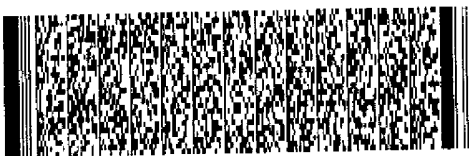
圖6為依照本發明之第2實施例的半導體裝置的平面圖。

圖7為依照本發明之第3實施例的半導體裝置的平面圖。

圖8為依照本發明之第4實施例的半導體裝置的平面圖。

符號說明

- 1~輸入/輸出焊墊
- 2~接地電極
- 3~閘極電極
- 4~閘極電極
- 5~汲極接觸區
- 6~閘極接觸區
- 7~源極接觸區



五、發明說明 (7)

- 8~井接觸區
- 9~用於連接到p井的p⁺擴散層
- 10~源極
- 11~汲極
- 12~p井
- 13~閘極氧化膜
- 14~場氧化膜
- 20~用於連接閘極電極與井的鋁配線
- 21~用於連接到井的p⁺擴散層
- 22~用於連接閘極電極與井的接觸孔

較佳實施例之詳細說明

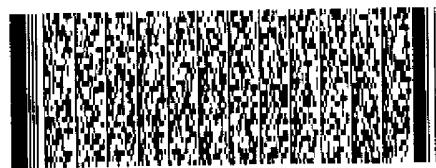
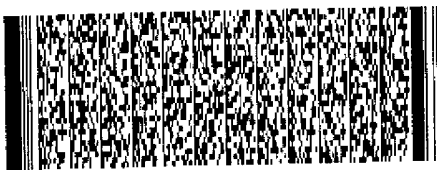
以下將參考附圖說明本發明之較佳實施例。

圖3為顯示依照本發明之第1實施例的靜電放電保護元件的平面圖，而圖4為沿著圖3之IV-IV連線的橫剖面圖。

如圖3所示，從接地電極2引導到p井12之井接觸區8的接觸面積係藉由設置在接觸區兩邊的閘極電極4所限制。

閘極電極4係藉由與閘極電極3之圖案化相同的方法所形成。將閘極電極3與源極10連接到接地電極2，並將汲極11連接到輸入/輸出焊墊1與作為被保護元件的內部電路。此外，參考號數5為汲極接觸區，參考號數6為閘極接觸區，而參考號數7為源極接觸區。

由於設置在井接觸區8周邊的閘極電極4係圖案化於形成閘極電極3的同時，故如圖4所示閘極電極4係藉由閘極



五、發明說明(8)

氧化膜13而與p井12絕緣且以區域B連接到p⁺擴散層9，且因此向著p井12的連接電阻增大到大於當其以一般接觸尺寸連接到p井12時的電阻。此外，參考號數14為場氧化膜。

接著，將說明本實施例之靜電保護的運作。

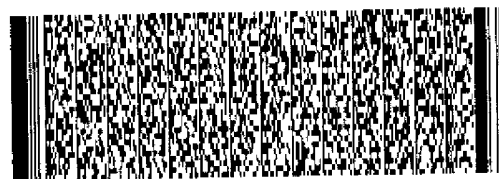
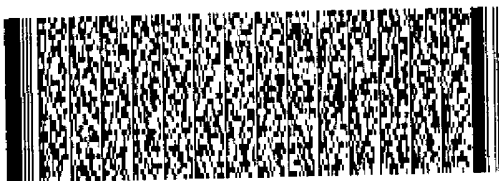
如圖5所示，作為保護元件的MOS電晶體為寄生雙極電晶體，其中等效地汲極11為集極，p井12為基極，而源極10為射極。

當將高電壓施加到連接到輸入/輸出焊墊1的汲極11時，一遺漏電流從汲極11流到p井12。此時，由於從p井12到接地電極的連接電阻很大，故汲極11的電位提高。

此p井12的電位提高等於寄生雙極電晶體的基極電位提高，且因此若當與作為射極的源極10比較時基極電位提高約0.6 V，則寄生雙極電晶體變為導通狀態，且電流從作為集極的汲極11流到作為射極的源極10，以保護內部電路避免高電壓施加於內部電路。

在習知靜電放電保護元件的構造中，作為保護元件之MOS電晶體之源極10與p井12的接觸區為毗鄰，且源極10與p井12之間的電位差幾乎不會提高。即，靜電保護係藉由執行汲極11之接合處的破壞而執行，並不操作寄生雙極電晶體。

由於接合處的破壞電壓係完全由接合部分的雜質濃度所決定，故在習知靜電放電保護元件中只要未對靜電放電保護元件注入雜質或其它物質，便不可能去設定保護元件



五、發明說明(9)

的操作電壓。

另一方面，在本發明中，由於藉由井接觸區8之連接電阻的靜電放電，故可以設定井的電壓提高。

如前所述，藉由井的電壓提高使寄生雙極電晶體變到導通狀態，其用作靜電放電保護元件，且因此可以藉由使井接觸區8之連接電阻增加的閘極電極4來設定靜電放電保護元件的操作電壓。

此外，在本發明中，藉由與閘極電極3之圖案化同時形成的閘極電極4來限制井接觸區8向著 p^+ 擴散層9的接觸面積，而增加向著 p 井12的連接電阻。

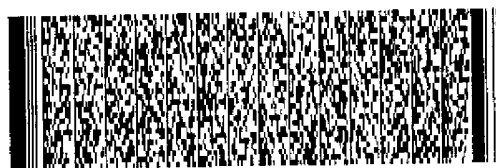
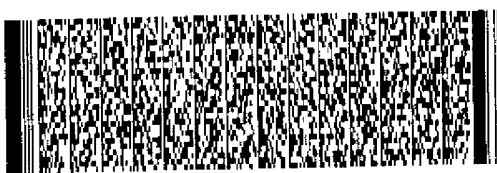
藉由縮小接觸孔的尺寸也可得到相同的效果。然而，刺穿一微小接觸孔是困難的，如周知的蝕刻等期間的微負載效應。

在本發明中，接觸孔的尺寸為可以刺穿的尺寸，而井接觸區8的接觸面積係藉由使用在半導體裝置的設計規則中為最小型之閘極電極的圖案化而加以限制。

如前所述，依照本發明，可以製造具有低操作電壓的靜電放電保護元件，而不增加步驟數且不改變製程。

接著，將說明依照本發明之第2實施例的靜電放電保護元件。在本實施例中，藉由限制井接觸區8向著 p^+ 擴散層之接觸面積的閘極電極4的形狀被做成迴路型，而使 p 井12的連接電阻提高。

依照此構造，當接觸孔以光刻法所圖案化時，即使將接觸孔傳送到閘極電極4有所偏移，只要閘極電極4的中央



五、發明說明 (10)

此存在於接觸孔中，仍可以得到相同的連接電阻。因此，可以穩定保護元件的操作電壓。

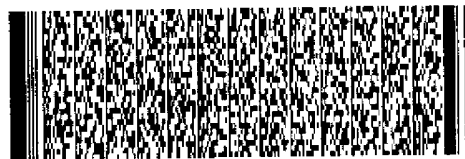
接著，將說明本發明之第3實施例。圖7顯示依照本發明之第3實施例的靜電放電保護元件。在本實施例中，藉由排列在井接觸區8之中央的閘極電極4，而對向著 p^- 擴散層之接觸面積加以限制。

依照本實施例，當與第1及第2實施例比較時可以使向著 p 井12的連接電阻提高。

接著，將說明本發明之第4實施例。圖8為顯示本實施例的圖。在本實施例中，藉由將限制對於井之接觸面積的閘極電極連接到MOS電晶體的閘極電極3，使得閘極接觸區變得不必要。

此外，將閘極電極3連接到向著 p 井12的井接觸區8，且閘極電極3的電位變成約等於 p^- 擴散層9者，且 p^- 擴散層9的電位約等於 p 井12的電位，且因此可以完成關於緩和施加到作為保護元件之MOS電晶體之閘極氧化膜13上之電場的功能，與保護閘極氧化膜13免受絕緣破壞。

附帶一提，在上述各實施例中，以 n 通道型電晶體作為例子來作為靜電放電保護元件，但也可使用 p 通道型MOS電晶體在同樣構造中完成靜電保護。

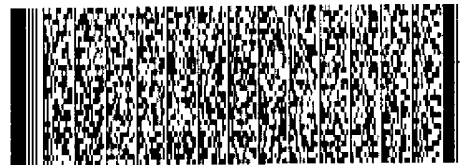
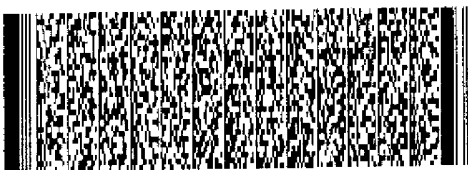


四、中文發明摘要 (發明之名稱：半導體裝置、靜電放電保護元件及絕緣破壞防止方法)

包含MOS電晶體的半導體裝置，其中將源極、閘極與井連接到電源線的接地電位或電源電位，與將汲極連接到輸入/輸出配線。在本半導體裝置的靜電放電保護元件中，井接觸孔對於井的接觸面積係藉由以井接觸區8中所設置的閘極絕緣膜13(氧化膜)而從井12絕緣的閘極電極4來限制，且因此使得MOS電晶體之寄生雙極電晶體的操作變得容易，且可執行靜電保護。因此，可保護LSI中的MOS電晶體免受靜電破壞。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE, ELECTROSTATIC PROTECTIVE ELEMENT AND DIELECTRIC BREAKDOWN PREVENTING METHOD)

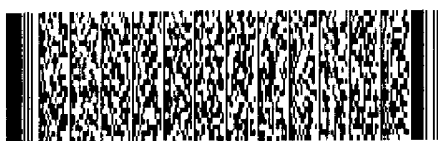
The semiconductor device includes an MOS transistor in which a source, a gate, and a well are connected to an ground potential or a source potential of a source wiring, and a drain is connected to an input/output wiring. In the electrostatic protective element of this semiconductor device, the contact area of a well contact hole to the well is limited by a gate electrode 4 insulated from the well 12 by a gate insulation film 13 (oxide film) provided in the



四、中文發明摘要 (發明之名稱：半導體裝置、靜電放電保護元件及絕緣破壞防止方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE, ELECTROSTATIC PROTECTIVE ELEMENT, AND DIELECTRIC BREAKDOWN PREVENTING METHOD)

area of the well contact 8, and consequently, it becomes easy to cause an operation of a parasitic bipolar transistor of an MOS transistor, and the electrostatic protection may be carried out. Accordingly, the MOS transistor in the LSI can be protected against the electrostatic breakdown.



六、申請專利範圍

1. 一種半導體裝置，用於防止由於從外部朝向包含MOS電晶體之積體電路的信號輸入/輸出部的靜電放電所造成的閘極絕緣破壞，其特徵為：井接觸孔對於井的接觸面積係由設置在接觸孔區中的閘極電極所限制，以提高對於井的連接電阻。

2. 如申請專利範圍第1項之半導體裝置，其中接觸孔對於井的連接電阻被設定為一電阻值可使MOS電晶體的寄生雙極電晶體位於電壓小於足以導致閘極絕緣破壞之電壓下的導通狀態。

3. 一種半導體裝置，包含：

一輸入/輸出配線；

一電源線，用於供應接地電位與源極電位；

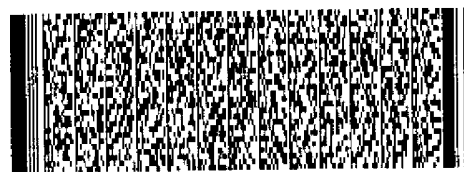
一種導電型的井，其係形成於一導電型之半導體基板的表層部分，且具有較半導體基板之雜質濃度高的雜質濃度；

具相反導電型的源極與汲極，其係形成於一導電型之井的表層部分，且由一通道區所分隔，該汲極係連接到該輸入/輸出配線且該源極係連接到該電源線；

一種導電型的井接觸區，其係形成於一導電型之井的表層部分上，且藉由場絕緣膜與該源極及該汲極分隔，井接觸區係連接到電源線；

一接觸孔，其形成於該半導體基板的表面上，並連接該井接觸區上的金屬配線與井接觸區；

一第1閘極電極，其隔著該半導體基板之表面上的閘



六、申請專利範圍

極絕緣膜形成於通道區上，第1閘極電極係連接到電源線；與

一第2閘極電極，其隔著該半導體基板之表面上的閘極絕緣膜形成於井接觸孔區中，第2閘極電極係連接到電源線。

4. 如申請專利範圍第3項之半導體裝置，其係配置成：藉由形成於該井接觸孔區的閘極電極而限制對於該一導電型之井的接觸面積。

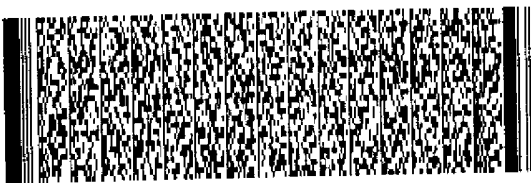
5. 如申請專利範圍第3項之半導體裝置，其係配置成：藉由將形成於該井接觸孔區的閘極電極排列在井接觸區之兩側而限制對於該一導電型之井的接觸面積。

6. 如申請專利範圍第3項之半導體裝置，其係配置成：藉由將形成於該井接觸孔區的閘極電極排列成圍繞井接觸區周邊的方式而限制對於該一導電型之井的接觸面積。

7. 如申請專利範圍第3項之半導體裝置，其係配置成：藉由將形成於該井接觸孔區的閘極電極排列在井接觸區之中央部分而限制對於該一導電型之井的接觸面積。

8. 如申請專利範圍第3項之半導體裝置，其係配置成：藉由將形成於該井接觸孔區的閘極電極連接到形成於該通道區的閘極電極而限制對於該一導電型之井的接觸面積。

9. 一種半導體裝置的靜電放電保護元件，具有MOS電晶體，此半導體裝置的靜電放電保護元件包含：



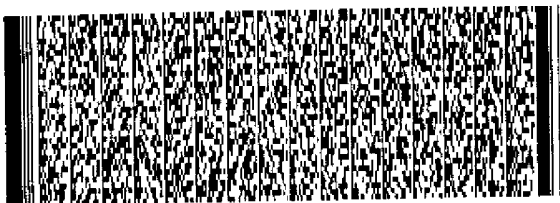
六、申請專利範圍

一源極、一閘極與一井，其連接到電源線的接地電位或電源電位；

一汲極，其連接到輸入/輸出配線；與

一閘極絕緣膜，其設置在井接觸區中以絕緣並分隔該閘極電極與該井，其中包含以下功能：藉由該閘極電極來限制井接觸孔對於該井的接觸面積，與使MOS電晶體的寄生雙極電晶體的運作容易進行，俾靜電保護得以達成。

10. 一種半導體裝置的絕緣破壞防止方法，用以防止由於從外部朝向包含MOS電晶體之積體電路的信號輸入/輸出部的靜電放電所造成的閘極絕緣破壞，其中井接觸孔對於井的接觸面積係藉由接觸孔區中設置的閘極電極所限制，以使對於井的連接電阻提高，且因此使MOS電晶體的寄生雙極電晶體位於電壓小於將導致閘極絕緣破壞之電壓的導通狀態，且施加到汲極的過量電壓可以流到接地電極或電源電極。



圖式

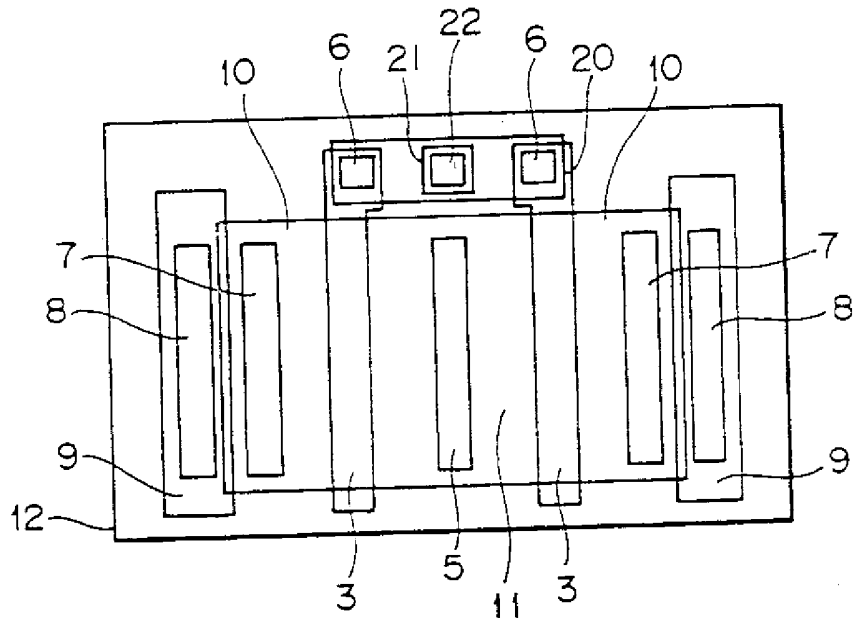


圖 1

圖式

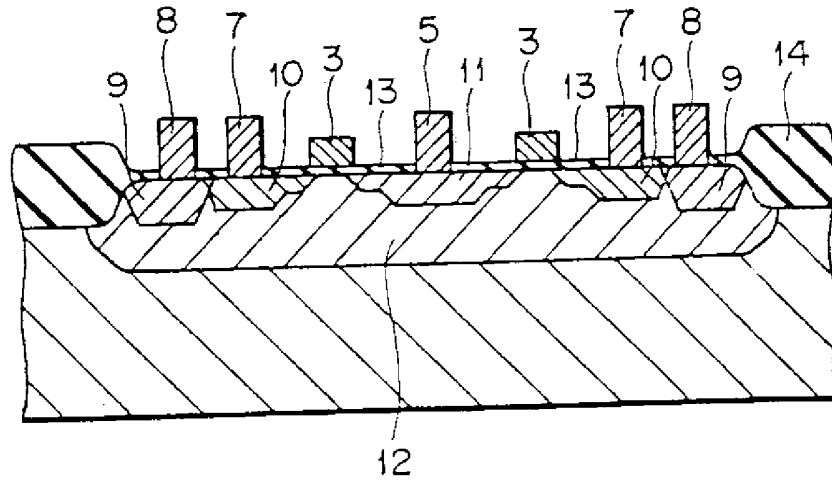


圖 2

圖式

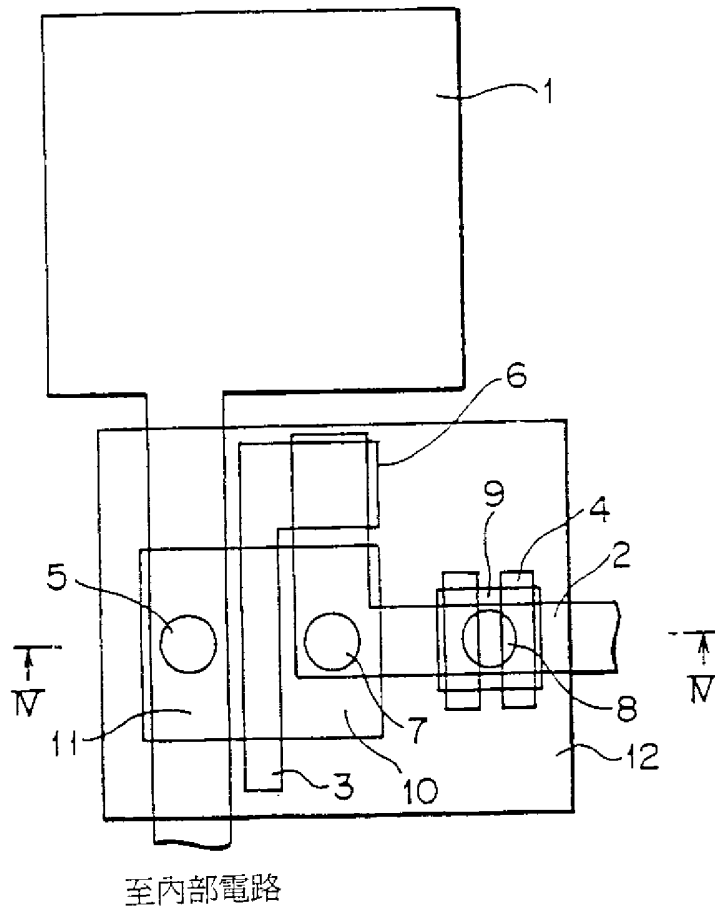


圖 3

圖式

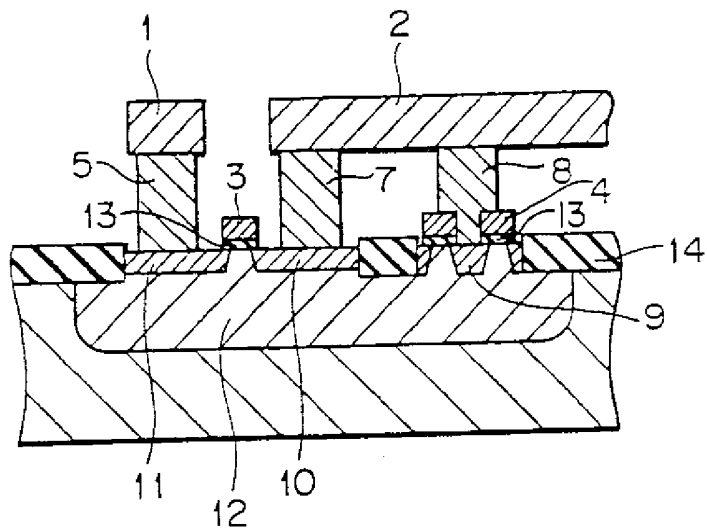


圖 4

圖式

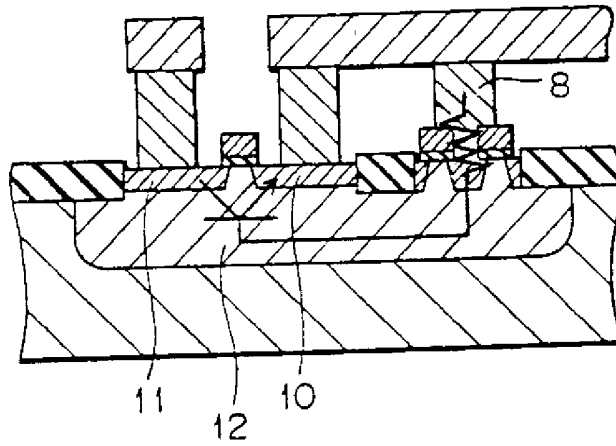


圖 5

圖式

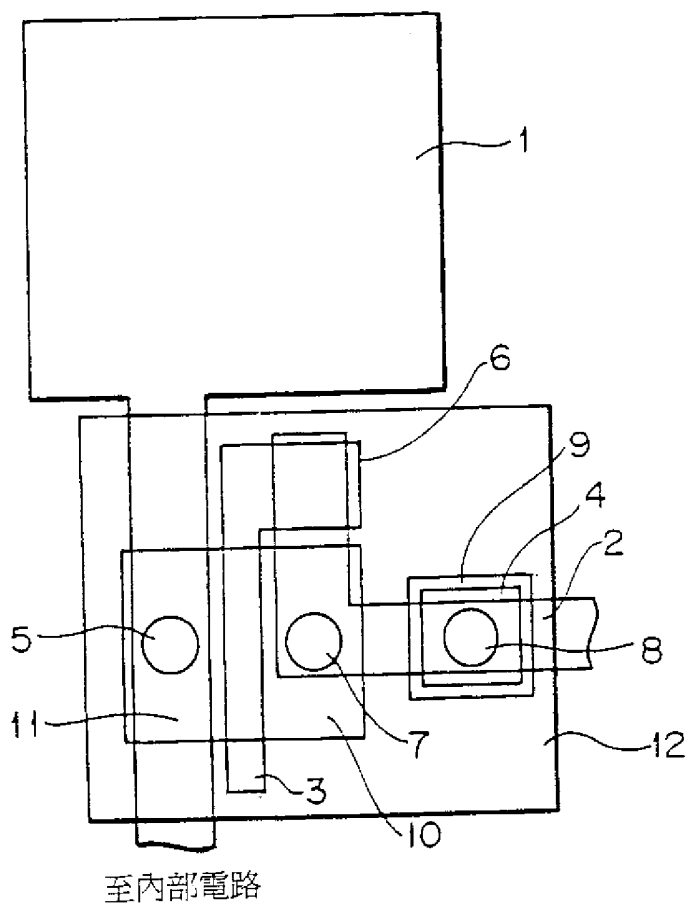


圖 6

圖式

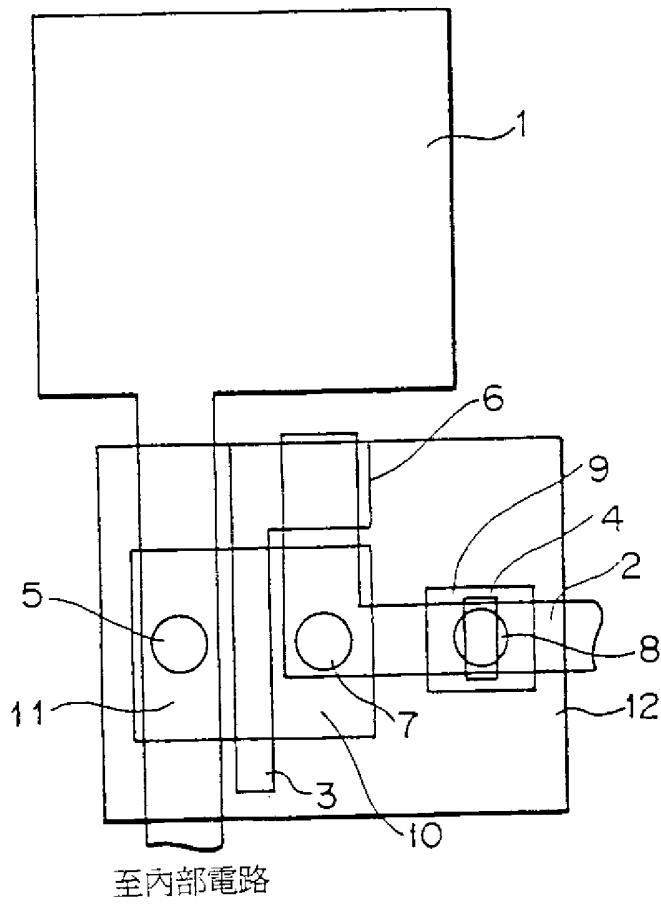


圖 7

圖式

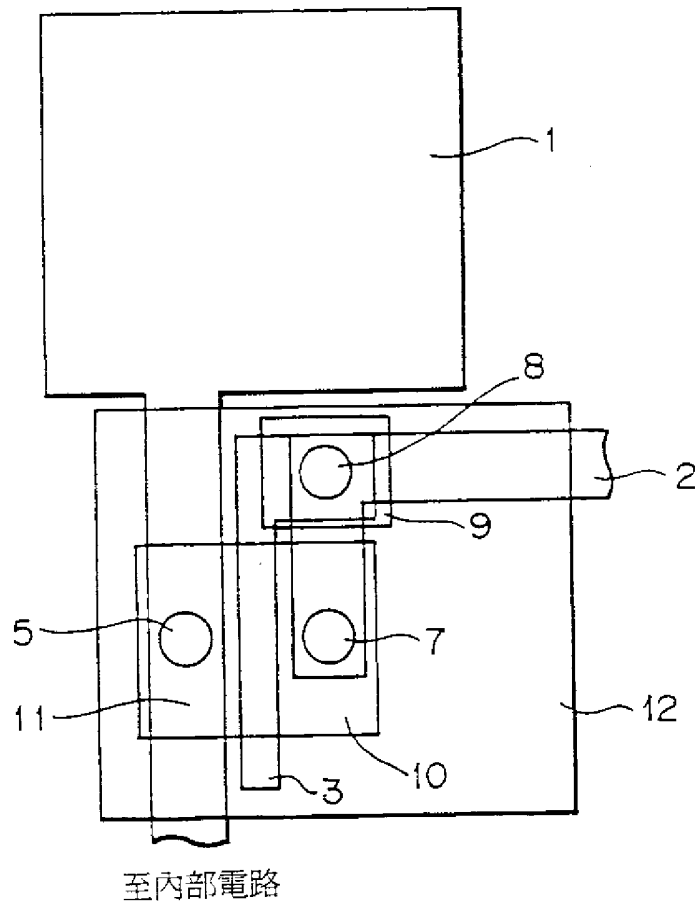


圖 8