



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0105527
(43) 공개일자 2015년09월17일

<p>(51) 국제특허분류(Int. Cl.) <i>C23C 14/34</i> (2006.01) <i>C04B 35/453</i> (2006.01) <i>H01L 29/786</i> (2006.01)</p> <p>(21) 출원번호 10-2014-0026722</p> <p>(22) 출원일자 2014년03월06일 심사청구일자 없음</p>	<p>(71) 출원인 삼성디스플레이 주식회사 경기 용인시 기흥구 삼성로1(농서동)</p> <p>(72) 발명자 키시모토 카츠시 경기 화성시 메타폴리스로 22, 301동 804호 (반송동, 시범다운마을다숲캐슬아파트) 다나카 요시노리 경기 화성시 동탄중앙로 171, 349동 1202호 (반송동, 시범다운마을우남퍼스트빌아파트) (뒷면에 계속)</p> <p>(74) 대리인 팬코리아특허법인</p>
---	--

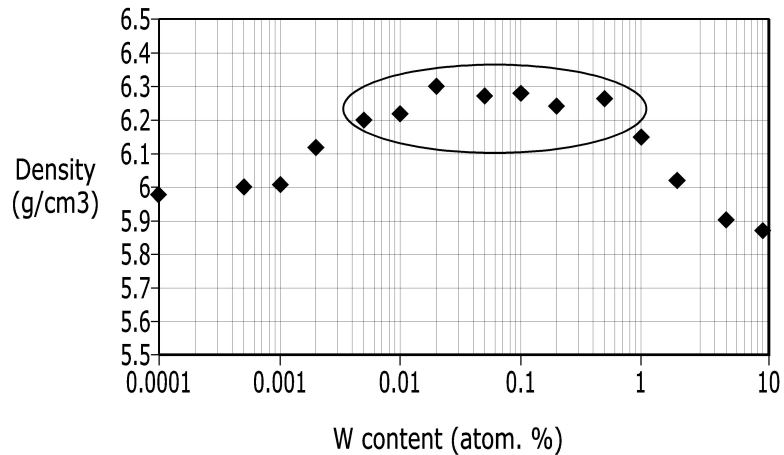
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 산화물 스퍼터링 타겟 및 이를 이용한 박막 트랜지스터

(57) 요약

본 발명의 일 실시예에 따른 스퍼터링 타겟은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 1 mol%의 텅스텐(W)을 포함한다.

대표도 - 도2



(72) 발명자

문연건

서울특별시 광진구 동일로44길 17-3 (군자동)

손상우

경기도 용인시 수지구 신봉2로 26, 119동 303호 (신봉동, LG신봉자이1차아파트)

신상원

경기도 용인시 수지구 진산로 108, 609동 602호 (풍덕천동, 진산마을삼성래미안6차아파트)

후카사와 타카유키

서울특별시 서초구 강남대로 224, 양재한신휴플러스아파트 1301호 (양재동)

명세서

청구범위

청구항 1

인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 1 mol%의 텅스텐(W)을 포함하는 산화물 스퍼터링 타겟.

청구항 2

제1항에서,

상기 인듐의 함량은 10 mol% 내지 60 mol%이고,

상기 아연의 함량은 10 mol% 내지 65 mol%이고,

상기 주석의 함량은 0.1 mol% 내지 60 mol%인 산화물 스퍼터링 타겟.

청구항 3

인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.01 mol% 내지 1 mol%의 니오븀(Nb)을 포함하는 산화물 스퍼터링 타겟.

청구항 4

제3항에서,

상기 인듐의 함량은 10 mol% 내지 60 mol%이고,

상기 아연의 함량은 10 mol% 내지 65 mol%이고,

상기 주석의 함량은 0.1 mol% 내지 60 mol%인 산화물 스퍼터링 타겟.

청구항 5

탈륨(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 0.1 mol%의 텅스텐(W)을 포함하는 산화물 스퍼터링 타겟.

청구항 6

제5항에서,

상기 탈륨과 인듐의 함량의 합은 10 mol% 내지 60 mol%이고,

상기 아연의 함량은 10 mol% 내지 65 mol%이고,

상기 주석의 함량은 0.1 mol% 내지 60 mol%인 산화물 스퍼터링 타겟.

청구항 7

탈륨(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.001 mol% 내지 1 mol%의 니오븀을 포함하는 산화물 스퍼터링 타겟.

청구항 8

제7항에서,

상기 탈륨과 인듐의 함량의 10 mol% 내지 60 mol%이고,

상기 아연의 함량은 10 mol% 내지 65 mol%이고,
 상기 주석의 함량은 0.1 mol% 내지 60 mol%인 산화물 스퍼터링 타겟.

청구항 9

게이트 전극,
 소스 전극,
 상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극,
 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고
 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고,
 상기 산화물 반도체층은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며,
 0.005 mol% 내지 1 mol%의 텅스텐(W)을 포함하는 박막 트랜지스터.

청구항 10

제9항에서,
 상기 산화물 반도체 층의 상기 인듐의 함량은 10 mol% 내지 60 mol%이고,
 상기 아연의 함량은 10 mol% 내지 65 mol%이고,
 상기 주석의 함량은 0.1 mol% 내지 60 mol%인 박막 트랜지스터.

청구항 11

게이트 전극,
 소스 전극,
 상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극,
 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고
 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고,
 상기 산화물 반도체층은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며,
 0.01 mol% 내지 1 mol%의 니오븀을 포함하는 박막 트랜지스터.

청구항 12

제11항에서,
 상기 산화물 반도체 층의 상기 인듐의 함량은 10 mol% 내지 60 mol%이고,
 상기 아연의 함량은 10 mol% 내지 65 mol%이고,
 상기 주석의 함량은 0.1 mol% 내지 60 mol%인 박막 트랜지스터.

청구항 13

게이트 전극,
 소스 전극,
 상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극,
 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고
 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고,
 상기 산화물 반도체층은 tantalum(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며,

0.005 mol% 내지 0.1 mol% 텅스텐(W)을 포함하는 박막 트랜지스터.

청구항 14

제13항에서,

상기 산화물 반도체 층의 상기 탈륨과 인듐의 함량의 합은 10 mol% 내지 60 mol%이고,

상기 아연의 함량은 10 mol% 내지 65 mol%이고,

상기 주석의 함량은 0.1 mol% 내지 60 mol%인 박막 트랜지스터.

청구항 15

게이트 전극,

소스 전극,

상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극,

상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고

상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고,

상기 산화물 반도체층은 탈륨(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며,

0.001 mol% 내지 1 mol%의 니오븀을 포함하는 박막 트랜지스터.

청구항 16

제15항에서,

상기 산화물 반도체 층의 상기 탈륨과 인듐의 함량의 10 mol% 내지 60 mol%이고,

상기 아연의 함량은 10 mol% 내지 60 mol%이고,

상기 주석의 함량은 0.1 mol% 내지 60 mol%인 박막 트랜지스터.

청구항 17

인듐 옥사이드(In₂O₃, Indium Oxide) 파우더, 징크 옥사이드(ZnO, Zinc Oxide) 파우더, 갈륨 옥사이드(Ga₂O₃, Gallium Oxide) 파우더, 틴 옥사이드(Sn₂O₃, Tin Oxide) 파우더, 탈륨 옥사이드(Tl₂O₃, Thallium Oxide)로 이루어진 군으로부터 선택되는 하나 이상의 파우더와 지름 200 um 이하의 텅스텐 옥사이드 파우더를 믹싱하는 단계,

상기 믹싱 파우더를 1200도 내지 1500의 온도로 소결하는 단계를 포함하는 산화물 스퍼터링 타겟의 제조 방법.

청구항 18

아연과 텅스텐 이온을 포함하는 알칼리 용액을 이용하여 ZnWO 파우더를 형성하는 단계,

인듐 옥사이드(In₂O₃, Indium Oxide) 파우더, 징크 옥사이드(ZnO, Zinc Oxide) 파우더, 갈륨 옥사이드(Ga₂O₃, Gallium Oxide) 파우더, 틴 옥사이드(Sn₂O₃, Tin Oxide) 파우더, 탈륨 옥사이드(Tl₂O₃, Thallium Oxide)로 이루어진 군으로부터 선택되는 하나 이상의 파우더와 상기 ZnWO 파우더를 믹싱하는 단계,

상기 믹싱 파우더를 1200도 내지 1500의 온도로 소결하는 단계를 포함하는 산화물 스퍼터링 타겟의 제조 방법.

청구항 19

인듐 옥사이드(In₂O₃, Indium Oxide) 파우더, 징크 옥사이드(ZnO, Zinc Oxide) 파우더, 갈륨 옥사이드(Ga₂O₃, Gallium Oxide) 파우더, 틴 옥사이드(Sn₂O₃, Tin Oxide) 파우더, 탈륨 옥사이드(Tl₂O₃, Thallium Oxide)로 이루어진 군으로부터 선택되는 하나 이상의 파우더를 혼합하는 단계,

상기 믹싱 파우더 위에 텅스텐 와이어를 위치시키는 단계,

상기 믹싱 파우더와 텅스텐 와이어를 1200도 내지 1500도의 온도로 가열하는 단계를 포함하는 산화물 스퍼터링

타겟의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 스퍼터링 타겟 및 이를 이용한 박막 트랜지스터에 대한 것이다.

배경 기술

[0002] 현재 박막 트랜지스터(Thin film transistor)는 디스플레이 분야에서 스위칭 및 구동 소자로 이용되고 있으며, 다양한 응용 분야에 이용되고 있다.

[0003] 디스플레이의 구동 및 스위칭 소자로서 사용되는 것으로, 비정질 실리콘 박막트랜지스터(a-Si TFT)가 있다. 이는 저가의 비용으로 대형 기판상에 균일하게 형성될 수 있는 소자로서 현재 가장 널리 쓰이는 소자이다. 그러나, 비정질 실리콘(amorphous silicon)이 많이 사용되고 있지만, 전하 이동도가 낮기 때문에, 고성능 박막 트랜지스터를 제조하는데 한계가 있다. 또한, 다결정 실리콘(polysilicon)을 사용하는 경우, 전하 이동도가 높아 고성능 박막 트랜지스터의 제조가 용이하지만, 원가가 비싸고 균일도가 낮아 대형의 박막 트랜지스터 표시판을 제조하는데 한계가 있다.

[0004] 이에 따라, 비정질 실리콘보다 전자 이동도가 높고 전류의 ON/OFF 비율이 높으면서, 다결정 실리콘보다 원가가 저렴하고 균일도가 높은 산화물 반도체(oxide semiconductor)를 이용하는 박막 트랜지스터에 대한 연구가 진행되고 있다.

[0005] 산화물 반도체 소자로 최근 각광을 받는 것으로 ZnO, IZO(InZnO), GIZO(GaInZnO), IZTO(InZnSnO) 등이 소개되었다. 산화물 반도체 소자는 저온 공정으로 제작이 가능하고 비정질 상이기 때문에 대면적화가 용이한 장점을 가진다. 현재, 이동도(mobility)가 높은 산화물 반도체 물질층, 즉 산화물계 물질층을 박막 트랜지스터의 채널 영역에 사용하기 위한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 밀도가 높은 산화물 스퍼터링 타겟 및 문턱 전압 이동이 최소화된 박막 트랜지스터를 제공하는 것이다.

과제의 해결 수단

[0007] 이러한 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 스퍼터링 타겟은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 1 mol%의 텅스텐(W)을 포함한다.

[0008] 상기 인듐의 함량은 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0009] 본 발명의 다른 실시예에 따른 스퍼터링 타겟은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.01 mol% 내지 1 mol%의 니오븀(Nb)을 포함한다.

[0010] 상기 인듐의 함량은 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0011] 본 발명의 다른 실시예에 따른 스퍼터링 타겟은 tantalum(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 0.1 mol%의 텅스텐(W)을 포함한다.

[0012] 상기 tantalum과 인듐의 함량의 합은 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0013] 본 발명의 다른 실시예에 따른 스퍼터링 타겟은 tantalum(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.001 mol% 내지 1 mol%의 니오븀을 포함한다.

[0014] 상기 tantalum과 인듐의 함량의 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주

석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

- [0015] 본 발명의 일 실시예에 따른 박막 트랜지스터는 게이트 전극, 소스 전극, 상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극, 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고, 상기 산화물 반도체층은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 1 mol%의 텅스텐(W)을 포함한다.
- [0016] 상기 산화물 반도체 층의 상기 인듐의 함량은 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.
- [0017] 본 발명의 다른 실시예에 따른 박막 트랜지스터는 게이트 전극, 소스 전극, 상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극, 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고, 상기 산화물 반도체층은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.01 mol% 내지 1 mol%의 니오븀을 포함한다.
- [0018] 상기 산화물 반도체 층의 상기 인듐의 함량은 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.
- [0019] 본 발명의 다른 실시예에 따른 박막 트랜지스터는 게이트 전극, 소스 전극, 상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극, 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고, 상기 산화물 반도체층은 tantalum(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 0.1 mol% 텅스텐(W)을 포함한다.
- [0020] 상기 산화물 반도체 층의 상기 tantalum과 인듐의 함량의 합은 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.
- [0021] 본 발명의 다른 실시예에 따른 박막 트랜지스터는 게이트 전극, 소스 전극, 상기 소스 전극과 동일층에 위치하며 상기 소스 전극과 마주보는 드레인 전극, 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 산화물 반도체층 그리고 상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 위치하는 게이트 절연막을 포함하고, 상기 산화물 반도체층은 tantalum(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.001 mol% 내지 1 mol%의 니오븀을 포함한다.
- [0022] 상기 산화물 반도체 층의 상기 tantalum과 인듐의 함량의 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 60 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.
- [0023] 본 발명의 일 실시예에 따른 산화물 스퍼터링 타겟의 제조 방법은 인듐 옥사이드(In₂O₃, Indium Oxide) 파우더, 징크 옥사이드(ZnO, Zinc Oxide) 파우더, 갈륨 옥사이드(Ga₂O₃, Gallium Oxide) 파우더, 틴 옥사이드(Sn₂O₃, Tin Oxide) 파우더, tantalum 옥사이드(Tl₂O₃, Thallium Oxide)로 이루어진 균으로부터 선택되는 하나 이상의 파우더와 지름 200 um 이하의 텅스텐 옥사이드 파우더를 믹싱하는 단계, 상기 믹싱 파우더를 1200도 내지 1500의 온도로 소결하는 단계를 포함한다.
- [0024] 본 발명의 다른 실시예에 따른 산화물 스퍼터링 타겟의 제조 방법은 아연과 텅스텐 이온을 포함하는 알칼리 용액을 이용하여 ZnWO 파우더를 형성하는 단계, 인듐 옥사이드(In₂O₃, Indium Oxide) 파우더, 징크 옥사이드(ZnO, Zinc Oxide) 파우더, 갈륨 옥사이드(Ga₂O₃, Gallium Oxide) 파우더, 틴 옥사이드(Sn₂O₃, Tin Oxide) 파우더, tantalum 옥사이드(Tl₂O₃, Thallium Oxide)로 이루어진 균으로부터 선택되는 하나 이상의 파우더와 상기 ZnWO 파우더를 믹싱하는 단계, 상기 믹싱 파우더를 1200도 내지 1500의 온도로 소결하는 단계를 포함한다.
- [0025] 본 발명의 다른 실시예에 따른 산화물 스퍼터링 타겟의 제조 방법은 인듐 옥사이드(In₂O₃, Indium Oxide) 파우더, 징크 옥사이드(ZnO, Zinc Oxide) 파우더, 갈륨 옥사이드(Ga₂O₃, Gallium Oxide) 파우더, 틴 옥사이드(Sn₂O₃, Tin Oxide) 파우더, tantalum 옥사이드(Tl₂O₃, Thallium Oxide)로 이루어진 균으로부터 선택되는 하나 이상의 파우더를 혼합하는 단계, 상기 믹싱 파우더 위에 텅스텐 와이어를 위치시키는 단계, 상기 믹싱 파우더와 텅스텐 와이어를 1200도 내지 1500도의 온도로 가열하는 단계를 포함한다.

발명의 효과

[0026] 이상과 같이 본 발명에 따른 산화물 스퍼터링 타겟 및 박막 트랜지스터는 발명은 인듐, 아연, 주석, 갈륨 및 추가적으로 탈륨을 포함하는 스퍼터링 타겟에 텅스텐 또는 니오븀을 적정 농도로 도핑함으로써 산화물 스퍼터링 타겟의 밀도를 증가시키고, 타겟으로 제조된 반도체 박막의 문턱 전압 이동을 최소화해 박막 트랜지스터의 신뢰성을 증가시켰다.

도면의 간단한 설명

[0027] 도 1은 텅스텐 도핑에 따른 활성화 에너지 변화를 나타낸 것이다.
 도 2는 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 텅스텐의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
 도 3은 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 니오븀의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
 도 4는 탈륨, 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 텅스텐의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
 도 5는 탈륨, 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 니오븀의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.
 도 7은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.
 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터의 반도체층의 텅스텐 함량을 다르게 하면서 문턱전압의 이동(Vth shift)을 측정하는 결과이다.
 도 9는 본 발명의 일 실시예에 따른 박막 트랜지스터의 반도체층의 니오븀 함량을 다르게 하면서 문턱전압의 이동(Vth shift)을 측정하는 결과이다.
 도 10은 본 발명 다른 실시예에 따른 박막 트랜지스터의 반도체층의 텅스텐 함량을 다르게 하면서 문턱전압의 이동(Vth shift)을 측정하는 결과이다.
 도 11은 본 발명 다른 실시예에 따른 박막 트랜지스터의, 반도체 층의 니오븀 함량을 다르게 하면서 문턱전압의 이동(Vth shift)을 측정하는 결과이다.

발명을 실시하기 위한 구체적인 내용

[0028] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0029] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0030] 본 발명의 일 실시예에 따른 스퍼터링 타겟은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 텅스텐이 0.005 mol% 내지 1 mol% 도핑되어 있다.

[0031] 본 발명의 일 실시예에 따른 스퍼터링 타겟에서, 인듐의 함량은 10 mol% 내지 60 mol%일 수 있다. 또한, 아연의 함량은 10 mol% 내지 65 mol%일 수 있다. 또한, 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0032] 이러한 산화물 스퍼터링 타겟은 인듐 옥사이드(In₂O₃, Indium Oxide), 징크 옥사이드(ZnO, Zinc Oxide), 갈륨 옥사이드(Ga₂O₃, Gallium Oxide), 틴 옥사이드(Sn₂O₃, Tin Oxide), 및 텅스텐 옥사이드(WO₃, Tungsten Oxide) 파우더를 비율에 맞게 믹싱한 후, 고온으로 소결하여 제조할 수 있다. 이때 텅스텐 옥사이드 파우더의 지름은 200 micron 이하일 수 있다. 통상적으로, 다른 파우더(인듐 옥사이드 등)의 지름은 1 mm 이하이다. 즉 산화물 스퍼터링 타겟을 구성하는 다른 조성물 파우더에 비하여, 도핑되는 텅스텐 옥사이드 파우더의 크기가 작다. 따라서 텅스텐 옥사이드 파우더가 다른 파우더 사이에 위치하면서 소결시 균일한 농도로 도핑된다.

- [0033] 또는 산화물 스퍼터링 타겟은 아연과 텅스텐 이온을 포함하는 알칼리 용액을 이용하여 ZnWO 파우더를 형성한 후, ZnWO 파우더와 인듐 옥사이드(In₂O₃, Indium Oxide), 징크 옥사이드(ZnO, Zinc Oxide), 갈륨 옥사이드(Ga₂O₃, Gallium Oxide), 틴 옥사이드(Sn₂O₃, Tin Oxide)의 파우더를 비율에 맞게 믹싱하여 소결하는 방법으로 제조할 수도 있다. 이 경우, ZnWO 파우더의 크기는 다른 파우더의 크기와 유사하여, 보다 고르게 믹싱된다. 따라서 텅스텐의 도핑이 균일하게 일어날 수 있다.
- [0034] 또는 산화물 스퍼터링 타겟은 인듐 옥사이드(In₂O₃, Indium Oxide), 징크 옥사이드(ZnO, Zinc Oxide), 갈륨 옥사이드(Ga₂O₃, Gallium Oxide), 및 틴 옥사이드(Sn₂O₃, Tin Oxide) 파우더를 균일하게 믹싱한 후, 소결단계에서 텅스텐 증기를 이용하여 도핑하여 제조할 수 있다. 이 방법은, 파우더가 소결되는 챔버 안에 텅스텐 와이어를 위치시키고 1200도 내지 1500도로 가열하여 제조하는 방법이다. 고온에 의해 텅스텐 와이어로부터 텅스텐 증기가 방출되어 파우더와 혼합되며 파우더의 소결시 균일하게 텅스텐이 도핑된다.
- [0035] 본 발명에서 산화물 스퍼터링 타겟의 텅스텐 도핑 농도는 0.005 mol% 내지 1 mol% 일 수 있다.
- [0036] 인듐, 아연, 주석 및 갈륨을 포함하는 스퍼터링 타겟은 타겟 내부에서 각 원자들이 육방 밀집 구조(hexagonal close packed)로 배열되어 있다. 육방 밀집 구조는 고체를 구성하는 각 입자가 서로 다른 12개의 입자와 접촉하며 평면에서는 6개의 입자와 접촉하는 구조로, 빈 공간을 최소화하는 결정 구조이다. 첫째 층은 1개의 중심 입자를 둘러싸며 6개의 입자가 배열하고, 두 번째 층은 3개의 입자가 삼각형을 이루어 중심 입자면 위에 배열하고 그 위층은 다시 1개의 중심 입자를 둘러싼 6개의 입자가 삼각형 입자면 위에 배열한다
- [0037] 인듐, 아연, 주석 및 갈륨을 포함하는 스퍼터링 타겟의 경우 육방 밀집 구조의 각 층에서의 인듐과 주석의 비율이 동일하지 않다. 예시적으로 육방 밀집 구조의 첫째 층의 주석의 비율이 20%라면, 둘째 층에서의 비율은 10%, 셋째 층에서의 비율은 35%와 같은 식으로 각 층에서의 구성 원자들의 비율이 다 다르게 된다.
- [0038] 인듐의 원자 크기는 1.44Å, 주석의 원자 크기는 1.40Å이다. 원자 크기가 다르기 때문에, 각 층에서의 인듐과 주석의 비율에 따라 이웃하는 층 사이의 거리가 달라지게 된다. 또한, 육방 밀집구조에서의 첫번째 층의 이웃한 원자사이의 거리 a 와 첫번째층과 세번째층 사이의 거리 c 의 비율인 c/a가 단일 물질로 이루어진 육방 밀집구조에 비하여 커지게 된다.
- [0039] 따라서, 스퍼터링 타겟의 밀도가 상대적으로 낮아지게 되고, 외부의 물(H₂O)이나 수소(H₂)의 공격에 대하여 스퍼터링 타겟의 저항성이 취약해진다. 이는 스퍼터링 타겟으로 제조한 반도체 박막에서도 동일하다. 제조된 박막의 밀도가 낮아지게 되고, 원자의 틈 사이로 물이나 수소의 공격이 용이하여 반도체 박막의 변형이 일어나게 된다. 이는 박막 트랜지스터로 사용시 문턱전압(threshold voltage)의 이동을 유발하게 된다. 즉, V_{th} Shift 값이 커진다.
- [0040] 정리하면, 스퍼터링 타겟의 낮은 밀도는 이로부터 제조된 박막 트랜지스터의 반도체 박막의 낮은 밀도로 이어지게 되고, 낮은 밀도로 인해 외부 환경에 의한 변형이 쉽게 이루어진다. 따라서, 제조된 박막 트랜지스터의 문턱전압(V_{th})이 이동하게 된다. V_{th}의 이동은 박막 트랜지스터의 신뢰성에 영향을 미치는 수치로서, 신뢰성이 감소하게 된다.
- [0041] 따라서 박막 트랜지스터의 신뢰성을 개선하기 위해서는 스퍼터링 타겟의 밀도를 높이는 것이 중요하다.
- [0042] 본 발명에서는 산화물 스퍼터링 타겟에 텅스텐을 0.005 mol% 내지 1 mol% 도핑함으로써, 스퍼터링 타겟의 밀도를 높이고 제조된 박막 트랜지스터의 신뢰성을 개선하였다.
- [0043] 텅스텐 도핑은 인듐, 아연, 주석 및 갈륨을 포함하는 스퍼터링 타겟의 경우 육방 밀집 구조의 각 층에서의 인듐과 주석의 비율이 동일하도록 하게 해준다.
- [0044] 도 1은 텅스텐 도핑에 따른 활성화 에너지 변화를 나타낸 것이다.
- [0045] 도 1을 참고하면, 각 층에서의 인듐과 주석의 비율이 다른 경우가 A, 각 층에서 인듐과 주석의 비율이 유사한 경우가 B에 해당한다. A 상태에서 B 상태가 되기 위해서는 ΔE_i 만큼의 활성화 에너지가 요구된다.
- [0046] 그러나 도 1에 도시된 바와 같이, 텅스텐을 도핑하는 경우 텅스텐은 촉매로 작용한다. 따라서 A 상태에서 B 상태가 되기 위한 활성화 에너지를 낮추어 준다. 따라서 텅스텐 도핑에 의해 인듐, 아연, 주석 및 갈륨을 포함하는 스퍼터링 타겟의 경우 육방 밀집 구조의 각 층에서의 인듐과 주석의 비율이 동일하게 된다. 이는 각 층간의 거리를 감소시키므로, 텅스텐이 도핑되지 않은 경우에 비하여 c/a 비율의 증가를 가져온다. 즉, 스퍼터링 타겟의 밀도가 증가하게 된다.

- [0047] 도 2는 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 텅스텐의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
- [0048] 도 2를 참고하면, 텅스텐 함량이 0.001% 이하일때는 유의한 밀도의 변화가 나타나지 않았다. 그러나, 텅스텐 함량이 0.001% 이상이 되면 밀도가 서서히 증가하며, 텅스텐 함량이 0.005% 이상인 경우에는 높은 밀도를 나타내었다. 이러한 밀도 증가 추계는 텅스텐 함량이 1%에 도달할 때까지 지속되다가, 텅스텐이 1% 이상으로 증가하게 되면 다시 밀도가 감소하는 현상을 나타내었다. 즉 도 2에 동그라미 영역으로 도시한 바와 같이 텅스텐 함량이 0.005% 내지 1% 사이인 경우, 주변 함량에 비하여 현저하게 개선된 밀도 증가를 나타내었다. 즉, 텅스텐 함량이 0.005% 내지 1% 사이인 수치 범위가 임계적인 의의를 가짐을 확인할 수 있었다.
- [0049] 이상 인듐, 아연, 주석 및 갈륨을 포함하는 산화물 스퍼터링 타겟에 텅스텐을 도핑한 경우에 대하여 설명하였다. 그러나 본 발명의 다른 실시예에 따른 산화물 스퍼터링 타겟은 텅스텐 대신 니오븀(Nb)을 포함할 수 있다.
- [0050] 즉 본 실시예에 따른 스퍼터링 타겟에서, 인듐의 함량은 10 mol% 내지 60 mol%일 수 있다. 또한, 아연의 함량은 10 mol% 내지 65 mol%일 수 있다. 또한, 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다. 또한, 산화물 스퍼터링 타겟의 니오븀 도핑 농도는 0.01 mol% 내지 1 mol% 일 수 있다.
- [0051] 니오븀을 포함하는 산화물 스퍼터링 타겟을 제조하는 방법은 앞서 텅스텐을 포함하는 산화물 스퍼터링 타겟을 제조하는 방법과 동일하다.
- [0052] 즉, 니오븀 옥사이드(NbO₂, Niobium Oxide) 파우더를 다른 조성물의 파우더로 비율에 맞게 믹싱하여 소결하여 제조할 수도 있고, 아연과 니오븀 이온을 포함하는 알칼리 용액을 이용하여 아연이 결합된 니오븀 옥사이드 파우더를 제조한 후, 이를 다른 조성물의 파우더와 비율에 맞게 믹싱하여 소결하여 제조할 수도 있다. 또한, 산화물 스퍼터링 타겟 위에 니오븀 와이어를 위치시키고 1200도 내지 1500도로 가열하여 니오븀 증기를 이용하여 산화물 스퍼터링 타겟에 니오븀을 도핑할 수도 있다.
- [0053] 니오븀 역시 텅스텐과 마찬가지로, 도 1에서처럼 활성화 에너지를 낮추어주는 촉매 역할을 한다. 따라서 니오븀 첨가에 의해 육방 밀집 구조의 각 층에서 인듐과 주석의 비율이 유사해지고, 스퍼터링 타겟의 밀도가 증가하게 된다.
- [0054] 도 3은 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 니오븀의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
- [0055] 도 3을 참고하면, 니오븀 함량이 0.001% 이하일때는 유의한 밀도의 변화가 나타나지 않았다. 그러나, 니오븀 함량이 0.001% 이상이 되면 밀도가 서서히 증가하며, 니오븀 함량이 0.01% 이상인 경우에는 높은 밀도를 나타내었다. 이러한 밀도 증가 추계는 니오븀 함량이 1%에 도달할 때까지 지속되다가, 니오븀이 1% 이상으로 증가하게 되면 다시 밀도가 감소하는 현상을 나타내었다. 즉 도 3에 동그라미 영역으로 도시한 바와 같이 니오븀 함량이 0.01% 내지 1% 사이인 경우, 주변 함량에 비하여 현저하게 개선된 밀도 증가를 나타내었다. 즉, 니오븀 함량이 0.01% 내지 1% 사이인 수치 범위가 임계적인 의의를 가짐을 확인할 수 있었다. 이는 텅스텐(0.005% 내지 1%)에 비하여 다소 좁은 수치인데, 이는 텅스텐 산화물은 WO₃로 산소 원자가 3개 존재하지만, 니오븀 산화물은 NbO₂로 산소 원자가 2개 존재하기 때문인 것으로 판단된다. 즉 텅스텐은 산화물 한 분자당 산소 원자가 더 많이 존재하기 때문에 니오븀에 비하여 적은 함량으로도 동일한 효과를 나타낸다.
- [0056] 이상에서는 인듐, 아연, 주석 및 갈륨을 포함하는 산화물 스퍼터링 타겟에 텅스텐 또는 니오븀을 도핑한 경우에 대하여 설명하였다. 그러나 본 발명의 또 다른 실시예에 따른 산화물 스퍼터링 타겟은, 인듐, 아연, 주석, 갈륨 및 탈륨을 포함할 수 있다. 즉, 탈륨, 인듐, 아연, 주석 및 갈륨을 포함하는 스퍼터링 타겟에 텅스텐 또는 니오븀을 포함한 경우에도 산화물 스퍼터링 타겟 및 이로부터 제조된 박막의 밀도 증가 효과가 나타난다.
- [0057] 탈륨(Tl)은 인듐(In)과 마찬가지로 주기율표상 3B쪽에 속하는 원소이다. 탈륨은 인듐과 동일한 원자가 전자를 갖기 때문에 격자 구조는 유사하나 인듐보다 S오비탈이 크다. 탈륨에서는 S오비탈이 크기 때문에 전자 경로(electron path)가 잘 형성된다.
- [0058] 본 실시예에 따른 산화물 스퍼터링 타겟은, 탈륨을 추가적으로 포함하는 것을 제외하고는 앞서 설명한 산화물

스퍼터링 타겟에 대한 내용과 동일하다. 유사한 내용에 대한 구체적인 설명은 생략한다.

- [0059] 즉 본 실시예에 따른 스퍼터링 타겟에서, 인듐과 탈륨의 함량의 합은 10 mol% 내지 60 mol%일 수 있다. 또한, 아연의 함량은 10 mol% 내지 65 mol%일 수 있다. 또한, 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다. 또한, 산화물 스퍼터링 타겟의 텅스텐 도핑 농도는 0.005 mol% 내지 0.1 mol%일 수 있다.
- [0060] 도 4는 탈륨, 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 텅스텐의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
- [0061] 도 4를 참고하면 텅스텐 함량이 0.005% 이상인 경우 밀도의 유의적인 증가가 나타난다. 이러한 밀도의 증가 추세는 텅스텐 함량이 0.1%에 도달할 때까지 지속되다가, 텅스텐이 0.1% 이상으로 증가하게 되면 다시 밀도가 감소하는 현상을 나타내었다. 즉 도 4에 동그라미 영역으로 도시한 바와 같이 텅스텐 함량이 0.005% 내지 0.1% 사이인 경우, 주변 함량에 비하여 현저하게 개선된 밀도 증가를 나타내었다 즉, 텅스텐 함량이 0.005% 내지 0.1% 사이인 수치 범위가 임계적인 의의를 가짐을 확인할 수 있었다.
- [0062] 또한, 본 발명의 다른 실시예에 따른 스퍼터링 타겟은, 탈륨, 인듐, 아연, 주석 및 갈륨을 포함하는 스퍼터링 타겟에 니오븀이 도핑되어 있을 수 있다. 본 실시예에 따른 산화물 스퍼터링 타겟은, 텅스텐 대신 니오븀이 도핑된 것을 제외하고는 앞서 설명한 산화물 스퍼터링 타겟에 대한 내용과 동일하다. 유사한 내용에 대한 구체적인 설명은 생략한다.
- [0063] 즉 본 실시예에 따른 스퍼터링 타겟에서, 인듐과 탈륨의 함량의 합은 10 mol% 내지 60 mol%일 수 있다. 또한, 아연의 함량은 10 mol% 내지 65 mol%일 수 있다. 또한, 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다. 또한, 산화물 스퍼터링 타겟의 니오븀 도핑 농도는 0.001 mol% 내지 1 mol%일 수 있다.
- [0064] 도 5는 탈륨, 인듐, 주석, 아연을 포함하는 스퍼터링 타겟에 니오븀의 함량을 다르게 제조한 후, 스퍼터링 타겟으로 제조된 반도체 박막의 밀도를 측정하는 것이다.
- [0065] 도 5를 참고하면, 니오븀 함량이 0.001% 이하일 때는 유의한 밀도의 변화가 나타나지 않았다. 그러나, 니오븀 함량이 0.001% 이상이 되면 밀도가 증가하였다. 서서히 증가하며, 이러한 밀도 증가 추세는 니오븀 함량이 1%에 도달할 때까지 지속되다가, 니오븀이 1% 이상으로 증가하게 되면 다시 밀도가 감소하는 현상을 나타내었다. 즉 도 5에 동그라미 영역으로 도시한 바와 같이 니오븀 함량이 0.001% 내지 1% 사이인 경우, 주변 함량에 비하여 현저하게 개선된 밀도 증가를 나타내었다 즉, 니오븀 함량이 0.001% 내지 1% 사이인 수치 범위가 임계적인 의의를 가짐을 확인할 수 있었다.
- [0066] 그러면, 이하 본 발명에 따른 스퍼터링 타겟을 이용하여 제조한 반도체 박막을 포함하는 박막 트랜지스터에 대하여 설명한다.
- [0067] 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.
- [0068] 기판(110) 위에 게이트 전극(124)이 위치한다. 기판(110)은 절연 기판일 수 있으며, 플라스틱 또는 유리 등을 포함할 수 있다.
- [0069] 게이트 전극(124)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu), 구리망간(CuMn)과 같은 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 등을 포함할 수 있다. 또는 게이트 전극(124)은 ITO(indium tin oxide), IZO(indium zinc oxide), AZO(aluminium doped ZnO) 등의 투명성 도전 물질을 포함할 수도 있다.
- [0070] 본 실시예에서는 게이트 전극(124)이 단일막으로 형성되는 것으로 설명하였으나, 이에 한정되지 않고 이중막 또는 삼중막 형태 등으로 형성될 수 있다.
- [0071] 이중막 구조를 갖는 경우, 게이트 전극(124)은 하부막 및 상부막으로 형성될 수 있고, 하부막은 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 탄탈륨 합금, 망간(Mn), 망간 합금 중에서 선택된 하나로 이루어질 수 있다. 상부막은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속 중

선택된 하나로 이루어질 수 있다. 삼중막 구조의 경우, 서로 물리적 성질이 다른 막들이 조합되어 형성될 수 있다

[0072] 게이트 전극(124) 위에 게이트 절연막(140)이 위치한다. 게이트 절연막(140)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드(SiON), 유기 절연 물질 등을 포함할 수 있다. 게이트 절연막(140)은 두 개 이상의 절연막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 예를 들어, 게이트 절연막(140)의 상층부는 실리콘 옥사이드, 하층부는 실리콘 나이트라이드일 수 있으며, 또는 상층부는 실리콘 옥사이드, 하층부는 실리콘 옥시나이트라이드(SiON)일 수 있다. 산화물 반도체(154)와 접촉하는 게이트 절연막(140)이 산화물을 포함하는 경우, 채널층의 열화를 방지할 수 있다.

[0073] 게이트 절연막(140) 위에 산화물 반도체층(154)이 위치한다.

[0074] 본 실시예에 따른 산화물 반도체층(154)은 앞서 설명한 산화물 스퍼터링 타겟을 이용하여 제조될 수 있다. 이때 제조된 산화물 반도체층의 조성은 사용된 산화물 스퍼터링 타겟의 조성과 동일하다.

[0075] 따라서, 본 실시예에 따른 산화물 반도체층은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 1 mol%의 텅스텐(W)을 포함할 수 있다. 이때 인듐의 함량은 10 mol% 내지 60 mol%이고, 아연의 함량은 10 mol% 내지 65 mol%이고, 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0076] 또한, 산화물 반도체층은 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.01 mol% 내지 1 mol%의 니오븀(Nb)을 포함할 수 있다. 이때 인듐의 함량은 10 mol% 내지 65 mol%이고, 아연의 함량은 10 mol% 내지 60 mol%이고, 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0077] 또한, 산화물 반도체층은 tantalum(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.005 mol% 내지 0.1 mol%의 텅스텐(W)을 포함할 수 있다. 이때, tantalum과 인듐의 함량의 합은 10 mol% 내지 60 mol%이고, 상기 아연의 함량은 10 mol% 내지 65 mol%이고, 상기 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0078] 또한, 산화물 반도체층은 tantalum(Ta), 인듐(In), 아연(Zn), 주석(Sn), 및 갈륨(Ga) 중 적어도 하나를 포함하며, 0.001 mol% 내지 1 mol%의 니오븀을 포함할 수 있다. 이때 인듐의 함량은 10 mol% 내지 65 mol%이고, 아연의 함량은 10 mol% 내지 60 mol%이고, 주석의 함량은 0.1 mol% 내지 60 mol%일 수 있다.

[0079] 또한, 여기서 산화물 반도체층(154)은 절연 특성을 가진 상태에서 반도체 특성을 확보하기 위해 열처리될 수 있다. 열처리 온도는 350도 이상 550도 이하일 수 있다. 열처리 온도가 550도를 넘게 되면 비정질 특성을 상실할 수 있고, 350도 보다 낮으면 반도체 특성 발현이 어려울 수 있다.

[0080] 산화물 반도체층(154) 위에 소스 전극(173) 및 드레인 전극(175)이 산화물 반도체층(154)의 채널 부분을 노출하면서 서로 마주보고 있다.

[0081] 소스 전극(173) 및 드레인 전극(175) 위에는 산화물 반도체층(154)의 채널 부분을 덮으면서 보호막(180)이 위치한다. 보호막(180)은 질화 규소 또는 산화 규소로 형성될 수 있다.

[0082] 도 7은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.

[0083] 도 7을 참고하면, 도 6의 실시예와 달리 에치 스톱퍼(Etch Stopper) 구조를 나타낸다. 구체적으로, 기판(110) 위에 박막 트랜지스터에서 제어 전극에 해당하는 게이트 전극(124)이 위치하고, 게이트 전극(124)을 덮도록 기판(110) 위에 게이트 절연막(140)이 위치한다.

[0084] 산화물 반도체층(154)의 채널 영역에 대응하는 위치에 식각 방지막(165)이 위치한다. 식각 방지막(165)의 가장자리와 중첩하도록 소스 전극(173) 및 드레인 전극(175)이 반도체층(154) 위에 서로 이격되어 위치한다. 소스 전극(173) 및 드레인 전극(175)이 이격된 위치에서 식각 방지막(165)이 부분적으로 노출될 수 있다. 식각 방지막(165)은 실리콘 계열의 산화물 또는 질화물로 형성될 수 있다.

[0085] 소스 전극(173) 및 드레인 전극(175) 위에 보호막(180)이 위치한다. 보호막(180)은 소스 전극(173)과 드레인 전극(175)이 서로 이격된 공간을 채우며 형성되고, 상기 이격된 공간에 의해 노출되어 있는 식각 방지막(165)을 덮도록 형성된다.

[0086] 앞에서 설명한 차이점 외에 도 6에서 설명한 내용은 도 7의 실시예에 대부분 적용할 수 있다.

[0087] 또한, 도 6 및 도 7에서 설명한 실시예는 채널부를 포함하는 반도체층 하부에 게이트 전극이 위치하는 바텀 게

이트 구조로 설명되었으나, 이에 한정되지 않고 반도체층 상부에 게이트 전극이 위치하는 탑 게이트 구조에도 적용 가능하다.

- [0088] 그러면, 본 발명의 산화물 반도체층이 적용된 박막 트랜지스터의 효과에 대하여 도 8 내지 도 11을 참고로 하여 설명한다.
- [0089] 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터의 반도체층의 텅스텐 함량을 다르게 하면서 문턱전압의 이동($V_{th\ shift}$)을 측정된 결과이다.
- [0090] 본 실험에서, 반도체 층은 인듐, 주석, 아연을 포함한다.
- [0091] 문턱 전압이란 반도체 소자가 작동을 시작하는 전압으로서, 박막 트랜지스터의 신뢰성을 향상시키기 위해서는 문턱 전압이 일정한 수치로 유지되는 것이 중요하다.
- [0092] 도 8을 참고로 하면, 텅스텐 함량이 0.005 mol% 보다 증가하는 경우, $V_{th\ shift}$ 가 최소화됨을 확인할 수 있었다. 텅스텐 함량이 증가함에 따라 이러한 $V_{th\ shift}$ 의 감소 추세는 유지되다가, 텅스텐 함량이 1 mol% 보다 많아지는 경우 문턱전압 이동이 증가한다.
- [0093] 즉, 반도체 박막의 텅스텐 함량이 0.005 mol% 내지 1 mol% 인 경우 문턱전압 이동이 최소화 되며, 이는 주위 함량과 비교하였을 때 임계적 의의를 가진다.
- [0094] 이러한 문턱전압 이동의 최소화는 앞서 설명한 바와 같이, 텅스텐이 촉매로 작용하여 반도체 박막을 구성하는 인듐 및 주석이 육방 밀집 구조의 각 층에서 고른 비율로 존재하도록 도와주기 때문이다. 육방 밀집 구조의 각 층에서 인듐과 주석의 비율이 층마다 유사하므로, 육방 밀집 구조의 c/a 가 감소한다. 즉 원자들은 더욱 조밀한 구조로 쌓이게 되고, 반도체 박막의 밀도는 증가한다. 밀도가 증가하므로 외부의 수분이나 수소가 침투하기 어렵고, 수분이나 수소에 대한 내부 원자들의 변형이 쉽게 일어나지 않아 반도체 박막이 안정화된다. 그러므로, 문턱 전압 이동도 감소하게 된다.
- [0095] 도 9는 본 발명의 일 실시예에 따른 박막 트랜지스터의 반도체층의 니오븀 함량을 다르게 하면서 문턱전압의 이동($V_{th\ shift}$)을 측정된 결과이다.
- [0096] 본 실험에서, 반도체 층은 인듐, 주석, 아연을 포함한다.
- [0097] 도 9를 참고하면, 니오븀 함량이 0.01mol% 보다 증가하는 경우, $V_{th\ shift}$ 가 최소화됨을 확인할 수 있었다. 니오븀 함량이 증가함에 따라 이러한 $V_{th\ shift}$ 의 감소 추세는 유지되다가, 니오븀 함량이 1 mol% 보다 많아지는 경우 문턱전압 이동이 증가한다.
- [0098] 즉, 반도체 박막의 니오븀 함량이 0.01 mol% 내지 1 mol% 인 경우 문턱전압 이동이 최소화 되며, 이는 주위 함량과 비교하였을 때 임계적 의의를 가지는 수치 범위이다.
- [0099] 도 10은 본 발명 다른 실시예에 따른 박막 트랜지스터의 반도체층의 텅스텐 함량을 다르게 하면서 문턱전압의 이동($V_{th\ shift}$)을 측정된 결과이다.
- [0100] 본 실험에서, 반도체 층은 탈륨, 인듐, 주석, 아연을 포함한다.
- [0101] 도 10을 참고하면, 텅스텐 함량이 0.005 mol% 내지 0.1 mol% 사이에 문턱 전압 이동이 최소화된다. 그러나, 텅스텐 함량이 0.1 mol% 보다 증가하는 경우 문턱 전압 이동이 다시 증가함을 확인할 수 있었다. 즉, 탈륨을 추가적으로 포함하는 반도체 박막에서는, 텅스텐이 0.005 mol% 내지 0.1 mol% 사이로 포함된 경우 가장 안정적인 성능을 나타낸다.
- [0102] 도 11은 본 발명 다른 실시예에 따른 박막 트랜지스터의, 반도체 층의 니오븀 함량을 다르게 하면서 문턱전압의 이동($V_{th\ shift}$)을 측정된 결과이다.
- [0103] 본 실험에서, 반도체 층은 탈륨, 인듐, 주석, 아연을 포함한다.
- [0104] 도 11을 참고하면, 니오븀 함량이 0.001mol% 보다 증가하는 경우, $V_{th\ shift}$ 가 최소화됨을 확인할 수 있었다. 니오븀 함량이 증가함에 따라 이러한 $V_{th\ shift}$ 의 감소 추세는 유지되다가, 니오븀 함량이 1 mol% 보다 많아지는 경우 문턱전압 이동이 증가한다.
- [0105] 즉, 탈륨을 추가적으로 포함하는 반도체 박막에서는, 니오븀이 0.001 mol% 내지 1 mol% 사이로 포함된 경우 가

장 안정적인 성능을 나타낸다.

[0106] 이상과 같이 본 발명의 일 실시예에 따른 스퍼터링 타겟 및 반도체 박막은 촉매로 기능하는 텅스텐 또는 니오븀을 포함시킴으로써, 스퍼터링 타겟의 밀도를 높이고 따라서 제조된 반도체 박막의 문턱전압 이동을 최소화 하였다.

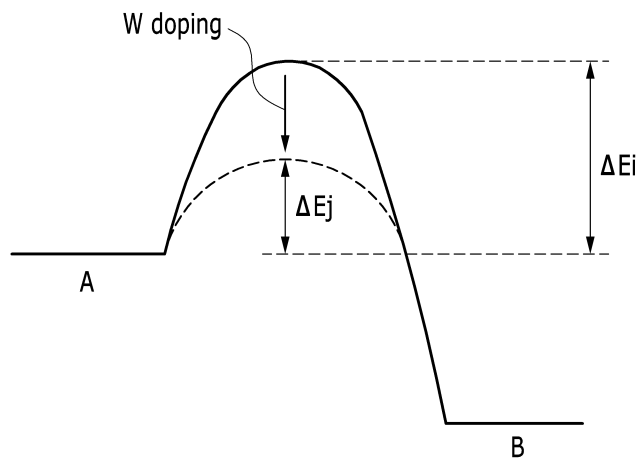
[0107] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

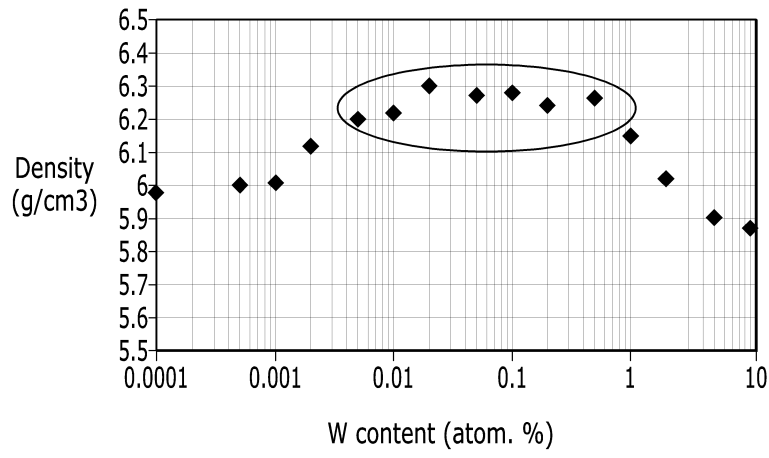
[0108] 110 기판 124 게이트 전극
 154 반도체층 173 소스 전극
 175 드레인 전극 180 보호막
 ES 식각 방지막

도면

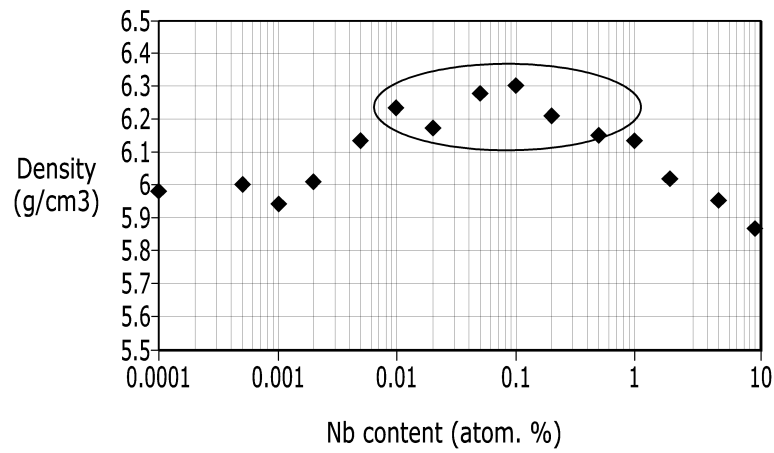
도면1



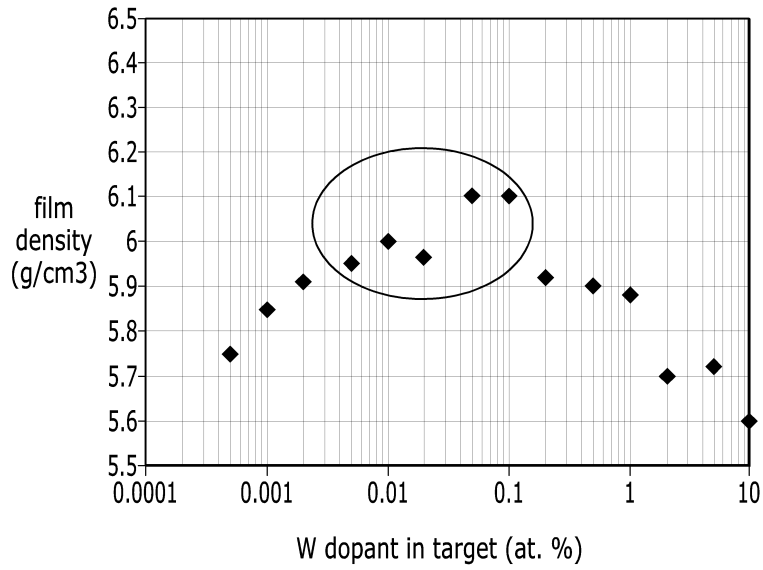
도면2



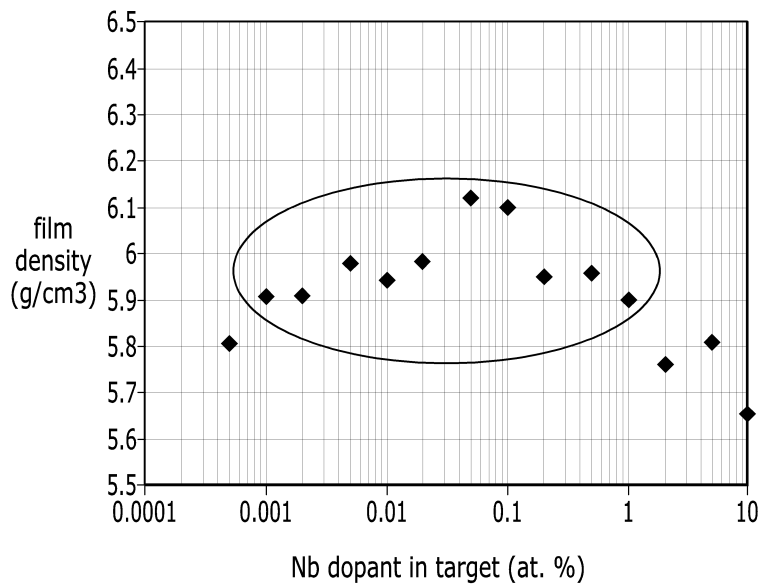
도면3



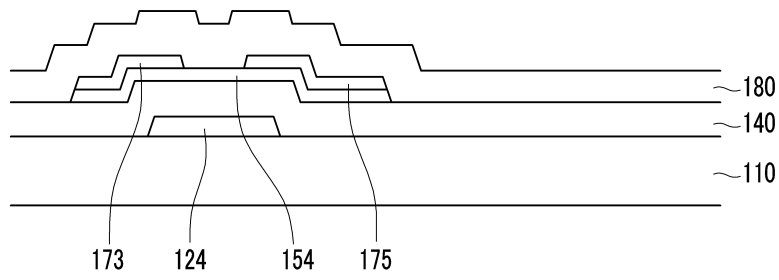
도면4



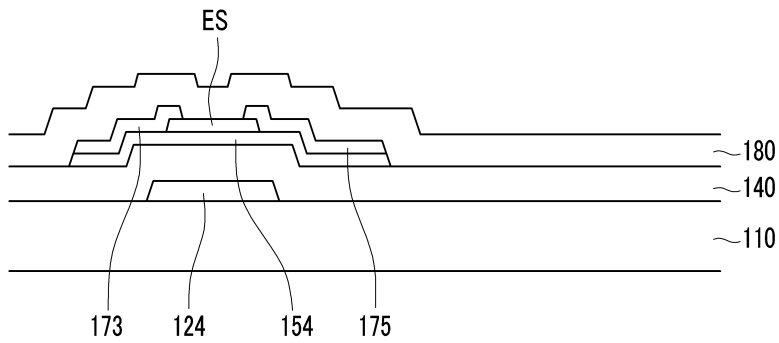
도면5



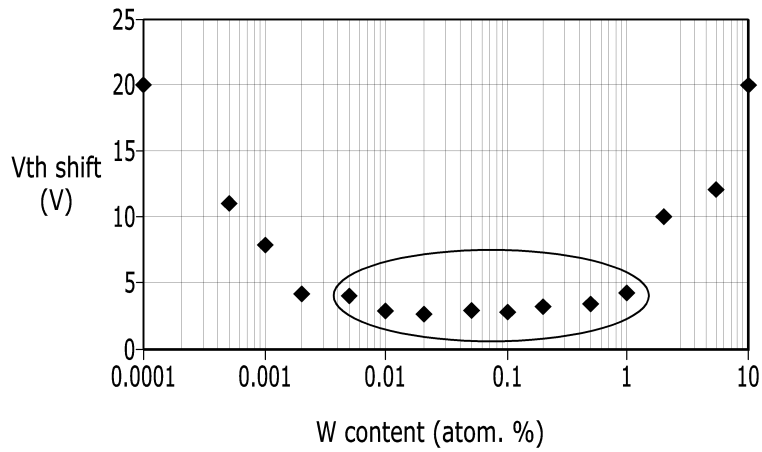
도면6



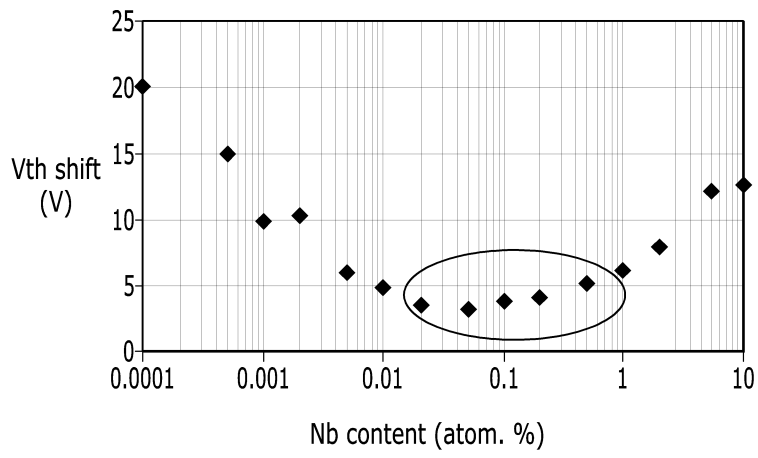
도면7



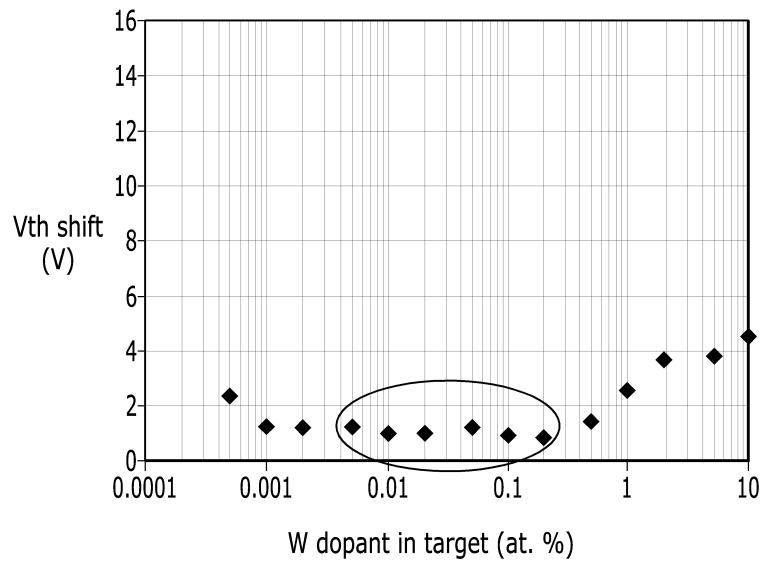
도면8



도면9



도면10



도면11

