



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I710201 B

(45)公告日：中華民國 109 (2020) 年 11 月 11 日

(21)申請案號：108125723

(22)申請日：中華民國 108 (2019) 年 07 月 19 日

(51)Int. Cl. : H02M1/36 (2007.01)

H02M1/38 (2007.01)

H02M3/158 (2006.01)

H03F3/217 (2006.01)

H03F3/38 (2006.01)

H03K17/687 (2006.01)

(30)優先權：2018/07/19 美國

16/040,403

(71)申請人：愛爾蘭商納維達斯半導體有限公司 (愛爾蘭) NAVITAS SEMICONDUCTOR LIMITED (IE)

愛爾蘭

(72)發明人：夏瑪 善桃喜 SHARMA, SANTOSH (IN)；里巴里希 湯瑪士 RIBARICH, THOMAS (US)；辛諾 維特 SINOW, VICTOR (US)；金瑟 丹尼爾 馬文 KINZER, DANIEL MARVIN (US)

(74)代理人：陳長文

(56)參考文獻：

TW 201622327A

TW 201624924A

US 5568081

US 5828245

US 6734652

US 7184253B1

US 9660640B2

US 9685869B1

US 9979397B1

US 2007/0285854A1

US 2008/0278985A1

US 2009/0045860A1

US 2011/0216563A1

US 2016/0079844A1

US 2017/0324263A1

審查人員：陳丙寅

申請專利範圍項數：15 項 圖式數：47 共 126 頁

(54)名稱

半橋 GaN 電路及回轉偵測電路

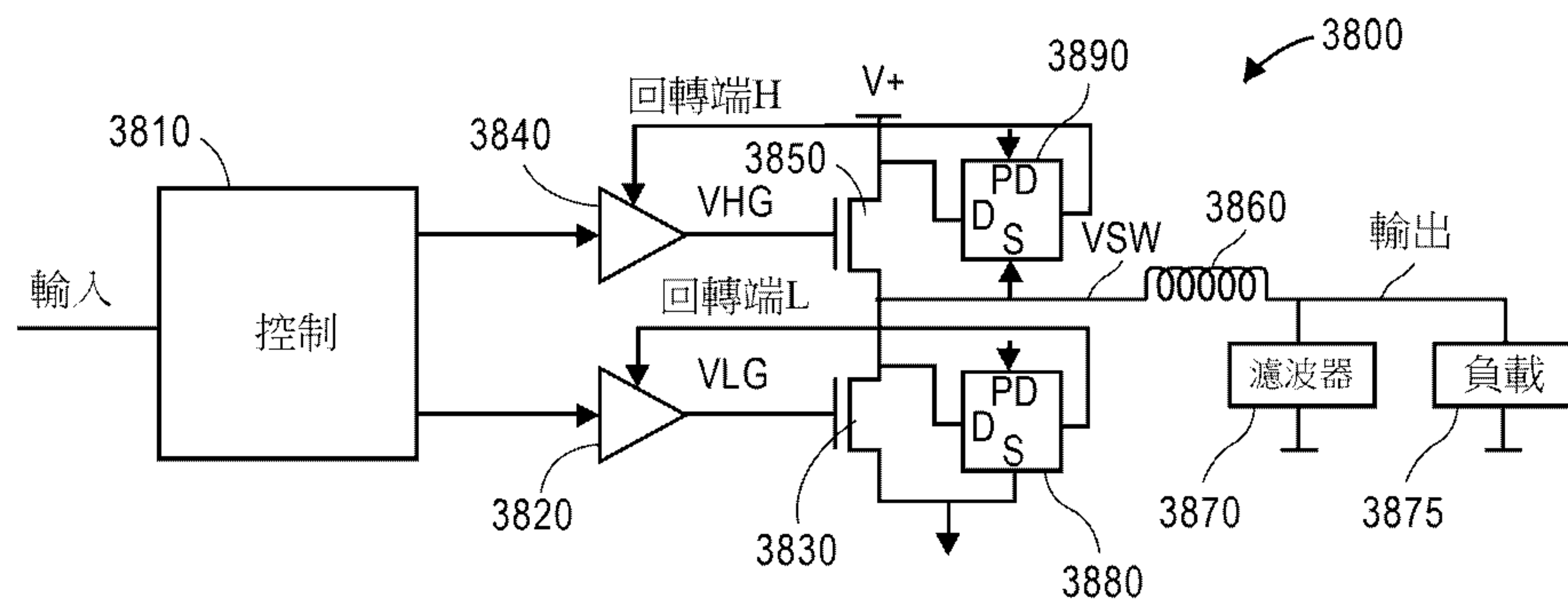
(57)摘要

本發明揭示一種半橋電路。該電路包括根據一或多個控制信號選擇性地導電之低側電源開關及高側電源開關。該電路亦包括經組態以控制該低側電源開關之導電狀態之一低側電源開關驅動器及經組態以控制該高側電源開關之導電狀態之一高側電源開關驅動器。該電路亦包括：一控制器，其經組態以產生該一或多個控制信號；一高側回轉偵測電路，其經組態以在開關節點處之電壓增大時防止該高側電源開關驅動器使該高側電源開關導電；以及一低側回轉偵測電路，其經組態以在該開關節點處之該電壓減小時防止該低側電源開關驅動器使該低側電源開關導電。

A half bridge circuit is disclosed. The circuit includes low side and high side power switches selectively conductive according to one or more control signals. The circuit also includes a low side power switch driver, configured to control the conductivity state of the low side power switch, and a high side power switch driver, configured to control the conductivity state of the high side power switch. The circuit also includes a controller configured to generate the one or more control signals, a high side slew detect circuit configured

to prevent the high side power switch driver from causing the high side power switch to be conductive while the voltage at the switch node is increasing, and a low side slew detect circuit configured to prevent the low side power switch driver from causing the low side power switch to be conductive while the voltage at the switch node is decreasing.

指定代表圖：



【圖38】

符號簡單說明：

3800:半橋功率轉換電路

3810:控制電路系統

3820:低側驅動器

3830:低側電源開關

3840:高側驅動器

3850:高側電源開關

3860:電感器

3870:濾波器

3875:負載

3880:回轉偵測電路

3890:回轉偵測電路



I710201

【發明摘要】

【中文發明名稱】

半橋GaN電路及回轉偵測電路

【英文發明名稱】

HALF BRIDGE GaN CIRCUIT AND SLEW DETECT CIRCUIT

【中文】

本發明揭示一種半橋電路。該電路包括根據一或多個控制信號選擇性地導電之低側電源開關及高側電源開關。該電路亦包括經組態以控制該低側電源開關之導電狀態的一低側電源開關驅動器及經組態以控制該高側電源開關之導電狀態的一高側電源開關驅動器。該電路亦包括：一控制器，其經組態以產生該一或多個控制信號；一高側回轉偵測電路，其經組態以在開關節點處之電壓增大時防止該高側電源開關驅動器使該高側電源開關導電；以及一低側回轉偵測電路，其經組態以在該開關節點處之該電壓減小時防止該低側電源開關驅動器使該低側電源開關導電。

【英文】

A half bridge circuit is disclosed. The circuit includes low side and high side power switches selectively conductive according to one or more control signals. The circuit also includes a low side power switch driver, configured to control the conductivity state of the low side power switch, and a high side power switch driver, configured to control the conductivity state of the high side power switch. The circuit also includes a controller configured to generate the one or more control signals, a high side slew detect circuit configured to prevent the high

side power switch driver from causing the high side power switch to be conductive while the voltage at the switch node is increasing, and a low side slew detect circuit configured to prevent the low side power switch driver from causing the low side power switch to be conductive while the voltage at the switch node is decreasing.

【指定代表圖】

圖38

【代表圖之符號簡單說明】

3800	半橋功率轉換電路
3810	控制電路系統
3820	低側驅動器
3830	低側電源開關
3840	高側驅動器
3850	高側電源開關
3860	電感器
3870	濾波器
3875	負載
3880	回轉偵測電路
3890	回轉偵測電路

【發明說明書】

【中文發明名稱】

半橋GaN電路及回轉偵測電路

【英文發明名稱】

HALF BRIDGE GaN CIRCUIT AND SLEW DETECT CIRCUIT

【技術領域】

【0001】 本發明大體上係關於功率轉換電路，且特定而言係關於利用一或多個基於GaN之半導體裝置的功率轉換電路。

【先前技術】

【0002】 諸如電腦、伺服器及電視等等之電子裝置使用一或多個功率轉換電路以將一種形式之電能轉換成另一種形式之電能。一些功率轉換電路使用稱為半橋之電路拓樸將高DC電壓轉換成更低的DC電壓。因為許多電子裝置對功率轉換電路之大小及效率敏感，所以可能需要新型半橋電路及組件來滿足新型電子裝置之需要。

【發明內容】

【0003】 一個發明性態樣為一種半橋GaN電路，其包括：一開關節點；一低側電源開關，其連接至該開關節點且經組態以根據一或多個控制信號選擇性地導電；一高側電源開關，其連接至該開關節點且經組態以根據該一或多個控制信號選擇性地導電；以及一低側電源開關驅動器，其經組態以基於該等控制信號中之一或多者控制該低側電源開關之導電狀態。該電路亦包括：一高側電源開關驅動器，其經組態以基於該等控制信號中之一或多者控制該高側電源開關之導電狀態；一控制器，其經組態以產生該一或多個控制信號；一高側回轉偵測電路，其經組態以在該開關節點處

之電壓增大時防止該高側電源開關驅動器使該高側電源開關導電；以及一低側回轉偵測電路，其經組態以在該開關節點處之電壓減小時防止該低側電源開關驅動器使該低側電源開關導電。

【0004】 在一些實施例中，低側電源開關驅動器經組態以自控制器接收低側控制信號，自低側回轉偵測電路接收低側回轉端信號，且基於低側控制信號及低側回轉端信號兩者控制低側電源開關之導電狀態。

【0005】 在一些實施例中，低側電源開關驅動器經組態以回應於來自控制器之低側信號指示低側電源開關不導電或低側回轉端信號指示開關節點處之電壓減小而使低側電源開關不導電。

【0006】 在一些實施例中，低側電源開關驅動器經組態以回應於來自控制器之低側信號指示低側電源開關導電或低側回轉端信號指示開關節點處之電壓減小而使低側電源開關導電。

【0007】 在一些實施例中，低側電源開關驅動器經組態以回應於來自控制器之低側信號在大於延遲臨限值之持續時間內指示低側電源開關導電而使低側電源開關導電。

【0008】 在一些實施例中，高側電源開關驅動器經組態以：自控制器接收高側控制信號，自高側回轉偵測電路接收高側回轉端信號，且基於高側控制信號及高側回轉端信號兩者控制高側電源開關之導電狀態。

【0009】 在一些實施例中，高側電源開關驅動器經組態以回應於來自控制器之高側信號指示高側電源開關不導電或高側回轉端信號指示開關節點處之電壓增大而使高側電源開關不導電。

【0010】 在一些實施例中，高側電源開關驅動器經組態以回應於來自控制器之高側信號指示高側電源開關導電及高側回轉端信號指示開關節

點處之電壓不增大兩者而使高側電源開關導電。

【0011】 在一些實施例中，高側電源開關驅動器經組態以回應於來自控制器之高側信號在大於延遲臨限值之持續時間內指示高側電源開關導電而使高側電源開關導電。

【0012】 在一些實施例中，高側回轉偵測電路包括：電容器，其連接至高側電源開關之汲極以及感測節點；偏壓電路，其連接至感測節點；以及輸出電路，其具有連接至感測節點之輸入端子，其中輸出電路經組態以基於感測節點處之電壓相對於高側電源開關之源極處之電壓產生回轉端信號，且其中電容器及偏壓電路經組態以在對應的感測節點處產生電壓，而無論高側電源開關之汲極處之電壓與高側電源開關之源極處之電壓之間的電壓差是否減小。

【0013】 在一些實施例中，偏壓電路經組態以將感測節點偏壓至使輸出電路產生回轉端信號之電壓，該回轉端信號指示高側電源開關之汲極處之電壓與高側電源開關之源極處之電壓之間的差不減小。

【0014】 在一些實施例中，回應於高側電源開關之汲極處之電壓與高側之源極處之電壓之間的差減小，電容器及偏壓電路協作地組態以將感測節點驅動至使輸出電路產生回轉端信號之電壓，該回轉端信號指示高側電源開關之汲極處之電壓與高側電源開關之源極處之電壓之間的差減小。

【0015】 在一些實施例中，輸出電路包括第一信號路徑及第二信號路徑，其中第一路徑經組態以相對快速地使回轉端信號指示電壓差不減小且相對緩慢地使回轉端信號指示電壓差減小，且其中第二路徑經組態以相對快速地使回轉端信號指示電壓差減小且相對緩慢地使回轉端信號指示電壓差不減小。

【0016】 在一些實施例中，電容器包括電晶體結構，該電晶體結構包括源極電極、電連接至源極電極之閘極電極、汲極電極及場板電極，其中汲極電極充當電容器之第一板狀電極且場板電極充當電容器之第二板狀電極。

【0017】 在一些實施例中，低側回轉偵測電路包括：電容器，其連接至低側電源開關之汲極以及感測節點；偏壓電路，其連接至感測節點；以及輸出電路，其具有連接至感測節點之輸入端子。另外，輸出電路經組態以基於感測節點處之電壓相對於低側電源開關之源極處之電壓產生回轉端信號，其中電容器及偏壓電路經組態以在對應的感測節點處產生電壓，而無論低側電源開關之汲極處之電壓與低側電源開關之源極處之電壓之間的電壓差是否減小。

【0018】 在一些實施例中，偏壓電路經組態以將感測節點偏壓至使輸出電路產生回轉端信號之電壓，該回轉端信號指示低側電源開關之汲極處之電壓與低側電源開關之源極處之電壓之間的差不減小。

【0019】 在一些實施例中，回應於低側電源開關之汲極處之電壓與低側之源極處之電壓之間的差減小，電容器及偏壓電路協作地組態以將感測節點驅動至使輸出電路產生回轉端信號之電壓，該回轉端信號指示低側電源開關之汲極處之電壓與低側電源開關之源極處之電壓之間的差減小。

【0020】 在一些實施例中，輸出電路包括第一信號路徑及第二信號路徑，第一路徑經組態以相對快速地使回轉端信號指示電壓差不減小且相對緩慢地使回轉端信號指示電壓差減小，且第二路徑經組態以相對快速地使回轉端信號指示電壓差減小且相對緩慢地使回轉端信號指示電壓差不減小。

【0021】 在一些實施例中，電容器包括電晶體結構，該電晶體結構包括源極電極、電連接至源極電極之閘極電極、汲極電極及場板電極，其中汲極電極充當電容器之第一板狀電極且場板電極充當電容器之第二板狀電極。

【0022】 另一發明性態樣為一種回轉偵測電路，其包括：一電容器，其連接至一第一輸入及一感測節點；一偏壓電路，其連接至該感測節點；以及一輸出電路，其具有連接至該感測節點之一輸入端子，其中該輸出電路經組態以基於該感測節點處之一電壓相對於一第二輸入處之一電壓產生一回轉端信號，且其中該電容器及該偏壓電路經組態以在對應的該感測節點處產生一電壓，而無論該第一輸入處之一電壓與該第二輸入處之電壓之間的一電壓差是否減小。

【0023】 在一些實施例中，偏壓電路經組態以將感測節點偏壓至使輸出電路產生回轉端信號之電壓，該回轉端信號指示第一輸入處之電壓與第二輸入處之電壓的差不減小。

【0024】 在一些實施例中，回應於第一輸入處之電壓與第二輸入處之電壓之間的差減小，電容器及偏壓電路協作地組態以將感測節點驅動至使輸出電路產生回轉端信號之電壓，該回轉端信號指示第一輸入處之電壓與第二輸入處之電壓之間的差減小。

【0025】 在一些實施例中，輸出電路包括第一信號路徑及第二信號路徑，其中第一路徑經組態以相對快速地使回轉端信號指示電壓差不減小且相對緩慢地使回轉端信號指示電壓差減小，且其中第二路徑經組態以相對快速地使回轉端信號指示電壓差減小且相對緩慢地使回轉端信號指示電壓差不減小。

【0026】 在一些實施例中，電容器包括電晶體結構，該電晶體結構包括源極電極、電連接至源極電極之閘極電極、汲極電極及場板電極，其中汲極電極充當電容器之第一板狀電極且場板電極充當電容器之第二板狀電極。

【圖式簡單說明】

【0027】 圖1為根據本發明之實施例之半橋功率轉換電路的簡化示意圖；

【0028】 圖2為圖1中所說明之低側控制電路內之電路的簡化示意圖；

【0029】 圖3為圖1中所說明之第一位準移位電晶體的示意圖；

【0030】 圖4為圖1中所說明之位準移位驅動器電路的示意圖；

【0031】 圖5為圖1中所說明之消隱脈衝發生器電路的示意圖；

【0032】 圖6為圖5中所說明之消隱脈衝發生器內之波形的實例；

【0033】 圖7為圖1中所說明之自舉電晶體驅動電路的示意圖；

【0034】 圖8為圖1中所說明之低側電晶體驅動電路的方塊圖；

【0035】 圖9為圖1中所說明之起動電路的示意圖；

【0036】 圖10為可用作圖9之示意圖中之二極體箝位器的一系列二極體連接式基於GaN之增強型電晶體；

【0037】 圖11為圖1中所說明之UVLO電路的示意圖；

【0038】 圖12為圖1中所說明之自舉電容器充電電路的示意圖；

【0039】 圖13為相比於圖12中所說明之電路之替代自舉電容器充電電路的示意圖；

【0040】 圖14為圖1中所說明之高側邏輯及控制電路的示意圖；

【0041】 圖15為圖14中所說明之第一位準移位接收電路的示意圖；

【0042】 圖16為圖14中所說明之第二位準移位接收電路的示意圖；

【0043】 圖17為圖14中所說明之上拉觸發電路的示意圖；

【0044】 圖18為圖14中所說明之高側UVLO電路的示意圖；

【0045】 圖19為圖14中所說明之高側電晶體驅動器電路的示意圖；

【0046】 圖20為圖14中所說明之高側參考電壓產生電路的示意圖；

【0047】 圖21為根據本發明之另一實施例之半橋功率轉換電路的簡化示意圖；

【0048】 圖22為圖21中所說明之低側控制電路內之電路的簡化示意圖；

【0049】 圖23為圖22中所說明之第一位準移位電晶體的示意圖；

【0050】 圖24為圖22中所說明之反相器/緩衝器電路的示意圖；

【0051】 圖25為圖22中所說明之接通脈衝發生器的示意圖；

【0052】 圖26為圖22中所說明之關斷脈衝發生器電路的示意圖；

【0053】 圖27為圖22中所說明之消隱脈衝發生器電路的示意圖；

【0054】 圖28為圖22中所說明之低側電晶體驅動電路的示意圖；

【0055】 圖29為圖21中所說明之高側控制電路內之電路的簡化示意圖；

【0056】 圖30為圖29中所說明之位準移位1接收器電路的示意圖；

【0057】 圖31為圖29中所說明之位準移位2接收器電路的示意圖；

【0058】 圖32為圖29中所說明之高側UVLO電路的示意圖；

【0059】 圖33為圖29中所說明之高側電晶體驅動器電路的示意圖；

【0060】 圖34為根據本發明之實施例之靜電放電(ESD)箝位電路的

示意圖；

【0061】 圖35為根據本發明之實施例之靜電放電(ESD)箝位電路的示意圖；

【0062】 圖36為根據本發明之實施例之電子封裝之一部分的圖示；

【0063】 圖37為圖36之電子封裝的圖示；

【0064】 圖38為替代半橋功率轉換電路之實施例的示意性圖示；

【0065】 圖39為說明電路之一般操作的波形圖；

【0066】 圖40為驅動器電路之實施例的示意性圖示；

【0067】 圖41為回轉偵測電路之實施例的示意性圖示；

【0068】 圖42A為箝位電路之示意性圖示；

【0069】 圖42B為箝位電路之示意性圖示；

【0070】 圖43為偏壓電路之示意性圖示；

【0071】 圖44為輸出電路之示意性圖示；

【0072】 圖45為輸出電路之示意性圖示；

【0073】 圖46為上拉電路之示意性圖示；

【0074】 圖47為半導體裝置之橫截面圖。

【實施方式】

相關申請案之交互參考

【0075】 本申請案要求2018年7月19日提交之美國專利申請案號16/040,403之優先權，其在2019年3月5日發佈為美國專利號10,224,817；該美國專利申請案之公開內容出於所有目的以全文引用之方式併入本文中。

【0076】 本發明之某些實施例係關於使用一或多個氮化鎵(GaN)裝置之半橋功率轉換電路。雖然本發明可適用於廣泛多種半橋電路，但本發

明之一些實施例尤其適用於被設計成在高頻率及/或高效率下與整合式驅動器電路、整合式位準移位電路、整合式自舉電容器充電電路、整合式起動電路及/或使用GaN及矽裝置之混合解決方案一起操作的半橋電路，如下文更詳細地描述。

半橋電路1號

【0077】 現參考圖1，在一些實施例中，電路100可包括一對互補功率電晶體(在本文中亦被稱為開關)，其受經組態以調節遞送至負載之功率的一或多個控制電路控制。在一些實施例中，高側功率電晶體連同控制電路之一部分安置於高側裝置上，且低側功率電晶體連同控制電路之一部分安置於低側裝置上，如下文更詳細地描述。

【0078】 圖1中所說明之整合式半橋功率轉換電路100包括低側GaN裝置103、高側GaN裝置105、負載107、自舉電容器110及其他電路元件，如下文更詳細地說明及論述。一些實施例亦可具有將一或多個輸入提供至電路100以調節電路之操作的外部控制器(圖1中未展示)。電路100僅用於說明性目的，且其他變體及組態處於本發明之範疇內。

【0079】 在一個實施例中，低側GaN裝置103可具有包括具有低側控制閘極117之低側功率電晶體115的基於GaN之低側電路104。低側電路104可進一步包括具有連接至低側電晶體控制閘極117之輸出123的整合式低側電晶體驅動器120。在另一實施例中，高側GaN裝置105可具有包括具有高側控制閘極127之高側功率電晶體125的基於GaN之高側電路106。高側電路106可進一步包括具有連接至高側電晶體控制閘極127之輸出133的整合式高側電晶體驅動器130。

【0080】 電壓源135 (亦被稱為幹線電壓)可連接至高側電晶體125之

汲極137，且高側電晶體可用以控制至功率轉換電路100中之功率輸入。高側電晶體125可進一步具有耦接至低側電晶體115之汲極143之源極140，從而形成開關節點145。低側電晶體115可具有連接至接地之源極147。在一個實施例中，低側電晶體115及高側電晶體125可為基於GaN之增強型場效電晶體。在其他實施例中，低側電晶體115及高側電晶體125可為任何其他類型之裝置，包括但不限於基於GaN之空乏模電晶體、與矽基增強型場效電晶體串聯連接之基於GaN之空乏模電晶體、基於碳化矽之電晶體或矽基電晶體，該等空乏模電晶體之閘極連接至矽基增強型電晶體之源極。

【0081】 在一些實施例中，高側裝置105及低側裝置103可由基於GaN之材料製成。在一個實施例中，基於GaN之材料可包括一層矽上之一層GaN。在另外的實施例中，基於GaN之材料可包括但不限於一層碳化矽、藍寶石或氮化鋁上之一層GaN。在一個實施例中，基於GaN之層可包括但不限於諸如氮化鋁及氮化銮之其他第III族氮化物及諸如AlGa_N及InGa_N之第III族氮化物合金的複合堆疊。在另外的實施例中，基於GaN之低側電路104及基於GaN之高側電路106可安置於單塊基於GaN之裝置上。在其他實施例中，基於GaN之低側電路104可安置於第一基於GaN之裝置上，且基於GaN之高側電路106可安置於第二基於GaN之裝置上。在又另外的實施例中，基於GaN之低側電路104及基於GaN之高側電路106可安置於多於兩個基於GaN之裝置上。在一個實施例中，基於GaN之低側電路104及基於GaN之高側電路106可含有以任何組態配置之任何數目個主動或被動電路元件。

低側裝置

【0082】 低側裝置103可包括用於低側裝置及高側裝置105之控制及操作的許多電路。在一些實施例中，低側裝置103可包括控制低側電晶體115及高側電晶體125之切換連同其他功能之邏輯、控制及位準移位電路(低側控制電路) 150，如下文更詳細地論述。低側裝置103亦可包括起動電路155、自舉電容器充電電路157及屏蔽電容器160，如同樣在下文更詳細地論述。

【0083】 現參考圖2，在功能上說明低側控制電路150內之電路。在下文論述且在一些狀況下在圖3至圖14中更詳細地展示低側控制電路150內之每一電路。在一個實施例中，低側控制電路150之主要功能可為自控制器接收諸如PWM信號之一或多個輸入信號且控制低側電晶體115及高側電晶體125之操作。

【0084】 在一個實施例中，第一位準移位電晶體203及第二位準移位電晶體205分別可用以與高側邏輯及控制電路153通信(參見圖1)。在一些實施例中，第一位準移位電晶體203可為高電壓增強型GaN電晶體。在另外的實施例中，第一位準移位電晶體203可類似於低側電晶體115 (參見圖1)及高側電晶體125，但大小可能小得多(例如，第一位準移位電晶體在最小通道長度之情況下之閘極寬度可為幾十微米)。

【0085】 在其他實施例中，第一位準移位電晶體203可同時經歷高電壓及高電流(亦即，裝置可在裝置安全操作區域之高功率部分處操作)，只要高側電晶體125 (參見圖1)接通即可。此類條件可能引起相對高的功率耗散，因此一些實施例可涉及第一位準移位電晶體203之設計中的設計及裝置可靠性考量，如下文更詳細地論述。在另外的實施例中，可與第一位準移位電晶體203之源極210串聯地添加第一位準移位電阻器207，以限

制閘極213至源極210之電壓且因此限制穿過第一位準移位電晶體之最大電流。其他方法可用以限制穿過第一位準移位電晶體203之電流，且處於本發明之範疇內。第一位準移位電晶體203之汲極215可耦接至高側邏輯及控制電路153 (參見圖1)，如下文更詳細地論述。

【0086】 在一個實施例中，第一位準移位電晶體203可包含反相器電路之一部分，該部分具有第一輸入及第一輸出，且經組態以在第一輸入端子處接收第一輸入邏輯信號且作為回應在第一輸出端子處提供第一反相輸出邏輯信號，如下文更詳細地論述。在另外的實施例中，第一輸入及第一反相輸出邏輯信號可參考不同電壓電位。在一些實施例中，第一位準移位電阻器207能夠與參考比第一輸入邏輯信號之參考電壓高13伏之電壓的第一反相輸出邏輯信號一起操作。在其他實施例中，其能夠與參考比第一輸入邏輯信號之參考電壓高20伏之電壓的第一反相輸出邏輯信號一起操作，但在其他實施例中該電壓可比第一輸入邏輯信號之參考電壓高80至400伏之間。

【0087】 在其他實施例中，第一位準移位電阻器207可經任何形式之電流槽替換。舉例而言，在一個實施例中，第一位準移位電晶體203之源極210可連接至閘極至源極短路空乏模裝置。在另一實施例中，可藉由以疊置於場介電層之頂部上的高電壓場板金屬替換增強型閘極堆疊來製造空乏模裝置。場介電質之厚度及金屬之功函數可用以判定堆疊之夾斷電壓。

【0088】 在其他實施例中，第一位準移位電阻器207可經電流槽替換。電流槽可使用可由起動電路155 (在圖1中說明且在下文更詳細地論述)產生之參考電流(I_{ref})。空乏模電晶體及電流槽實施例兩者相比於電阻

器實施例可導致裝置面積顯著減小(亦即，此係因為相對小的空乏模電晶體將滿足且 I_{ref} 已可自起動電路155獲得)。

【0089】 第二位準移位電晶體205可設計成類似於第一位準移位電晶體203 (例如，在電壓能力、電流處置能力、耐熱性等方面)。類似於第一位準移位電晶體203，第二位準移位電晶體205亦可內置有主動電流槽或電阻器。在一個實施例中，與第二位準移位電晶體205之主要差異可在於其操作。在一些實施例中，第二位準移位電晶體205之主要目的可為在低側電晶體115關斷時防止錯誤觸發高側電晶體125 (參見圖1)。

【0090】 在一個實施例中，舉例而言，當低側電晶體115之關斷產生流經高側電晶體125之負載電流，同時電晶體在第三象限中操作且其閘極短路至其源極(亦即，處於同步整流模式下)時，在升壓操作中可能發生錯誤觸發。此條件可在開關節點(V_{sw}) 145處引入 dv/dt 條件，此係因為開關節點在低側電晶體115接通時處於接近接地之電壓下且接著在相對短的時間段內轉變成幹線電壓135。所得寄生 $C \cdot dv/dt$ 電流(亦即，其中 C =第一位準移位電晶體203之 C_{oss} 加任何其他對地電容)可使第一位準移位節點305 (參見圖3)被拉低，此將接著接通高側電晶體125。在一些實施例中，此條件可能不合乎需要，此係因為可能不存在停滯時間控制，且可自同時處於導電狀態下之高側電晶體125及低側電晶體115發生擊穿。

【0091】 圖3說明展示第一位準移位電晶體203可如何電耦接至高側裝置105之一個實施例。說明了位於低側裝置103上之第一位準移位電晶體203，連同可位於高側裝置105 (參見圖1)上之上拉電阻器303。在一些實施例中，第一位準移位電晶體203可用作電阻器上拉反相器中之下拉電晶體。

【0092】 在另外的實施例中，當位準移位驅動器電路217 (參見圖2) 向第一位準移位電晶體203供應高閘極信號(L1_DR)時，第一位準移位節點305被拉低，此由高側邏輯及控制電路153 (參見圖1)反相。反相信號呈現為接通高側電晶體137 (參見圖1)之高狀態信號，其接著將開關節點(V_{sw}) 145處之電壓拉至接近幹線電壓135。

【0093】 相反地，當位準移位驅動器電路217 (參見圖2)向第一位準移位電晶體203供應低閘極信號時，第一位準移位節點305被拉至高邏輯狀態，此由高側邏輯及控制電路153 (參見圖1)反相。反相信號呈現為關斷高側電晶體125之低邏輯狀態信號。此方案可產生至高側電晶體125之非反相閘極信號。在另外的實施例中，第一位準移位電晶體203可設計成足夠大以能夠對第一位準移位節點305進行下拉，但不會大至使得其汲極至源極及汲極至基板(亦即，半導體基板)電容引發高側邏輯及控制電路153之錯誤觸發。

【0094】 在一些實施例中，上拉電阻器303可替代地為增強型電晶體、空乏模電晶體或參考電流源元件。在另外的實施例中，上拉電阻器303可耦接於浮動供應器(例如，在下文更詳細地論述之自舉電容器)之汲極與正端子之間，該浮動供應器參考與接地不同之電壓軌。在又另外實施例中，在第一輸出端子(LS_NODE) 305與開關節點(V_{sw}) 145 (參見圖1)之間可存在第一電容，且在第一輸出端子與接地之間可存在第二電容，其中第一電容大於第二電容。第一電容可設計成使得回應於開關節點(V_{sw}) 145 (參見圖1)處之高dv/dt信號，允許C*dv/dt電流之大部分傳導穿過第一電容，以確保第一輸出端子305處之電壓追蹤開關節點(V_{sw})處之電壓。在一些實施例中，屏蔽電容器160 (參見圖1)可被設計成充當如上文所描

述之第一電容器。在另外的實施例中，屏蔽電容器160 (參見圖1)可用以在半橋功率轉換電路100中在第一輸出端子305與開關節點(V_{sw}) 145 (參見圖1)之間產生電容。在又另外實施例中，屏蔽電容器160 (參見圖1)亦可用以最小化第一輸出端子305與基板(亦即，半導體基板)之間的電容。更具體而言，在一些實施例中，可藉由將導電屏蔽層添加至裝置且將層耦接至開關節點(V_{sw}) 145來產生屏蔽電容器160。此結構可有效地產生兩個電容器。一個電容器耦接於輸出端子305與開關節點(V_{sw}) 145之間，且另一個耦接於開關節點與基板之間。由此實際上消除輸出端子305與基板之間的電容。在另外的實施例中，屏蔽電容器160 (參見圖1)可構建在低側芯片103上。

【0095】 邏輯、控制及位準移位電路150 (參見圖2)可具有其他功能及電路，諸如但不限於位準移位驅動器電路217、低側電晶體驅動電路120、消隱脈衝發生器223、自舉電晶體驅動電路225及欠壓鎖定電路227，如下文在單獨的圖中更詳細地解釋。

【0096】 現參考圖4，更詳細地展示位準移位驅動器電路217。在一個實施例中，位準移位驅動器電路217可包括順序鏈中之第一反相器405及第二反相器410。在另外的實施例中，因為位準移位驅動器電路217可驅動小閘極寬度第一位準移位電晶體203，所以可能不需要緩衝器級。

【0097】 在一個實施例中，位準移位驅動器電路217由來自控制器(未展示)之脈寬調變高側信號(PWM_HS)直接驅動。在一些實施例中，(PWM_HS)信號可由外部控制電路供應。在一個實施例中，外部控制電路可為與高側裝置105、低側裝置103、此兩個裝置處於相同封裝中或自行封裝之外部控制器。在另外的實施例中，位準移位驅動器電路217亦可包

括控制位準移位驅動器電路何時與第一位準移位電晶體203 (參見圖3)通信之邏輯。在一個實施例中，視情況選用之低側欠壓鎖定信號(LS_UVLO)可由位準移位驅動器電路217內之欠壓鎖定電路產生。若低側(Vdd_LS)之(Vcc)或(Vdd)變得低於某一參考電壓或該參考電壓之分數，則低側欠壓鎖定電路可用以關斷位準移位驅動器電路217。

【0098】 在另外的實施例中，位準移位驅動器電路217可為低側電晶體(STP_LS)產生擊穿保護信號，擊穿保護信號用以防止由低側電晶體115及高側電晶體125上之重疊閘極信號引起之擊穿。(STP_LS)信號之功能可為確保當至高側電晶體125之閘極信號為低時低側驅動器電路120 (參見圖2)僅與低側電晶體115之閘極端子通信。在其他實施例中，第一反相器405之輸出可用以為低側電晶體115產生擊穿保護信號(STP_LS)。

【0099】 在另外的實施例中，可藉由向第一反相器405添加多輸入「反及」閘來實施用於UVLO及擊穿保護之邏輯，其中至「反及」閘之輸入為(PWM_HS)、(LS_UVLO)及(STP_HS)信號。在又另外實施例中，若(STP_HS)及(LS_UVLO)信號兩者為高，則第一反相器405可僅對(PWM_HS)信號作出回應。在另外的實施例中，可自低側閘極驅動器區塊120產生STP_HS信號，如在單獨的圖中更詳細地解釋。

【0100】 現參考圖5，消隱脈衝發生器223可用以產生對應於低側電晶體115之關斷瞬態的脈衝信號。此脈衝信號可接著在脈衝之持續時間內接通第二位準移位電晶體205，此觸發高側裝置105 (參見圖1)上之控制電路以防止第一位準移位節點305電壓之錯誤下拉。

【0101】 圖5說明消隱脈衝發生器223之一個實施例之示意圖。在一些實施例中，低側電晶體115閘極信號(LS_GATE)作為輸入被饋送至消隱

脈衝發生器223。(LS_GATE)信號由第一級反相器505反相，接著藉由RC脈衝發生器510發送以產生正脈衝。在一些實施例中，可能需要反相信號，此係因為脈衝對應於(LS_GATE)信號之下降邊緣。RC脈衝發生器510電路中之電容器515可用作允許其輸入處之 dv/dt 跨越電阻器520出現的高通濾波器。一旦 dv/dt 在至RC脈衝發生器510之輸入處變為零，則電容器515可藉由電阻器520緩慢地充電，從而跨越電阻器產生慢衰減之電壓波形。可接著藉由第二反相器525、第三反相器530及緩衝器535發送脈衝，以產生消隱脈衝(B_PULSE)信號之方波脈衝。脈衝之持續時間可由RC脈衝發生器510中之電容器515及電阻器520之值判定。在一些實施例中，可使用汲極至源極短路增強型GaN電晶體來構建電容器515。

【0102】 現參考圖6，針對一個實施例說明消隱脈衝發生器223內之實例波形600。跡線605展示低側閘極脈衝(LS_GATE)之下降邊緣。跡線610展示第一級反相器505輸出之上升邊緣。跡線615展示RC脈衝發生器510之輸出，且跡線620展示作為消隱脈衝發生器223之輸出之所得消隱脈衝(B_PULSE)信號。

【0103】 現參考圖7，更詳細地說明自舉電晶體驅動電路225。自舉電晶體驅動電路225包括反相器730、第一緩衝器735及第二緩衝器745。自舉電晶體驅動電路225可自低側驅動器電路120接收(BOOTFET_DR_IN)信號。(BOOTFET_DR_IN)信號可相對於LS_GATE信號反相。自舉電晶體驅動電路225可經組態以向自舉充電電路157(參見圖1)中之自舉電晶體提供稱為(BOOTFET_DR)之閘極驅動信號，如下文更詳細地論述。(BOOTFET_DR)閘極驅動信號可經時控以在接通低側電晶體115時接通自舉電晶體。而且，因為自舉電晶體驅動電路225由

(Vcc)驅動，所以此電路之輸出可具有自低狀態下之0伏變成高狀態下之(Vcc) + 6伏的電壓。在一個實施例中，在接通低側電晶體115之後接通自舉電晶體，且在關斷低側電晶體之前關斷自舉電晶體。

【0104】 在一些實施例中，可藉由將串聯延遲電阻器705引入至第二緩衝器745之輸入來延遲(BOOTFET_DR)信號之接通瞬態，該第二緩衝器可為最終緩衝器級中之電晶體之閘極。在另外的實施例中，可藉由向低側驅動電路120中之最終下拉電晶體之閘極添加串聯電阻器來延遲低側電晶體115 (參見圖1)之關斷瞬態。在一個實施例中，一或多個電容器可用於自舉電晶體驅動電路225中，且支援數量級為(Vcc)之電壓，例如可為20伏，此取決於最終使用者要求及電路之設計。在一些實施例中，一或多個電容器可具有場介電質至GaN電容器而非汲極至源極短路增強型電晶體。

【0105】 現參考圖8，說明低側電晶體驅動電路120之方塊圖。低側電晶體驅動電路120可具有第一反相器805、緩衝器810、第二反相器815、第二緩衝器820及第三緩衝器825。第三緩衝器825可向低側電晶體115 (參見圖1)提供(LS_GATE)信號。在一些實施例中，可使用兩個反相器/緩衝器級，此係因為至低側電晶體115 (參見圖1)之閘極之輸入可與(Vin)同步。因此，高狀態下之(Vin)可對應於高狀態下之低側電晶體115之(Vgate)，且反之亦然。

【0106】 在另外的實施例中，低側驅動電路120之某些部分可具有非對稱滯後。一些實施例可包括使用具有電晶體下拉850之電阻分壓器840之非對稱滯後。

【0107】 其他實施例可具有多個輸入「反及」閘用於(STP_LS)信號(低側電晶體115上之擊穿保護)。在一個實施例中，低側驅動電路120可自

位準移位驅動器電路217接收擊穿保護信號(STP_LS)。(STP_LS)信號之目的可類似於先前描述之(STP_HS)信號。(STP_LS)信號可確保低側電晶體驅動電路120在位準移位驅動器電路217輸出處於高狀態下時不與低側電晶體115之閘極117 (參見圖1)通信。在其他實施例中，第一反相器級805之輸出可用作位準移位驅動電路217之(STP_HS)信號及用於自舉電晶體驅動電路225之(BOOTFET_DR_IN)信號。

【0108】 在一些實施例中，低側電晶體驅動電路120可使用自UVLO電路227 (參見圖2)接收到之(LS_UVLO)信號之多個輸入「反及」閘。其他實施例可使用可與最終緩衝器級825中之最終下拉電晶體之閘極串聯的關斷延遲電阻器。在一些實施例中，延遲電阻器用以確保在低側電晶體115關斷之前關斷自舉電晶體。

【0109】 現參考圖9，更詳細地說明起動電路155。起動電路155可被設計成具有眾多功能性，如下文更詳細地論述。主要地，起動電路155可用以提供內部電壓(在此狀況下為START_Vcc)且提供足夠電流以支援由(Vcc)驅動之電路。此電壓可保持接通以支援該電路，直至(Vcc)充電至自幹線電壓135外部需要之電壓(V+)為止。起動電路155亦可提供可獨立於起動電壓之參考電壓(Vref)以及參考電流槽(Iref)。

【0110】 在一個實施例中，空乏模電晶體905可充當電路中之主要電流源。在另外的實施例中，空乏模電晶體905可由安置於鈍化層上方之金屬層形成。在一些實施例中，空乏模電晶體905可將高電壓場板(通常為任何高電壓GaN技術固有的)用作閘極金屬。在另外的實施例中，場介電質可充當閘極絕緣體。所得閘控電晶體可為具有高通道夾斷電壓(Vpinch)之空乏模裝置(亦即，夾斷電壓與場介電質厚度成正比)。空乏模電晶體

905可被設計成阻斷其汲極(連接至V+)與其源極之間的相對高電壓。此連接可稱為源極隨耦器連接。空乏模電晶體905可具有耦接至接地之閘極906、耦接至第一節點911之源極907及耦接至電壓源135之汲極909。

【0111】 在另外的實施例中，一系列相同二極體連接式增強型低電壓電晶體910可與空乏模電晶體905串聯。相同二極體連接式增強型低電壓電晶體910之串聯可串聯連接於第一節點911與第二節點912之間。一或多個中間節點913可安置於串聯之相同二極體連接式增強型低電壓電晶體910中之每一者之間。電晶體之寬度與長度比可設定自(V+)汲取之電流以及跨越每一二極體之電壓。為了移除臨限電壓且處理變化敏感度，串聯之相同二極體連接式增強型低電壓電晶體910可被設計為大通道長度裝置。在一些實施例中，串聯之相同二極體連接式增強型低電壓電晶體910可經一或多個高值電阻器替換。

【0112】 在另外的實施例中，在串聯之相同二極體連接式增強型低電壓電晶體910之底端處，電流鏡915可由兩個增強型低電壓電晶體構成且用以產生參考電流槽(Iref)。第一電流鏡電晶體920可為二極體連接式的，且第二電流鏡電晶體925可具有連接至第一電流鏡電晶體之閘極的閘極。第一電流鏡電晶體920之源極及第二電流鏡電晶體925之源極分別可耦接且繫結至接地。第一電流鏡電晶體920之汲極端子可耦接至第二接面912，且第二電流鏡電晶體925之源極端子可用作電流槽端子。電流鏡915及串聯之相同二極體連接式增強型低電壓電晶體910之此堆疊可形成被稱為至空乏模電晶體905之「源極隨耦器負載」之裝置。

【0113】 在其他實施例中，當空乏模電晶體905之閘極906繫結至接地時，空乏模電晶體之源極907可在電流被供應至「源極隨耦器負載」時

採用接近(V_{pinch})之電壓。同時，跨越電流鏡915中之二極體連接式電晶體920之壓降可接近電晶體之臨限電壓(V_{th})。此條件意指跨越串聯之相同二極體連接式增強型低電壓電晶體910中之每一者的壓降可等於 $(V_{pinch} - V_{th})/n$ ，其中‘n’為電流鏡915與空乏模電晶體905之間之二極體連接式增強型電晶體之數目。

【0114】舉例而言，若起動電晶體930之閘極自底部連接至第三相同二極體連接式增強型低電壓電晶體，則起動電晶體之閘極電壓可為 $3*(V_{pinch}-V_{th})/n + V_{th}$ 。因此，起動電壓可為 $3*(V_{pinch} - V_{th})/n + V_{th} - V_{th} = 3*(V_{pinch}-V_{th})/n$ 。作為更具體實例，在 $(V_{pinch}) = 40$ 伏之一個實施例中， $(V_{th}) = 2$ 伏，其中 $n = 6$ 且 $(V_{startup}) = 19$ 伏。

【0115】在其他實施例中，起動電路155可產生參考電壓信號(V_{ref})。在一個實施例中，產生(V_{ref})之電路可類似於上文所論述之起動電壓產生電路。參考電壓電晶體955可連接於相同二極體連接式增強型低電壓電晶體910中之兩個串聯之電晶體之間。在一個實施例中， $(V_{ref}) = (V_{pinch}-V_{th})/n$ 。

【0116】在另外的實施例中，停用下拉電晶體935可跨越起動電晶體930之閘極連接至源極。當停用信號為高時，將停用起動電晶體930。下拉電阻器940可連接至停用電晶體935之閘極以防止停用電晶體之錯誤接通。在其他實施例中，二極體箝位器945可連接於起動電晶體930之閘極與源極端子之間，以確保在電路操作期間不會違反起動電晶體之閘極至源極電壓容量(亦即，經組態為閘極過壓保護裝置)。在一些實施例中，二極體箝位器945可具有一系列二極體連接式基於Ga_N之增強型電晶體1050，如圖10中所說明。

【0117】 現參考圖11，更詳細地說明UVLO電路227。在一些實施例中，UVLO電路227可具有差分比較器1105、向下位準移位器1110及反相器1115。在另外的實施例中，UVLO電路227可使用由差分比較器/向下位準移位器電路中之起動電路155 (參見圖9)產生之(Vref)及(Iref)來產生饋送至位準移位驅動器電路217 (參見圖2)及低側電晶體驅動器電路120中之(LS_UVLO)信號。在一些實施例中，UVLO電路227亦可被設計成具有非對稱滯後。在另外的實施例中，UVLO電路227之輸出可獨立於臨限電壓。此可藉由選擇具有相對高增益之差分比較器來實現。在一個實施例中，可藉由增大電流源及差分比較器中之上拉電阻器之值來增大增益。在一些實施例中，電流及電阻器之限制可由(Vref)設定。

【0118】 在其他實施例中，電壓(VA) 1120及(VB) 1125可分別與(Vcc)或(Vdd_LS)及(Vref)成正比，如由每一輸入上之電阻分壓器比指示。當(VA) 1120 > (VB) 1125時，反相端子之輸出變成低狀態。在一個具體實施例中，低狀態= (Vth)，此係因為電流源產生源極隨耦器組態。類似地，當(VA) 1120 < (VB) 1125時，輸出變成高狀態(Vref)。在一些實施例中，可能需要向下位準移位器1110，此係因為低電壓需要向下移位一個臨限電壓，以確保至下一級之低輸入低於(Vth)。向下移位輸出可由簡單電阻器上拉反相器1115反相。反相器1115之輸出為(LS_UVLO)信號。

【0119】 現參考圖12，更詳細地說明自舉電容器充電電路157。在一個實施例中，自舉二極體及電晶體電路157可包括高電壓二極體連接式增強型電晶體1205與高電壓自舉電晶體1210之並聯連接。在另外的實施例中，高電壓二極體連接式增強型電晶體1205與高電壓自舉電晶體1210可被設計成共用相同汲極指狀物。在一些實施例中，可自自舉電晶體驅動

電路225 (參見圖2)導出(BOOTFET_DR)信號。如上文所論述，高電壓自舉電晶體1210可與低側電晶體115 (參見圖1)之接通重合地接通。

【0120】 現參考圖13，可使用替代的自舉二極體及電晶體電路1300來替代上文在圖12中論述之自舉二極體及電晶體電路157。在圖13中所說明之實施例中，由增強型低電壓GaN裝置1310疊接(cascoded)之空乏模裝置1305可如示意圖1300中所說明而連接。在另一實施例中，空乏模裝置1305之閘極可連接至接地以減少疊接增強型裝置1310上之電壓應力，此取決於空乏模裝置之夾斷電壓。

高側裝置

【0121】 現參考圖14，詳細說明高側邏輯及控制電路153之實施例。在一個實施例中，高側驅動器130自第一位準移位接收器1410及高側UVLO電路1415接收輸入，且向高側電晶體125 (參見圖1)發送(HS_GATE)信號。在又另外實施例中，上拉觸發電路1425經組態以接收(LSHIFT_1)信號且控制上拉電晶體1435。在一些實施例中，第二位準移位接收電路1420經組態以控制消隱電晶體1440。上拉電晶體1435及消隱電晶體1440兩者可與上拉電阻器1430並聯連接。在下文論述且在一些狀況下在圖16至圖20中更詳細地展示高側邏輯及控制電路153內之每一電路。

【0122】 現參考圖15，更詳細地說明第一位準移位接收器1410。在一些實施例中，第一位準移位接收器1410可將(L_SHIFT1)信號轉換成可由高側電晶體驅動器130 (參見圖14)處理以驅動高側電晶體125 (參見圖1)之(LS_HSG)信號。在另外的實施例中，第一位準移位接收器1410可具有用於多位準向下移位器中之三個增強型電晶體1505、1510、1515及充當

二極體箝位器之複數個二極體連接式電晶體1520，如下文更詳細地論述。

【0123】 在一個實施例中，第一位準移位接收器1410可使(L_SHIFT1)信號向下移位 $3 \cdot V_{th}$ (例如，每一增強型電晶體1505、1510、1515可具有接近 V_{th} 之閘極至源極電壓)。在一些實施例中，最後一個源極隨耦器電晶體(例如，在此狀況下為電晶體1515)可跨越其閘極至源極具有三二極體連接式電晶體箝位器1520。在另外的實施例中，可使用此配置，此係因為其源極電壓可僅達到(V_{dd_HS}) (亦即，此係因為其汲極連接至 V_{dd_HS})，而其閘極電壓可高達 $V(L_SHIFT1) - 2 \cdot V_{th}$ 。因此，在一些實施例中，最後一個源極隨耦器電晶體1515上之最大閘極至源極電壓可大於裝置技術之最大額定閘極至源極電壓。最終源極隨耦器電晶體1515之輸出為至高側電晶體驅動130 (參見圖1)之輸入(亦即，輸出為LS_HSG信號)。在另外的實施例中，可使用多於或少於三個源極隨耦器電晶體。在又另外實施例中，可在箝位器1520中使用多於或少於三個二極體連接式電晶體。

【0124】 現參考圖16，更詳細地說明第二位準移位接收器1420。在一個實施例中，第二位準移位接收器1420可具有向下位準移位電路1605及反相器電路1610。在一些實施例中，第二位準移位接收器1420可以與第一位準移位接收器1410 (參見圖15)類似的方式建構，除了第二位準移位接收器可僅具有一個向下位準移位電路(例如，增強型電晶體1615)及跟隨之反相器電路1610之外。在一個實施例中，向下位準移位電路1605可自第二位準移位電晶體205 (參見圖2)接收(L_SHIFT2)信號。在一個實施例中，反相器電路1610可由(V_{boot})信號驅動，且反相器之上拉電晶體之

閘極電壓可用作驅動消隱電晶體1440 (參見圖14)之(BLANK_FET)信號。在一些實施例中，電壓可自低狀態下之0伏變成高狀態下之($V_{boot} + 0.5 * (V_{boot} - V_{th})$)。類似於第一位準移位接收器1410，第二位準移位接收器1420可具有跨越源極隨耦器電晶體1615之閘極至源極之二極體連接式電晶體箝位器1620。在其他實施例中，箝位器1620可包括少於或多於三個二極體連接式電晶體。

【0125】 現參考圖17，更詳細地說明上拉觸發電路1425。在一個實施例中，上拉觸發電路1425可具有第一反相器1705、第二反相器1710、RC脈衝發生器1715及閘極至源極箝位器1720。在一些實施例中，上拉觸發電路1425可接收(L_SHIFT1)信號作為輸入，且作為回應，一旦(L_SHIFT1)電壓大致轉變成第一反相器1705之輸入臨限值，上拉觸發電路就產生脈衝。所產生脈衝可用作驅動上拉電晶體1435 (參見圖14)之(PULLUP_FET)信號。第二反相器1710可由(V_{boot})而非(V_{dd_HS})驅動，此係因為上拉電晶體1435閘極電壓可能需要大於(L_SHIFT1)信號電壓。

【0126】 現參考圖18，更詳細地說明高側UVLO電路1415。在一個實施例中，高側UVLO電路1415可具有向下位準移位器1805、具有非對稱滯後之電阻器上拉反相器1810，及閘極至源極箝位器1815。在另外的實施例中，由高側UVLO電路1415產生之(HS_UVLO)信號可有助於藉由在自舉電容器110電壓變得低於某一臨限值時關斷由高側驅動電路130 (參見圖14)產生之(HS_GATE)信號來防止電路故障。在一些實施例中，量測自舉電容器110電壓(V_{boot}) (亦即，浮動供電電壓)，且作為回應，產生邏輯信號且將其與來自第一位準移位接收器1410之輸出信號(LS_HSG)組合，該輸出信號接著用作至高側閘極驅動電路130之輸入。更具體而言，在此

實施例中，舉例而言，UVLO電路被設計成在(Vboot)減小至比開關節點(Vsw) 145電壓高小於 $4 \cdot V_{th}$ 時接合。在其他實施例中，可使用不同臨限值位準。

【0127】 在另外的實施例中，高側UVLO電路1415可在向下位準移位器1805中使(Vboot)向下移位，且將信號傳送至具有非對稱滯後1810之反相器。具有非對稱滯後之反相器1810之輸出可產生在邏輯上與來自第一位準移位接收器1410之輸出組合以關斷高側電晶體125 (參見圖1)之(HS_UVLO)信號。在一些實施例中，滯後可用以減少高側電晶體125 (參見圖1)之可能對半橋電路100之總體效能不利的自觸發接通及關斷事件之數目。

【0128】 現參考圖19，更詳細地說明高側電晶體驅動器130。高側電晶體驅動器130可具有第一反相器級1905，該第一反相器級後跟隨著高側驅動級1910。第一反相器級1905可使自位準移位接收器1410 (參見圖15)接收之向下移位(LS_HSG)信號反相。向下移位信號可接著藉由高側驅動級1910發送。高側驅動級1910可產生(HS_GATE)信號以驅動高側電晶體125 (參見圖1)。在另外的實施例中，第一反相器級1905可含有可確保當(HS_UVLO)處於高狀態下時關斷高側電晶體125 (參見圖1)之雙輸入「反或」閘。

【0129】 現參考圖20，可使用參考電壓產生電路2000以自供應軌產生高側參考電壓。此電路可置放在高側GaN裝置105上以產生參考開關節點電壓145之內部電源供應器。在一些實施例中，電路2000可類似於圖9中之起動電路155。電路2000中之一個差異可為添加連接於第一節點2011與第二節點2012之間的源極隨耦器電容器2010。在一些實施例中，可能

需要源極隨耦器電容器2010以確保在第一節點2011與第二節點2012之間產生良好之穩定電壓，其不會隨開關節點(V_{sw}) 145處出現之dv/dt而波動。在其他實施例中，參考電壓電容器2015可連接於參考電壓電晶體2055之源極與第二節點2012之間。在一些實施例中，參考電壓電晶體2055之汲極可連接至(V_{boot})節點。在一些實施例中，可能需要參考電壓電容器2015以確保(V_{ref})經良好地調節並且不對開關節點(V_{sw}) 145 (參見圖1)處之高dv/dt條件作出回應。在又另外實施例中，電路2000中之另一差異可為第二節點2012可耦接至不斷變化之電壓，諸如開關節點(V_{sw}) 145 (參見圖1)，而非穿過電流槽電路915 (參見圖9)之接地連接。在又另外實施例中，(V_{ref})可在半橋電路100中用作(V_{dd_HS})。

【0130】 電路2000中之另一差異可為添加耦接在空乏模電晶體2005與串聯之相同二極體連接式增強型低電壓電晶體2020之間的高電壓二極體連接式電晶體2025 (亦即，電晶體之閘極耦接至電晶體之源極)。更具體而言，高電壓二極體連接式電晶體2025可具有耦接至空乏模電晶體2005之源極、耦接至第一節點2011之汲極及耦接至其源極之閘極。高電壓二極體連接式電晶體2025可用以確保源極隨耦器電容器2010不會在源極隨耦器電容器之頂板處之電壓上升至高於(V₊)時放電。在另外的實施例中，源極隨耦器電容器2010可相對小且可整合於半導體基板上或電子封裝內。圖20中亦展示了可在半橋電路外部添加之自舉電容器110。

【0131】 在一些實施例中，屏蔽電容器160 (參見圖1)可自第一位準移位節點305 (參見圖3)及第二位準移位節點(未展示)連接至開關節點145，以輔助減少上文所論述之錯誤觸發。在一些實施例中，屏蔽電容器160之值越大，電路越不會受至接地之寄生電容所導致之錯誤觸發影響。

然而，在高側電晶體125關斷期間，屏蔽電容器160可藉由連接至第一位準移位節點305之上拉電阻器303 (參見圖3)放電。此可顯著減緩高側電晶體125之關斷過程。在一些實施例中，此考量可用以設定屏蔽電容器160之值之上限。在另外的實施例中，可藉由使用第一位準移位節點與開關節點145之間的箝位電路161 (參見圖1)來防止第一位準移位節點305 (參見圖3)上之過壓條件。在一些實施例中，箝位電路161可由二極體連接式電晶體構成，其中電晶體之汲極連接至第一位準移位節點305 (參見圖3)且閘極及源極連接至開關節點(V_{sw}) 145 (參見圖1)。在另外的實施例中，第二屏蔽電容器及第二箝位電路可置放在第二位準移位節點與開關節點(V_{sw}) 145 (參見圖1)之間。

半橋電路1號操作

【0132】 半橋電路100之以下操作序列僅僅為實例，且可在不脫離本發明之情況下使用其他序列。現將同時參考圖1、圖2及圖14。

【0133】 在一個實施例中，當來自控制器之(PWM_LS)信號為高時，低側邏輯、控制及位準移位電路150向低側電晶體驅動器120發送高信號。低側電晶體驅動器120接著藉由(LS_GATE)信號與低側電晶體115通信以將其接通。此將開關節點電壓(V_{sw}) 145設定成接近0伏。當低側電晶體115接通時，其提供使自舉電容器110藉由可連接於(V_{cc})與(V_{boot})之間的自舉充電電路157被充電之路徑。充電路徑具有高電壓自舉二極體1205 (參見圖12)與電晶體1210之並聯組合。(BOOTFET_DR)信號向自舉電晶體1210 (參見圖12)提供驅動信號，該驅動信號提供低電阻路徑以用於為自舉電容器110充電。

【0134】 自舉二極體1205 (參見圖12)可用以確保存在用於當不存在

低側電晶體115閘極驅動信號(LS_GATE)時在起動期間為自舉電容器110充電之路徑。在此時間期間，(PWM_HS)信號應為低。若(PWM_HS)信號在此時間期間無意中接通(亦即，處於高狀態下)，則自低側電晶體驅動器120產生之(STP_HS)信號將防止高側電晶體125接通。若在(PWM_HS)信號接通時接通(PWM_LS)信號，則自位準移位驅動器電路217產生之(STP_LS)信號將防止低側電晶體115接通。而且，在一些實施例中，(LS_UVLO)信號可防止低側電晶體115及高側電晶體125在(V_{cc})或(V_{dd_LS})變得低於預設臨限電壓位準時接通。

【0135】 在另外的實施例中，當(PWM_LS)信號為低時，至低側電晶體115之低側閘極信號(LS_GATE)亦為低。在(PWM_LS)信號低狀態至(PWM_HS)高狀態轉變之間的停滯時間期間，電感負載將迫使高側電晶體125或低側電晶體115在同步整流器模式下接通，此取決於功率流之方向。若高側電晶體125在停滯時間期間(例如，在升壓模式操作期間)接通，則開關節點(V_{sw}) 145電壓可上升接近(V₊) 135 (幹線電壓)。

【0136】 在一些實施例中，由於電容耦接至接地，開關節點145(V_{sw})上之dv/dt條件可傾向於相對於開關節點(V_{sw}) 145將第一位準移位節點(LSHIFT_1) 305(參見圖3)拉至低狀態。此可接通高側閘極驅動電路130，從而導致高側電晶體125之非既定觸發。在一個實施例中，此不會產生在擊穿條件下可能損害半橋電路100之停滯時間。在另外的實施例中，為了防止此條件發生，消隱脈衝發生器223可感測低側電晶體115之關斷瞬態並發送脈衝以接通第二位準移位電晶體205。此可將(L_SHIFT2)信號電壓拉至低狀態，此接著與第二位準移位接收器1420通信以產生消隱脈衝信號(B_PULSE)來驅動消隱電晶體1440。消隱電晶體1440可接著

充當上拉以防止第一位準移位節點(LSHIFT_1) 305 (參見圖3)相對於交換節點(V_{sw}) 145變成低狀態。

【0137】 在另外的實施例中，在停滯時間之後，當(PWM_HS)信號變成高狀態時，位準移位驅動器電路217可向第一位準移位電晶體203之閘極發送高信號(經由來自位準移位驅動器電路217之L1_DR信號)。高信號將相對於開關節點(V_{sw}) 145將第一位準移位節點(LSHIFT_1) 305 (參見圖3)拉低，此將在高側電晶體125之輸入處產生高信號，從而接通高側電晶體125。開關節點電壓(V_{sw}) 145將保持接近(V₊) 135。在一個實施例中，在此時間期間，自舉電容器110可藉由第一位準移位電晶體203 (其在此時間期間處於接通狀態)放電。

【0138】 若高側電晶體125在相對長之時間(亦即，大工作週期)內保持接通，則自舉電容器110電壓將降低至低電壓，其足夠低使得其將防止高側電晶體125在(PWM_HS)信號變低時關斷。在一些實施例中，此可能發生，因為(L_SHIFT1)信號可達到之最大電壓為可能過低而無法關斷高側電晶體125之(V_{boot})。在一些實施例中，可藉由高側UVLO電路1415防止此情形，該高側UVLO電路藉由在(V_{boot})變得低於特定位準時向高側閘極驅動電路130發送高輸入來強制性地關斷高側電晶體125。

【0139】 在又另外實施例中，當(PWM_HS)信號變低時，第一位準移位電晶體203亦將關斷(經由來自位準移位驅動器電路217之L1_DR信號)。此會將第一位準移位節點(LSHIFT_1) 305 (參見圖3)拉至高狀態。然而，在一些實施例中，此過程可能相對緩慢，此係因為高值上拉電阻器303 (參見圖3) (在一些實施例中用以降低功耗)需要為附接至第一位準移位節點(L_SHIFT1) 305 (參見圖3)之所有電容充電，包括第一位準移位電

晶體213及屏蔽電容器160之輸出電容(C_{oss})。此可增加高側電晶體125之關斷延遲。為了減少高側電晶體125關斷延遲，上拉觸發電路1425可用以感測第一位準移位節點(L_SHIFT1) 305 (參見圖3)何時變得高於(V_{th})。此條件可產生被施加至與上拉電阻器1430並聯地起作用之上拉電晶體1435之(PULLUP_FET)信號，可顯著地加速第一位準移位節點(L_SHIFT1) 305 (參見圖3)電壓之上拉，從而促進關斷過程。

半橋電路2號

【0140】 現參考圖21，公開半橋電路2100之第二實施例。半橋電路2100可具有與圖1中所說明之電路100相同的方塊圖，然而，電路2100中之位準移位電晶體可以脈衝輸入而非連續信號操作，如下文更詳細地描述。在一些實施例中，脈衝輸入可產生更低的功率耗散、位準移位電晶體上減小的應力及減少之切換時間，如下文更詳細地論述。

【0141】 繼續參考圖21，一個實施例包括使用低側Ga_N裝置2103、高側Ga_N裝置2105、負載2107、自舉電容器2110及其他電路元件之整合式半橋功率轉換電路2100，如下文更詳細地論述。一些實施例亦可具有將一或多個輸入提供至電路2100以調節電路之操作之外部控制器(圖21中未展示)。電路2100僅用於說明性目的，且其他變體及組態處於本發明之範疇內。

【0142】 如在圖21中進一步說明，在一個實施例中，整合式半橋功率轉換電路2100可包括安置於低側Ga_N裝置2103上之低側電路，該低側Ga_N裝置包括具有低側控制閘極2117之低側電晶體2115。低側電路可進一步包括具有連接至低側電晶體控制閘極2117之輸出2123之整合式低側電晶體驅動器2120。在另一實施例中，可存在安置於包括具有高側控制

閘極2127之高側電晶體2125之高側GaN裝置2105上之高側電路。高側電路可進一步包括具有連接至高側電晶體控制閘極2127之輸出2133之整合式高側電晶體驅動器2130。

【0143】 高側電晶體2125可用以控制至功率轉換電路2100中之功率輸入並具有連接至高側電晶體之汲極2137之電壓源(V+) 2135 (有時稱為幹線電壓)。高側電晶體2125可進一步具有耦接至低側電晶體2115之汲極2143之源極2140，從而形成開關節點(V_{sw}) 2145。低側電晶體2115可具有連接至接地之源極2147。在一個實施例中，低側電晶體2115及高側電晶體2125可為增強型場效電晶體。在其他實施例中，低側電晶體2115及高側電晶體2125可為任何其他類型之裝置，包括但不限於基於Ga₂N之空乏模電晶體、與矽基增強型場效電晶體串聯連接之基於Ga₂N之空乏模電晶體、基於碳化矽之電晶體或矽基電晶體，該空乏模電晶體之閘極連接至矽基增強型電晶體之源極。

【0144】 在一些實施例中，高側裝置2105及低側裝置2103可由基於Ga₂N之材料製成。在一個實施例中，基於Ga₂N之材料可包括一層矽上之一層Ga₂N。在另外的實施例中，基於Ga₂N之材料可包括但不限於一層碳化矽、藍寶石或氮化鋁上之一層Ga₂N。在一個實施例中，基於Ga₂N之層可包括但不限於諸如氮化鋁及氮化銮之其他第III族氮化物及諸如AlGa₂N及InGa₂N之第III族氮化物合金之複合堆疊。

低側裝置

【0145】 低側裝置2103可具有用於低側裝置及高側裝置2105之控制及操作之許多電路。在一些實施例中，低側裝置2103可包括控制低側電晶體2115及高側電晶體2125之切換連同其他功能之邏輯、控制及位準移

位電路(低側控制電路) 2150，如下文更詳細地論述。低側裝置2103亦可包括起動電路2155、自舉電容器充電電路2157及屏蔽電容器2160，如同樣在下文更詳細地論述。

【0146】 現參考圖22，在功能上說明低側控制電路2150內之電路。在下文論述且在一些狀況下在圖23至圖28中更詳細地展示低側控制電路2150內之每一電路。在一個實施例中，低側控制電路2150之主要功能可為自控制器接收諸如PWM信號之一或多個輸入信號且控制低側電晶體2115及高側電晶體2125之操作。

【0147】 第一位準移位電晶體2203可為「接通」脈衝位準移位電晶體，而第二位準移位電晶體2215可為「關斷」脈衝位準移位電晶體。在一個實施例中，來自控制器(未展示)之脈寬調變高側(PWM_HS)信號可由反相器/緩衝器2250處理並發送至接通脈衝發生器2260及關斷脈衝發生器2270上。接通脈衝發生器2260可產生對應於(PWM_HS)信號之低狀態至高狀態瞬態之脈衝，因此在脈衝之持續時間期間接通第一位準移位電晶體2203。關斷脈衝發生器2270可類似地產生對應於(PWM_HS)信號之高狀態至低狀態轉變之脈衝，因此在關斷脈衝之持續時間期間接通第二位準移位電晶體2205。

【0148】 第一位準移位電晶體2203及第二位準移位電晶體2205分別可用作電阻器上拉反相器電路中之下拉電晶體。更具體而言，接通可意味著相應位準移位節點電壓相對於開關節點(V_{sw}) 2145被拉低，且關斷可使相應位準移位節點採用(V_{boot})電壓。因為第一位準移位電晶體2203及第二位準移位電晶體2215分別僅在脈衝之持續時間內「接通」，所以此兩個裝置上之功率耗散及應力位準可小於圖1中所說明之半橋電路100。

【0149】 第一電阻器2207及第二電阻器2208分別可與第一位準移位電晶體2203及第二位準移位電晶體2215之源極串聯地添加，以分別限制閘極至源極電壓且因此限制穿過電晶體之最大電流。第一電阻器2207及第二電阻器2208分別可小於圖1中所說明之半橋電路100中之源極隨耦器電阻器，此可有助於較快地進行第一位準移位電晶體2203及第二位準移位電晶體2215之下拉動作，從而減少至高側電晶體2125之傳播延遲。

【0150】 在另外的實施例中，第一電阻器2207及第二電阻器2208分別可經任何形式之電流槽替換。一個實施例可分別將第一位準移位電晶體2203及第二位準移位電晶體2205之源極連接至閘極至源極短路之空乏模裝置。在高電壓GaN技術中形成之空乏模電晶體之一個實施例可藉由疊置於場介電質層之頂部上之高電壓場板金屬中之一個替換增強型閘極堆疊。場介電質之厚度及金屬之功函數可控制堆疊之夾斷電壓。

【0151】 在另外的實施例中，第一電阻器2207及第二電阻器2208分別可經電流槽替換。在一個實施例中，可使用由起動電路2155 (參見圖21)產生之參考電流(I_{ref})。空乏模電晶體及電流槽實施例兩者相比於電阻器選項可導致晶粒面積顯著減小(亦即，此係因為小的空乏模電晶體將滿足且 I_{ref} 已可用)。

【0152】 自舉電晶體驅動電路2225可類似於上文圖2中所說明之自舉電晶體驅動電路225。自舉電晶體驅動電路2225可自低側驅動電路2220 (參見圖22)接收輸入，並將稱為(BOOTFET_DR)之閘極驅動信號提供給自舉電容器充電電路2157 (參見圖21)中之自舉電晶體，如在上文更詳細地論述。

【0153】 現參考圖23，說明第一位準移位電晶體2203連同可位於高

側裝置2105中之上拉電阻器2303。在一些實施例中，第一位準移位電晶體2203可操作為電阻器上拉反相器中之下拉電晶體，類似於圖3中所說明之第一位準移位電晶體203。如上文所論述，拉高電阻器2303可安置於高側裝置2105 (參見圖21)中。第二位準移位電晶體2215可具有類似組態。在一些實施例中，在第一輸出端子(LS_NODE) 2305與開關節點(V_{sw}) 2145 (參見圖21)之間可存在第一電容，且在第一輸出端子2305與接地之間可存在第二電容，其中第一電容大於第二電容。第一電容可設計成使得回應於開關節點(V_{sw}) 2145 (參見圖21)處之高dv/dt信號，允許C*dv/dt電流之大部分傳導穿過第一電容，以確保第一輸出端子2305處之電壓追蹤開關節點(V_{sw})處之電壓。屏蔽電容器2160 (參見圖21)可經組態以充當如上文所描述之第一電容器。在另外的實施例中，屏蔽電容器2160 (參見圖21)可用以在半橋功率轉換電路2100中在第一輸出端子2305與開關節點(V_{sw}) 2145 (參見圖21)之間產生電容。屏蔽電容器2160亦可用以最小化第一輸出端子2305與半導體裝置之基板之間的電容。在另外的實施例中，屏蔽電容器2160可建構於低側GaN裝置2103上。

【0154】 現參考圖24，更詳細地說明反相器/緩衝器電路2250。在一個實施例中，反相器/緩衝器電路2250可具有第一反相器級2405及第一緩衝器級2410。在另外的實施例中，反相器/緩衝器電路2250可由來自控制器(未展示)之(PWM_HS)信號直接驅動。第一反相器級2405之輸出可為至接通脈衝發生器2260 (參見圖22)之輸入信號(PULSE_ON)，而第一緩衝器級2410之輸出可為至關斷脈衝發生器2270之輸入信號(PULSE_OFF)。

【0155】 在一些實施例中，可藉由將由UVLO電路2227 (參見圖22)

產生之信號發送至安置於第一反相器級2405中之「反及」閘中來產生視情況選用之(LS_UVLO)信號。若(Vcc)或(Vdd_LS)變得低於某一參考電壓(或參考電壓之分數)，則此電路可用以關斷位準移位操作。在另外的實施例中，反相器/緩衝器電路2250可為低側電晶體2115 (參見圖21)產生可施加至低側電晶體閘極驅動電路2120之擊穿保護信號(STP_LS1)。當(PWM_HS)信號為高時，此可關斷低側電晶體閘極驅動電路2120 (參見圖21)，從而防止擊穿。

【0156】 現參考圖25，更詳細地說明接通脈衝發生器2260。在一個實施例中，接通脈衝發生器2260可具有第一反相器級2505、第一緩衝器級2510、RC脈衝發生器2515、第二反相器級2520、第三反相器級2525及第三緩衝器級2530。在另外的實施例中，來自反相器/緩衝器電路2250 (參見圖22)之(PULSE_ON)信號輸入可首先反相，且接著由RC脈衝發生器2515及方波發生器變換成接通脈衝。此操作之結果為經傳輸至第一位準移位電晶體2203 (參見圖22)之閘極驅動信號(LI_DR)。

【0157】 在另外的實施例中，接通脈衝發生器2260可包含一或多個邏輯功能，例如二進位或組合性功能。在一個實施例中，接通脈衝發生器2260可具有(STP_HS)信號之多輸入「反或」閘。(STP_HS)信號可具有與(LS_GATE)信號相同的極性。因此，若(STP_HS)信號為高(對應於LS_GATE信號為高)，則可不產生接通脈衝，此係因為圖25中之第一反相器電路2505將拉低，此將會去啟動脈衝發生器2515。

【0158】 在另外的實施例中，RC脈衝發生器2515可包括箝位二極體(未展示)。可添加箝位二極體以確保RC脈衝發生器2515在(PWM_LS)信號之極小工作週期內工作。在一些實施例中，接通脈衝發生器2260可

經組態以接收介於2奈秒至20微秒範圍內之輸入脈衝且傳輸該範圍內之實質上恆定的持續時間之脈衝。在一個實施例中，若跨越箝位二極體之電壓變得大於(V_{th})，則箝位二極體可接通且使RC脈衝發生器2515中之電阻器短路(同時提供極小的電容器放電時間)。此可顯著地改善脈衝發生器電路2260之最大操作工作週期(相對於PWM_HS信號)。

【0159】 現參考圖26，更詳細地說明關斷脈衝發生器2270。在一個實施例中，關斷脈衝發生器2270可具有RC脈衝發生器2603、第一反相器級2605、第二反相器級2610及第一緩衝器級2615。在另外的實施例中，關斷脈衝發生器2270可自反相器/緩衝器電路2250 (參見圖22)接收可隨後傳達至RC脈衝發生器2603之輸入信號(PULSE_OFF)。

【0160】 在另外的實施例中，藉由第一反相器級2605、第二反相器級2610及緩衝器級2615發送來自RC脈衝發生器2603之脈衝。脈衝可接著作為(L2_DR)信號發送至第二位準移位電晶體2215 (參見圖22)。箝位二極體亦可包括在關斷脈衝發生器2270中。在一些實施例中，工作原理可類似於上文關於接通脈衝發生器2260 (參見圖25)所論述之工作原理。此類操作原理可確保關斷脈衝發生器2270在高側電晶體2125 (參見圖21)之極低接通時間內操作(亦即，電路將在相對小的工作週期內操作)。在一些實施例中，關斷脈衝發生器2270可經組態以接收介於2奈秒至20微秒範圍內之輸入脈衝且傳輸該範圍內之實質上恆定的持續時間之脈衝。在另外的實施例中，關斷位準移位脈衝可由接通輸入脈衝縮短以實現接通高側電晶體2125之小於50奈秒之關斷時間。

【0161】 在一些實施例中，RC脈衝發生器2603可包括與電阻分壓器網路連接之電容器。來自電阻器之輸出可為發送至反相器2275 (參見圖

22)之信號(INV)，該反相器2275產生傳輸至低側驅動器電路2220之擊穿保護信號(STP_LS2)。在另外的實施例中，關斷脈衝發生器2270可包含一或多個邏輯功能，例如二進位或組合性功能。在一個實施例中，類似於(STP_LS1)信號，(STP_LS2)信號發送至低側驅動器電路2220內之NAND邏輯電路。在一些實施例中，此等信號可用以確保在關斷脈衝信號(PULSE_OFF)之持續時間期間，低側電晶體2115 (參見圖21)不接通(亦即，此係因為高側電晶體2125在關斷脈衝期間關斷)。在一些實施例中，此方法可適用於補償關斷傳播延遲(亦即，PULSE_OFF信號可實現擊穿保護)，從而確保低側電晶體2115將僅在高側電晶體2125閘極完全關斷之後才接通。

【0162】 在另外的實施例中，可使用第二位準移位電晶體2215來使消隱脈衝位準移位至高側裝置2105。為了實現此點，可將消隱脈衝發送至至第一反相器級2605中之「反或」輸入中。消隱脈衝可用以阻止由於開關節點 V_{sw} 2145 (參見圖20)處之高 dv/dt 條件之錯誤觸發。在一些實施例中，消隱脈衝不可用以對 dv/dt 引發或其他非期望位準移位輸出脈衝進行濾波。

【0163】 現參考圖27，更詳細地說明消隱脈衝發生器2223。在一個實施例中，消隱脈衝發生器2223可為比圖1中所說明之半橋電路100中使用更簡單的設計，此係因為方波脈衝發生器已經為關斷脈衝發生器2270之部分。在一個實施例中，(LS_GATE)信號自低側閘極驅動電路2220 (參見圖22)作為輸入饋入至消隱脈衝發生器2223。此信號可經反相且接著藉由RC脈衝發生器發送以產生正向脈衝。在一些實施例中，可使用反相信號，此係因為脈衝需要對應於(LS_GATE)信號之下降邊緣。此輸出可用

作至關斷脈衝發生器2270之消隱脈衝輸入(B_PULSE)。

【0164】 現參考圖28，更詳細地說明低側電晶體驅動電路2220。在一個實施例中，低側電晶體驅動電路2220可具有第一反相器級2805、第一緩衝器級2810、第二反相器級2815、第二緩衝器級2820及第三緩衝器級2825。在一些實施例中，可使用兩個反相器/緩衝器級，此係因為至低側電晶體2115之閘極之輸入與(PWM_LS)信號同步。因此，在一些實施例中，(PWM_LS)高狀態可對應於(LS_GATE)高狀態，且反之亦然。

【0165】 在另外的實施例中，低側電晶體驅動電路2220亦可包括非對稱滯後，該非對稱滯後使用具有類似於120 (參見圖8)中描述之方案之電晶體下拉的電阻分壓器。在一個實施例中，低側電晶體驅動電路2220包括用於(STP_LS1)及(STP_LS2) (對接通低側電晶體2115之擊穿防止)信號之多個輸入「反及」閘。(STP_LS1)及(STP_LS2)信號可確保低側電晶體驅動電路2220 (參見圖22)在高側電晶體2125接通時不與低側電晶體2115 (參見圖21)通信。此技術可用以避免擊穿之可能性。其他實施例可包括(LS_UVLO)信號之「反及」閘(類似於上文在圖28中所使用之「反及」閘)。一個實施例可包括與最終下拉電晶體之閘極串聯之關斷延遲電阻器。此可用以確保在低側電晶體2115關斷之前關斷自舉電晶體。

【0166】 在另外的實施例中，低側裝置2103 (參見圖21)亦可包括可分別類似於如上文所論述之起動電路155、自舉電容器充電電路157、屏蔽電容器160及UVLO電路227之起動電路2155、自舉電容器充電電路2157、屏蔽電容器2160及UVLO電路2227。

高側裝置

【0167】 現參考圖29，更詳細地說明高側邏輯及控制電路2153及其

如何與高側電晶體驅動器2130互動。在一些實施例中，高側邏輯及控制電路2153可以與上文在圖15中所論述之高側邏輯及控制電路153類似的方式操作。在另外的實施例中，高側邏輯及控制電路2153可以不同方式操作，如下文更詳細地論述。

【0168】 在一個實施例中，位準移位1接收器電路2910自第一位準移位電晶體2203 (參見圖22)接收(L_SHIFT1)信號，該第一位準移位電晶體2203在(PWM_HS)信號之低狀態至高狀態轉變時接收接通脈衝，如上文所論述。作為回應，位準移位1接收器電路2910驅動上拉電晶體2960 (例如，在一些實施例中，低電壓增強型GaN電晶體)之閘極。在另外的實施例中，上拉電晶體2960可接著相對於開關節點(V_{sw}) 2145電壓將狀態儲存電容器2955電壓上拉至接近(V_{dd_HS})之值。狀態儲存電容器2955上之電壓可接著傳送至高側電晶體驅動器2130且傳送至高側電晶體閘極2127 (參見圖21)之閘極上以接通高側電晶體2125。在一些實施例中，狀態儲存電容器2955可為經組態以回應於第一脈衝輸入信號而改變狀態且回應於第二脈衝輸入信號而改變狀態之鎖存儲存邏輯電路。在另外的實施例中，狀態儲存電容器2955可經任何類型之鎖存電路替換，諸如但不限於RS正反器。

【0169】 在另外的實施例中，在此時間期間，位準移位2接收器電路2920可使下拉電晶體2965 (例如，在一些實施例中，低電壓增強型GaN電晶體)維持處於關斷狀態。此可切斷狀態儲存電容器2955之任何放電路徑。因此，在一些實施例中，狀態儲存電容器2955可具有相對小的充電時間常數及相對大的放電時間常數。

【0170】 類似地，位準移位2接收器2920可自第二位準移位電晶體

2215 (參見圖22)接收(L_SHIFT2)信號，該第二位準移位電晶體2215在(PWM_HS)信號之高狀態至低狀態轉變時接收關斷脈衝，如上文所論述。作為回應，位準移位2接收器電路2920驅動下拉電晶體2965 (例如，在一些實施例中，低電壓增強型GaN電晶體)之閘極。在另外的實施例中，下拉電晶體2965可接著將狀態儲存電容器2955電壓下拉(亦即，放電)至接近開關節點(V_{sw}) 2145之值，該開關節點(V_{sw}) 2145可因此藉由高側電晶體驅動器2130關斷高側電晶體2125。

【0171】 繼續參考圖29，第一屏蔽電容器2970及第二屏蔽電容器2975分別可自(L_SHIFT1)及(L_SHIFT2)節點連接，以幫助阻止開關節點(V_{sw}) 2145 (參見圖21)處之高dv/dt條件期間之錯誤觸發。在另外的實施例中，在(L_SHIFT1)及(L_SHIFT2)節點與開關節點(V_{sw}) 2145 (參見圖21)之間亦可存在箝位二極體。此可確保開關節點(V_{sw}) 2145 (參見圖21)及(L_SHIFT1)與(L_SHIFT2)節點之間的電位差從未高於(V_{th})。此可用以產生高側電晶體2125 (參見圖21)之相對快速之接通及關斷。

【0172】 現參考圖30，更詳細地說明位準移位1接收器2910。在一個實施例中，位準移位1接收器2910可包括向下位準移位器3005、第一反相器3010、第二反相器3015、第一緩衝器3020、第三反相器3025、第二緩衝器3030及第三緩衝器3135。在一些實施例中，位準移位1接收器2910使(L_SHIFT1)信號向下移位(亦即，調變) 3*V_{th}之電壓(例如，使用三個增強型電晶體，其中每一增強型電晶體可具有接近V_{th}之閘極至源極電壓)。在其他實施例中，可使用更少或更多向下移位電晶體。

【0173】 在另外的實施例中，最後一個源極隨耦器電晶體可跨越其閘極至其源極具有三二極體連接式電晶體箝位器。在一些實施例中，可使

用此組態，此係因為其源極電壓可僅達到(Vdd_HS) (亦即，因為其汲極連接至Vdd_HS)，而其閘極電壓可高達 $V(L_SHIFT1) - 2*V_{th}$ 。因此，在一些實施例中，最終源極隨耦器電晶體上之最大閘極至源極電壓可大於技術中之最大額定閘極至源極電壓。

【0174】 在另外的實施例中，第一反相器3010亦可具有用於高側欠壓鎖定之使用由高側UVLO電路2915產生之(UV_LS1)信號的「反或」閘。在一個實施例中，位準移位1接收器2910 (參見圖29)之輸出可為經傳達至上拉電晶體2960 (參見圖29)之閘極的(PU_FET)信號。此信號可具有自低狀態下之0伏變成高狀態下之(Vdd_HS) + (Vdd_HS - Vth)的電壓。此電壓可在接通脈衝之持續時間內保持接通。

【0175】 現參考圖31，更詳細地說明位準移位2接收器2920。在一個實施例中，位準移位2接收器2920可類似於上文所論述之位準移位1接收器2910。在另外的實施例中，位準移位2接收器2920可包括消隱脈衝發生器3105、向下位準移位器3110、第一反相器3115、第二反相器3120、第一緩衝器3125、第三反相器3130、第二緩衝器3135及第三緩衝器3140。在一個實施例中，除了 $3*V_{th}$ 向下位準移位器3110及多個反相器/緩衝器級以外，亦可使用消隱脈衝發生器3105。

【0176】 在其他實施例中，可使用不同組態。在一些實施例中，當位準移位2接收器2920兼用作高側電晶體2125 (參見圖21)關斷以及消隱電晶體2940 (參見圖29)驅動以得到較好dv/dt抗擾性時，此特定組態可為適用的。在一些實施例中，消隱脈衝發生器3105可與圖17中所說明之位準移位2接收器1520相同。在一個實施例中，位準移位2接收器2920 (參見圖29)可接收(L_SHIFT2)及(UV_LS2)信號，且作為回應而向下拉電晶體

2965傳輸(PD_FET)信號。在另外的實施例中，第一反相器3115可具有用於來自高側UVLO電路2915 (參見圖29)之(UV_LS2)信號的雙輸入「反及」閘。

【0177】 現參考圖32，更詳細地說明高側UVLO電路2915。在一個實施例中，高側UVLO電路2915可包括向下位準移位器3205及電阻器上拉反相器級3210。在一些實施例中，高側UVLO電路2915可經組態以藉由在自舉電容器2110電壓變得低於某一臨限值時關斷至高側電晶體2125 (參見圖21)之(HS_GATE)信號來防止電路故障。在一個實施例中，高側UVLO電路2915被設計成在(Vboot)減小至比開關節點(Vsw) 2145電壓高小於 $4 \cdot V_{th}$ 之值時接合。在另一實施例中，向下位準移位器3205之輸出可為傳輸至第二位準移位接收器2920之(UV_LS2)信號，且電阻器上拉反相器級3210之輸出可為傳輸至第一位準移位接收器2910之(UV_LS1)信號。

【0178】 如下文所論述，在一些實施例中，高側UVLO電路2915可不同於上文分別在圖14及圖18中所論述之半橋電路100之高側UVLO電路1415。在一個實施例中，(Vboot)信號可向下移位 $3 \cdot V_{th}$ 且傳送至電阻器上拉反相器級3210。在另外的實施例中，因為位準移位2接收器電路2920 (參見圖29)基於高側電晶體2125 (參見圖21)而控制關斷過程，所以在位準移位2接收器電路2920之輸入處直接施加至「反及」閘之 $3 \cdot V_{th}$ 向下移位輸出將接合欠壓鎖定。

【0179】 然而，在一些實施例中，因為自舉電壓可能過低，所以此亦可保持上拉電晶體2960 (參見圖29)接通。在一些實施例中，此可能產生衝突。當位準移位2接收器電路2920 (參見圖29)嘗試保持高側電晶體2125 (參見圖21)關斷時，位準移位1接收器電路2910可嘗試接通高側電晶

體。為了避免此情形，一些實施例可使來自高側UVLO電路2915 (參見圖29)之 $3 \cdot V_{th}$ 向下移位信號之輸出反相，且將其發送至位準移位1接收器電路2910上之「反或」輸入。此可確保位準移位1接收器電路2910不干擾UVLO引發之關斷過程。

【0180】 現參考圖33，更詳細地說明高側電晶體驅動器2130。在一個實施例中，高側電晶體驅動器2130可包括第一反相器3305、第一緩衝器3310、第二反相器3315、第二緩衝器3320及第三緩衝器3325。在一些實施例中，高側電晶體驅動器2130可為比圖1中所說明之半橋電路100中使用之高側電晶體驅動器130更基本的設計。在一個實施例中，高側電晶體驅動器2130自狀態儲存電容器2955 (參見圖29)接收(S_CAP)信號，且將對應驅動(HS_GATE)信號遞送至高側電晶體2125 (參見圖21)。更具體而言，當(S_CAP)信號處於高狀態下時，(HS_GATE)信號處於高狀態下且反之亦然。

半橋電路2號操作

【0181】 半橋電路2100 (參見圖21)之以下操作序列僅僅為實例，且可在不脫離本發明之情況下使用其他序列。現將同時參考圖21、圖22及圖29。

【0182】 在一個實施例中，當(PWM_LS)信號處於高狀態下時，低側邏輯、控制及位準移位電路2150可向低側電晶體驅動器2120發送高信號，該低側電晶體驅動器接著將該信號傳達至低側電晶體2115以將其接通。此可將開關節點(V_{sw}) 2145電壓設定成接近0伏。在另外的實施例中，當低側電晶體2115接通時，其可為自舉電容器2110提供用以充電之路徑。充電路徑具有高電壓自舉二極體與電晶體之並聯組合。

【0183】 在一些實施例中，自舉電晶體驅動電路2225可向自舉電晶體提供驅動信號(BOOTFET_DR)，該自舉電晶體提供用於為自舉電容器2110充電之低電阻路徑。在一個實施例中，自舉二極體可確保當不存在低側閘極驅動信號(LS_GATE)時在起動期間存在用於為自舉電容器2110充電之路徑。在此時間期間，(PWM_HS)信號應處於低狀態下。若(PWM_HS)信號在此時間期間無意中接通，則自低側驅動器電路2220產生之(STP_HS)信號將防止高側電晶體2125接通。若在(PWM_HS)信號接通時接通(PWM_LS)信號，則自反相器/緩衝器2250及反相器2275產生之(STP_LS1)及(STP_LS2)信號分別將防止低側電晶體2115接通。另外，在一些實施例中，(LS_UVLO)信號可防止低側閘極2117及高側閘極2127在(Vcc)或(Vdd_LS)變得低於預定電壓位準時接通。

【0184】 相反地，在一些實施例中，當(PWM_LS)信號處於低狀態下時，至低側電晶體2115之(LS_GATE)信號亦可處於低狀態下。在一些實施例中，在(PWM_LS)低信號與(PWM_HS)高信號轉變之間的停滯時間期間，電感負載可迫使高側電晶體2125或低側電晶體2115在同步整流器模式下接通，此取決於功率流之方向。若高側電晶體2125在停滯時間期間接通(例如，處於升壓模式下)，則開關節點(V_{sw}) 2145電壓可上升接近(V₊) 2135 (亦即，幹線電壓)。開關節點(V_{sw}) 2145上之此dv/dt條件可傾向於相對於開關節點(亦即，由於電容耦接至接地)將(L_SHIFT1)節點拉動至低狀態，此可接通高側電晶體驅動器2130，從而引起高側電晶體2125之非既定導電。此條件可抵消停滯時間，從而引起擊穿。

【0185】 在一些實施例中，藉由使用消隱脈衝發生器2223以感測低側電晶體2115之關斷瞬態且發送脈衝以接通第二位準移位電晶體2205，

可防止此條件發生。此可將(L_SHIFT2)信號拉至低狀態，此可接著與位準移位2接收器電路2920通信以產生消隱脈衝來驅動消隱電晶體2940。在一個實施例中，消隱電晶體2940可充當上拉以防止(L_SHIFT1)信號相對於開關節點(V_{sw}) 2145變成低狀態。

【0186】 在另外的實施例中，在停滯時間之後，當(PWM_HS)信號自低狀態轉變至高狀態時，接通脈衝發生器2260可產生接通脈衝。此可在短暫的時間段內將(L_SHIFT1)節點電壓拉低。在另外的實施例中，此信號可由位準移位1接收器電路2910反相，且短暫高信號將被發送至將使狀態儲存電容器2955充電至高狀態之上拉電晶體2960。此可在高側電晶體驅動器2130之輸入處產生將接通高側電晶體2125之對應高信號。開關節點(V_{sw}) 2145電壓可保持接近(V₊) 2135 (亦即，幹線電壓)。狀態儲存電容器2955電壓可在此時間期間保持在高狀態下，此係因為不存在放電路徑。

【0187】 在又另外實施例中，在接通脈衝期間，自舉電容器2110可藉由第一位準移位電晶體2203放電。然而，因為該時間段相對較短，所以自舉電容器2110可能不像其在第一位準移位電晶體2203在(PWM_HS)信號之整個持續時間期間接通之情況下同等多地放電(圖1中之半橋電路100之狀況亦如此)。更具體而言，在一些實施例中，此可使UVLO接合之開關頻率為比在圖1中之半橋電路100之值相對更低的值。

【0188】 在一些實施例中，當(PWM_HS)信號自高狀態轉變至低狀態時，關斷脈衝發生器2270可產生關斷脈衝。此可在短暫的時間段內將(L_SHIFT2)節點電壓拉低。此信號可由位準移位2接收器電路2920反相，且短暫高狀態信號可被發送至將使狀態儲存電容器2955放電至低狀態之

下拉電晶體2965。此將在高側電晶體驅動器2130之輸入處產生將關斷高側電晶體2125之低信號。在另外的實施例中，狀態儲存電容器2955電壓可在此時間期間保持在低狀態下，此係因為其不具有放電路徑。

【0189】 在一個實施例中，因為電路2100中之關斷過程不涉及藉由高值上拉電阻器為位準移位節點電容器充電，所以關斷時間可比在圖1之半橋電路100中相對更短。在另外的實施例中，高側電晶體2125接通及關斷過程可受實質上類似之位準移位電晶體2203、2205之接通控制，因此接通及關斷傳播延遲可實質上類似。此可產生不需要如在圖1中之半橋電路100中使用之上拉觸發電路及/或上拉電晶體兩者之實施例。

ESD電路

【0190】 現參考圖34，在一些實施例中，一或多個引腳(亦即，自電子封裝內之半導體裝置至電子封裝上之外部端子之連接件)可使用靜電放電(ESD)箝位電路以保護電路。以下實施例說明可在本文中所公開之一或多個實施例以及可需要ESD保護之其他實施例中之一或多個引腳上使用之ESD箝位電路。在另外的實施例中，本文中所公開之ESD箝位電路可用於基於Ga_N之裝置上。

【0191】 說明靜電放電(ESD)箝位電路3400之一個實施例。ESD箝位電路3400可具有使用由增強型電晶體製成之一或多個源極隨耦器級3405之組態。每一源極隨耦器級3405可具有連接至鄰近源極隨耦器級之源極3407的閘極3406。在圖34中所說明之實施例中，使用四個源極隨耦器級3405，然而在其他實施例中，可使用更少或更多源極隨耦器級。電阻器3410耦接至源極隨耦器級3405之源極3407。

【0192】 ESD電晶體3415耦接至一或多個源極隨耦器級3405，且可

經組態以在曝露於過壓脈衝時傳導大於500 mA之電流，如下文所論述。電阻器3410安置於ESD電晶體3415之源極3420與源極隨耦器級3405之每一源極3407之間。源極隨耦器級3405之汲極3408連接至ESD電晶體3415之汲極3425。最後一個源極隨耦器級之源極3407耦接至ESD電晶體3415之閘極3430。

【0193】 在一個實施例中，ESD箝位電路3400之接通電壓可由源極隨耦器級3405之總數目設定。然而，因為最後一個源極隨耦器級為具有特定的汲極3408至源極3407電壓及閘極3406至源極電壓之電晶體，所以穿過最末電阻器3410之電流可為相對大的，且可產生跨越ESD電晶體3415之較大閘極3430至源極3420電壓。此條件可產生相對大的ESD電流容量，且在一些實施例中，相比於其他ESD電路組態，此條件可產生改良之洩漏效能。

【0194】 在另外的實施例中，ESD箝位電路3400可關於電晶體大小及電阻器值具有複數個自由度。在一些實施例中，ESD箝位電路3400能夠小於其他ESD電路組態。在其他實施例中，可藉由在源極隨耦器級3405更接近ESD電晶體3415時遞增地增大源極隨耦器級之大小來改良ESD箝位電路3400之效能。在另外的實施例中，電阻器3410可例如經空乏模電晶體、參考電流槽或參考電流源替換。

【0195】 現參考圖35，說明類似於圖34中之ESD箝位電路3400的實施例，然而，ESD箝位電路3500可具有呈不同組態之電阻器，如下文更詳細地論述。ESD箝位電路3500可具有使用由一或多個增強型電晶體製成之一或多個源極隨耦器級3505的組態。每一源極隨耦器級3505可具有連接至鄰近源極隨耦器級之源極3507的閘極3506。在圖35中所說明之實施例

中，使用四個源極隨耦器級3505，然而在其他實施例中，可使用更少或更多源極隨耦器級。電阻器3510耦接在鄰近源極隨耦器級3505之源極3507之間。ESD電晶體3515藉由安置於ESD電晶體3515之源極3520與源極隨耦器級3505之源極3507之間的電阻器3510耦接至源極隨耦器級3505。源極隨耦器級3505之汲極3508可耦接在一起，且耦接至ESD電晶體3515之汲極3525。

電子封裝

【0196】 現參考圖36及圖37，在一些實施例中，一或多個半導體裝置可安置於一或多個電子封裝中。電子封裝之多種封裝組態及類型可用，且處於本發明之範疇內。圖36說明稱為在內部具有兩個半導體裝置之四邊扁平無引腳電子封裝之一個實例。

【0197】 電子封裝3600可具有封裝基底3610，其具有由一或多個端子3620包圍之一或多個晶粒墊3615。在一些實施例中，封裝基底3610可包含引線框，而在其他實施例中，其可包含有機印刷電路板、陶瓷電路或另一種材料。

【0198】 在圖36中所描繪之實施例中，第一裝置3620安裝至第一晶粒墊3615且第二裝置3625安裝至第二晶粒墊3627。在另一實施例中，第一裝置3620及第二裝置3625中之一或多者分別可安裝於安裝至封裝基底3610之絕緣體(未展示)上。在一個實施例中，絕緣體可為陶瓷或其他非導電材料。第一裝置3620及第二裝置3625分別藉由焊線3630或任何其他類型之電互連件電耦接至端子3640，電互連件例如為可用於覆晶應用中之覆晶凸塊或柱。焊線3630可在裝置接合墊3635與端子3640之間延伸，且在一些狀況下延伸至晶粒墊3615、3627，且在其他狀況下延伸至鄰近裝

置上之裝置接合墊3635。

【0199】 現參考圖37，展示電子封裝3600之等角視圖。端子3640以及晶粒附接墊3615及3627可安置於外表面上且經組態以附接至印刷電路板或其他裝置。在另外的實施例中，端子3640以及晶粒附接墊3615及3627可僅接入電子封裝3600內部，且其他連接件可安置於電子封裝之外部。更具體而言，一些實施例可具有內部電氣佈線，且在內部連接件與外部連接件之間可能不存在一對一相關性。

【0200】 在另外的實施例中，第一裝置3620及第二裝置3625（參見圖36）及封裝基底3610之頂表面可由例如模製化合物等非導電材料包封。可使用多種其他電子封裝，諸如但不限於SOIC、DIPS、MCM等等。此外，在一些實施例中，每一裝置可在單獨的電子封裝中，而其他實施例可具有單個封裝內之兩個或更多個電子裝置。其他實施例可具有一或多個電子封裝內之一或多個被動裝置。

【0201】 圖38為替代半橋功率轉換電路3800之實施例之示意性圖示。電路3800具有與本文中所論述之其他功率轉換電路類似或相同的特徵。電路3800包括控制電路系統3810、低側驅動器3820、低側電源開關3830、高側驅動器3840、高側電源開關3850、電感器3860、濾波器3870、負載3875及回轉偵測電路3880及3890。

【0202】 電路3800經組態以藉由電感器3860及濾波器3870向負載3875提供功率。高側開關3850及低側開關3830之接通時間比例控制負載3875處之平均電壓。

【0203】 控制電路系統3810之特徵可與本文中所論述之其他控制電路類似或相同，且控制電路系統3810經組態以將控制信號提供至低側驅

動器3820及高側驅動器3840，此使低側驅動器3820選擇性地接通及關斷低側電源開關3830且使高側驅動器3840選擇性地接通及關斷高側電源開關3840。控制電路系統3810經組態以根據接收到之輸入信號選擇性地接通及關斷低側電源開關3830及高側電源開關3840以便達成負載3875處之所要電壓。

【0204】 圖39為說明電路3800之一般操作之波形圖。

【0205】 在時間段T-1期間，回應於來自控制電路系統3810之信號，高側驅動器3840使節點VHG處之電壓為高，使得高側驅動器3850導電。另外，在時間段T-1期間，回應於來自控制電路系統3810之信號，低側驅動器3820使節點VLG處之電壓為低。因此，在時間段T-1期間，開關節點VSW處之電壓等於V+。

【0206】 在時間段T-1轉變至時間段T-2時，回應於來自控制電路系統3810之信號，高側驅動器3840使節點VHG為低。一旦節點VHG為低，在時間段T-2開始時，高側開關3850就關斷，且藉由電感器3860之電流使開關節點VSW處之電壓朝向0 V減小。

【0207】 一旦開關節點VSW處之電壓停止回轉，在時間段T-3開始時，回轉偵測電路3880就將指示開關節點VSW不再回轉之回轉端信號提供至低側驅動器3820。回應於回轉端信號，且另外回應於來自控制電路系統3810之信號，低側驅動器3820使節點VLG處之電壓為高，使得低側開關3830接通。回應於低側開關3830接通，電流藉由低側開關3830自直通電感器3860流動至接地。

【0208】 在時間段T-3轉變至時間段T-4時，回應於來自控制電路系統3810之信號，低側驅動器3820使節點VLG處之電壓為低。一旦節點

VHL為低，在時間段T-4開始時，低側開關3830就關斷，且藉由電感器3860之電流使開關節點VSW處之電壓朝向V+增大。

【0209】一旦開關節點VSW處之電壓停止回轉，在時間段T-5開始時，回轉偵測電路3890就將指示開關節點VSW不再回轉之回轉端信號提供至高側驅動器3840。回應於回轉端信號，且另外回應於來自控制電路系統3810之信號，高側驅動器3840使節點VHG處之電壓為高，使得高側開關3850接通。回應於高側開關3850接通，電流藉由高側開關3850自直通電感器3860流動至V+電源。

【0210】圖40為驅動器電路4000之實施例之示意性圖示。驅動器電路4000之實例可例如在電路3800中用作低側驅動器3820及高側驅動器3840中之任一者或兩者。驅動器電路4000包括緩衝器4010、延遲電路4020、邏輯閘4030及邏輯閘4040。

【0211】如熟習此項技術者所理解，緩衝器4010可為習知緩衝器。緩衝器4010可為本文中所論述之其他緩衝器中之任一者的實例。

【0212】如熟習此項技術者所理解，延遲電路4020可為習知延遲電路。舉例而言，延遲電路4020可包括數個串聯連接之反相器或緩衝器。延遲電路4020可另外或替代地包括包含串聯電阻器以及連接至供應電壓源之電容器的RC延遲濾波器。可另外或替代地使用其他延遲電路。

【0213】邏輯閘4030基於分別連接至回轉端輸入及延遲電路4020之輸出之第一輸入及第二輸入提供輸出。

【0214】邏輯閘4040基於分別連接至邏輯閘4030之輸出及緩衝器4010之輸出的第一輸入及第二輸入提供輸出。

【0215】在操作中，緩衝器4010及延遲電路4020各自接收信號輸入

IN。緩衝器4010根據接收到之信號驅動邏輯閘4040之輸入中之一者。若邏輯閘4040之輸入中之另一者已由邏輯閘4030接收傳遞信號，則邏輯閘4040傳遞自緩衝器4010接收到之信號。邏輯閘4030回應於在其輸入中之一者處接收到回轉端信號或在其輸入中之另一者處自延遲電路4020接收到延遲信號而產生傳遞信號。

【0216】 舉例而言，若驅動器電路4000在電路3800中用作低側驅動器3820，則在輸入IN處自控制電路系統3810接收邏輯高信號之後，緩衝器4010以邏輯高信號驅動邏輯閘4040之輸入中之一者。另外，回應於自邏輯閘4030之回轉端輸入或自延遲電路4020接收到邏輯高輸入，邏輯閘4030在邏輯閘4040之另一輸入處產生邏輯高信號。回應於來自邏輯閘4030之邏輯高信號，邏輯閘4040將輸出OUT驅動為高，使得低側開關3830接通。

【0217】 因此，一旦低側驅動器3820自控制電路3810接收到邏輯高信號，低側驅動器3820就回應於接收到之回轉端信號或由延遲電路4020設定之延遲時間以邏輯高驅動節點VLG，且低側開關3830接通。

【0218】 類似地，若驅動器電路4000在電路3800中用作高側驅動器3840，則在輸入IN處自控制電路3810接收邏輯高信號之後，緩衝器4010以邏輯高信號驅動邏輯閘4040之輸入中之一者。另外，回應於自邏輯閘4030之回轉端輸入或自延遲電路4020接收到邏輯高輸入，邏輯閘4030在邏輯閘4040之另一輸入處產生邏輯高信號。回應於來自邏輯閘4030之邏輯高信號，邏輯閘4040將輸出OUT驅動為高，使得高側驅動器3840接通。

【0219】 因此，一旦高側驅動器3840自控制電路3810接收到邏輯高

信號，高側驅動器3840就回應於接收到之回轉端信號或由延遲電路4020設定之延遲時間以邏輯高驅動節點VHG，且高側驅動器3840接通。

【0220】 圖41為回轉偵測電路4100之實施例之示意性圖示。回轉偵測電路4100之實例可例如在電路3800中用作回轉偵測電路3880及3890中之任一者或兩者。回轉偵測電路4100包括電容器4110、箝位電路4120、偏壓電路4130及輸出電路4140。

【0221】 電容器4110經組態以將信號耦接至節點SENSE上，其中所耦接之信號由D及S輸入節點處之電壓之間的電壓差之變化產生。在圖38至圖41中所說明之實施例中，當開關節點VSW回轉時，回轉偵測電路3880及3890之D及S輸入節點處之電壓之間的電壓差減小。因此，回轉偵測電路4100之節點SENSE處之電壓相對於輸入節點S處之電壓減小。

【0222】 輸出電路4140經組態以藉由在輸出節點SLEW END處產生邏輯高信號來回應節點SENSE處相對於輸入節點S處之電壓足夠低的電壓，從而指示跨越對應電源開關之汲極及源極之電壓正在回轉。

【0223】 在圖38至圖41中所說明之實施例中，一旦開關節點VSW已停止回轉，回轉偵測電路3880及3890之D及S輸入節點處之電壓之間的電壓差就不會改變。因此，回轉偵測電路4100之節點SENSE處之電壓相對於輸入節點S處之電壓增大。

【0224】 輸出電路4140經組態以藉由在輸出節點SLEW END處產生邏輯低信號來回應節點SENSE處相對於輸入節點S處之電壓足夠高的電壓，從而指示跨越對應電源開關之汲極及源極之電壓已停止回轉。

【0225】 箝位電路4120經組態以防止節點SENSE處之電壓改變超出最小電壓及最大電壓中之一或多者。

【0226】 偏壓電路4130經組態以在節點SENSE處相對於輸入節點S處之電壓產生偏壓電壓，此使輸出電路4140在輸出節點SLEW END處產生低邏輯信號。偏壓電路4130之阻抗足夠高，使得當開關節點VSW回轉時，節點SENSE處之電壓相對於輸入節點S處之電壓減小至足以輸出電路4140藉由在輸出節點SLEW END處產生邏輯高信號來回應。

【0227】 在一些實施例中，偏壓電路4130產生用於輸出電路4140之額外信號，如由連接偏壓電路4130及輸出電路4140之虛線所指示。

【0228】 圖42A為箝位電路4200之示意性圖示，箝位電路4200可用作回轉偵測電路4100之箝位電路4120。箝位電路4200包括上拉箝位器4210及下拉箝位器4220。

【0229】 若節點SENSE處之電壓比節點PD處之電壓高大於上拉箝位器4210所判定之臨限值，則上拉箝位器4210將變得導電，且減少或防止節點SENSE處之電壓之任何進一步增大。類似地，若節點SENSE處之電壓變得比節點S處之電壓低大於下拉箝位器4220所判定之臨限值，則下拉箝位器4220將變得導電，且減少或防止節點SENSE處之電壓的任何進一步減小。

【0230】 圖42B為箝位電路4250之示意性圖示，箝位電路4250可用作回轉偵測電路4100之箝位電路4120。箝位電路4250包括偏壓發生器4260及下拉箝位器4270。

【0231】 偏壓發生器4260包括上拉裝置4264及二極體連接式FET 4266，在此實施例中，上拉裝置4264包括電阻器。在操作中，來自節點PD、穿過上拉裝置4264及FET 4266之電流在節點偏壓處引發電壓。如熟習此項技術者所理解，節點偏壓處之電壓實質上由FET 4266之臨限電壓

判定，使得節點偏壓處之電壓實質上等於節點S處之電壓加FET 4266之臨限電壓。

【0232】 若節點SENSE處之電壓變得比節點偏壓處之電壓低大於下拉箝位器4270之FET之臨限電壓，則下拉箝位器4270變得導電。因此，若節點SENSE處之電壓變得低於實質上等於節點S處之電壓之電壓，則下拉箝位器4270將變得導電，且減少或防止節點SENSE處之電壓之任何進一步減小。

【0233】 圖43為偏壓電路4300之示意性圖示，偏壓電路4300可用作回轉偵測電路4100之偏壓電路4130。偏壓電路4300包括第一二極體4310及第二二極體4320 (或二極體連接式FET)。另外，偏壓電路4300包括上拉電阻器4330。在替代實施例中，可使用替代的上拉裝置。

【0234】 在操作中，來自節點PD、穿過上拉電阻器4330且穿過第一二極體4310及第二二極體4320之電流在節點SENSE處引發電壓。在節點SENSE處引發之電壓實質上等於節點S處之電壓加第一二極體4310及第二二極體4320之臨限電壓。在一些實施例中，偏壓電路4300亦包括連接於節點SENSE與輸出IN2之間的電阻器4340。

【0235】 圖44為輸出電路4400之示意性圖示，輸出電路4400可用作回轉偵測電路4100之輸出電路4140。輸出電路4400包括開關4410及上拉電阻器4420。在替代實施例中，可使用替代的上拉裝置。

【0236】 在操作中，如熟習此項技術者所理解，當輸入節點IN1處之電壓超出開關4410之臨限電壓時，開關4410變得導電且將輸出節點SLEW END處之電壓減小至節點S處之電壓或朝向節點S處之電壓減小。另外，如熟習此項技術者所理解，當輸入節點IN1處之電壓小於開關4410

之臨限電壓時，開關4410不導電，且上拉電阻器4420將輸出節點SLEW END處之電壓增大至節點PD處之電壓或朝向節點PD處之電壓增大。

【0237】 當輸出電路4400用作回轉偵測電路4100之輸出電路4140且回轉偵測電路4100用作電路3800之回轉偵測電路3880時，回應於開關節點VSW處之電壓朝向接地減小，回轉偵測電路4100之節點SENSE之電壓相對於回轉偵測電路4100之節點S處之電壓減小。回應於回轉偵測電路4100之節點感測之電壓小於高於回轉偵測電路4100之節點S處之電壓之臨限電壓，輸出電路4400之開關4410不導電，且節點SLEW END L處之電壓由上拉電阻器4420拉高。由於節點SLEW END L處之高電壓，低側驅動器3820使節點VLG處之電壓為低，且低側開關3830不導電。

【0238】 一旦開關節點VSW處之電壓停止減小，回轉偵測電路4100之節點SENSE之電壓就由偏壓電路4130相對於回轉偵測電路4100之節點S處之電壓增大。回應於回轉偵測電路4100之節點感測之電壓大於高於回轉偵測電路4100之節點S處之電壓之臨限電壓，輸出電路4400之開關4410導電，且節點SLEW END L處之電壓由輸出電路4400之開關4410拉低。由於節點SLEW END L處之低壓，若控制電路3810已將適當信號提供至低側驅動器3820，則低側驅動器3820使節點VLG處之電壓為高，且低側開關3830導電。

【0239】 當輸出電路4400用作回轉偵測電路4100之輸出電路4140且回轉偵測電路4100用作電路3800之回轉偵測電路3890時，回應於開關節點VSW處之電壓朝向節點V+處之電壓增大，回轉偵測電路4100之節點SENSE之電壓相對於回轉偵測電路4100之節點S處之電壓減小。回應於回轉偵測電路4100之節點感測之電壓小於高於回轉偵測電路4100之節點S處

之電壓之臨限電壓，輸出電路4400之開關4410不導電，且節點SLEW END H處之電壓由上拉電阻器4420拉高。由於節點SLEW END H處之高電壓，高側驅動器3840使節點VHG處之電壓為低，且高側開關3850不導電。

【0240】 一旦開關節點VSW處之電壓停止增大，回轉偵測電路4100之節點SENSE之電壓就由偏壓電路4130相對於回轉偵測電路4100之節點S處之電壓增大。回應於回轉偵測電路4100之節點感測之電壓大於高於回轉偵測電路4100之節點S處之電壓之臨限電壓，輸出電路4400之開關4410導電，且節點SLEW END H處之電壓由輸出電路4400之開關4410拉低。由於節點SLEW END H處之低壓，若控制電路3810已將適當信號提供至高側驅動器3840，則高側驅動器3840使節點VHG處之電壓為高，且高側開關3850導電。

【0241】 圖45為輸出電路4500之示意性圖示，輸出電路4500可用作回轉偵測電路4100之輸出電路4140。輸出電路4400包括鎖存器4510、第一路徑4520及第二路徑4540。

【0242】 如熟習此項技術者所說明及理解，鎖存器4510基於節點P1、P21及P22處由第一路徑4520及第二路徑4540產生之信號產生SLEW END輸出。可使用替代的鎖存器實施方案。

【0243】 第一路徑4520包括傳遞電晶體4524、偏壓發生器4522、上拉裝置4526、反相器4528、反相器4532、電容器4534及下拉電阻器4538。

【0244】 偏壓發生器4522產生用於傳遞電晶體4524之閘極之電壓。在輸入節點IN1處施加之電壓與上拉裝置4526協作或抵靠上拉裝置4526工

作而上拉或下拉節點S1處之電壓。

【0245】反相器4528使節點S1處之信號反向，且用反向信號驅動反相器4532。反相器4532接收信號，並且藉由電容器4534驅動節點P1。

【0246】電阻器4538將節點P1處之電壓偏壓至節點S處之電壓。回應於輸入節點IN1處之電壓自低變高，第一路徑4520使節點P1處之電壓自低變高。另外，回應於輸入節點IN1處之電壓自高變低，第一路徑4520使節點P1處之電壓自高變低。

【0247】因為上拉裝置4526將節點S1處之電壓偏壓為高，所以第一路徑4520相對於其回應輸入節點IN1處之電壓轉變自高變低而快速回應輸入節點IN1處之電壓轉變自低變高。因此，第一路徑4520對開關節點VSW處之電壓回轉之回應更慢，且對開關節點VSW處之電壓停止回轉之回應更快。

【0248】第二路徑4540包括反相器4542、耦接電容器4544、下拉電阻器4546、下拉電晶體4548、反相器4552、耦接電容器4554及下拉電阻器4556。

【0249】反相器4542使輸入節點IN2處之信號反向，該信號之極性與輸入節點IN1處之信號相同，但電壓更低。耦接電容器4544將反相器4542之輸出耦接至節點P21，該節點P21藉由下拉電阻器4546偏壓至節點S處之電壓。回應於節點P1處之高電壓，下拉電晶體4548提供快速路徑，從而使節點P21處之電壓為低，使得輸出電路4500快速回應開關節點VSW處之電壓停止回轉。使節點P21處之電壓為低亦防止輸出SLEW END在輸入節點IN2處沒有適當電壓轉變之情況下變高。

【0250】反相器4542亦驅動反相器4552，反相器4552使自反相器

4542接收到之信號反相且在其輸出處產生反相信號。耦接電容器4554將反相器4552之輸出耦接至節點P22，該節點P22藉由下拉電阻器4556偏壓至節點S處之電壓。

【0251】 因為輸入節點IN2處之電壓低於輸入IN1處之電壓且與反相器4542直接連接，且因為反相器4542之輸出藉由耦接電容器4544直接連接至節點P21，所以第二路徑4540相對於其回應輸入節點IN2處之電壓轉變自低變高而快速回應輸入節點IN2處之電壓轉變自高變低。因此，第二路徑4540對開關節點VSW處之電壓回轉之回應更快，且對開關節點VSW處之電壓停止回轉之回應更慢。

【0252】 因此，第一路徑4520快速地使輸出電路4500提供指示開關節點VSW停止回轉之輸出SLEW END電壓，且第二路徑4540快速地使輸出電路4500提供指示開關節點VSW回轉之輸出SLEW END電壓。因此，由於具有第一路徑4520及第二路徑4540兩者，輸出電路4500快速回應開關節點VSW處之電壓回轉及開關節點VSW處之電壓停止回轉兩者。

【0253】 圖46為上拉電路4600之示意性圖示，上拉電路4600可用作輸出電路4500之第一路徑4520之上拉裝置4526，如圖45中所說明。

【0254】 在一些實施例中，上拉電路4600包括電阻器4610。

【0255】 在替代實施例中，上拉電路4600另外包括自舉電路4650，自舉電路4650增加拉高節點S1處之電壓之速度。自舉電路4650包括上拉電晶體4620、閘極電壓發生器5640及自舉電容器4630。

【0256】 在操作中，輸入節點IN1（上拉電路4600中之節點PGS）處之電壓根據通過閘(pass gate) 4642、電阻器4644及二極體4646上拉或下拉上拉電晶體4620之閘極處之電壓。在輸入節點IN1及節點S1處之負電壓

轉變期間，上拉電晶體4620之閘極處之電壓小於高於節點S1處之電壓之臨限電壓。因此，在輸入節點IN1及節點S1處之負電壓轉變期間，上拉電晶體4620關斷。在輸入節點IN1及節點S1處之正電壓轉變期間，一旦上拉電晶體4620之閘極處之電壓大於高於節點S1處之電壓之臨限電壓，上拉電晶體4620接通，且有助於上拉節點S1處之電壓。另外，隨著節點S1處之電壓增大，自舉電容器4630將電荷耦接至上拉電晶體4620之閘極上，使得上拉電晶體4620之閘極處之電壓增大至高於節點PD處之電壓，使得上拉電晶體4620在節點S1處之電壓增大至節點PD處之電壓時保持接通。

【0257】 圖47為半導體裝置4710之橫截面圖。裝置4710包括源極電極4712、汲極電極4713、閘極電極4714及場板電極4716，且形成於Ga_N基板4740上，在一些實施例中，Ga_N基板4740為另一基板上方之Ga_N緩衝層。

【0258】 2DEG感應層4750形成於基板4740上方。在一些實施例中，2DEG (2維電子氣體)由壓電效應(應力)、帶隙差動及極化電荷之組合感應。舉例而言，在表面處可存在傳導帶之減少，其中傳導帶下降至低於費米能階以產生裝滿電子之電位井。在一些實施例中，2DEG感應層4750包含例如約20 nm厚Al(25%)Ga(75%)N範圍內之AlGa_N。在替代性實施例中，2感應層可包含AlN、AlGaInN或另一種材料。在一些實施例中，2DEG感應層4750包含具有高Al含量之薄邊界層及具有較少Al含量之較厚層。2DEG感應層4750可具有Ga_N頂蓋層。在一些實施例中，2DEG感應層4750不具有Ga_N頂蓋層。

【0259】 在一些實施例中，2DEG由矩形量子井產生。舉例而言，可使用兩個緊密間隔之異質接面介面將電子限制於矩形量子井。

【0260】 為了隔離電元件之間的載流子，可在裝置4710與一或多個其他裝置之間的2DEG感應層4750中形成隔離區。隔離區為電絕緣的，且防止鄰近電元件之間的傳導。在一些實施例中，隔離區係藉由使用諸如氧、氮或氫之中性物質之離子轟擊形成。鄰近元件之間的隔離由對晶格2DEG感應層4750之損壞產生。替代地，可藉由植入化學物種來形成隔離區，該化學物種自身或與其他摻雜劑組合產生化學活性深層狀態。

【0261】 閘極堆疊4755形成於2DEG感應層4750上方。舉例而言，閘極堆疊4755可包括若干層化合物半導體(亦即，3N層)，化合物半導體各自包括氮及來自週期表第3列之一或多種元素，諸如鋁或鎵或銦或其他元素。此等層可經摻雜或未摻雜。若其經摻雜，則其可摻雜有N型或P型摻雜劑。可使用與絕緣閘極、肖特基閘極、PN閘極、凹進閘極及其他閘極相對應的閘極堆疊。

【0262】 諸如氮化矽(例如， Si_3N_4 、 Si_2N 或 SiN)之相對較厚的絕緣體層4760可沈積於閘極堆疊4755上方。在一些實施例中，厚絕緣體層4760僅包含單層絕緣體材料。在一些實施例中，厚絕緣體層4760之厚度可為例如約200 nm、300 nm、400 nm、500 nm或600 nm。在一些實施例中，厚絕緣體層4760僅包含單層絕緣體材料。舉例而言，可使用化學機械拋光或其他技術來平坦化厚絕緣體層4760。

【0263】 開口可形成於厚絕緣體層4760中以曝露裝置4710之源極及汲極歐姆接觸區4715及4717。接著可沈積且圖案化歐姆金屬以在歐姆接觸區4715及4717中形成歐姆觸點4770。在圖案化歐姆金屬之後，可對歐姆金屬退火以在歐姆觸點4770與曝露於歐姆接觸區4715及4717中之2DEG感應層4750之間形成低電阻電連接。

【0264】可在歐姆觸點4770上方應用相對薄的絕緣體4780 (例如，氮化物)以在進一步處理期間保護該等歐姆觸點。在一些實施例中，薄絕緣體層4780僅包含單層絕緣體材料。在一些實施例中，薄絕緣體4780為約15 nm、25 nm、50 nm、75 nm、100 nm、200 nm、400 nm或500 nm。

【0265】可形成薄絕緣體4780中之開口以曝露閘極堆疊4755，且可沈積閘極金屬4790。可接著圖案化閘極金屬4790以形成閘極觸點4792及場板4794。

【0266】層間電介質(ILD) 4785可形成於閘極金屬結構上方，且可經蝕刻以形成通孔4795之開口以將歐姆觸點4770電連接至源極電極4712及汲極電極4713、閘極電極4714及場板電極4716，此等電極藉由沈積及蝕刻金屬層而形成。

【0267】可使用額外或替代的結構及過程步驟。

【0268】如熟習此項技術者所理解，若例如場板電極4716藉由例如一或多個金屬化層電連接至源極電極4712，則裝置10之結構充當電晶體。如熟習此項技術者所理解，當充當電晶體時，源極電極4712執行為用於電晶體之源極電極，汲極電極4713執行為用於電晶體之汲極電極，且閘極電極4714執行為用於電晶體之閘極電極。

【0269】如熟習此項技術者所理解，若閘極電極4714藉由例如一或多個金屬化層電連接至源極電極4712，則裝置10之結構可充當電容器。如熟習此項技術者所理解，當充當電容器時，汲極電極4713執行為電容器之第一板之端子，且場板電極4716執行為電容器之第二板之端子。電連接之閘極電極4714及源極電極4712之電壓可固定處於低於汲極電極

4713及場板電極4716之電壓的電壓，以防止裝置10如同二極體連接式電晶體一樣將電流自源極電極4712傳導至汲極電極4713。

【0270】 在一些實施例中，回轉偵測電路4100之電容器4110由被連接且充當電容器之裝置10的實例形成。舉例而言，回轉偵測電路4100之電容器4110可為裝置10之實例，其閘極及源極電極兩者皆連接至接地，其汲極電極連接至回轉偵測電路4100之D輸入，且其提交之板狀電極連接至回轉偵測電路4100之節點SENSE。

【0271】 在前文說明書中，本發明之實施例已經參考可針對不同實施方案變化之許多特定細節進行描述。因此，應在說明性意義上而非限制性意義上看待說明書及圖式。本發明範疇之單一及排他性指示符及由申請人預期為本發明範疇之內容係以產生包括任何後續校正之此類權利要求之特定形式產生於本申請案之申請專利範圍集合的字面及等效範疇。

【符號說明】

【0272】

100	整合式半橋功率轉換電路
103	低側Ga _N 裝置
104	低側電路
105	高側Ga _N 裝置
106	高側電路
107	負載
110	自舉電容器
115	低側功率電晶體
117	低側電晶體控制閘極

120	整合式低側電晶體驅動器
123	輸出
125	高側功率電晶體
127	高側電晶體控制閘極
130	整合式高側電晶體驅動器
133	輸出
135	電壓源/幹線電壓
137	汲極/接通高側電晶體
140	源極
143	汲極
145	開關節點
147	源極
150	低側控制電路
153	高側邏輯及控制電路
155	起動電路
157	自舉電容器充電電路/自舉二極體及電晶體電路
160	屏蔽電容器
161	箝位電路
203	第一位準移位電晶體
205	第二位準移位電晶體
207	第一位準移位電阻器
210	源極
213	第一位準移位電晶體

215	汲極
217	位準移位驅動器電路
223	消隱脈衝發生器
225	自舉電晶體驅動電路
227	欠壓鎖定電路
303	上拉電阻器
305	第一位準移位節點/第一輸出端子
505	第一級反相器
510	RC脈衝發生器
515	電容器
520	電阻器
525	第二反相器
530	第三反相器
535	緩衝器
600	波形
605	跡線
610	跡線
615	跡線
620	跡線
705	串聯延遲電阻器
730	反相器
735	第一緩衝器
805	第一反相器

810	緩衝器
815	第二反相器
820	第二緩衝器
825	第三緩衝器
840	電阻分壓器
850	電晶體下拉
905	空乏模電晶體
906	閘極
907	源極
909	汲極
910	相同二極體連接式增強型低電壓電晶體
911	第一節點
912	第二節點/第二接面
913	中間節點
915	電流鏡
920	第一電流鏡電晶體
925	第二電流鏡電晶體
930	起動電晶體
935	停用電晶體
940	下拉電阻器
945	二極體箝位器
955	參考電壓電晶體
1050	二極體連接式基於Ga _N 之增強型電晶體

1105	差分比較器
1110	向下位準移位器
1115	反相器
1120	電壓
1125	電壓
1205	高電壓二極體連接式增強型電晶體
1210	高電壓自舉電晶體
1300	自舉二極體及電晶體電路
1305	空乏模裝置
1310	增強型低電壓GaN裝置
1410	第一位準移位接收器
1415	高側UVLO電路
1420	第二位準移位接收電路
1425	上拉觸發電路
1430	上拉電阻器
1435	上拉電晶體
1440	消隱電晶體
1505	增強型電晶體
1510	增強型電晶體
1515	增強型電晶體
1520	三二極體連接式電晶體箝位器
1605	向下位準移位電路
1610	反相器電路

1615	增強型電晶體
1620	箝位器
1705	第一反相器
1710	第二反相器
1715	RC脈衝發生器
1720	閘極至源極箝位器
1805	向下位準移位器
1810	電阻器上拉反相器
1815	閘極至源極箝位器
1905	第一反相器級
1910	高側驅動級
2000	參考電壓產生電路
2005	空乏模電晶體
2010	源極隨耦器電容器
2011	第一節點
2012	第二節點
2015	參考電壓電容器
2020	相同二極體連接式增強型低電壓電晶體
2025	高電壓二極體連接式電晶體
2055	參考電壓電晶體
2100	半橋電路
2103	低側Ga _N 裝置
2105	高側Ga _N 裝置

2107	負載
2110	自舉電容器
2115	低側電晶體
2117	低側電晶體控制閘極
2120	整合式低側電晶體驅動器
2123	輸出
2125	高側電晶體
2127	高側電晶體閘極
2130	高側電晶體驅動器
2133	輸出
2135	電壓源
2137	汲極
2140	源極
2143	汲極
2145	開關節點
2147	源極
2150	低側控制電路
2153	高側邏輯及控制電路
2155	起動電路
2157	自舉電容器充電電路
2160	屏蔽電容器
2203	第一位準移位電晶體
2207	第一電阻器

2208	第二電阻器
2215	第二位準移位電晶體
2220	低側驅動電路
2223	消隱脈衝發生器
2225	自舉電晶體驅動電路
2227	UVLO電路
2250	反相器/緩衝器電路
2260	接通脈衝發生器
2270	關斷脈衝發生器
2275	反相器
2303	上拉電阻器
2305	第一輸出端子
2405	第一反相器級
2410	第一緩衝器級
2505	第一反相器級
2510	第一緩衝器級
2515	RC脈衝發生器
2520	第二反相器級
2525	第三反相器級
2530	第三緩衝器級
2603	RC脈衝發生器
2605	第一反相器級
2610	第二反相器級

2615	第一緩衝器級
2805	第一反相器級
2810	第一緩衝器級
2815	第二反相器級
2820	第二緩衝器級
2825	第三緩衝器級
2910	位準移位1接收器電路
2915	高側UVLO電路
2920	位準移位2接收器電路
2940	消隱電晶體
2955	狀態儲存電容器
2960	上拉電晶體
2965	下拉電晶體
2970	第一屏蔽電容器
2975	第二屏蔽電容器
3005	向下位準移位器
3010	第一反相器
3015	第二反相器
3020	第一緩衝器
3025	第三反相器
3030	第二緩衝器
3105	消隱脈衝發生器
3110	向下位準移位器

3115	第一反相器
3120	第二反相器
3125	第一緩衝器
3130	第三反相器
3135	第三緩衝器/第二緩衝器
3140	第三緩衝器
3205	向下位準移位器
3210	電阻器上拉反相器級
3305	第一反相器
3310	第一緩衝器
3315	第二反相器
3320	第二緩衝器
3325	第三緩衝器
3400	靜電放電(ESD)箝位電路
3405	源極隨耦器級
3406	閘極
3407	源極
3408	汲極
3410	電阻器
3415	ESD電晶體
3420	源極
3425	汲極
3430	閘極

3500	ESD箝位電路
3505	源極隨耦器級
3506	閘極
3507	源極
3508	汲極
3510	電阻器
3515	ESD電晶體
3520	源極
3525	汲極
3600	電子封裝
3610	封裝基底
3615	晶粒墊
3620	端子/第一裝置
3625	第二裝置
3627	第二晶粒墊
3630	焊線
3635	裝置接合墊
3640	端子
3800	半橋功率轉換電路
3810	控制電路系統
3820	低側驅動器
3830	低側電源開關
3840	高側驅動器

3850	高側電源開關
3860	電感器
3870	濾波器
3875	負載
3880	回轉偵測電路
3890	回轉偵測電路
4000	驅動器電路
4010	緩衝器
4020	延遲電路
4030	邏輯閘
4040	邏輯閘
4100	回轉偵測電路
4110	電容器
4120	箝位電路
4130	偏壓電路
4140	輸出電路
4200	箝位電路
4210	上拉箝位器
4220	下拉箝位器
4250	箝位電路
4260	偏壓發生器
4264	上拉裝置
4266	二極體連接式FET
4270	下拉箝位器

4300	偏壓電路
4310	第一二極體
4320	第二二極體
4330	上拉電阻器
4340	電阻器
4400	輸出電路
4410	開關
4420	上拉電阻器
4500	輸出電路
4510	鎖存器
4520	第一路徑
4522	偏壓發生器
4524	傳遞電晶體
4526	上拉裝置
4528	反相器
4532	反相器
4534	電容器
4538	電阻器
4540	第二路徑
4542	反相器
4544	耦接電容器
4546	下拉電阻器
4548	下拉電晶體

4552	反相器
4554	耦接電容器
4556	下拉電阻器
4600	上拉電路
4610	電阻器
4620	上拉電晶體
4630	自舉電容器
4642	通過閘
4644	電阻器
4646	二極體
4650	自舉電路
4710	半導體裝置
4712	源極電極
4713	汲極電極
4714	閘極電極
4715	歐姆接觸區
4716	場板電極
4717	歐姆接觸區
4740	GaN基板
4750	2DEG感應層
4755	閘極堆疊
4760	厚絕緣體層
4770	歐姆觸點

4780	絕緣體
4785	層間電介質
4790	閘極金屬
4792	閘極觸點
4794	場板
4795	通孔
IN1	輸入節點
IN2	輸入節點
P1	節點
P21	節點
P22	節點
PD	節點
PGS	節點
S	節點
S1	節點
SLEW END H	節點
SLEW END L	節點
T-1	時間段
T-2	時間段
T-3	時間段
T-4	時間段
T-5	時間段
VHG	節點

VLG

節點

VSW

開關節點

【發明申請專利範圍】

【第1項】

一種半橋GaN電路，其包含：

一開關節點；

一低側電源開關，其連接至該開關節點且經組態以根據一或多個控制信號選擇性地導電；

一高側電源開關，其連接至該開關節點且經組態以根據該一或多個控制信號選擇性地導電；

一低側電源開關驅動器，其經組態以基於該等控制信號中之一或多者控制該低側電源開關之該導電狀態；

一高側電源開關驅動器，其經組態以基於該等控制信號中之一或多者控制該高側電源開關之該導電狀態；

一控制器，其經組態以產生該一或多個控制信號；以及

一高側回轉(slew)偵測電路，其經組態以在該開關節點處之電壓增大時防止該高側電源開關驅動器使該高側電源開關導電，

其中該高側回轉偵測電路包含：

一電容器，其連接至該高側電源開關之一汲極以及一感測節點；

一箝位電路，其連接至該感測節點以及該高側電源開關之一源極，且經組態以防止該感測節點處之一電壓變得小於一最小電壓及變得大於一最大電壓；

一偏壓電路，其連接至該感測節點；以及

一輸出電路，其具有連接至該感測節點之一輸入端子，其中該輸出電路經組態以基於該感測節點處之該電壓及該高側電源開關之該

源極處之一電壓產生一高側回轉端信號，

其中該電容器及該偏壓電路經組態以在對應的該感測節點處產生該電壓，而無論該高側電源開關之該汲極處之一電壓與該高側電源開關之該源極處之該電壓之間的一電壓差是否減小，且

其中該偏壓電路經組態以將該感測節點偏壓至使該輸出電路產生該高側回轉端信號之一電壓，該高側回轉端信號指示該高側電源開關之該汲極處之該電壓與該高側電源開關之該源極處之該電壓之間的該差不減小。

【第2項】

如請求項1之半橋Ga_N電路，其中該高側電源開關驅動器經組態以自該控制器接收一高側控制信號，自該高側回轉偵測電路接收該高側回轉端信號，且基於該高側控制信號及該高側回轉端信號兩者控制該高側電源開關之該導電狀態。

【第3項】

如請求項1之半橋Ga_N電路，其中，回應於該高側電源開關之該汲極處之該電壓與該高側電源開關之該源極處之該電壓之間的該差減小，該電容器及該偏壓電路協作地組態以將該感測節點驅動至使該輸出電路產生該高側回轉端信號之一電壓，該高側回轉端信號指示該高側電源開關之該汲極處之該電壓與該高側電源開關之該源極處之該電壓之間的該差減小。

【第4項】

如請求項1之半橋Ga_N電路，其中該輸出電路包含第一信號路徑及第二信號路徑，其中該第一路徑經組態以使該高側回轉端信號指示該電壓差不減小且使該高側回轉端信號指示該電壓差減小，其中該第一路徑經組態

以相比於該第一路徑使該高側回轉端信號指示該電壓差減小更快速地使該高側回轉端信號指示該電壓差不減小，其中該第二路徑經組態以使該高側回轉端信號指示該電壓差減小且使該高側回轉端信號指示該電壓差不減小，且其中該第二路徑經組態以相比於該第一路徑使該高側回轉端信號指示該電壓差不減小更快速地使該高側回轉端信號指示該電壓差減小。

【第5項】

如請求項1之半橋GaN電路，其中該電容器包含：

一電晶體結構，其包含：

一源極電極；

一閘極電極，其電連接至該源極電極；

一汲極電極；以及

一場板電極，

其中該汲極電極充當該電容器之一第一板狀電極，且該場板電極充當該電容器之一第二板狀電極。

【第6項】

一種回轉偵測電路，其包含：

一電容器，其連接至一第一輸入及一感測節點；

一箝位電路，其連接至該感測節點及一第二輸入，且經組態以防止該感測節點處之一電壓變得小於一最小電壓及變得大於一最大電壓；

一偏壓電路，其連接至該感測節點及該第二輸入；以及

一輸出電路，其具有連接至該感測節點之一輸入端子，其中該輸出電路經組態以基於該感測節點處之該電壓及該第二輸入處之一電

壓產生一回轉端信號，

其中該電容器及該偏壓電路經組態以在對應的該感測節點處產生該電壓，而無論該第一輸入處之一電壓與該第二輸入處之該電壓之間的一電壓差是否減小，

其中該偏壓電路經組態以將該感測節點偏壓至使該輸出電路產生一回轉端信號之一電壓，該回轉端信號指示該第一輸入處之該電壓與該第二輸入處之該電壓之間的該差不減小，且

其中，回應於該第一輸入處之該電壓與該第二輸入處之該電壓之間之該差減小，該電容器及該偏壓電路協作地組態以將該感測節點驅動至使該輸出電路產生該回轉端信號之一電壓，該回轉端信號指示該第一輸入處之該電壓與該第二輸入處之該電壓之間的該差減小。

【第7項】

如請求項6之回轉偵測電路，其中該輸出電路包含第一信號路徑及第二信號路徑，其中該第一路徑經組態以使該回轉端信號指示該電壓差不減小且使該回轉端信號指示該電壓差減小，其中該第一路徑經組態以相比於該第一路徑使該回轉端信號指示該電壓差減小更快速地使該回轉端信號指示該電壓差不減小，其中該第二路徑經組態以使該回轉端信號指示該電壓差減小且使該回轉端信號指示該電壓差不減小，且其中該第二路徑經組態以相比於該第一路徑使該回轉端信號指示該電壓差不減小更快速地使該回轉端信號指示該電壓差減小。

【第8項】

如請求項6之回轉偵測電路，其中該電容器包含：

一電晶體結構，其包含：

一源極電極；

一閘極電極，其電連接至該源極電極；

一汲極電極；以及

一場板電極，

其中該汲極電極充當該電容器之第一板狀電極，且該場板電極充當該電容器之一第二板狀電極。

【第9項】

一種半橋GaN電路，其包含：

一開關節點；

一低側電源開關，其連接至該開關節點且經組態以根據一或多個控制信號選擇性地導電；

一高側電源開關，其連接至該開關節點且經組態以根據該一或多個控制信號選擇性地導電；

一低側電源開關驅動器，其經組態以基於該等控制信號中之一或多者控制該低側電源開關之導電狀態；

一高側電源開關驅動器，其經組態以基於該等控制信號中之一或多者控制該高側電源開關之導電狀態；

一控制器，其經組態以產生該一或多個控制信號；以及

一低側回轉偵測電路，其經組態以在該開關節點處之電壓減小時防止該低側電源開關驅動器使該低側電源開關導電，

其中該低側回轉偵測電路包含：

一電容器，其連接至該低側電源開關之一汲極以及一感測節點；

一箝位電路，其連接至該感測節點以及該低側電源開關之一源極，且經組態以防止該感測節點處之一電壓變得小於一最小電壓及變得大於一最大電壓；

一偏壓電路，其連接至該感測節點；以及

一輸出電路，其具有連接至該感測節點之一輸入端子，其中該輸出電路經組態以基於該感測節點處之該電壓及該低側電源開關之該源極處之一電壓產生一低側回轉端信號，

其中該電容器及該偏壓電路經組態以在對應的該感測節點處產生該電壓，而無論該低側電源開關之該汲極處之電壓與該低側電源開關之該源極處之該電壓之間的一電壓差是否減小，且

其中該偏壓電路經組態以將該感測節點偏壓至使該輸出電路產生該低側回轉端信號之一電壓，該低側回轉端信號指示該低側電源開關之該汲極處之該電壓與該低側電源開關之該源極處之該電壓之間的該差不減小。

【第10項】

如請求項9之半橋GaN電路，其中該低側電源開關驅動器經組態以自該控制器接收一低側控制信號，自該低側回轉偵測電路接收一低側回轉端信號，且基於該低側控制信號及該低側回轉端信號兩者控制該低側電源開關之該導電狀態。

【第11項】

如請求項10之半橋GaN電路，其中該低側電源開關驅動器經組態以回應於來自該控制器之該低側信號指示該低側電源開關不導電或該低側回轉端信號指示該開關節點處之該電壓減小而使該低側電源開關不導電。

【第12項】

如請求項10之半橋Ga_N電路，其中該低側電源開關驅動器經組態以回應於來自該控制器之該低側信號指示該低側電源開關導電且該低側回轉端信號指示該開關節點處之該電壓不減小而使該低側電源開關導電。

【第13項】

如請求項9之半橋Ga_N電路，其中，回應於該低側電源開關之該汲極處之該電壓與該低側電源開關之該源極處之該電壓之間的差減小，該電容器及該偏壓電路協作地組態以將該感測節點驅動至使該輸出電路產生該低側回轉端信號之電壓，該低側回轉端信號指示該低側電源開關之該汲極處之該電壓與該低側電源開關之該源極處之該電壓之間的該差減小。

【第14項】

如請求項9之半橋Ga_N電路，其中該輸出電路包含第一信號路徑及第二信號路徑，其中該第一路徑經組態以使該低側回轉端信號指示該電壓差不減小且使該低側回轉端信號指示該電壓差減小，其中該第一路徑經組態以相比於該第一路徑使該低側回轉端信號指示該電壓差減小更快速地使該低側回轉端信號指示該電壓差不減小，其中該第二路徑經組態以使該低側回轉端信號指示該電壓差減小且使該低側回轉端信號指示該電壓差不減小，且其中該第二路徑經組態以相比於該第一路徑使該低側回轉端信號指示該電壓差不減小更快速地使該低側回轉端信號指示該電壓差減小。

【第15項】

如請求項9之半橋Ga_N電路，其中該電容器包含：

一電晶體結構，其包含：

一源極電極；

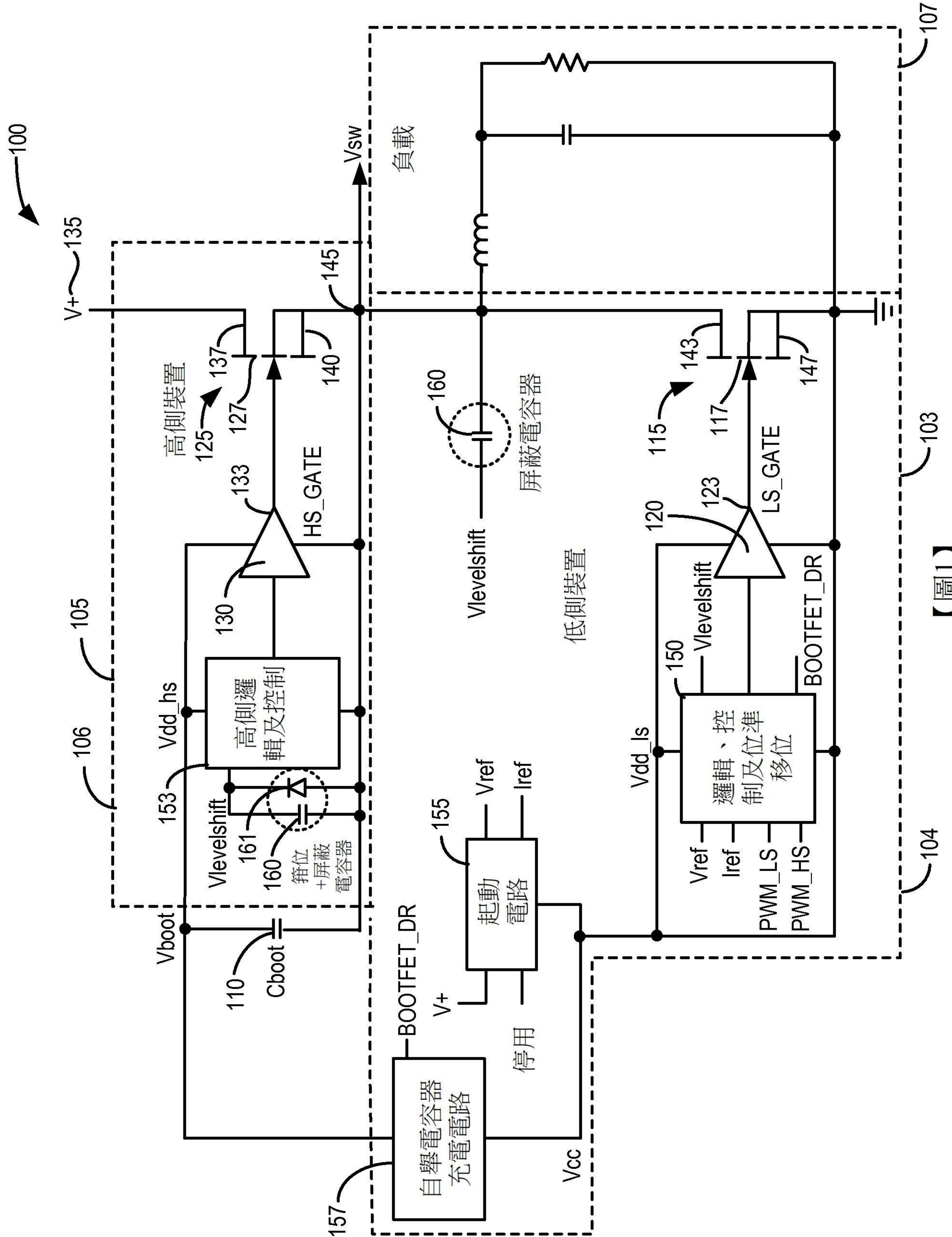
一閘極電極，其電連接至該源極電極；

一汲極電極；以及

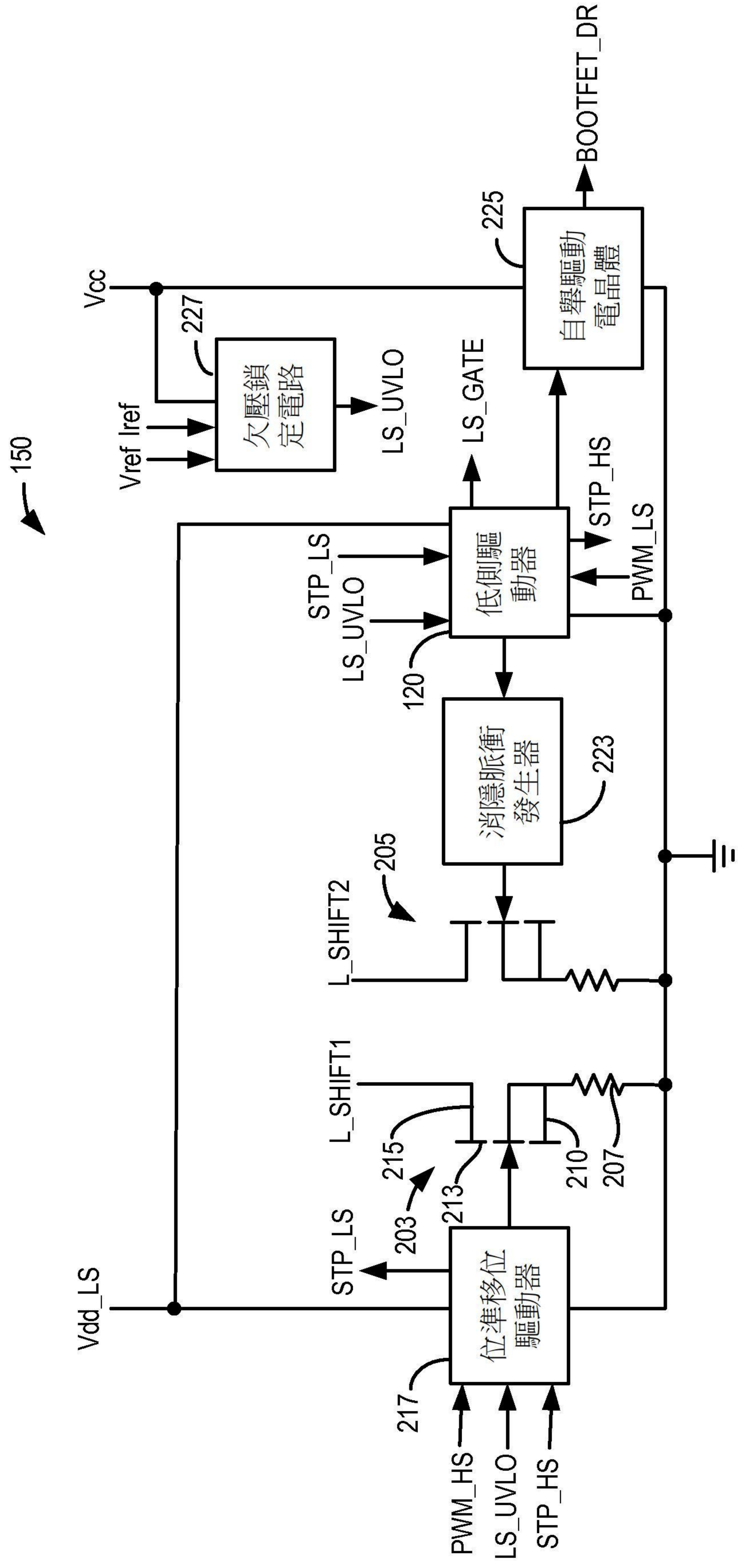
一場板電極，

其中該汲極電極充當該電容器之一第一板狀電極，且該場板電極充當該電容器之一第二板狀電極。

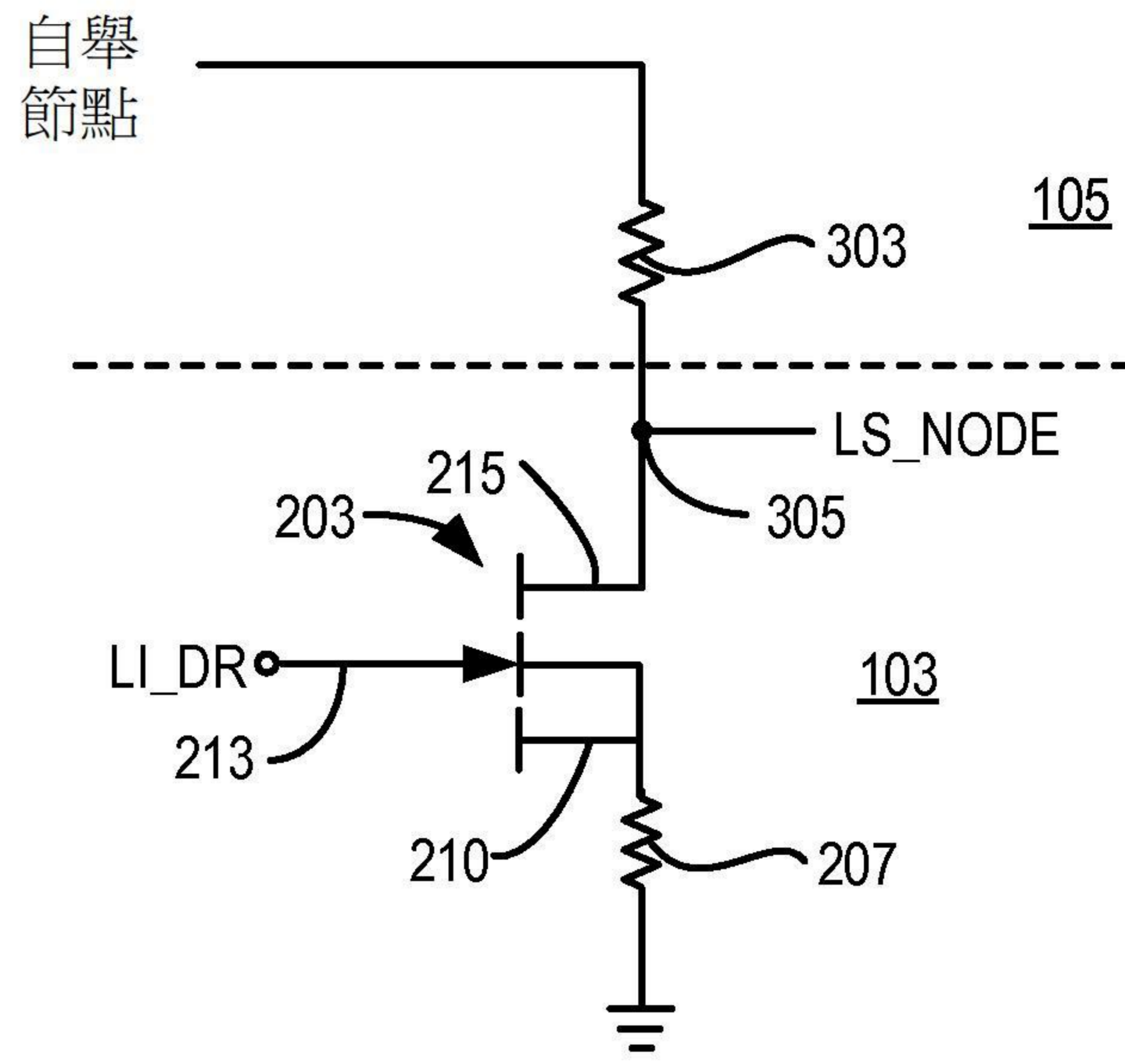
【發明圖式】



【圖1】

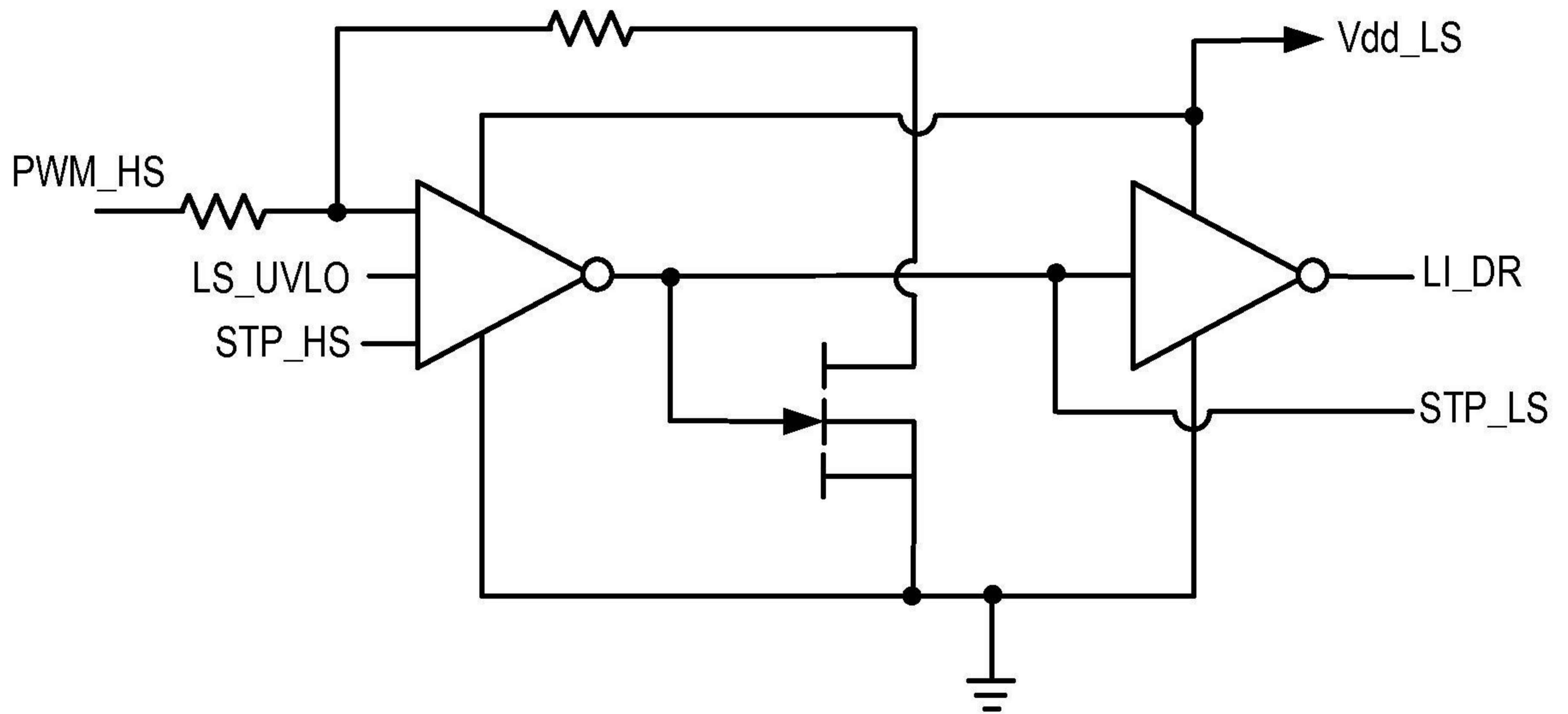


【圖2】

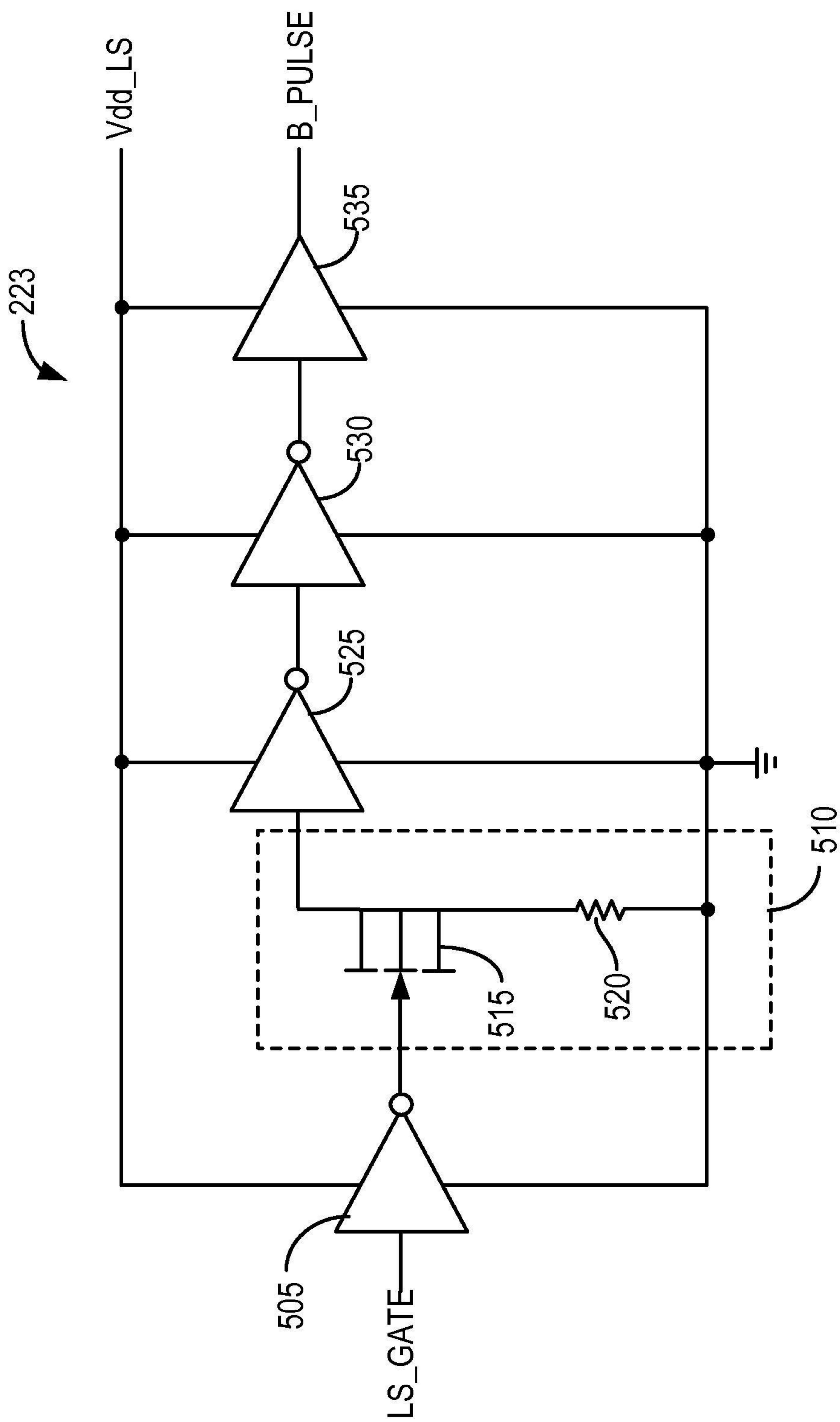


【圖3】

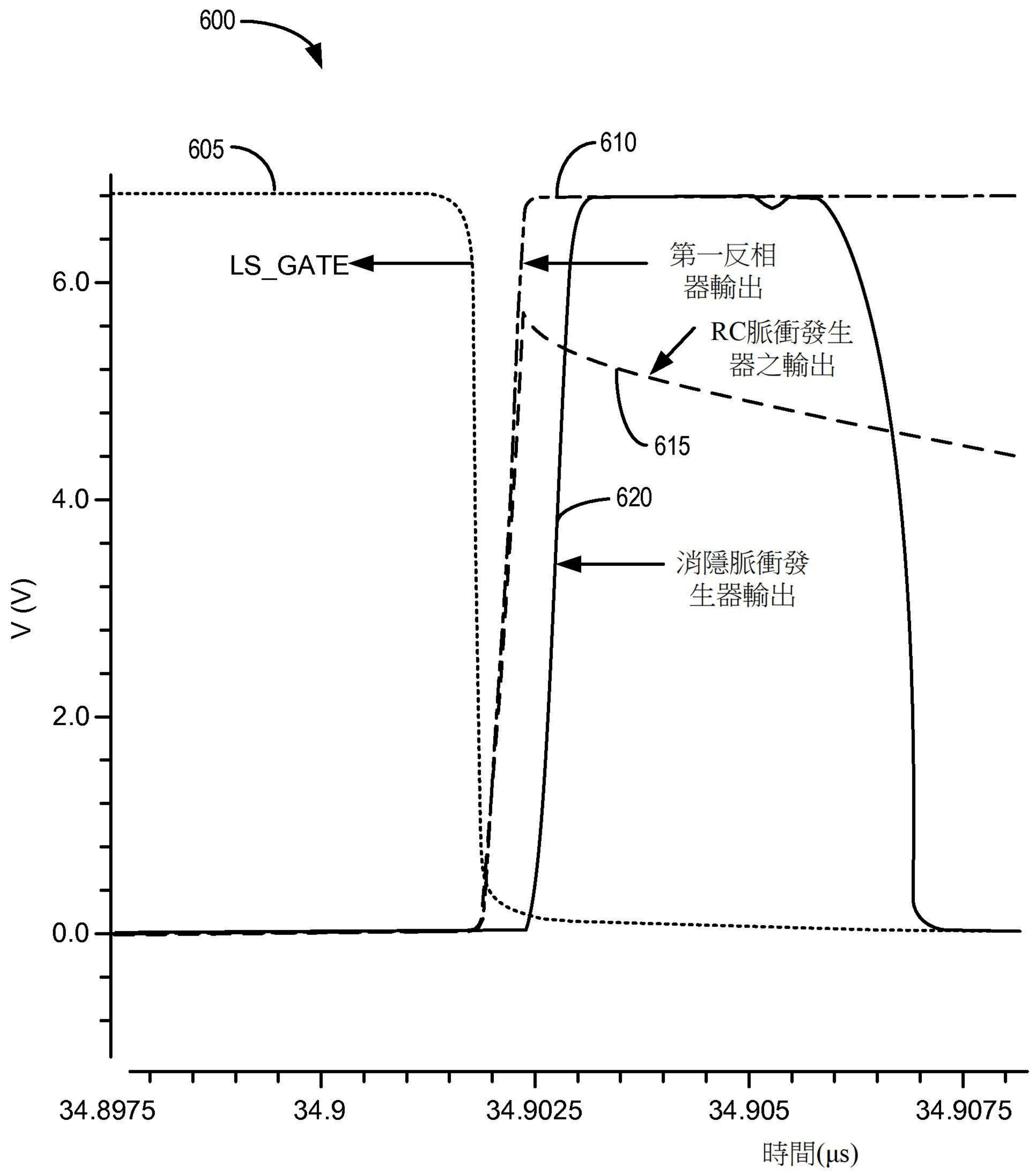
217



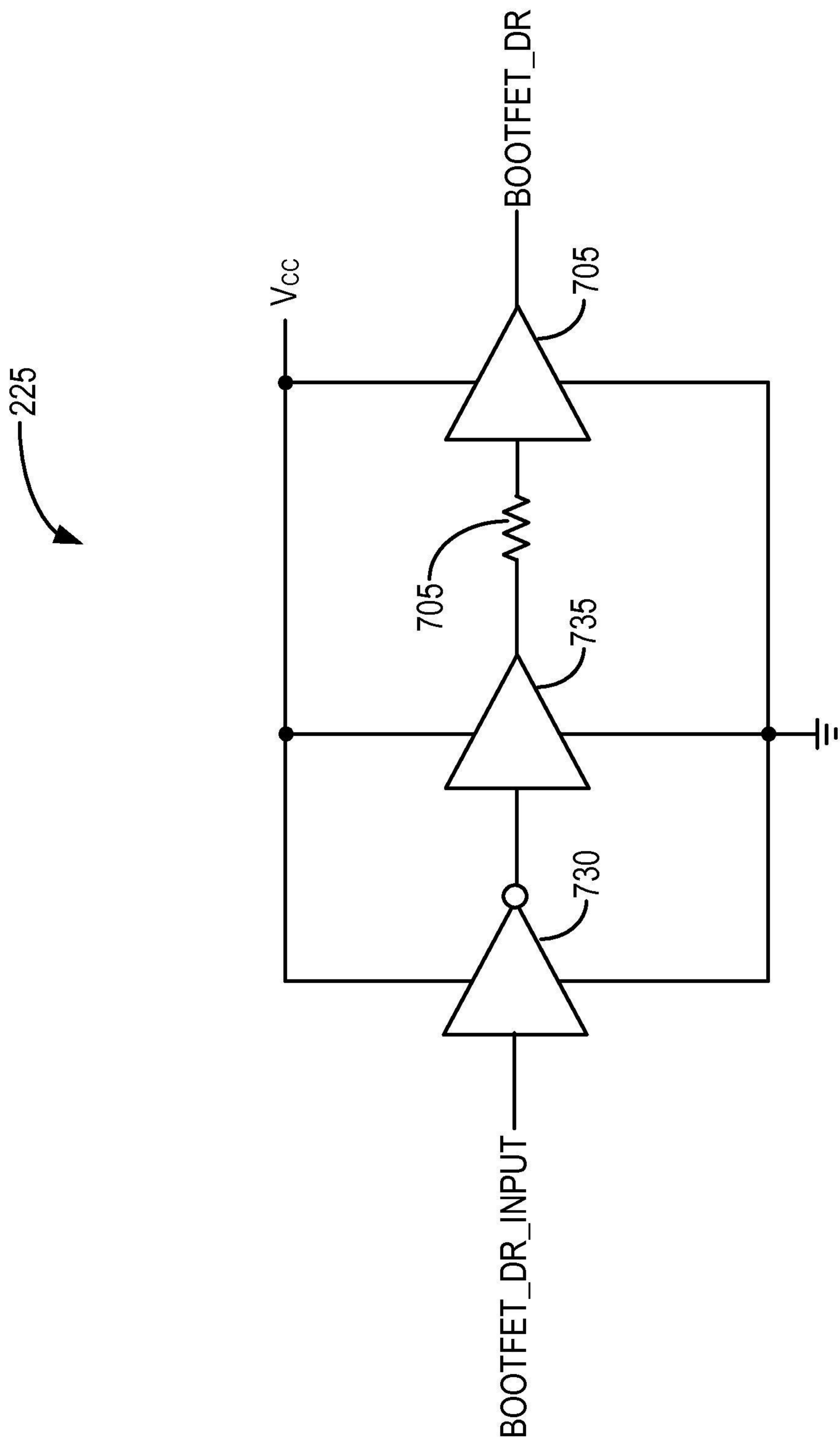
【圖4】



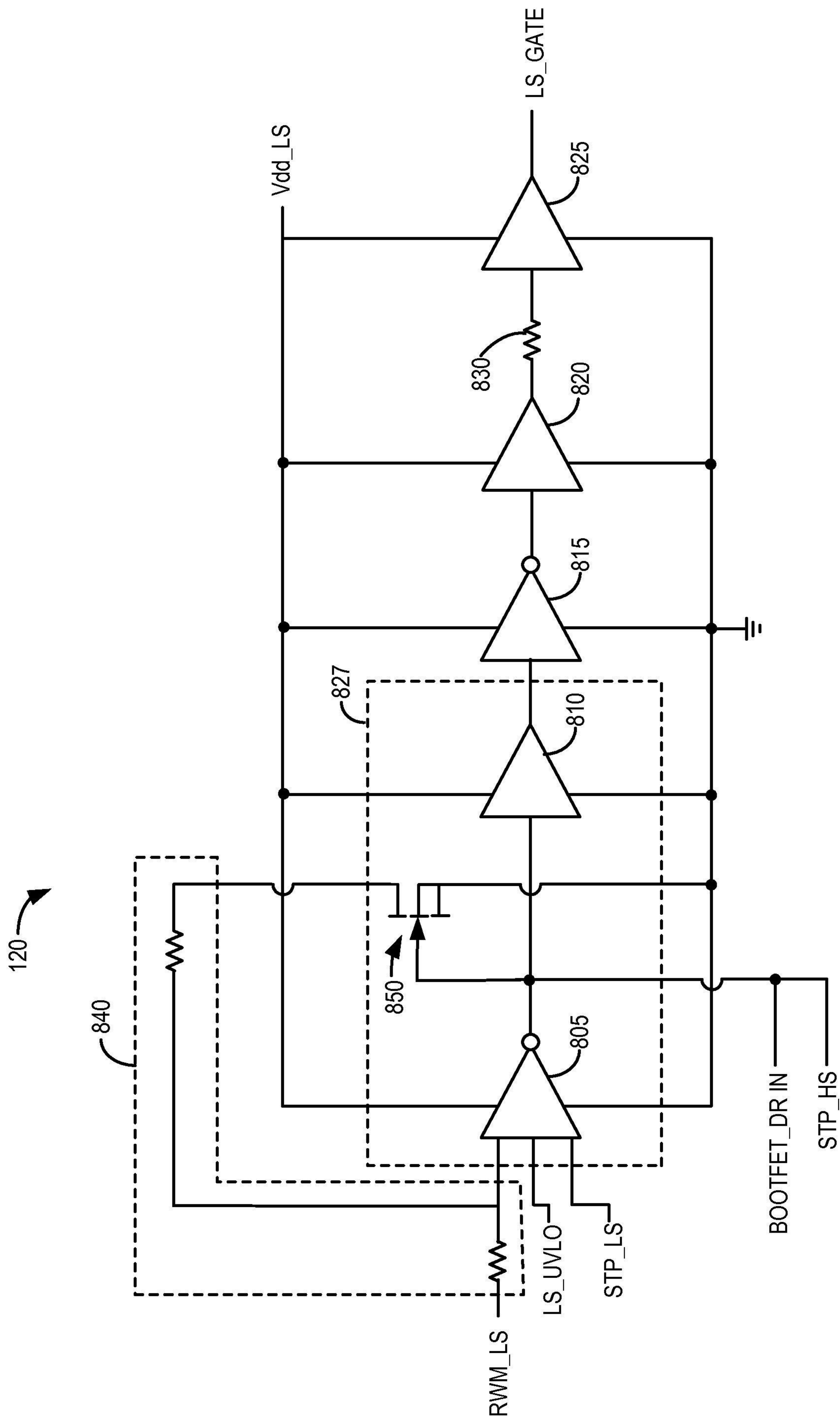
【圖5】



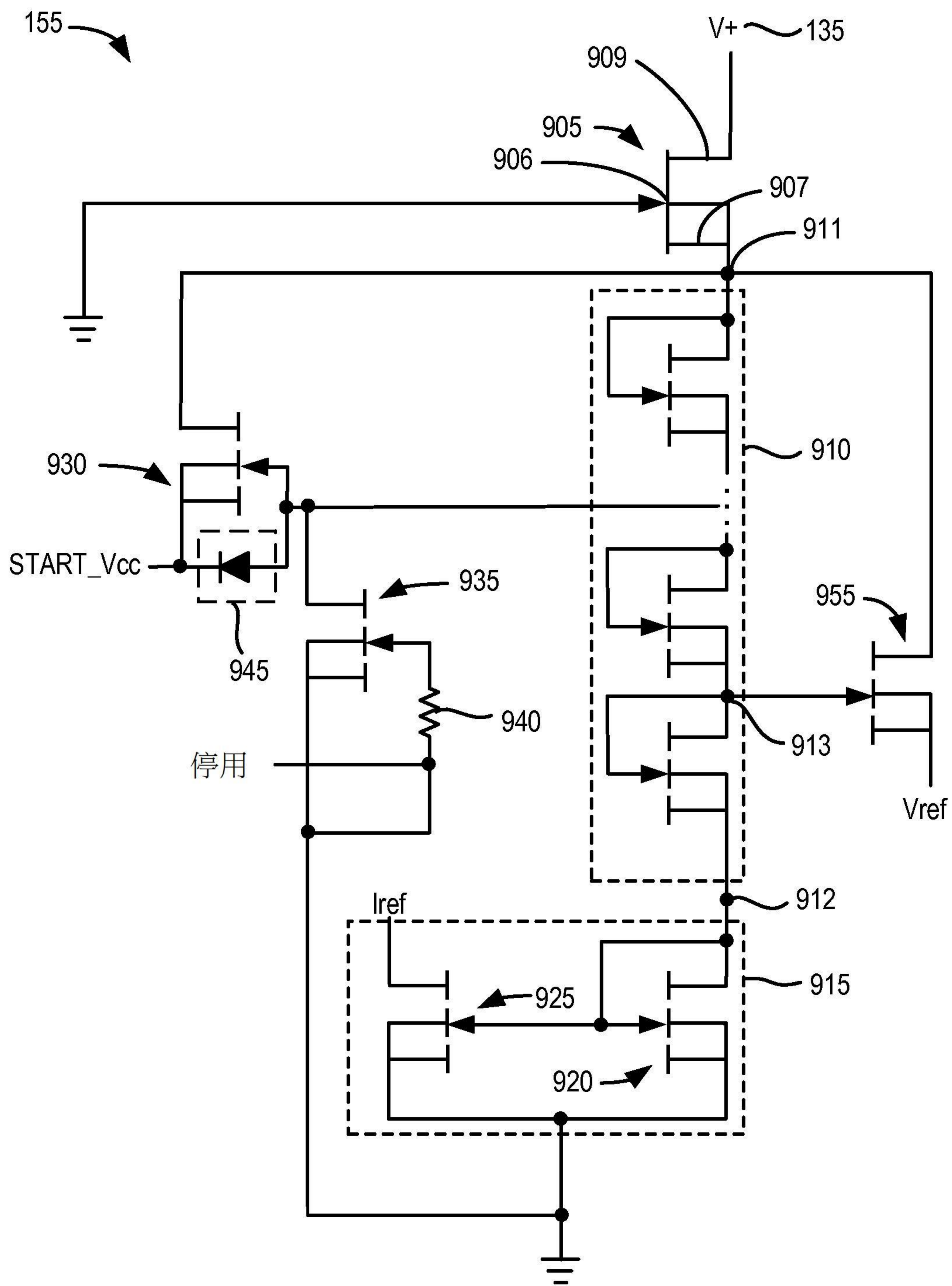
【圖6】



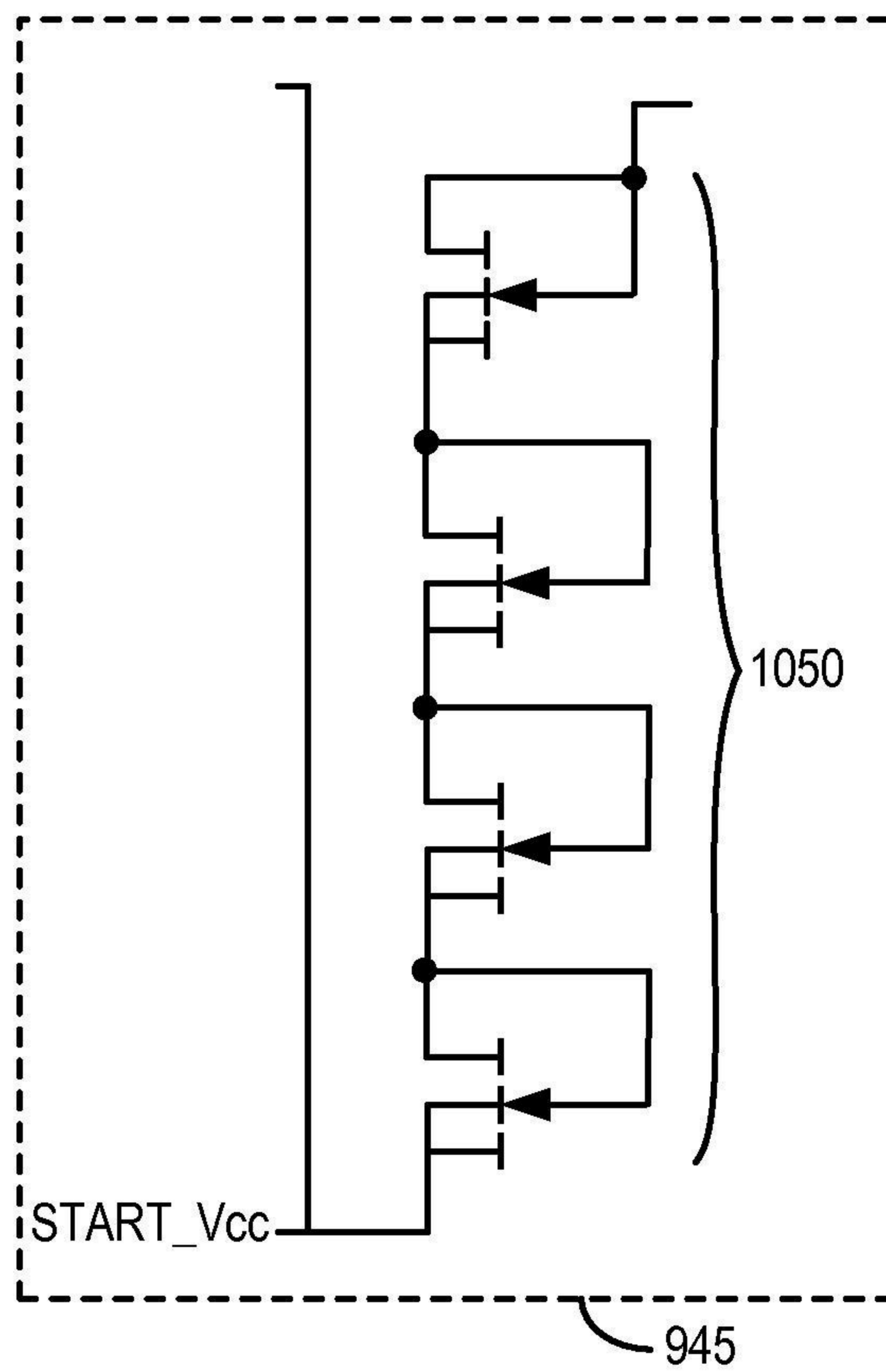
【圖7】



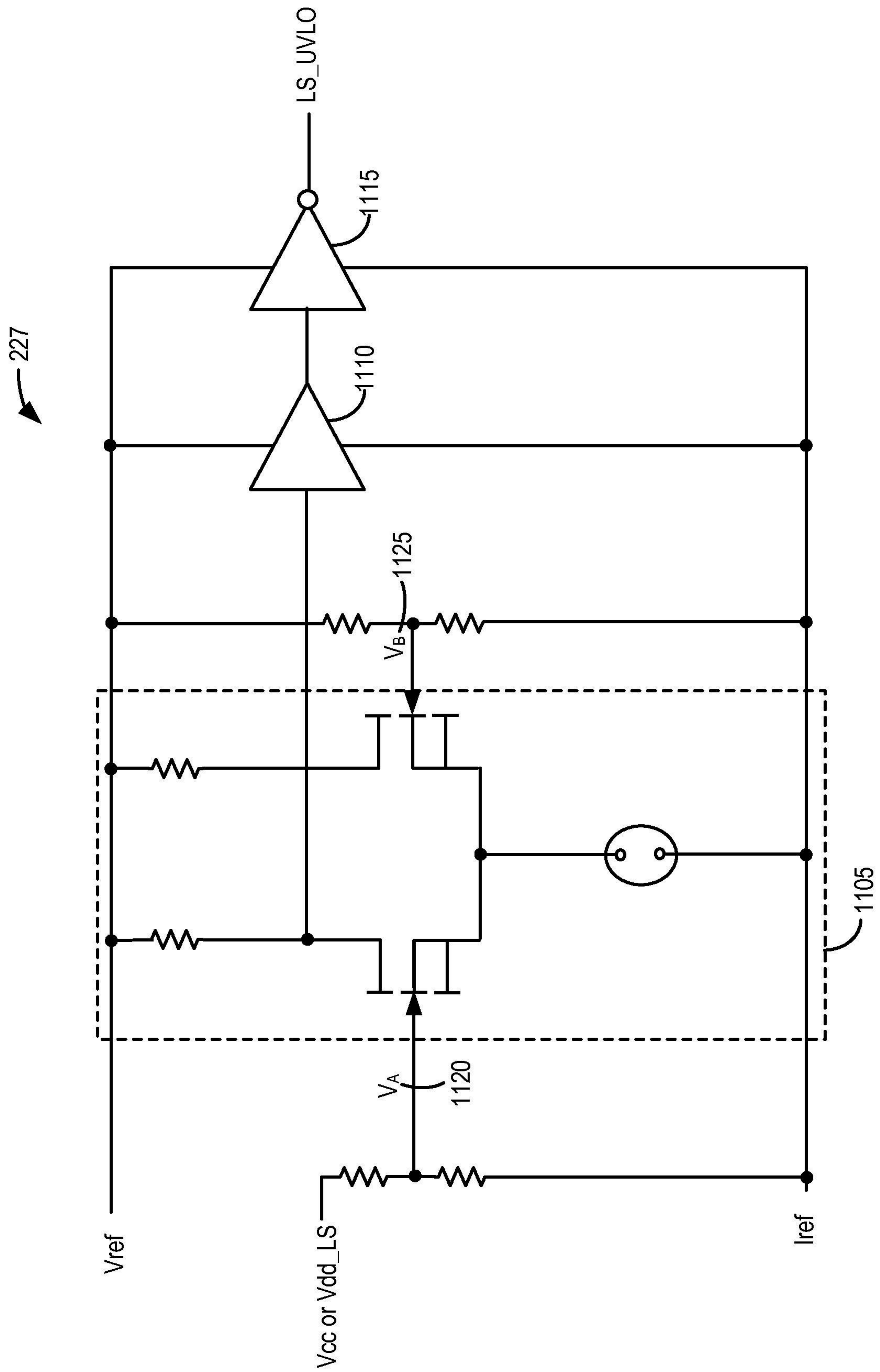
【圖8】



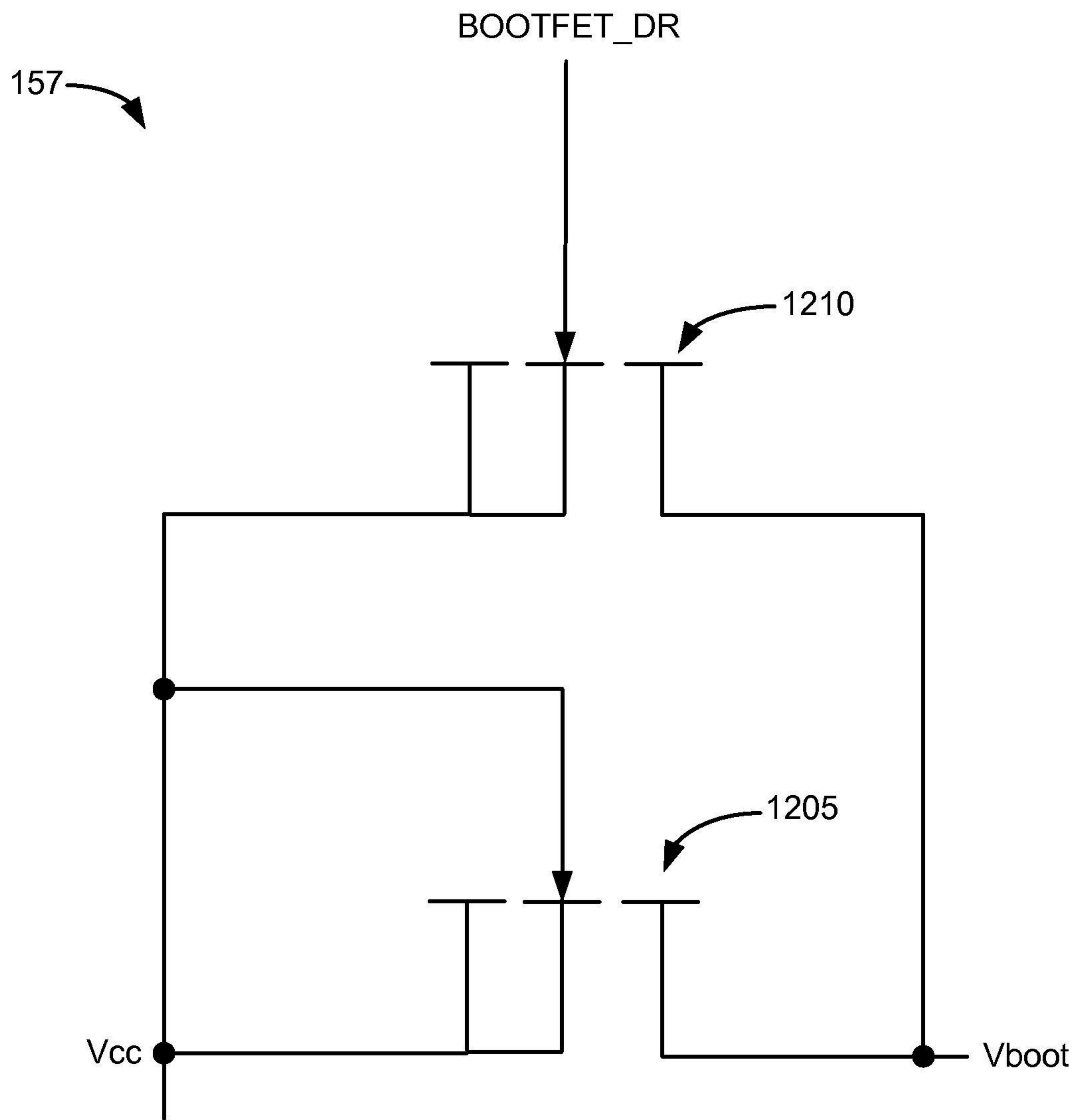
【圖9】



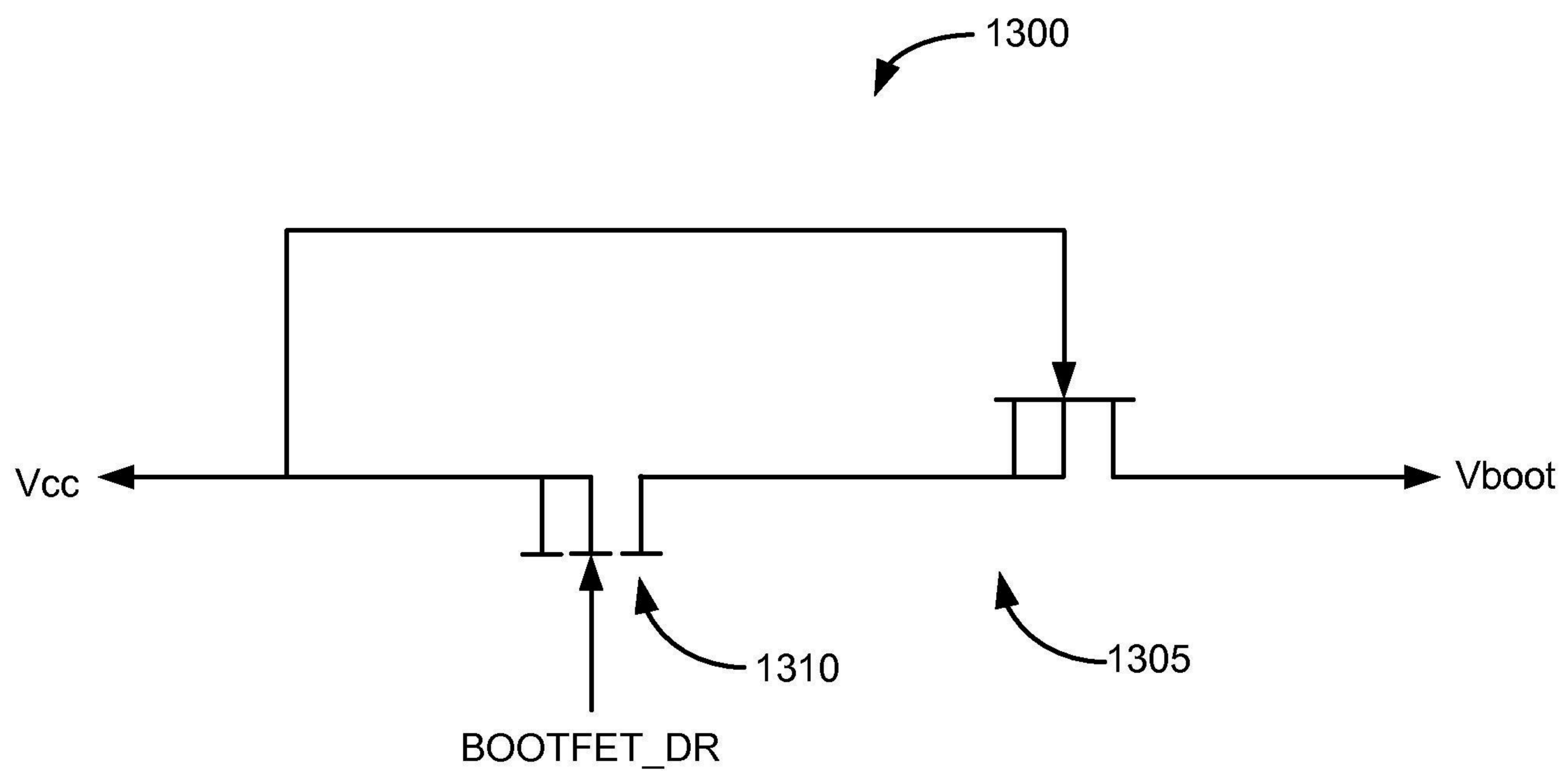
【圖10】



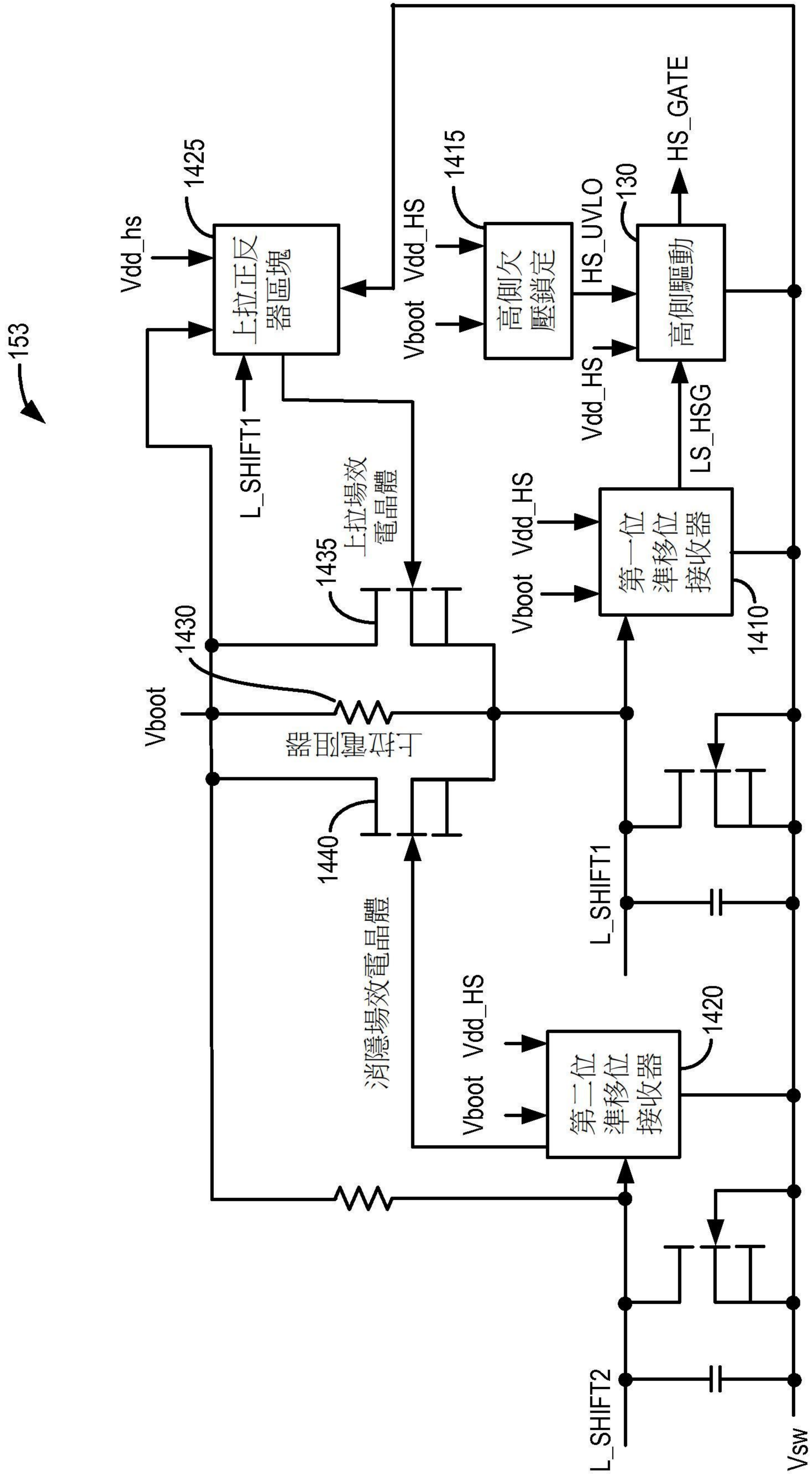
【圖11】



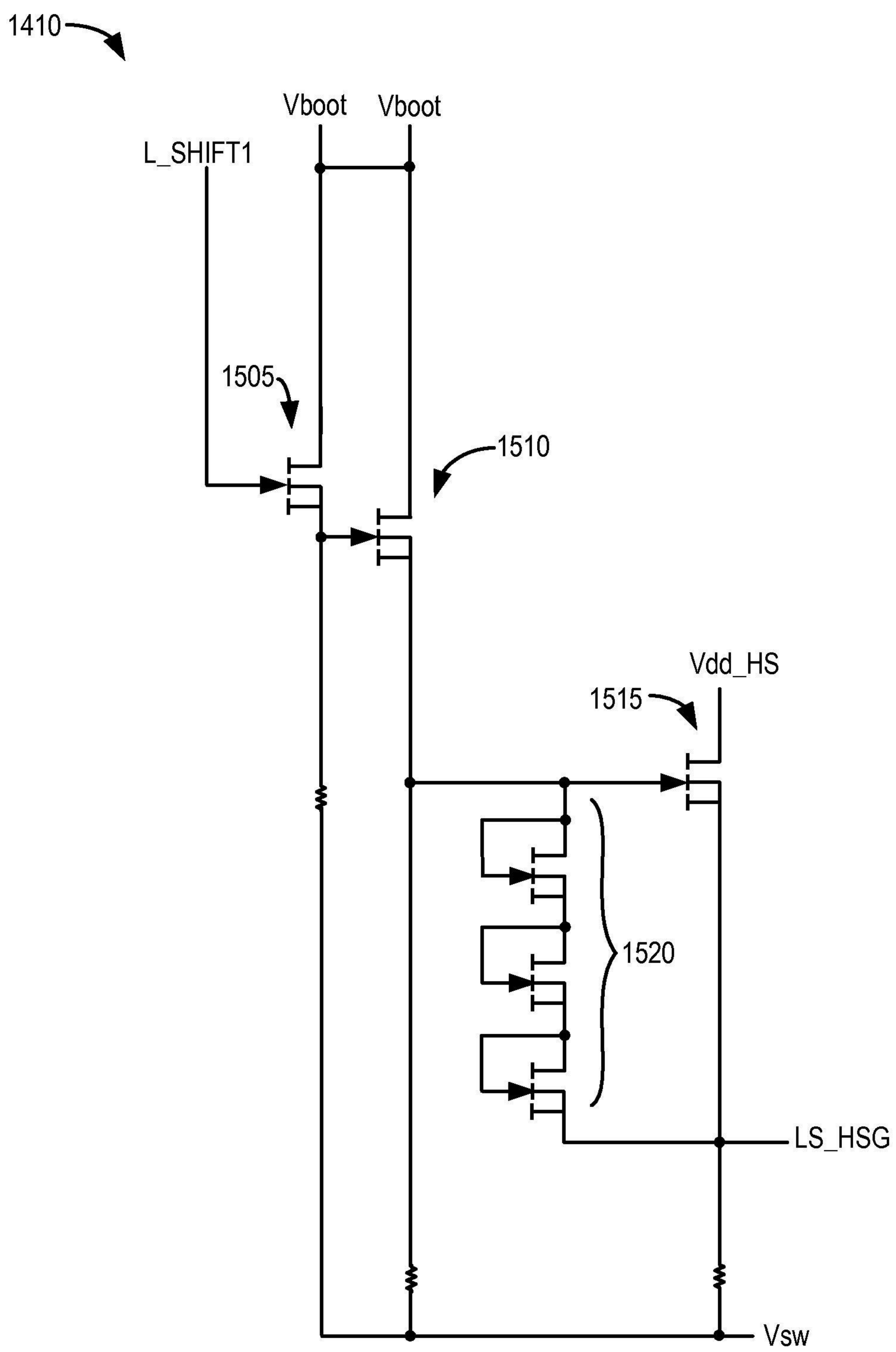
【圖12】



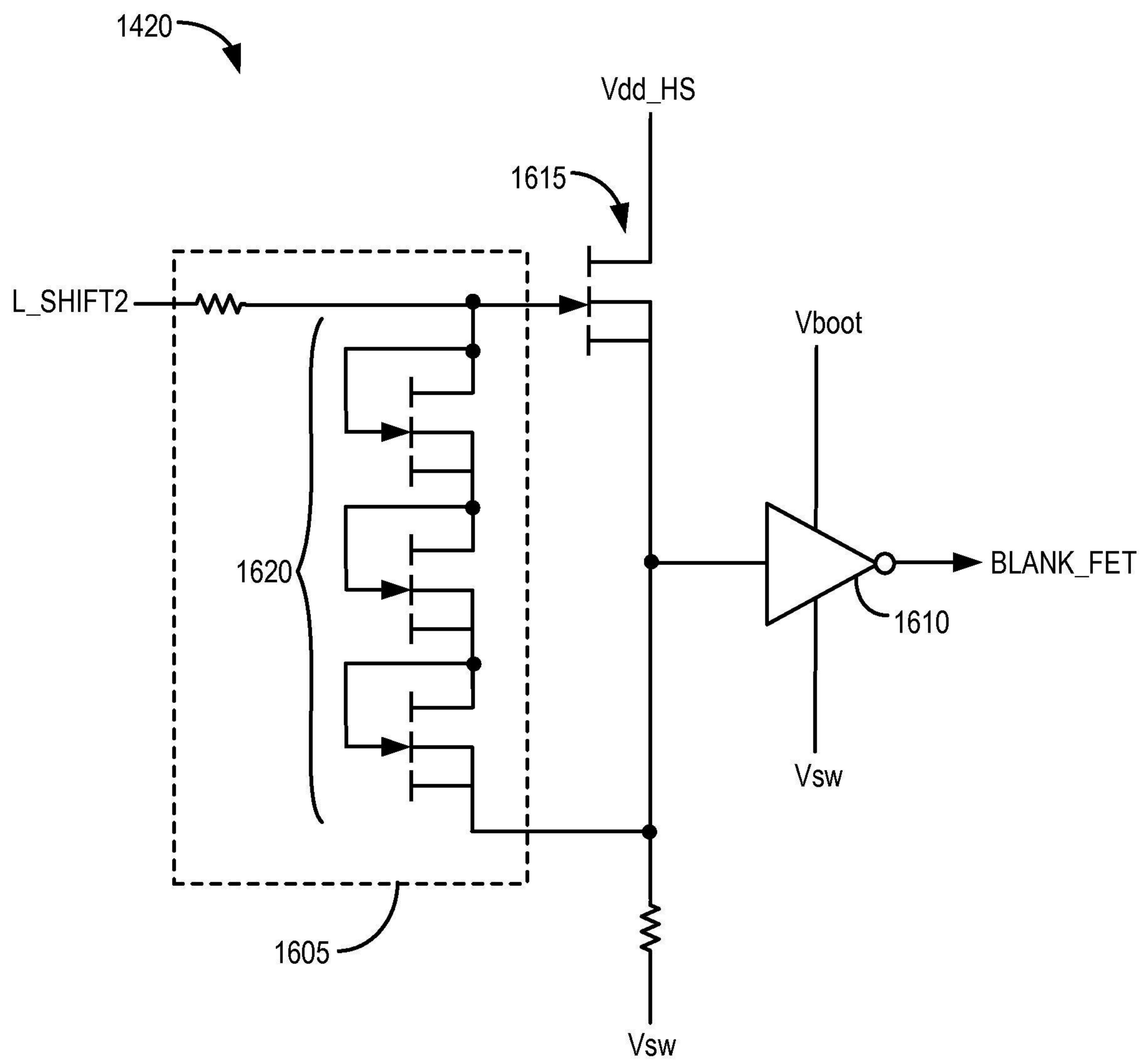
【圖13】



【圖14】

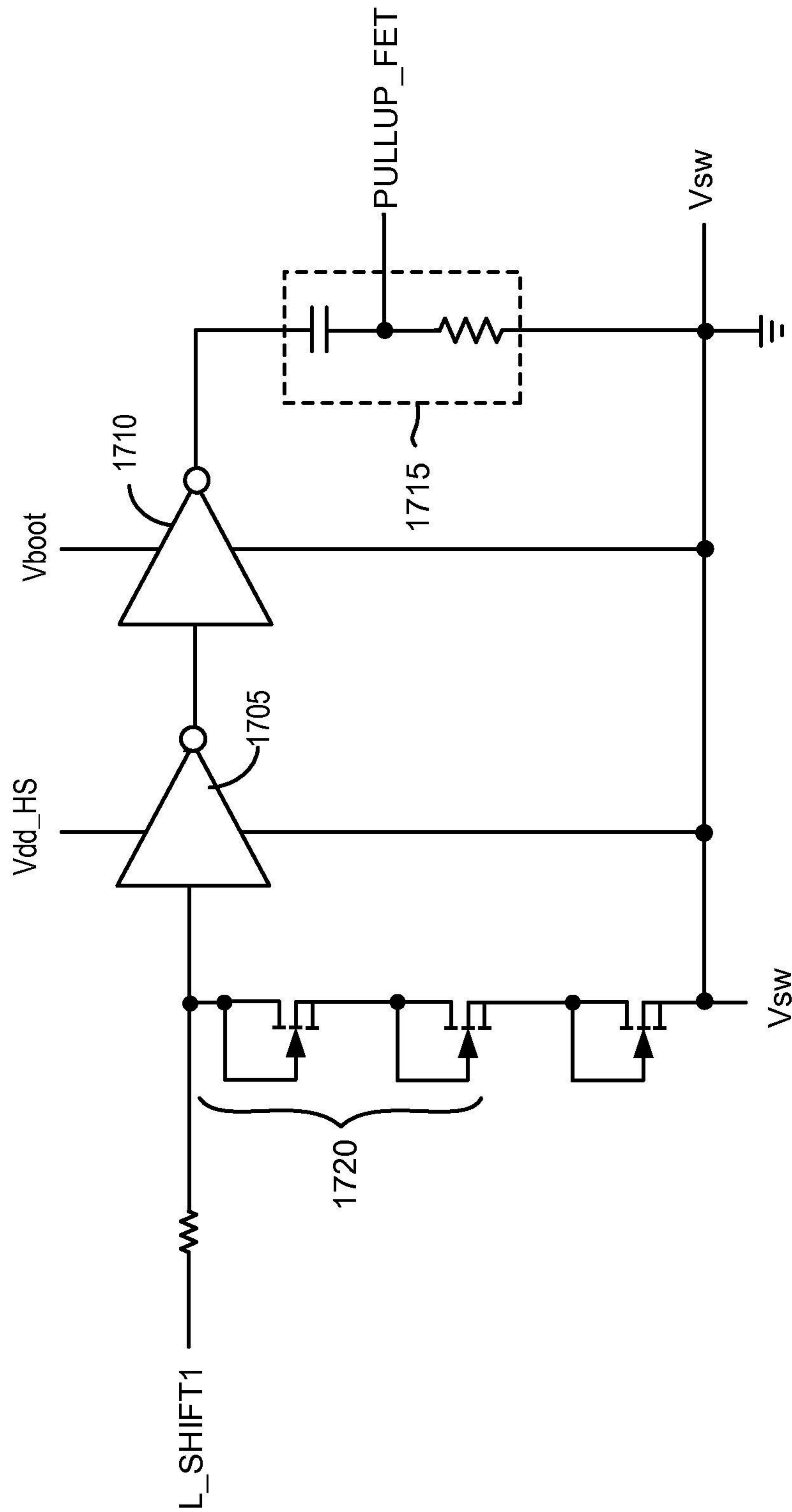


【圖15】



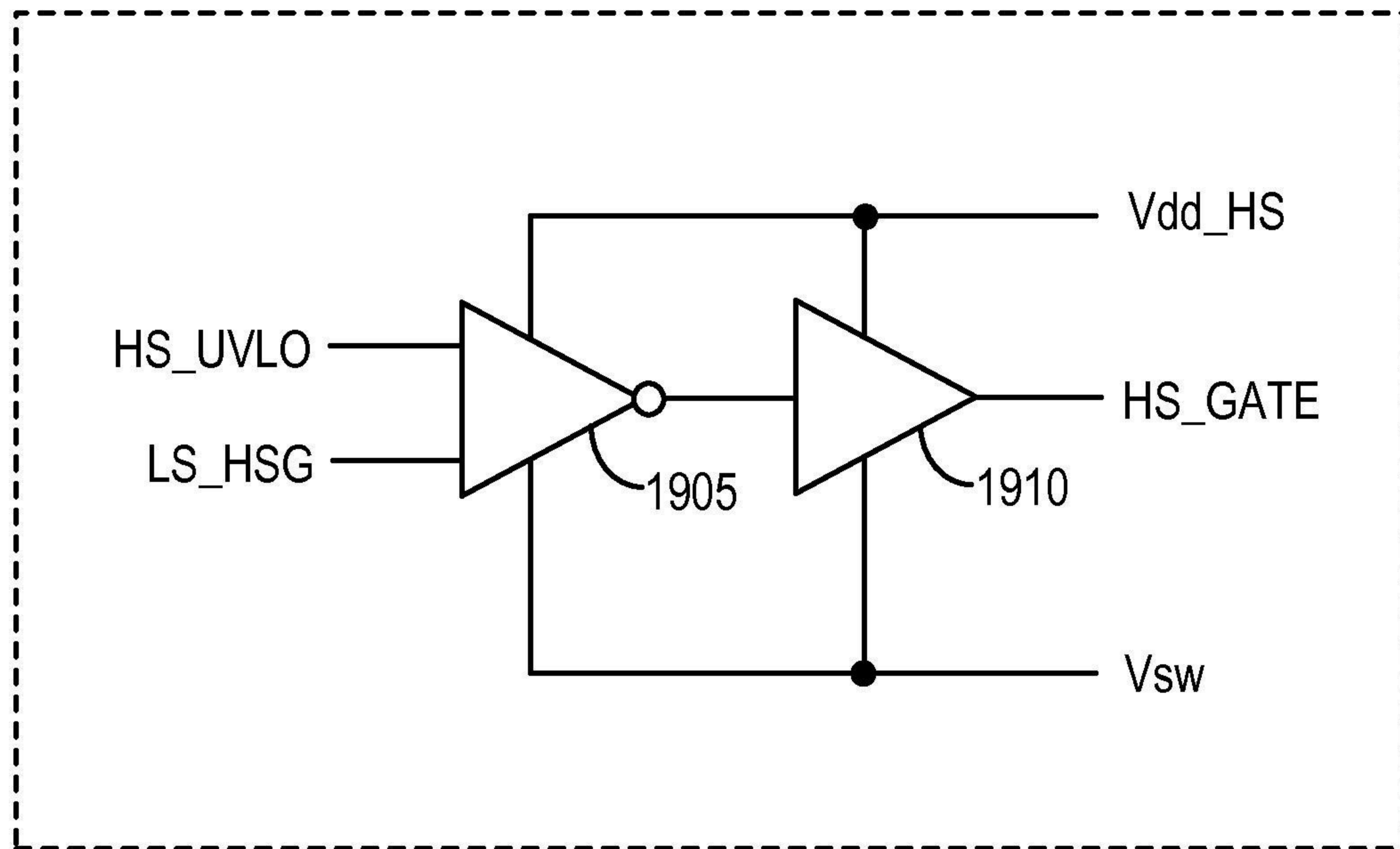
【圖16】

1425 ↗

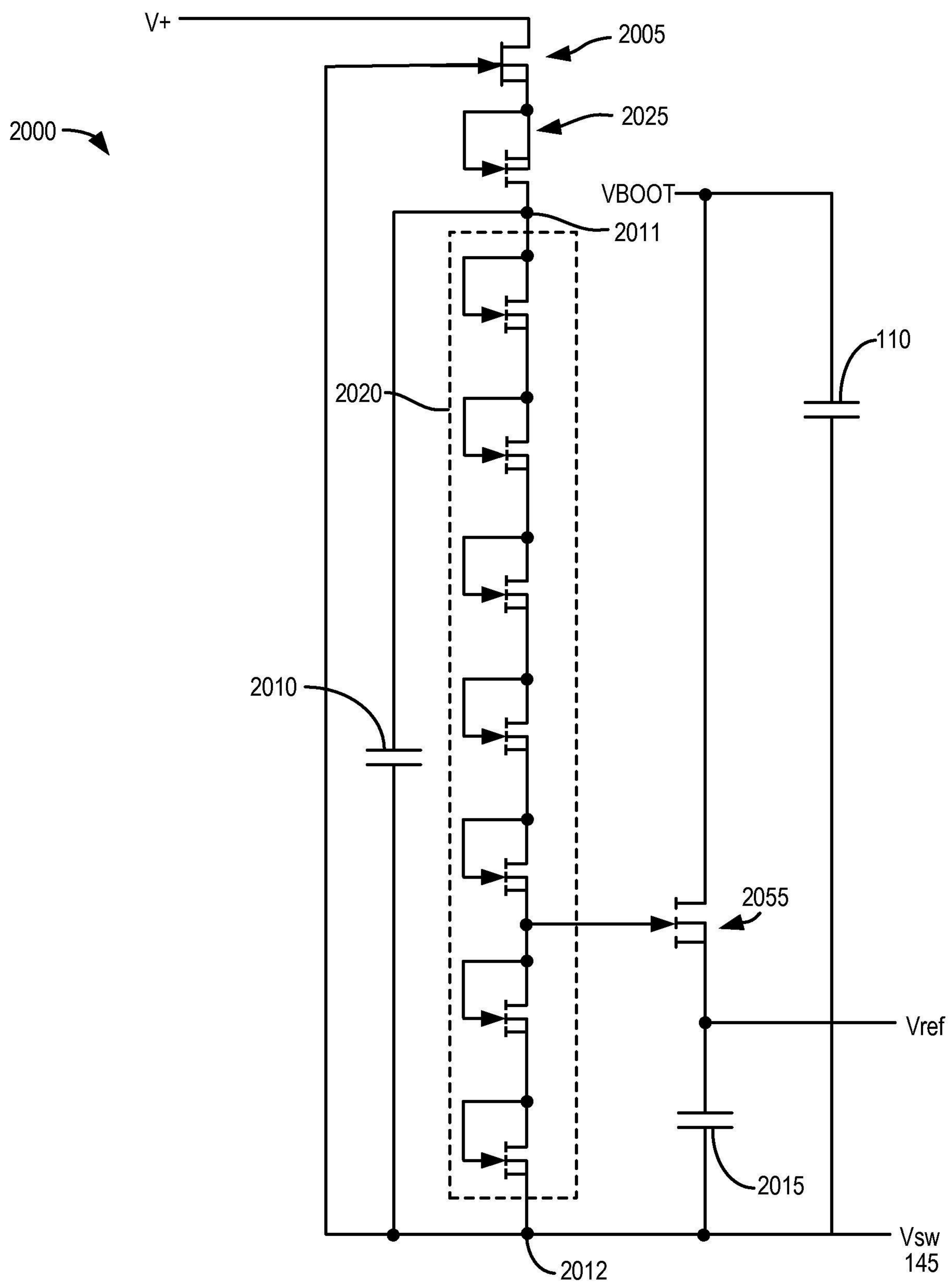


【圖17】

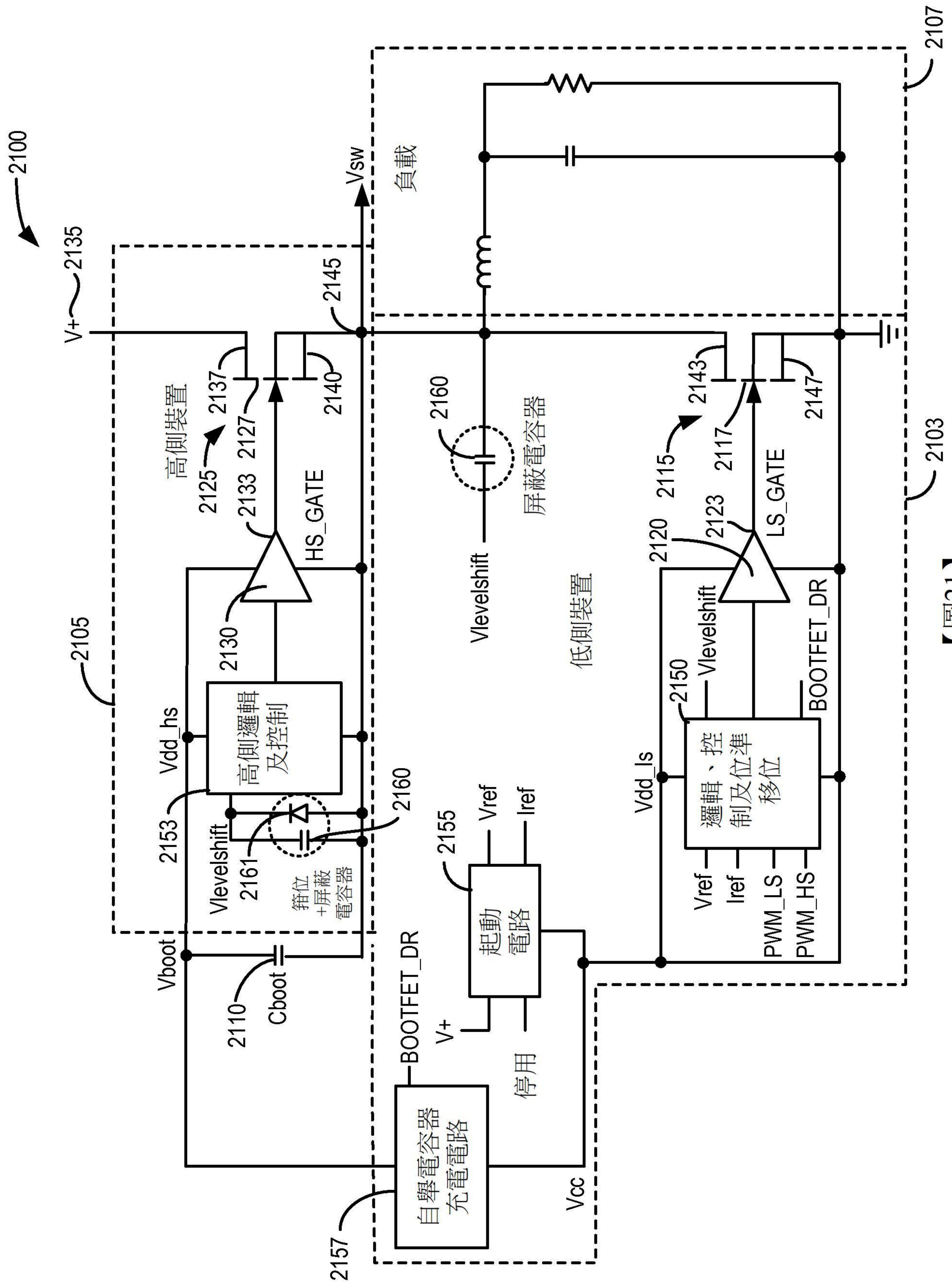
130



【圖19】

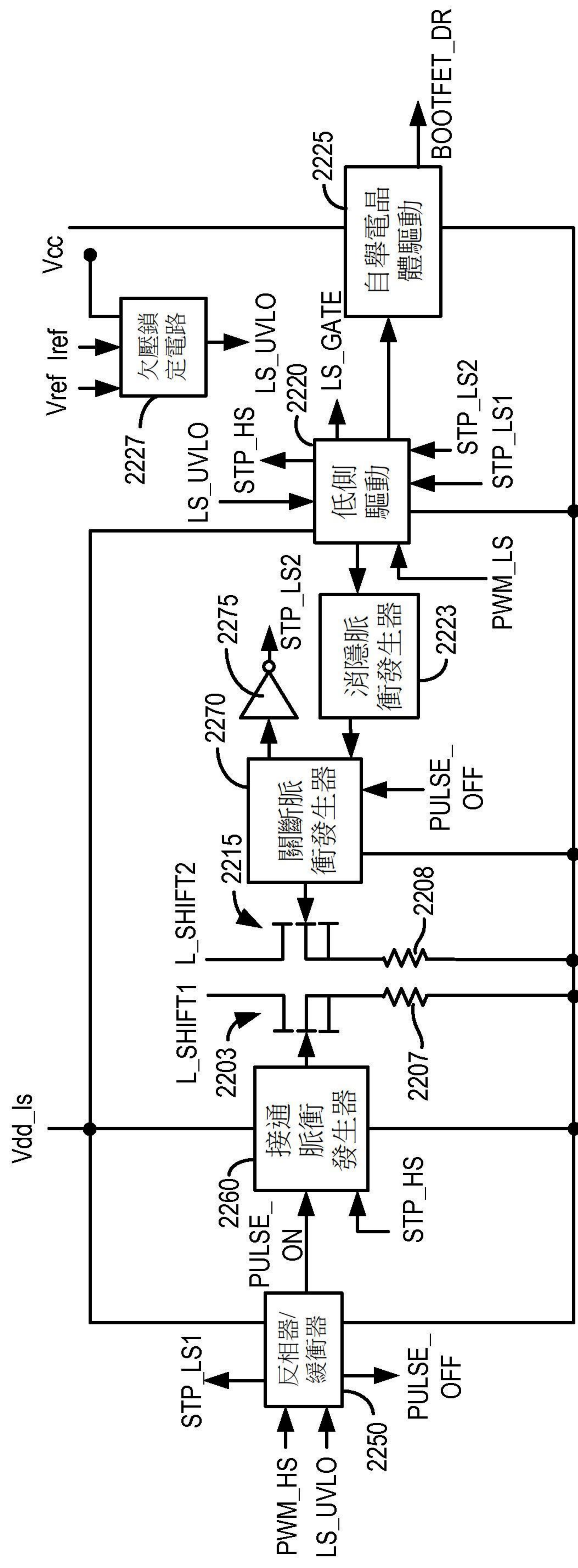


【圖20】

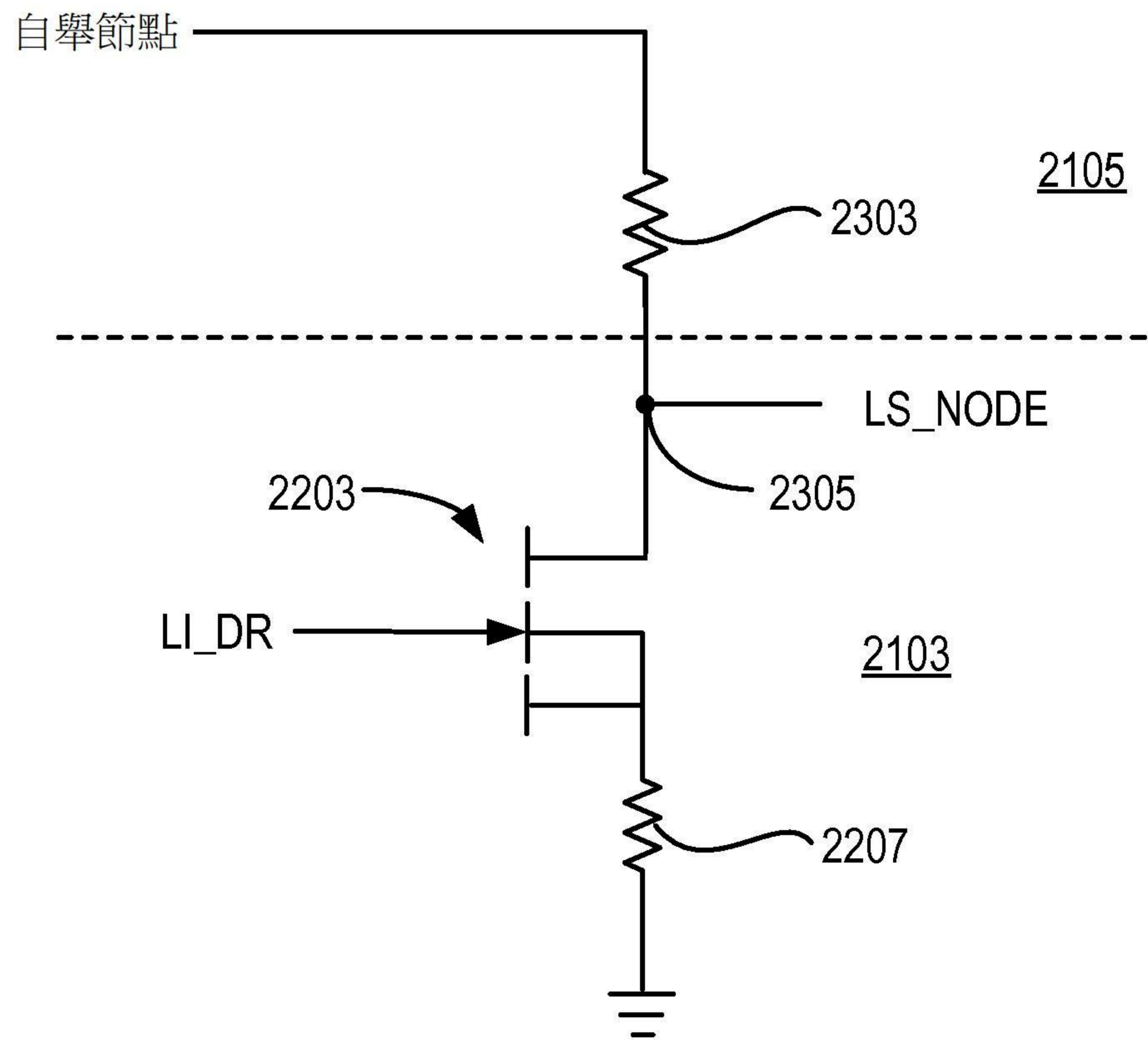


【圖21】

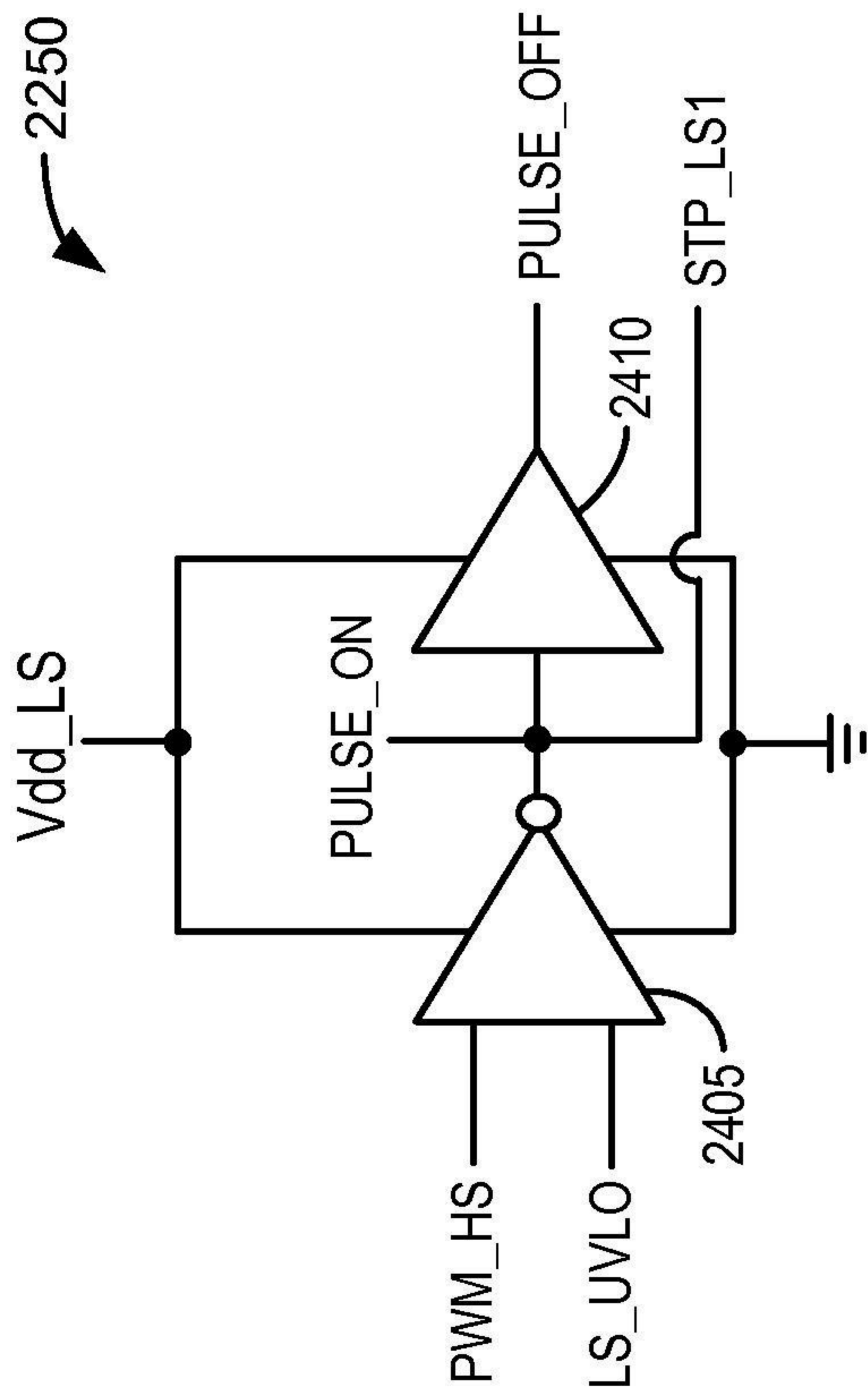
2150



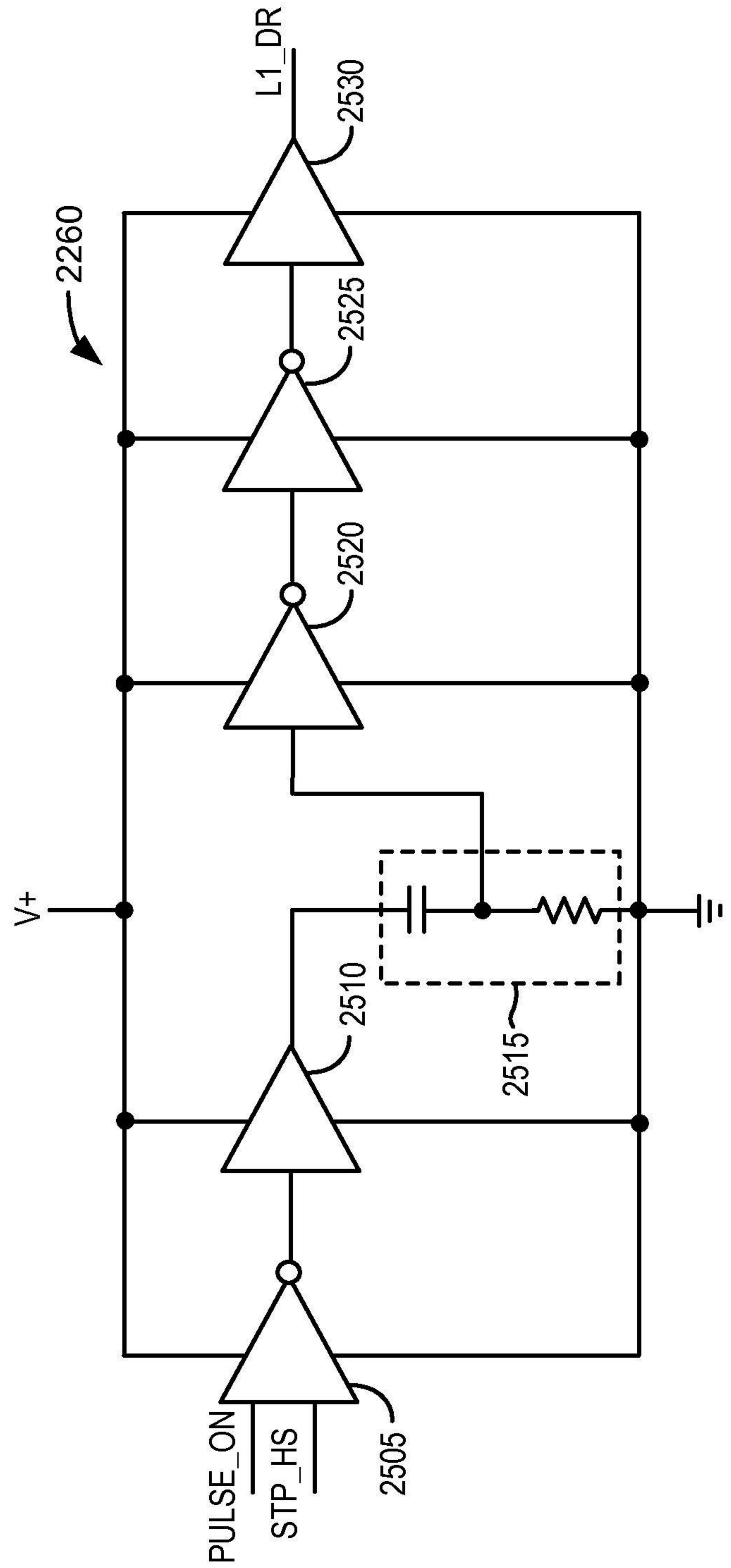
【圖22】



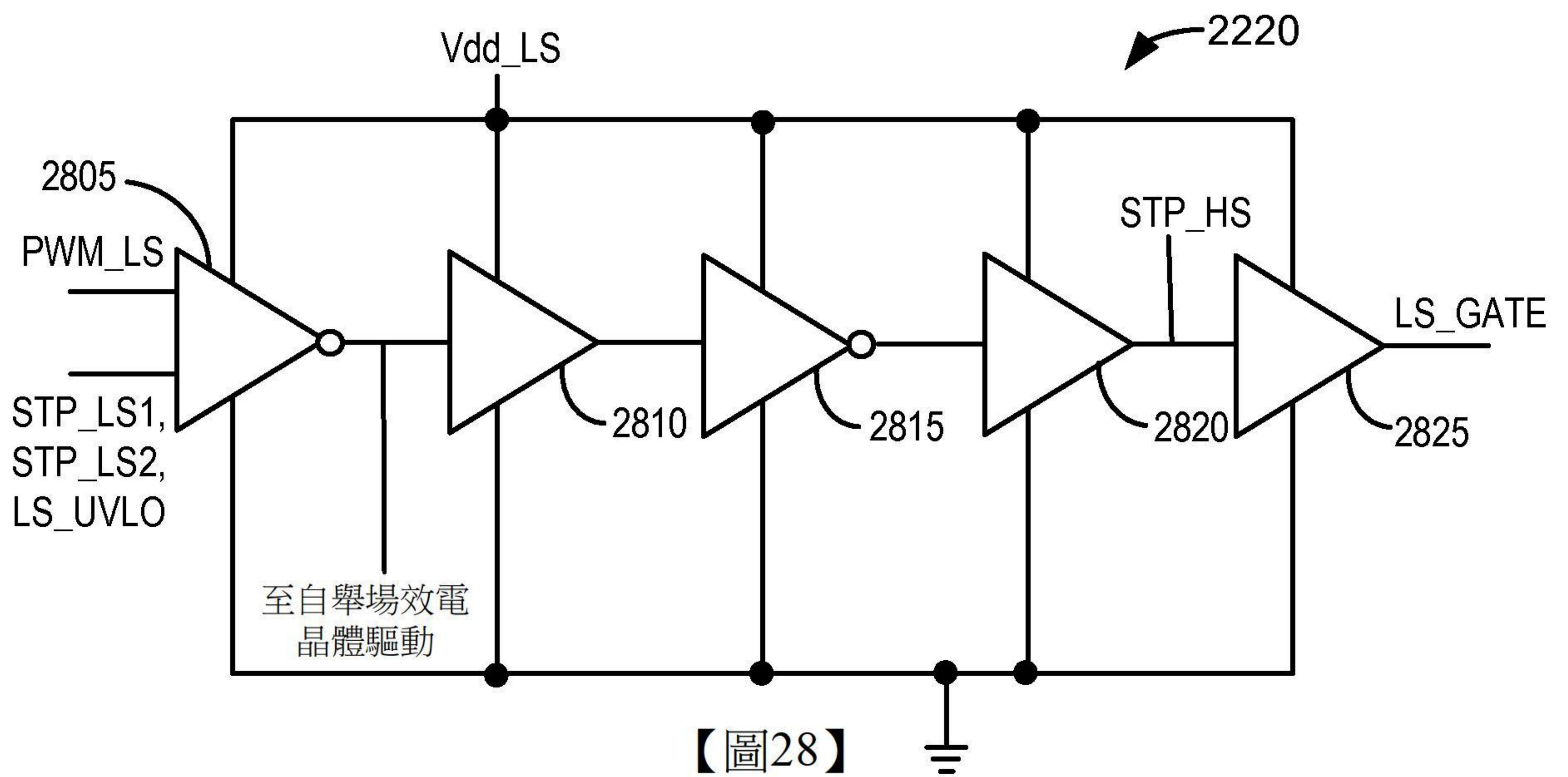
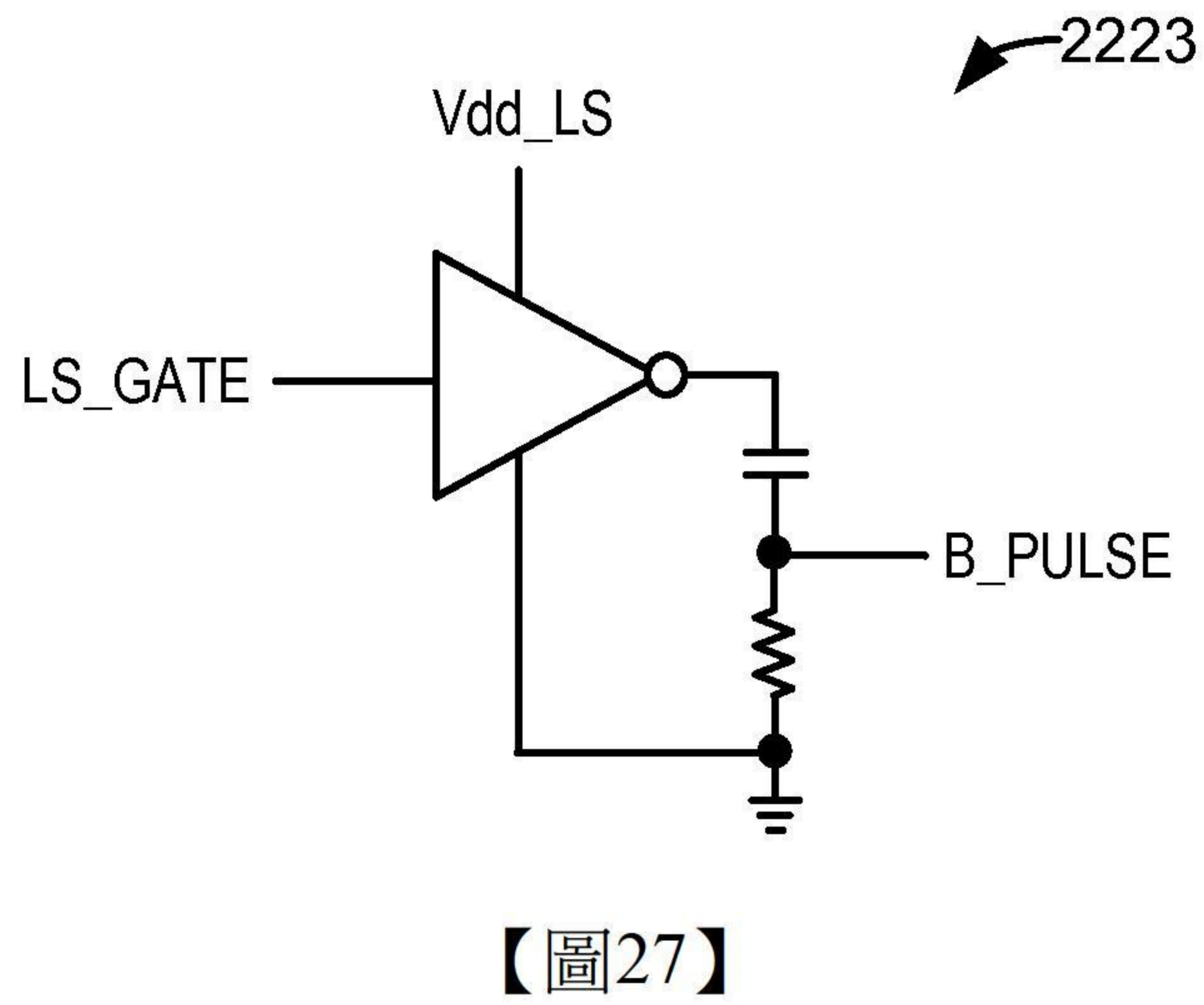
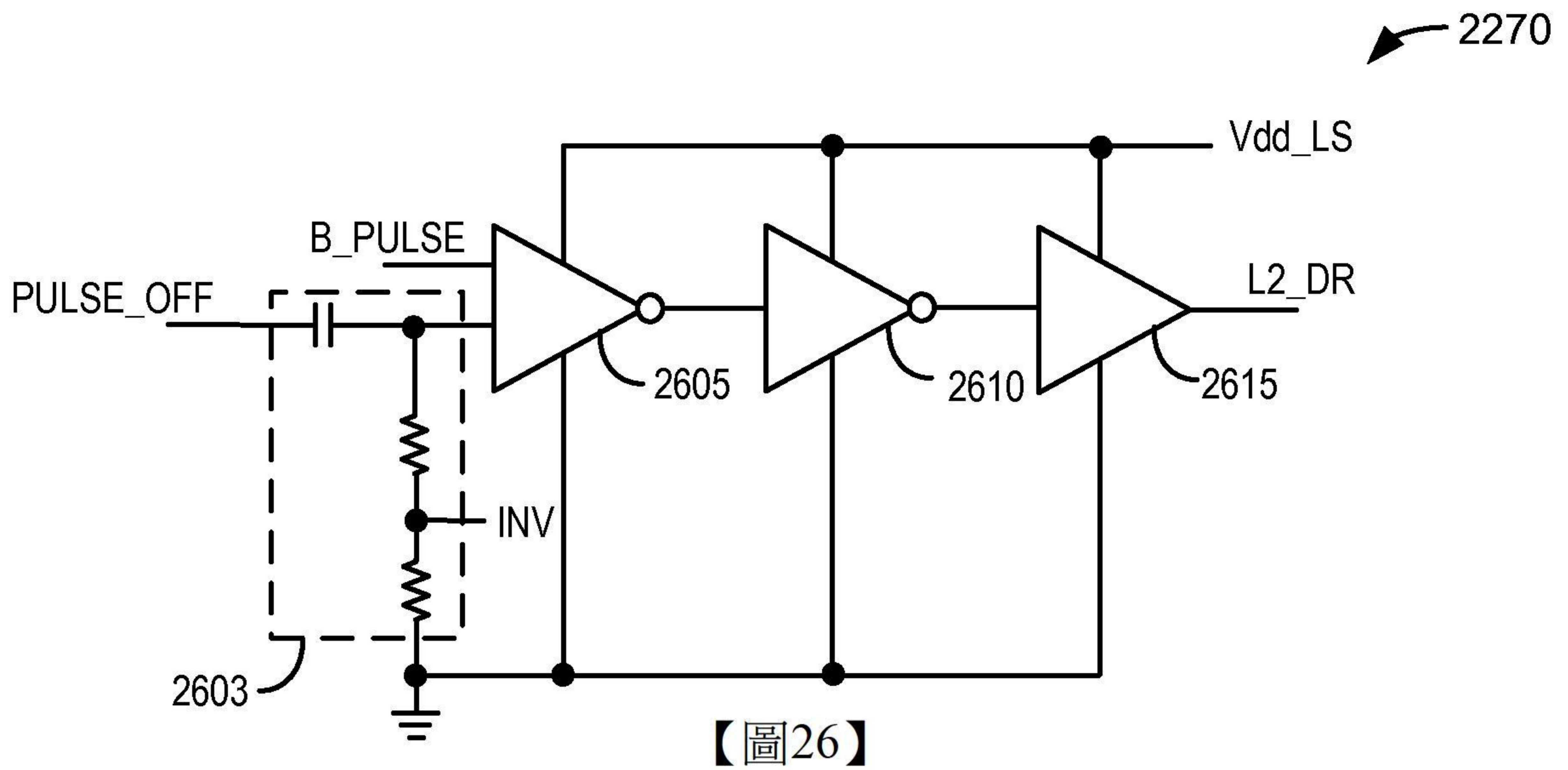
【圖23】

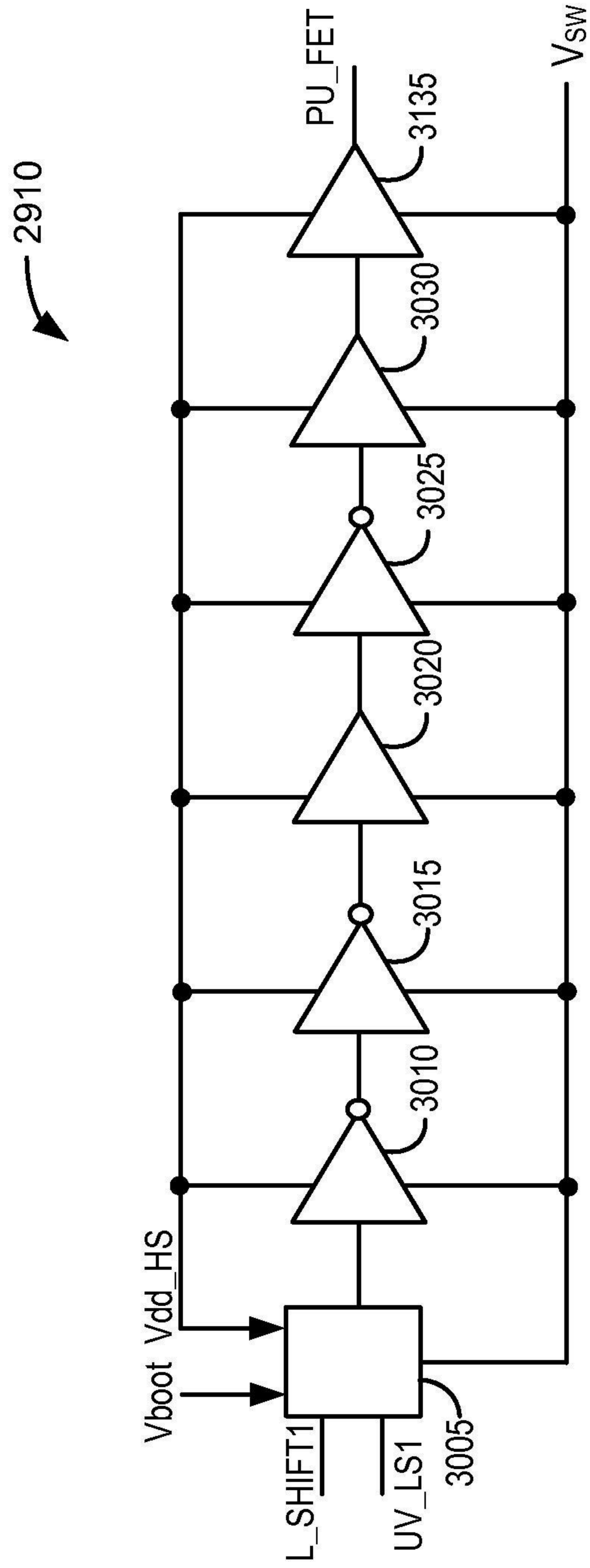


【圖24】

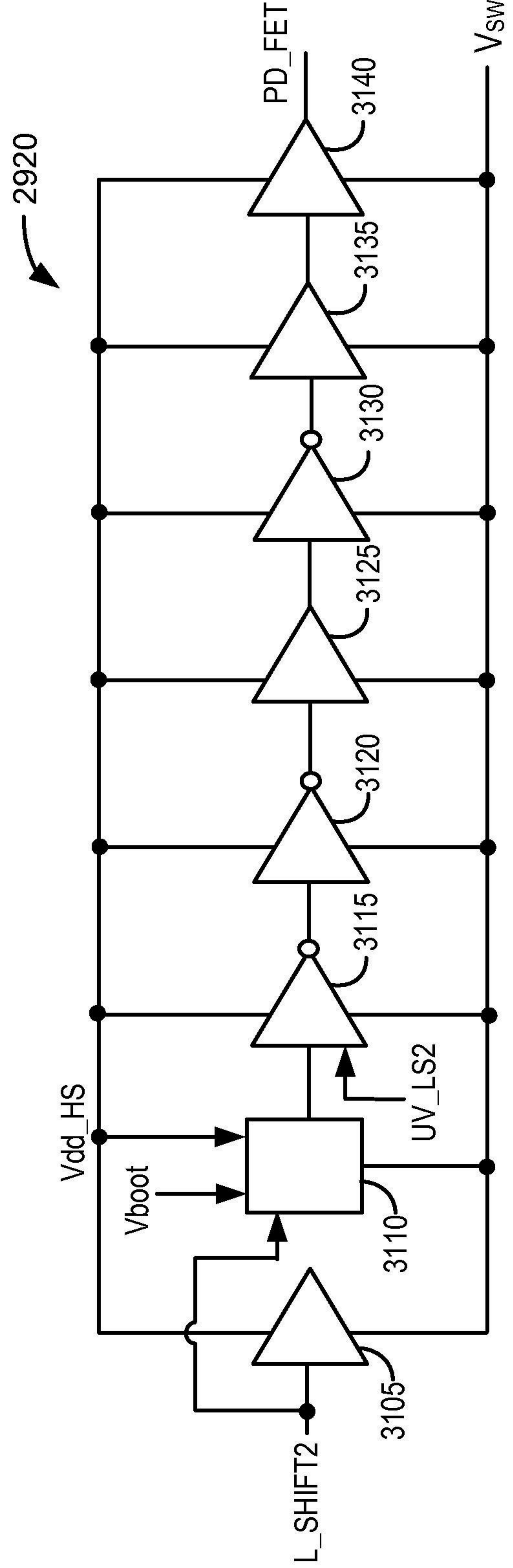


【圖25】

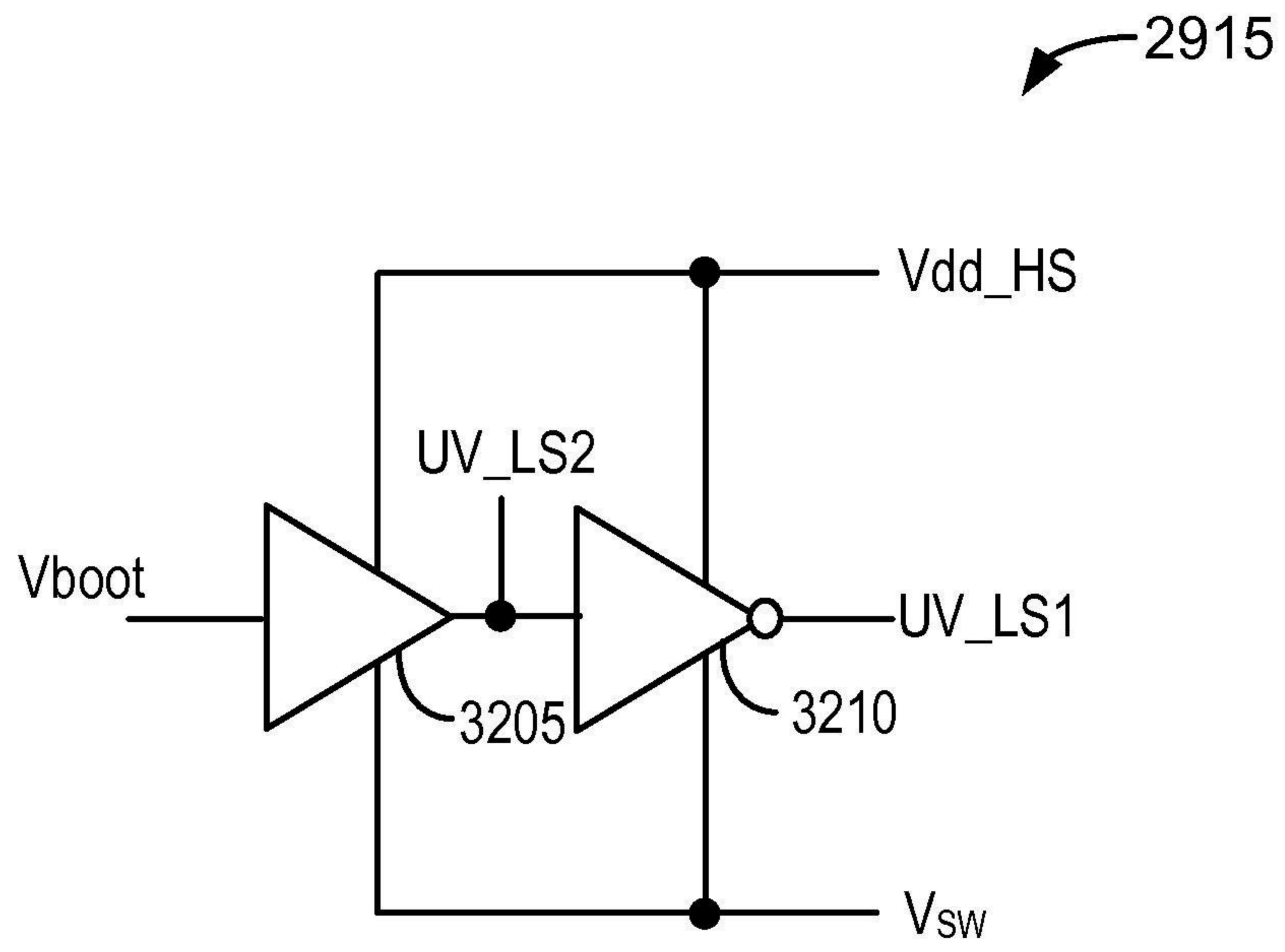




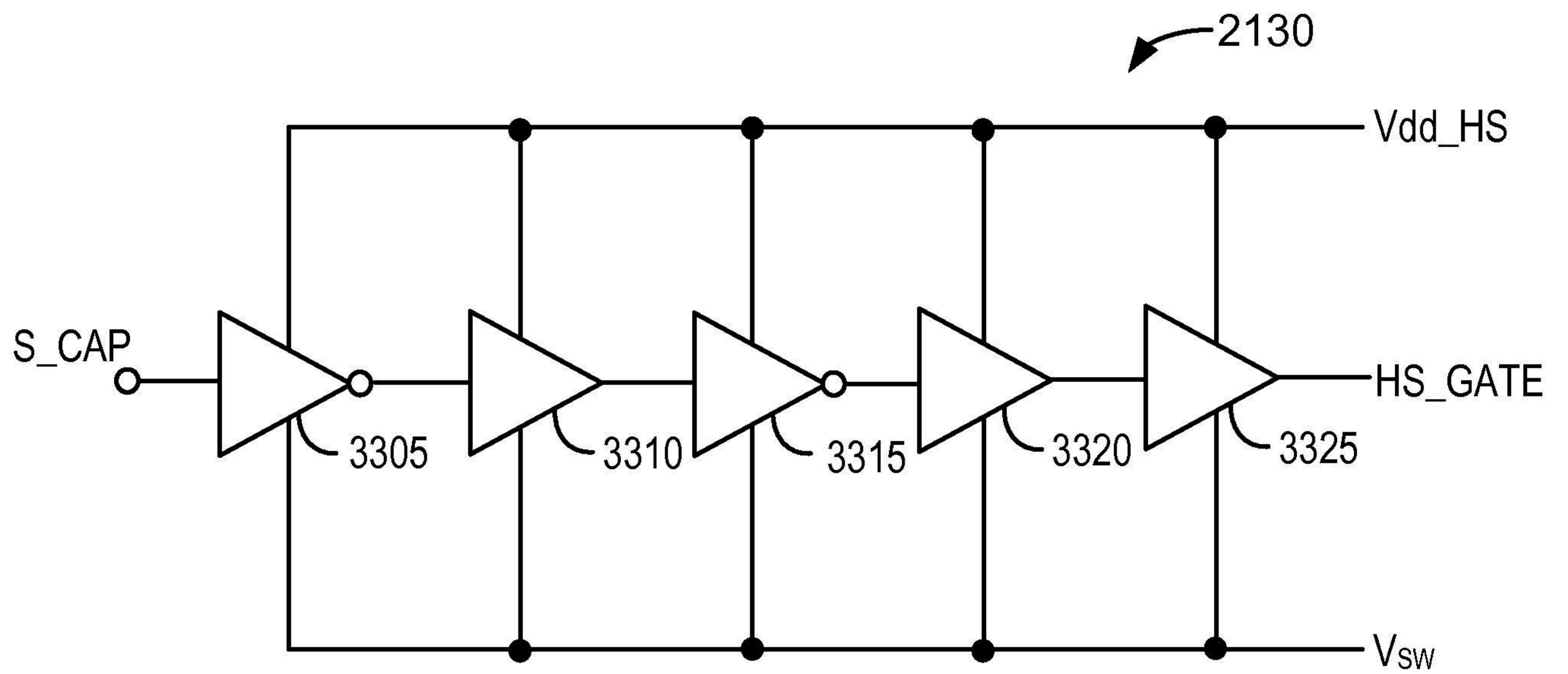
【圖30】



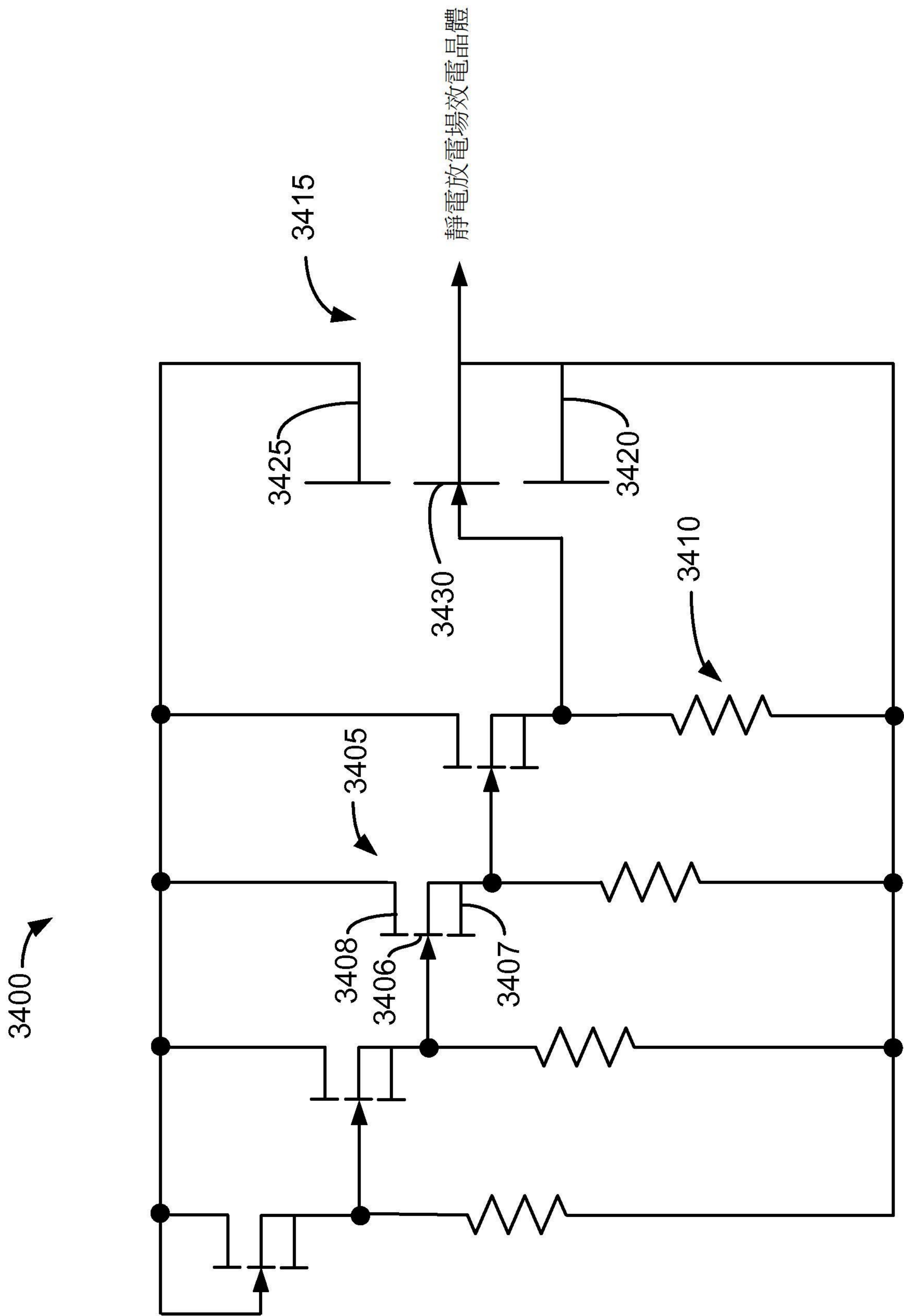
【圖31】



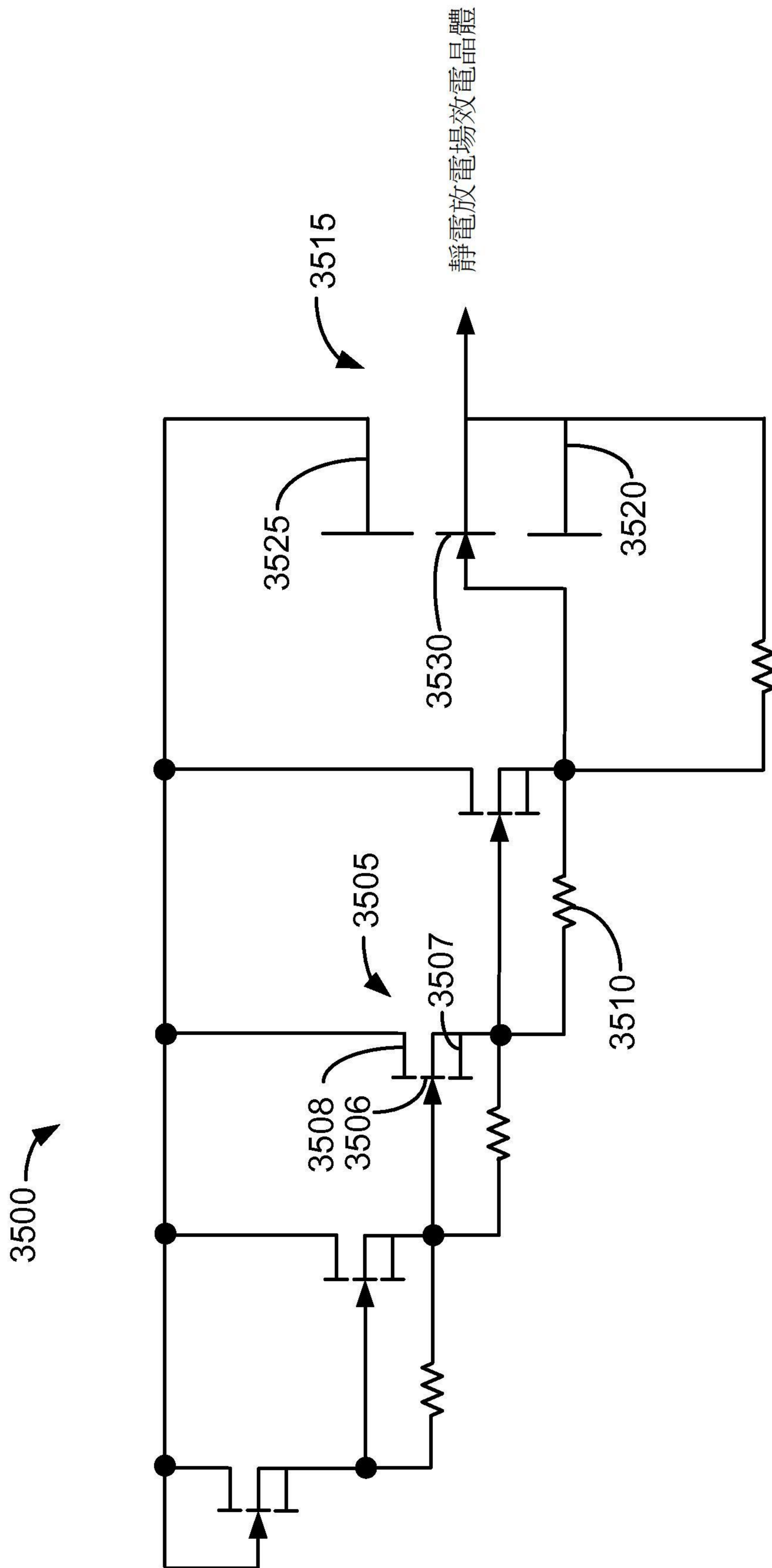
【圖32】



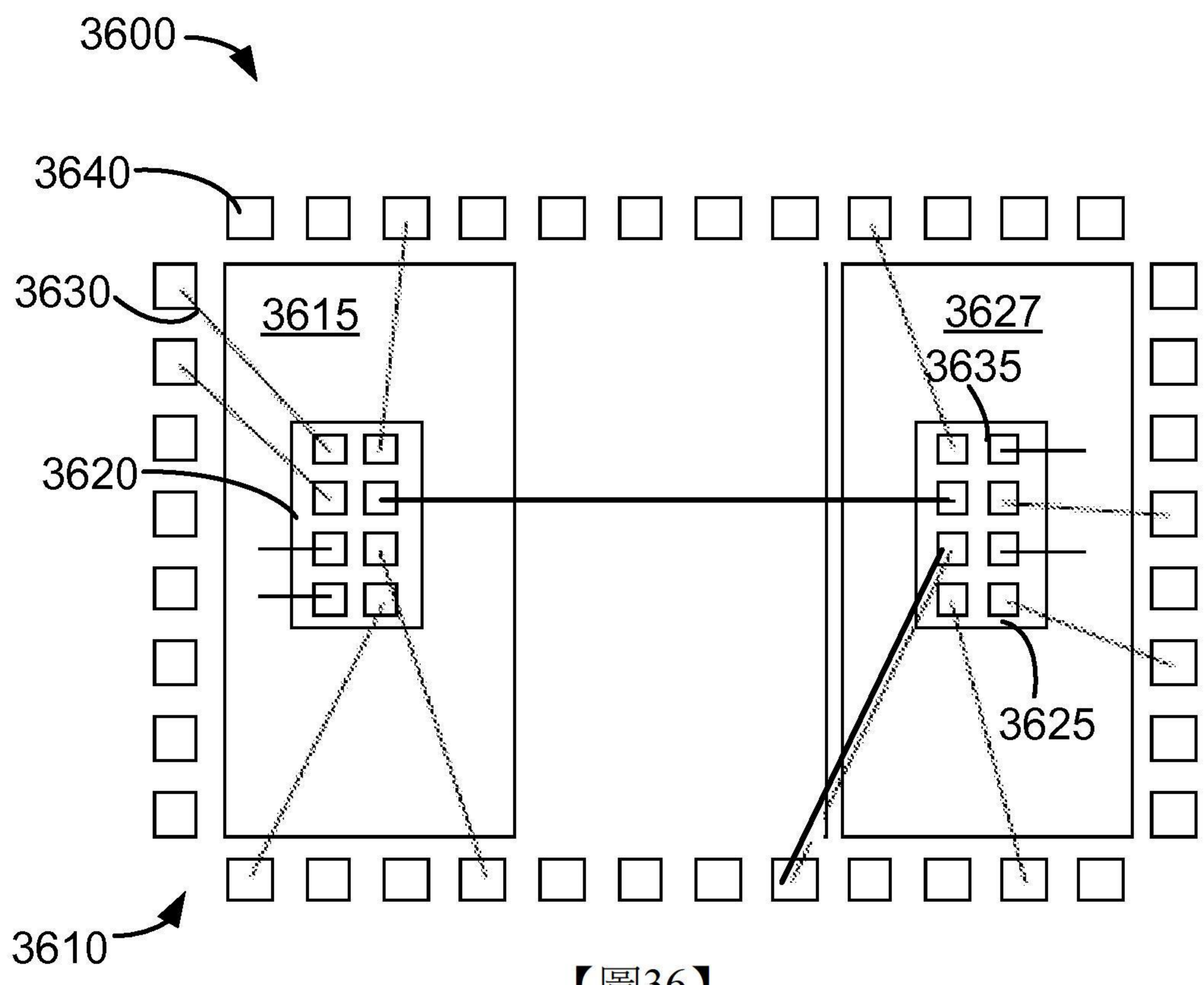
【圖33】



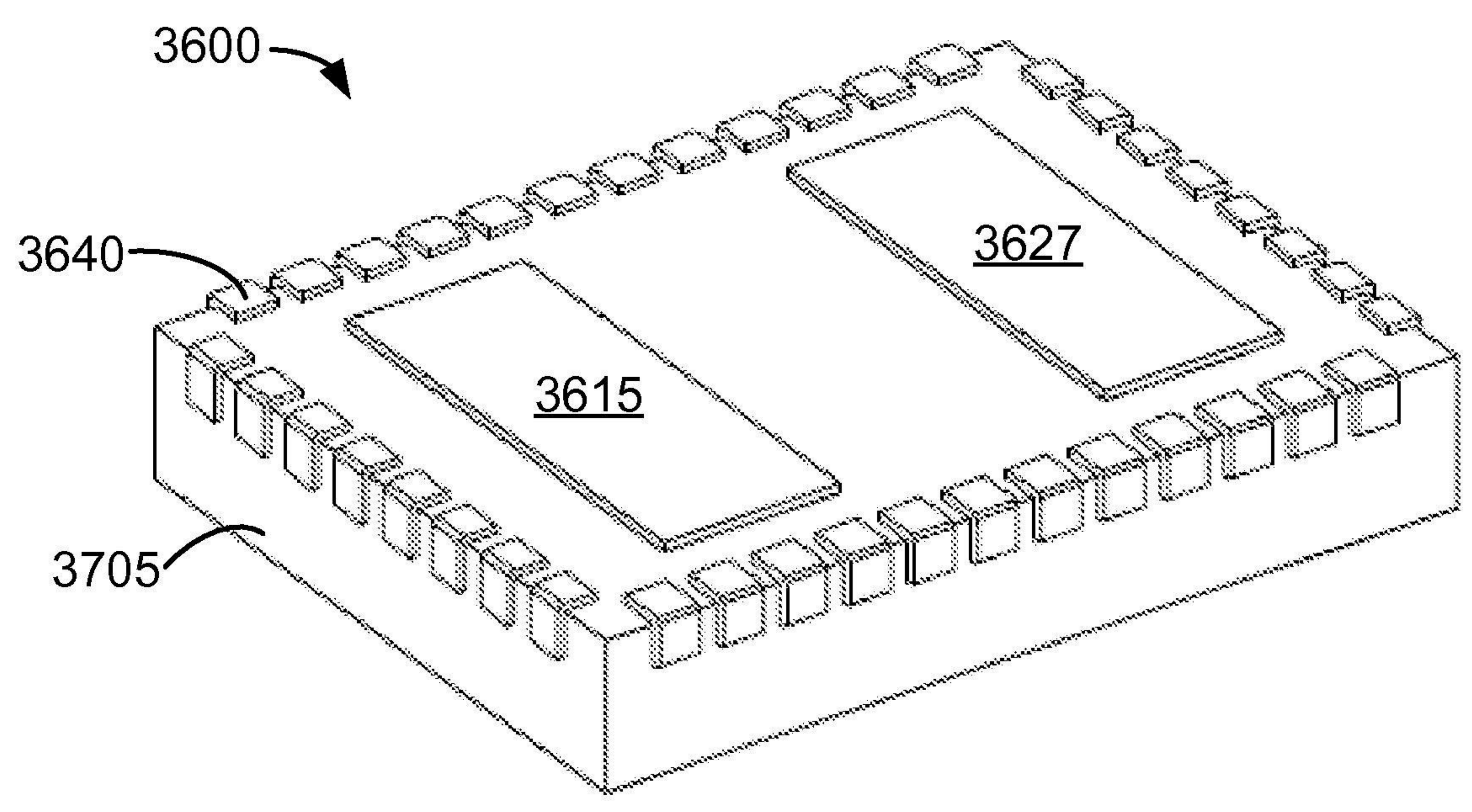
【圖34】



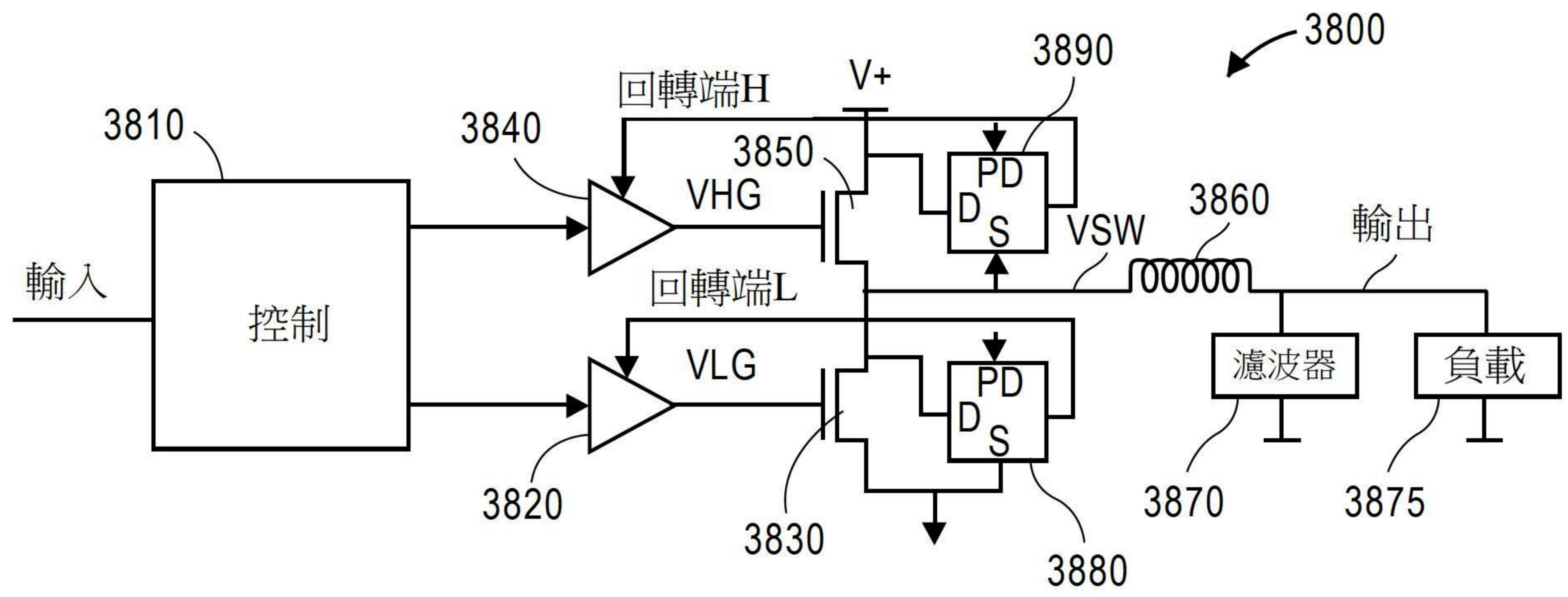
【圖35】



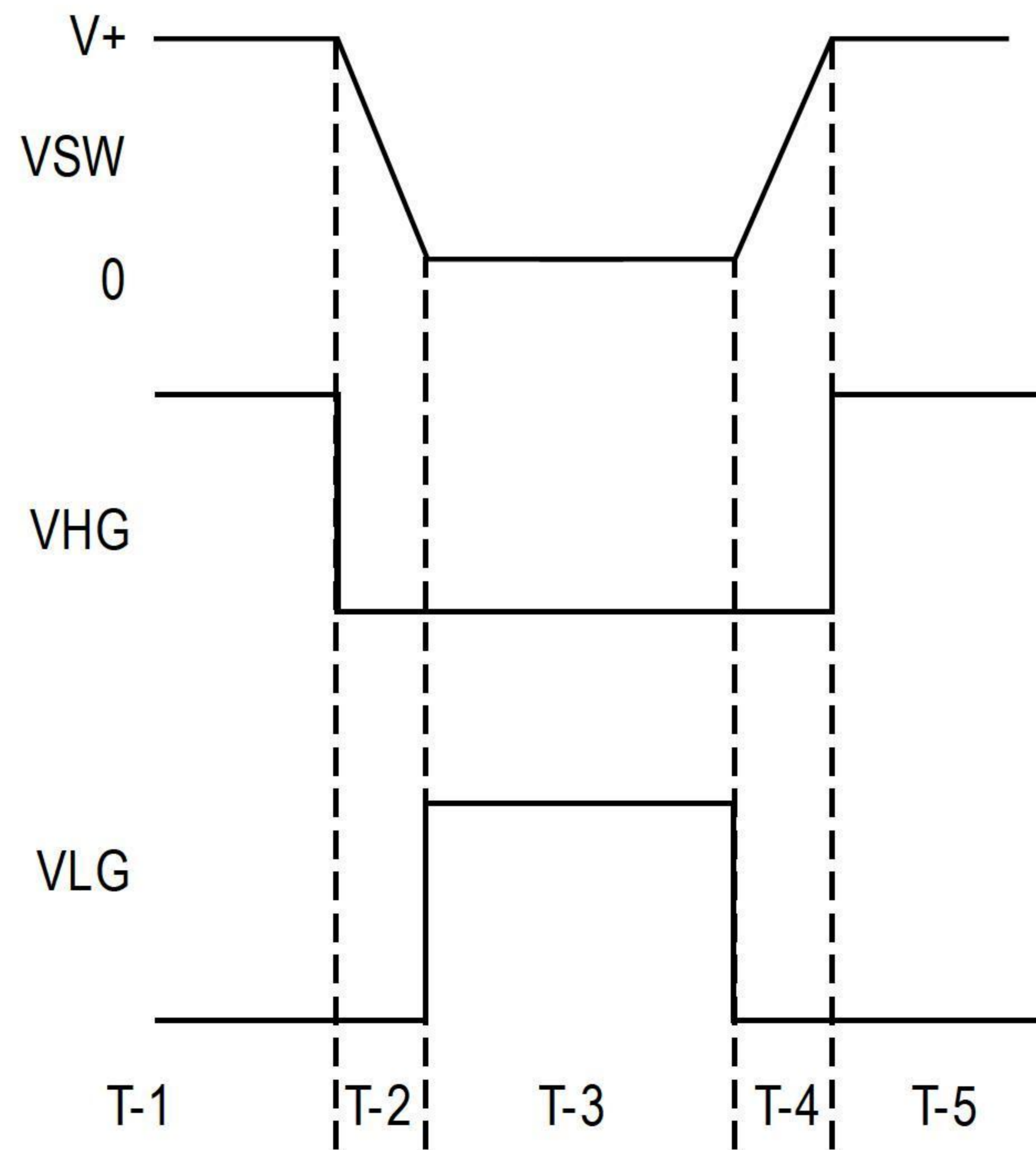
【圖36】



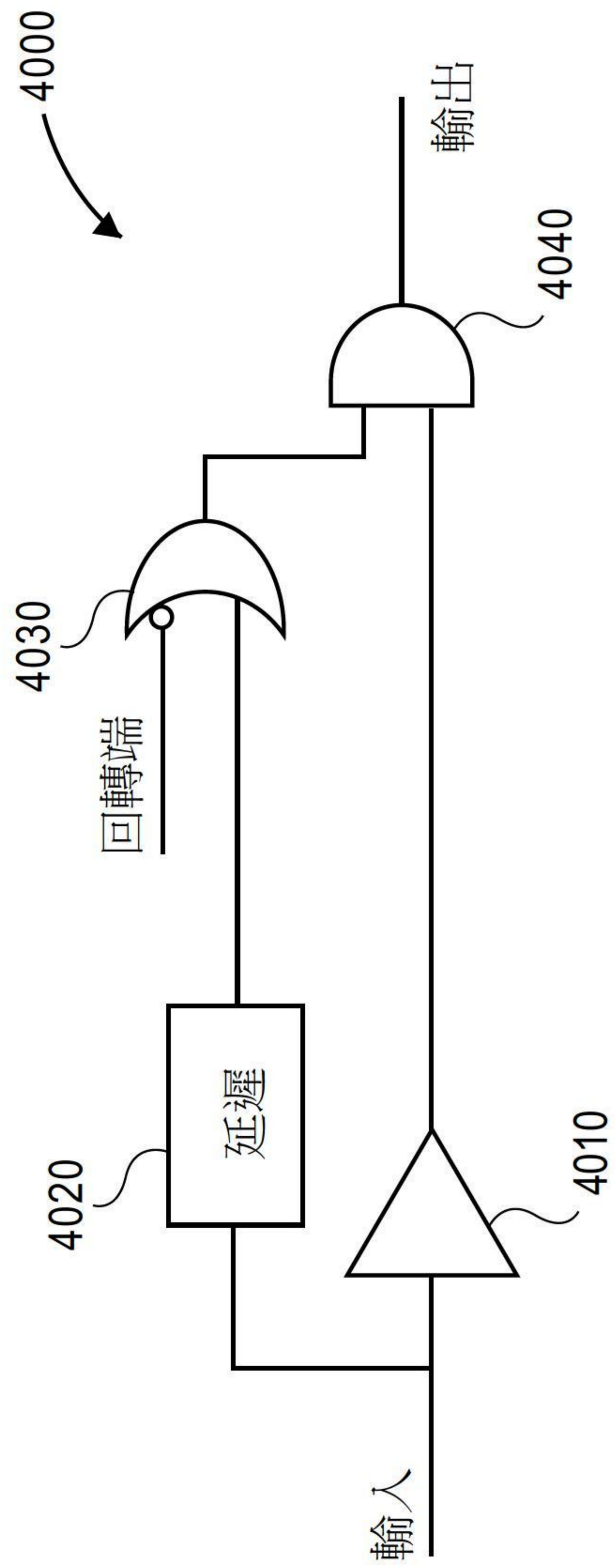
【圖37】



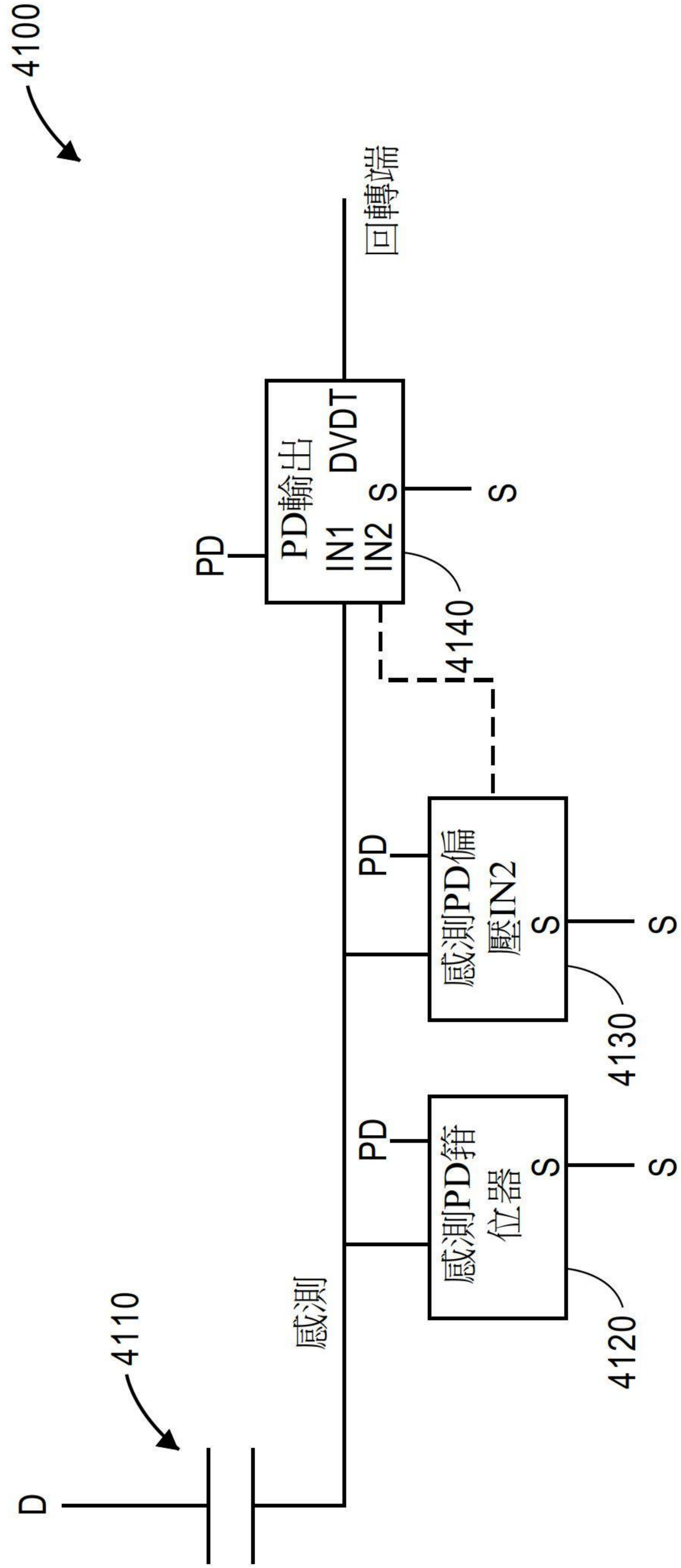
【圖38】



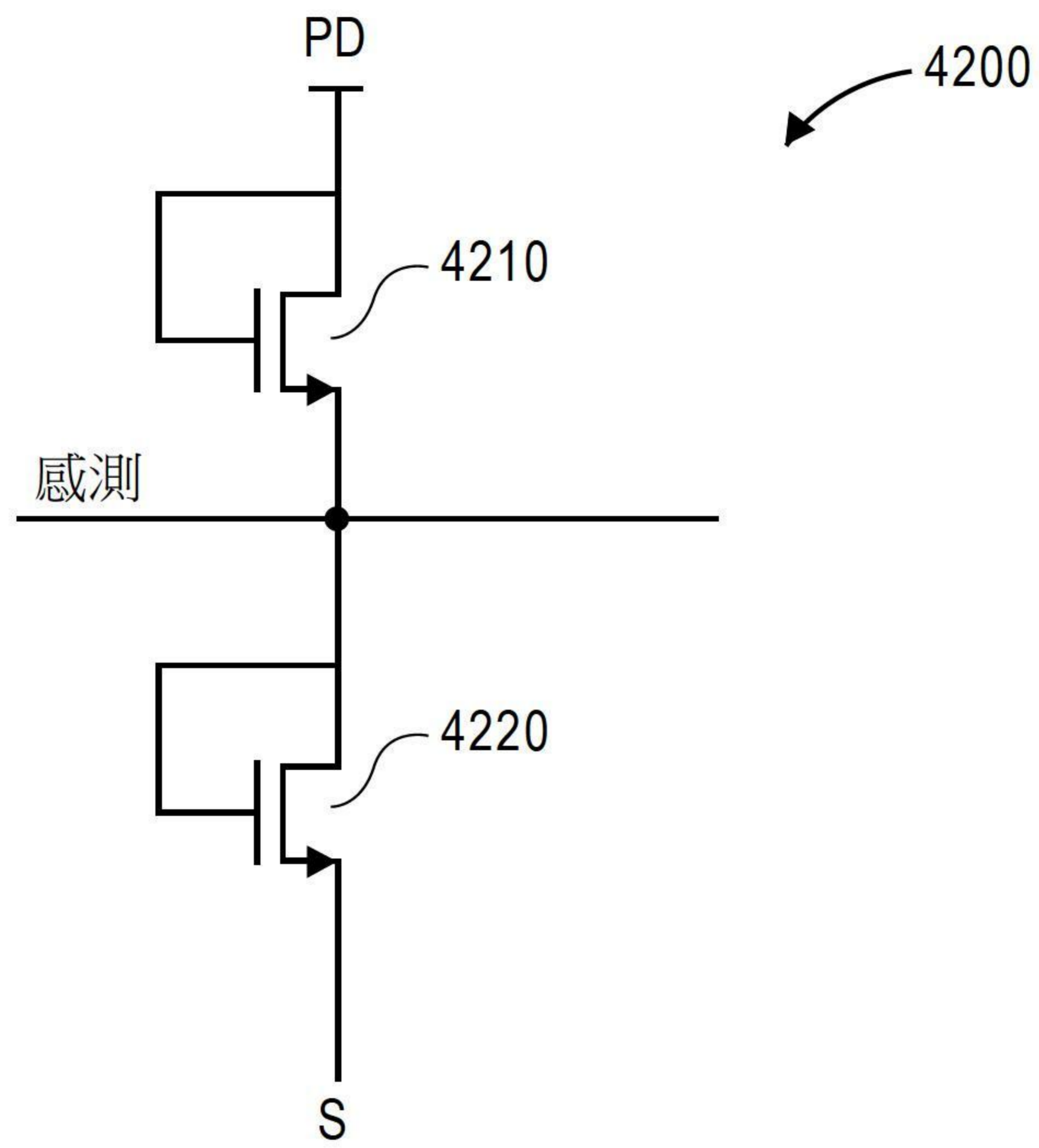
【圖39】



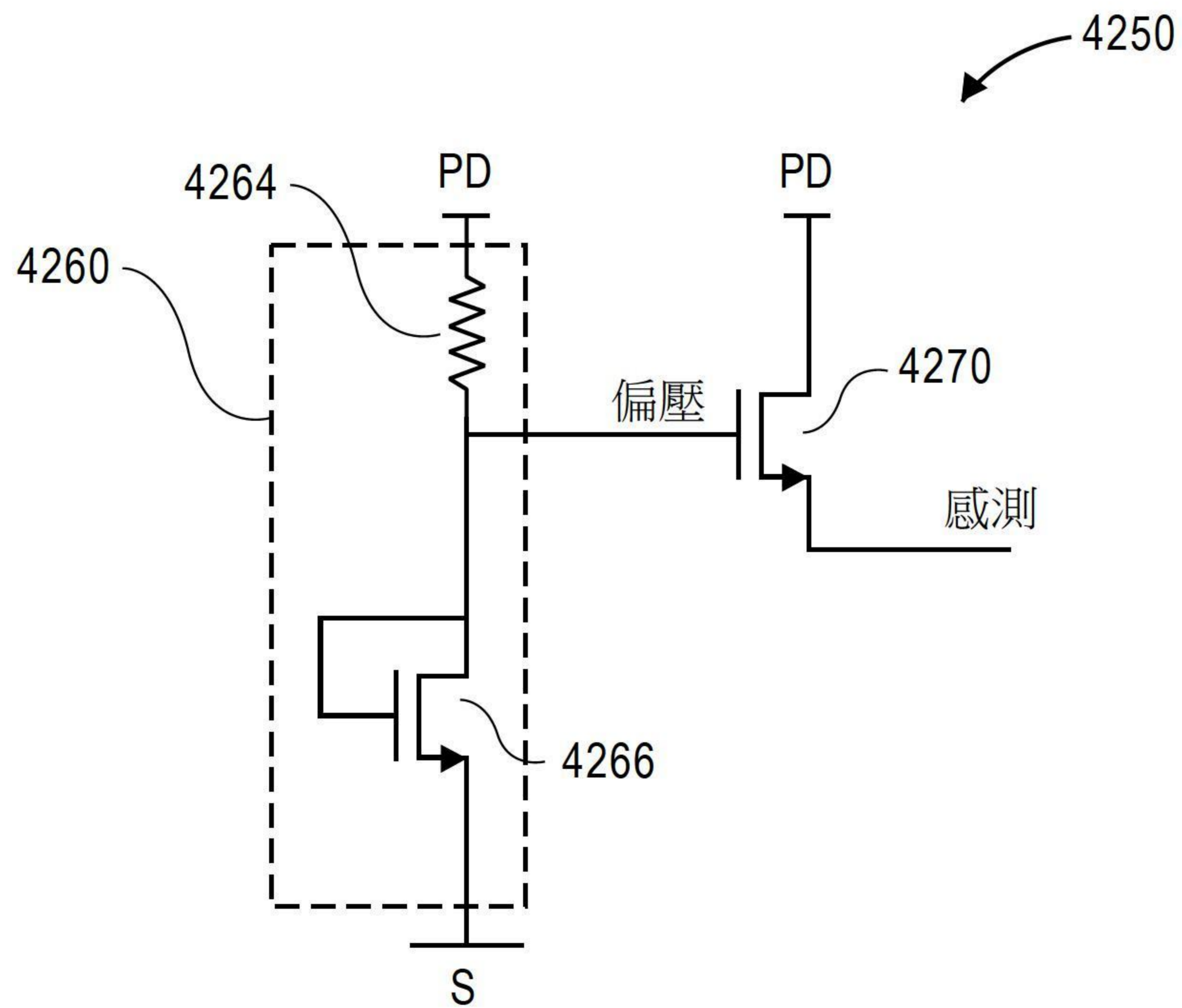
【圖40】



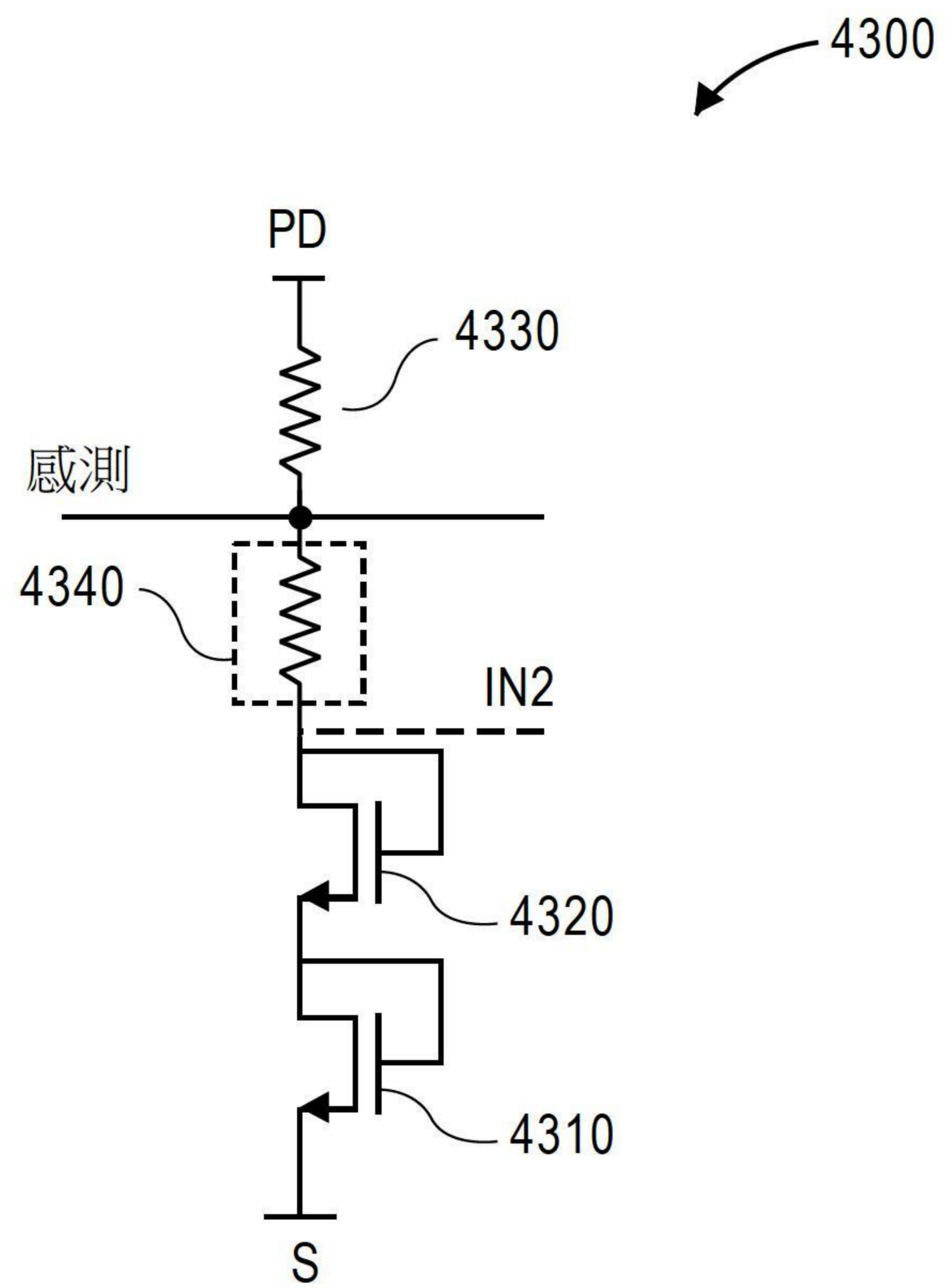
【圖41】



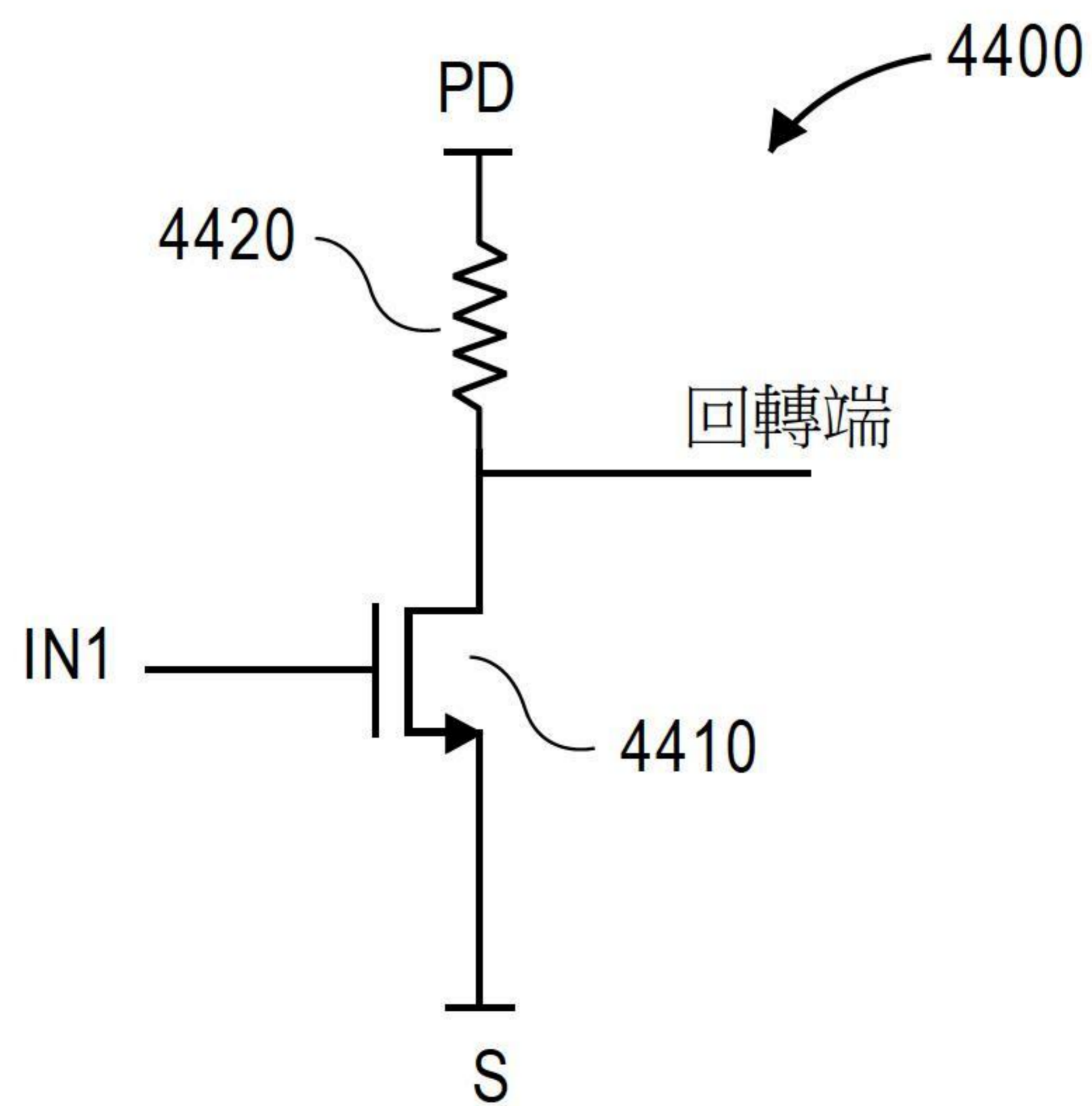
【圖42A】



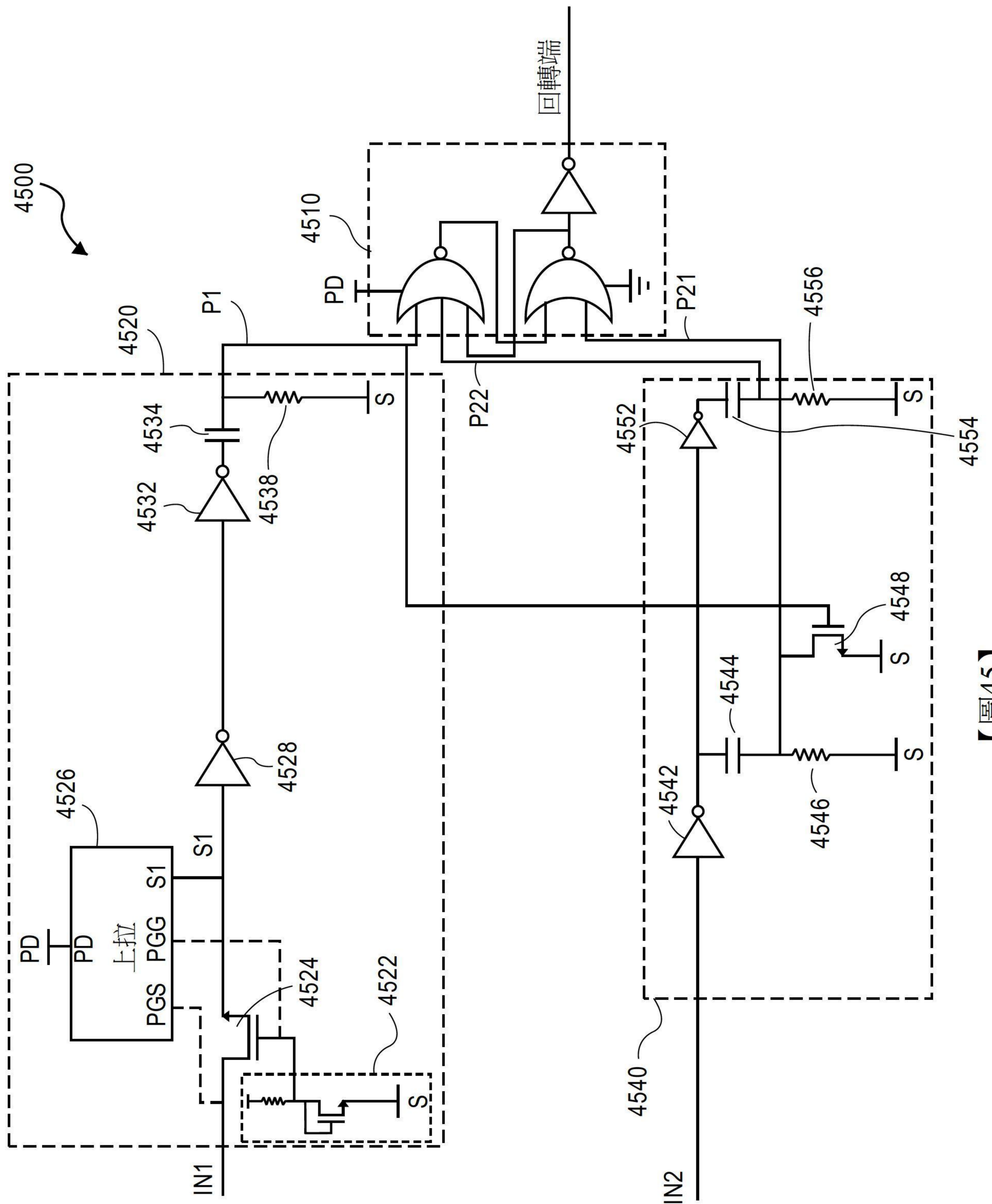
【圖42B】



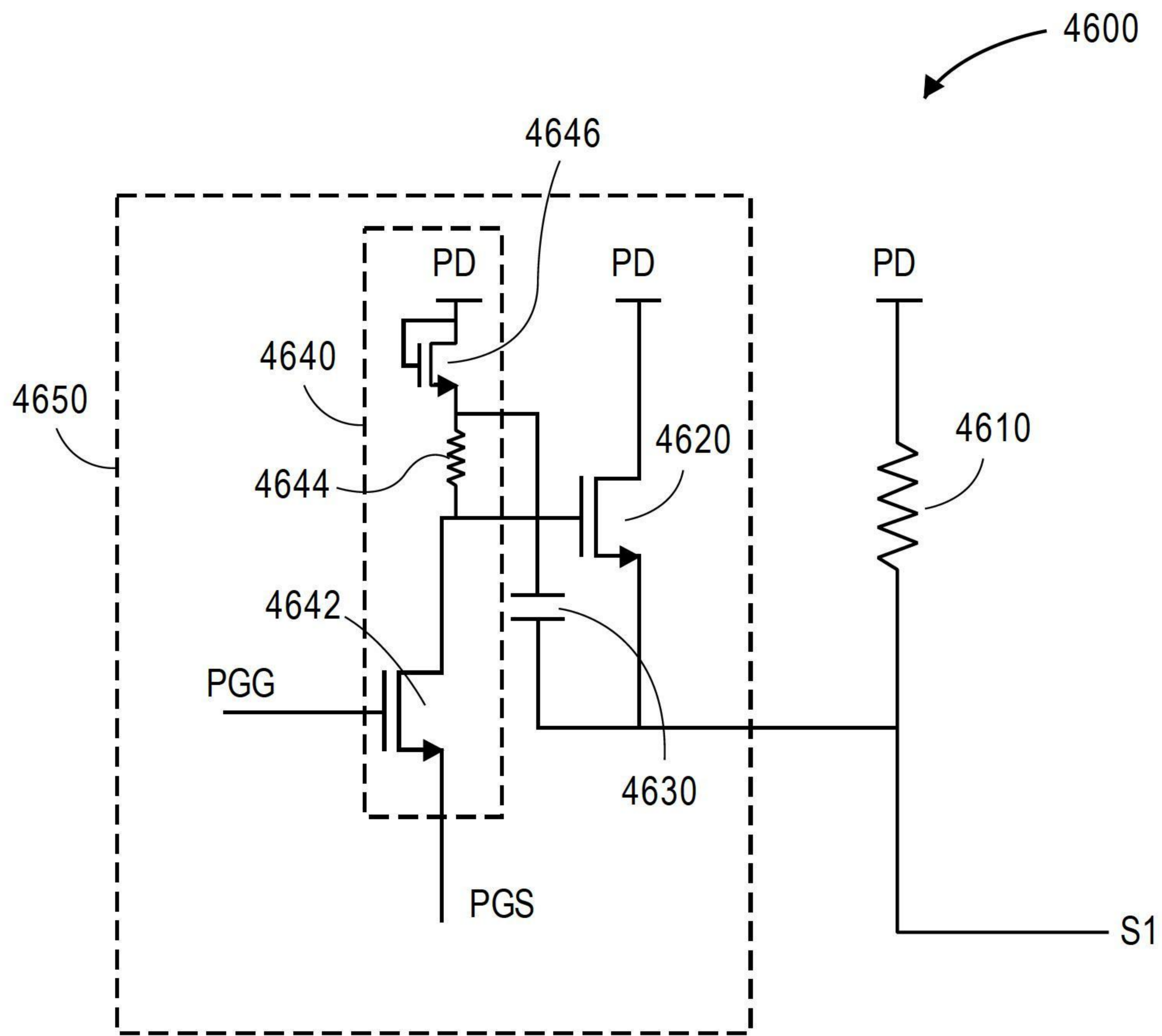
【圖43】



【圖44】

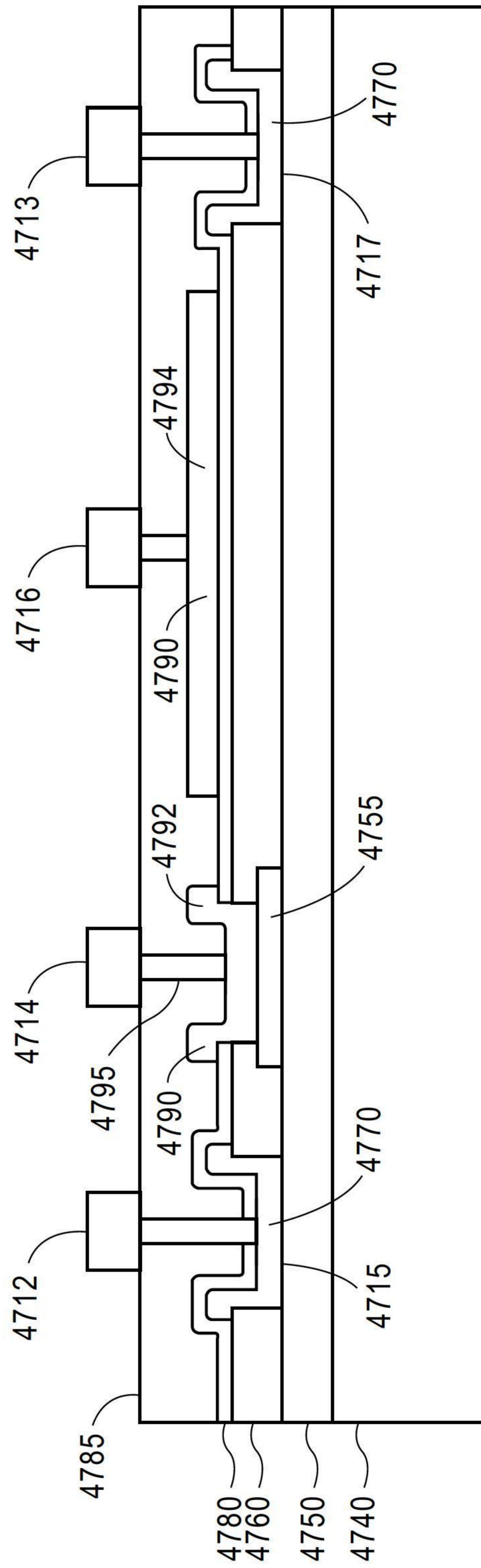


【圖45】



【圖46】

4710



【圖47】