



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월28일  
(11) 등록번호 10-2269899  
(24) 등록일자 2021년06월22일

(51) 국제특허분류(Int. Cl.)  
G11C 29/52 (2006.01) G11C 29/18 (2006.01)  
G11C 29/36 (2006.01) G11C 29/44 (2006.01)  
G11C 29/48 (2021.01)  
(52) CPC특허분류  
G11C 29/52 (2013.01)  
G11C 29/18 (2013.01)  
(21) 출원번호 10-2015-0004020  
(22) 출원일자 2015년01월12일  
심사청구일자 2020년01월06일  
(65) 공개번호 10-2016-0086561  
(43) 공개일자 2016년07월20일  
(56) 선행기술조사문헌  
US06842874 B1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
서울대학교산학협력단  
서울특별시 관악구 관악로 1 (신림동)  
(72) 발명자  
권상혁  
서울특별시 강남구 도곡로43길 20, 201동 302호  
(역삼동, 래미안그레이튼아파트)  
손영훈  
경기도 수원시 영통구 월드컵로179번길 34, 1층  
(원천동)  
안정호  
경기도 수원시 영통구 광교로 145, 서울대학교 융  
합과학기술대학원 (이의동)  
(74) 대리인  
박영우

전체 청구항 수 : 총 17 항

심사관 : 신우열

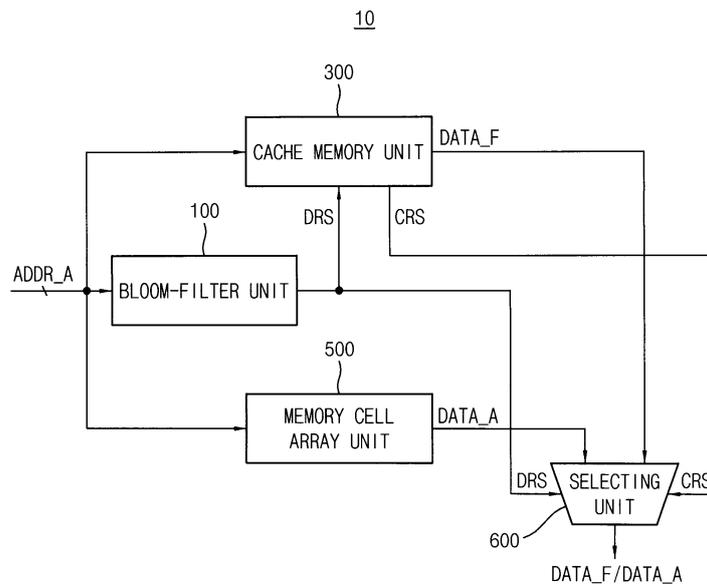
(54) 발명의 명칭 메모리 장치 및 이를 포함하는 메모리 시스템

(57) 요약

메모리 장치는 블룸(bloom) 필터부, 캐시 메모리부, 메모리 셀 어레이부 및 선택부를 포함한다. 블룸 필터부는 액세스 어드레스가 불량 셀들에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하여 판단 결과 신호를 출력한다. 캐시 메모리부는 불량 어드레스들 및 불량 어드레스들에 상응하는 데이터를 저장하고, 판단 결과 신호에

(뒷면에 계속)

대표도 - 도1



따라 액세스 어드레스가 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호를 제공하고, 액세스 어드레스가 불량 어드레스들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력한다. 메모리 셀 어레이부는 액세스 어드레스에 상응하는 데이터를 독출 데이터로서 출력한다. 선택부는 판단 결과 신호 및 비교 결과 신호에 따라 독출 데이터 및 리페어 데이터 중 하나를 선택한다. 본 발명에 따른 블룸 필터 기반의 캐시 메모리를 이용하여 메모리 장치를 구현하는 경우, 메모리 장치에 포함되는 불필요한 리페어 셀들의 면적을 효율적으로 줄일 수 있다.

(52) CPC특허분류

*G11C 29/36* (2013.01)

*G11C 29/44* (2013.01)

*G11C 29/48* (2013.01)

*G11C 2029/4402* (2013.01)

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

액세스 어드레스가 불량 셀들에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하여 판단 결과 신호를 출력하는 블룸(bloom) 필터부;

상기 불량 어드레스들 및 상기 불량 어드레스들에 상응하는 데이터를 저장하고, 상기 판단 결과 신호에 따라 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호를 제공하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력하는 캐시 메모리부;

상기 액세스 어드레스에 상응하는 데이터를 독출 데이터로서 출력하는 메모리 셀 어레이부; 및

상기 판단 결과 신호 및 상기 비교 결과 신호에 따라 상기 독출 데이터 및 상기 리페어 데이터 중 하나를 선택하는 선택부를 포함하고,

상기 액세스 어드레스가 상기 불량 어드레스들 중 하나에 해당하는 경우, 상기 캐시 메모리부는 상기 리페어 데이터의 일부 비트만을 상기 선택부에 제공하는 메모리 장치.

#### 청구항 2

제1 항에 있어서, 상기 블룸 필터부는,

상기 액세스 어드레스의 각 어드레스 비트들을 조합하여 상기 액세스 어드레스의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 해시 결과를 출력하는 해시(hash) 함수부; 및

상기 불량 어드레스들에 대한 불량 어드레스 해시 결과들을 저장하는 해시 어레이부를 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 3

제2 항에 있어서,

상기 액세스 어드레스 해시 결과는 상기 액세스 어드레스의 각 어드레스 비트들을 논리 연산 게이트의 입력에 인가하여 생성되는 것을 특징으로 하는 메모리 장치.

#### 청구항 4

제2 항에 있어서, 상기 블룸 필터부는,

상기 액세스 어드레스 해시 결과 및 상기 불량 어드레스 해시 결과들을 비교하여 상기 판단 결과 신호를 출력하는 것을 특징으로 하는 메모리 장치.

#### 청구항 5

제2 항에 있어서,

상기 액세스 어드레스 해시 결과가 상기 불량 어드레스 해시 결과들 중의 하나와 일치하는 경우, 상기 블룸 필터부는 제1 논리 레벨을 갖는 상기 판단 결과 신호를 출력하는 것을 특징으로 하는 메모리 장치.

#### 청구항 6

제2 항에 있어서,

상기 액세스 어드레스 해시 결과가 상기 불량 어드레스 해시 결과들 중 하나와 일치하지 않는 경우, 상기 블룸 필터부는 제2 논리 레벨을 갖는 상기 판단 결과 신호를 출력하는 것을 특징으로 하는 메모리 장치.

**청구항 7**

제1 항에 있어서, 상기 캐시 메모리부는,

상기 불량 어드레스들이 저장되는 캐시 어드레스부; 및

상기 불량 어드레스들에 상응하는 데이터가 저장되는 캐시 데이터부를 포함하는 것을 특징으로 하는 메모리 장치.

**청구항 8**

제7 항에 있어서, 상기 캐시 어드레스부는,

상기 판단 결과 신호에 따라 상기 액세스 어드레스 및 상기 불량 어드레스들을 비교하여 상기 비교 결과 신호를 출력하는 것을 특징으로 하는 메모리 장치.

**청구항 9**

제7 항에 있어서,

상기 판단 결과 신호가 제1 논리 레벨인 경우, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중 하나와 일치하면, 상기 캐시 어드레스부는 상기 제1 논리 레벨을 갖는 상기 비교 결과 신호를 출력하는 것을 특징으로 하는 메모리 장치.

**청구항 10**

제9 항에 있어서,

상기 비교 결과 신호가 상기 제1 논리 레벨인 경우, 상기 캐시 데이터부는 상기 일치하는 불량 어드레스에 상응하는 상기 리페어 데이터를 출력하는 것을 특징으로 하는 메모리 장치.

**청구항 11**

제7 항에 있어서,

상기 판단 결과 신호가 제1 논리 레벨인 경우, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중 하나와 일치하지 않으면, 상기 캐시 어드레스부는 제2 논리 레벨을 갖는 상기 비교 결과 신호를 출력하는 것을 특징으로 하는 메모리 장치.

**청구항 12**

제7 항에 있어서,

상기 판단 결과 신호가 제2 논리 레벨인 경우, 상기 캐시 어드레스부는 상기 제2 논리 레벨을 갖는 상기 비교 결과 신호를 출력하는 것을 특징으로 하는 메모리 장치.

**청구항 13**

제1 항에 있어서, 상기 선택부는,

상기 판단 결과 신호가 제1 논리 레벨이고, 상기 비교 결과 신호가 상기 제1 논리 레벨인 경우, 상기 리페어 데이터를 선택하고,

상기 판단 결과 신호가 제2 논리 레벨이거나 상기 비교 결과 신호가 상기 제2 논리 레벨인 경우, 상기 독출 데이터를 선택하는 것을 특징으로 하는 메모리 장치.

**청구항 14**

액세스 어드레스 및 커맨드를 출력하는 메모리 컨트롤러; 및

상기 액세스 어드레스 및 커맨드에 기초하여 리페어 데이터 및 독출 데이터 중 하나를 제공하는 메모리 장치를 포함하고,

상기 메모리 장치는,

상기 액세스 어드레스가 불량 셀들에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하여 판단 결과 신호를 출력하는 블룸 필터부;

상기 불량 어드레스들 및 상기 불량 어드레스들에 상응하는 데이터를 저장하고, 상기 판단 결과 신호에 따라 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호를 제공하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력하는 캐시 메모리부;

상기 액세스 어드레스에 상응하는 데이터를 독출 데이터로서 출력하는 메모리 셀 어레이부; 및

상기 판단 결과 신호 및 상기 비교 결과 신호에 따라 상기 독출 데이터 및 상기 리페어 데이터 중 하나를 선택하는 선택부를 포함하고,

상기 액세스 어드레스가 상기 불량 어드레스들 중 하나에 해당하는 경우, 상기 캐시 메모리부는 상기 리페어 데이터의 일부 비트만을 상기 선택부에 제공하는 메모리 시스템.

**청구항 15**

제14 항에 있어서, 상기 메모리 셀 어레이부는,

상기 액세스 어드레스에 상응하는 컬럼 어드레스를 출력하는 컬럼 디코더; 및

상기 컬럼 어드레스에 기초하여 상기 액세스 어드레스에 상응하는 데이터를 상기 독출 데이터로서 출력하는 메모리 셀 어레이를 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 16**

삭제

**청구항 17**

제14 항에 있어서,

딜레이 셀을 이용하여 상기 독출 데이터 및 상기 리페어 데이터 사이의 시간 간격을 조절하는 것을 특징으로 하는 메모리 시스템.

**청구항 18**

캐시 메모리에 포함되는 캐시 어드레스부에 불량 어드레스들을 저장하고, 상기 캐시 메모리에 포함되는 캐시 데이터부에 상기 불량 어드레스들에 상응하는 데이터를 저장하는 단계;

상기 불량 어드레스들 각각의 어드레스 비트들을 조합하여 상기 불량 어드레스의 비트 수 보다 작은 비트 수에 해당하는 불량 어드레스 해시 결과들을 해시 어레이부에 저장하는 단계;

상기 불량 어드레스 해시 결과들에 기초하여 액세스 어드레스가 불량 셀에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하고, 판단 결과 신호를 출력하는 단계; 및

상기 액세스 어드레스 및 상기 판단 결과 신호에 기초하여 상기 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력하는 단계를 포함하고,

상기 캐시 어드레스부는 복수의 어드레스 영역들로 구분되고, 상기 복수의 어드레스 영역들의 각각은 메모리 장치의 메모리 셀 어레이에 포함되는 복수의 메모리 셀 영역들의 각각에 포함되는 불량 어드레스들을 저장하고,

상기 복수의 어드레스 영역들의 각각의 저장 용량이 상기 복수의 메모리 셀 영역들의 각각에 포함되는 상기 불량 어드레스들을 저장하기 위한 저장 용량보다 작은 경우, 상기 복수의 어드레스 영역들의 각각의 인접한 어드레스 영역들에 상기 불량 어드레스들을 저장하는 메모리 장치의 동작 방법.

**청구항 19**

삭제

청구항 20

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치에 관한 것으로서, 보다 상세하게는 메모리 장치 및 이를 포함하는 메모리 시스템에 관한 것이다.

**배경 기술**

[0002] 반도체 생산 공정 중에 메모리 장치 내의 메모리 셀 어레이에 불량 셀들이 발생할 수 있다. 불량 셀들을 포함하는 메모리 셀 어레이에 데이터를 기입하거나 메모리 셀 어레이로부터 데이터를 독출하는 과정에서 오류가 발생한다.

[0003] 따라서 메모리 셀 어레이 내의 불량 셀들에 데이터를 기입하거나 불량 셀들로부터 데이터를 독출하는 것을 차단할 필요가 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 bloom 필터 기반의 캐시 메모리를 이용하여 성능을 높일 수 있는 메모리 장치를 제공하는 것이다.

[0005] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 bloom 필터 기반의 캐시 메모리를 이용하여 성능을 높일 수 있는 메모리 시스템을 제공하는 것이다.

**과제의 해결 수단**

[0006] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 메모리 장치는 bloom(bloom) 필터부, 캐시 메모리부, 메모리 셀 어레이부 및 선택부를 포함한다. 상기 bloom 필터부는 액세스 어드레스가 불량 셀들에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하여 판단 결과 신호를 출력한다. 상기 캐시 메모리부는 상기 불량 어드레스들 및 상기 불량 어드레스들에 상응하는 데이터를 저장하고, 상기 판단 결과 신호에 따라 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호를 제공하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력한다. 상기 메모리 셀 어레이부는 상기 액세스 어드레스에 상응하는 데이터를 독출 데이터로서 출력한다. 상기 선택부는 상기 판단 결과 신호 및 상기 비교 결과 신호에 따라 상기 독출 데이터 및 상기 리페어 데이터 중 하나를 선택한다.

[0007] 예시적인 실시예에 있어서, 상기 bloom 필터부는 해시(hash) 함수부 및 해시 어레이부를 포함할 수 있다. 상기 해시 함수부는 상기 액세스 어드레스의 각 어드레스 비트들을 조합하여 상기 액세스 어드레스의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 해시 결과를 출력할 수 있다. 상기 해시 어레이부는 상기 불량 어드레스들에 대한 불량 어드레스 해시 결과들을 저장할 수 있다.

[0008] 예시적인 실시예에 있어서, 상기 액세스 어드레스 해시 결과는 상기 액세스 어드레스의 각 어드레스 비트들을 논리 연산 게이트의 입력에 인가하여 생성될 수 있다.

[0009] 예시적인 실시예에 있어서, 상기 bloom 필터부는 상기 액세스 어드레스 해시 결과 및 상기 불량 어드레스 해시 결과들을 비교하여 상기 판단 결과 신호를 출력할 수 있다.

[0010] 예시적인 실시예에 있어서, 상기 액세스 어드레스 해시 결과가 상기 불량 어드레스 해시 결과들 중의 하나와 일치하는 경우, 상기 bloom 필터부는 제1 논리 레벨을 갖는 상기 판단 결과 신호를 출력할 수 있다.

[0011] 예시적인 실시예에 있어서, 상기 액세스 어드레스 해시 결과가 상기 불량 어드레스 해시 결과들 중 하나와 일치하지 않는 경우, 상기 bloom 필터부는 제2 논리 레벨을 갖는 상기 판단 결과 신호를 출력할 수 있다.

- [0012] 예시적인 실시예에 있어서, 상기 캐시 메모리부는 캐시 어드레스부 및 캐시 데이터부를 포함할 수 있다. 상기 캐시 어드레스부는 상기 불량 어드레스들이 저장될 수 있다. 상기 캐시 데이터부는 상기 불량 어드레스들에 상응하는 데이터가 저장될 수 있다.
- [0013] 예시적인 실시예에 있어서, 상기 캐시 어드레스부는 상기 판단 결과 신호에 따라 상기 액세스 어드레스 및 상기 불량 어드레스들을 비교하여 상기 비교 결과 신호를 출력할 수 있다.
- [0014] 예시적인 실시예에 있어서, 상기 판단 결과 신호가 제1 논리 레벨인 경우, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중 하나와 일치하면, 상기 캐시 어드레스부는 상기 제1 논리 레벨을 갖는 상기 비교 결과 신호를 출력할 수 있다.
- [0015] 예시적인 실시예에 있어서, 상기 비교 결과 신호가 상기 제1 논리 레벨인 경우, 상기 캐시 데이터부는 상기 일치하는 불량 어드레스에 상응하는 상기 리페어 데이터를 출력할 수 있다.
- [0016] 예시적인 실시예에 있어서, 상기 판단 결과 신호가 제1 논리 레벨인 경우, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중 하나와 일치하지 않으면, 상기 캐시 어드레스부는 제2 논리 레벨을 갖는 상기 비교 결과 신호를 출력할 수 있다.
- [0017] 예시적인 실시예에 있어서, 상기 판단 결과 신호가 제2 논리 레벨인 경우, 상기 캐시 메모리부는 상기 제2 논리 레벨을 갖는 상기 비교 결과 신호를 출력할 수 있다.
- [0018] 예시적인 실시예에 있어서, 상기 선택부는 상기 판단 결과 신호가 제1 논리 레벨이고, 상기 비교 결과 신호가 상기 제1 논리 레벨인 경우, 상기 리페어 데이터를 선택하고, 상기 판단 결과 신호가 제2 논리 레벨이거나 상기 비교 결과 신호가 상기 제2 논리 레벨인 경우, 상기 독출 데이터를 선택할 수 있다.
- [0019] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 메모리 시스템은 메모리 컨트롤러 및 메모리 장치를 포함한다. 상기 메모리 컨트롤러는 액세스 어드레스 및 커맨드를 출력한다. 상기 메모리 장치는 상기 액세스 어드레스 및 커맨드에 기초하여 리페어 데이터 및 독출 데이터 중 하나를 제공한다. 상기 메모리 장치는 블룸(bloom) 필터부, 캐시 메모리부, 메모리 셀 어레이부 및 선택부를 포함한다. 상기 블룸 필터부는 액세스 어드레스가 불량 셀들에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하여 판단 결과 신호를 출력한다. 상기 캐시 메모리부는 상기 불량 어드레스들 및 상기 불량 어드레스들에 상응하는 데이터를 저장하고, 상기 판단 결과 신호에 따라 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호를 제공하고, 상기 액세스 어드레스가 상기 불량 어드레스들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력한다. 상기 메모리 셀 어레이부는 상기 액세스 어드레스에 상응하는 데이터를 독출 데이터로서 출력한다. 상기 선택부는 상기 판단 결과 신호 및 상기 비교 결과 신호에 따라 상기 독출 데이터 및 상기 리페어 데이터 중 하나를 선택한다.
- [0020] 예시적인 실시예에 있어서, 상기 메모리 셀 어레이부는 컬럼 디코더 및 메모리 셀 어레이를 포함한다. 상기 컬럼 디코더는 상기 액세스 어드레스에 상응하는 컬럼 어드레스를 출력할 수 있다. 상기 메모리 셀 어레이는 상기 컬럼 어드레스에 기초하여 상기 액세스 어드레스에 상응하는 데이터를 상기 독출 데이터로서 출력할 수 있다.
- [0021] 예시적인 실시예에 있어서, 상기 액세스 어드레스가 상기 불량 어드레스들 중 하나에 해당하는 경우, 상기 리페어 데이터의 일부 비트만을 상기 선택부에 제공할 수 있다.
- [0022] 예시적인 실시예에 있어서, 딜레이 셀을 이용하여 상기 독출 데이터 및 상기 리페어 데이터 사이의 시간 간격을 조절할 수 있다.
- [0023] 본 발명의 일 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 메모리 장치의 동작 방법은 캐시 메모리에 포함되는 캐시 어드레스부에 불량 어드레스들을 저장하고, 상기 캐시 메모리에 포함되는 캐시 데이터부에 상기 불량 어드레스들에 상응하는 데이터를 저장하는 단계, 상기 불량 어드레스들 각각의 어드레스 비트들을 조합하여 상기 불량 어드레스의 비트 수 보다 작은 비트 수에 해당하는 불량 어드레스 해시 결과들을 해시 어레이부에 저장하는 단계, 상기 불량 어드레스 해시 결과들에 기초하여 액세스 어드레스가 불량 셀에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하고, 판단 결과 신호를 출력하는 단계 및 상기 액세스 어드레스 및 상기 판단 결과 신호에 기초하여 상기 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력하는 단계를 포함한다.
- [0024] 예시적인 실시예에 있어서, 상기 캐시 어드레스부는 복수의 어드레스 영역들로 구분되고, 상기 복수의 어드레스 영역들의 각각은 상기 메모리 장치의 메모리 셀 어레이에 포함되는 복수의 메모리 셀 영역들의 각각에 포함되는

불량 어드레스들을 저장할 수 있다.

[0025] 예시적인 실시예에 있어서, 상기 복수의 어드레스 영역들의 각각의 저장 용량이 상기 복수의 메모리 셀 영역들의 각각에 포함되는 상기 불량 어드레스들을 저장하기 위한 저장 용량보다 작은 경우, 상기 복수의 어드레스 영역들의 각각의 인접한 어드레스 영역들에 상기 불량 어드레스들을 저장할 수 있다.

**발명의 효과**

[0026] 본 발명의 실시예들에 따른 메모리 장치는 블록 필터 기반의 캐시 메모리를 이용하여 메모리 장치를 포함하는 메모리 시스템의 사이즈를 감소시킬 수 있다.

**도면의 간단한 설명**

- [0027] 도 1 은 본 발명의 실시예들에 따른 메모리 장치를 나타내는 블록도이다.
- 도 2는 도 1의 메모리 장치에 포함되는 캐시 메모리부를 나타내는 블록도이다.
- 도 3은 도 1의 메모리 장치에 포함되는 블록 필터부를 나타내는 블록도이다.
- 도 4는 도 3의 블록 필터부에 포함되는 해시 함수부에 전달되는 불량 어드레스의 일 예를 나타내는 회로도이다.
- 도 5 및 도 6은 불량 어드레스가 도 4의 해시 함수부에 전달되는 경우, 불량 어드레스 해시 결과가 출력되는 과정을 설명하기 위한 도면들이다.
- 도 7은 도 3의 블록 필터부에 포함되는 해시 어레이부의 일 예를 나타내는 도면이다.
- 도 8은 도 3의 블록 필터부에 포함되는 해시 함수부에 전달되는 액세스 어드레스의 일 예를 나타내는 회로도이다.
- 도 9 내지 도 11은 액세스 어드레스가 도 4의 해시 함수부에 전달되는 경우, 액세스 어드레스 해시 결과가 출력되는 과정을 설명하기 위한 도면들이다.
- 도 12는 도 1의 메모리 장치에 포함되는 캐시 메모리부 및 블록 필터부를 나타내는 블록도이다.
- 도 13은 도 1의 메모리 장치의 일 예를 나타내는 블록도이다.
- 도 14는 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.
- 도 15는 도 14의 메모리 시스템에 포함되는 메모리 셀 어레이부의 일 예를 나타내는 블록도이다.
- 도 16은 도 14의 메모리 시스템에 포함되는 선택부 동작의 일 예를 나타내는 도면이다.
- 도 17은 도 14의 메모리 시스템에 포함되는 선택부 동작의 다른 예를 나타내는 도면이다.
- 도 18은 본 발명의 일 실시예에 따른 메모리 장치를 나타내는 블록도이다.
- 도 19는 본 발명의 실시예들에 따른 메모리 장치의 동작 방법을 나타내는 순서도이다.
- 도 20 및 도 21은 메모리 셀 영역에 포함되는 불량 어드레스들이 저장되는 어드레스 영역의 예를 나타내는 도면들이다.
- 도 22는 본 발명의 실시예들에 따른 메모리 시스템을 컴퓨팅 시스템에 응용한 예를 나타내는 블록도이다.
- 도 23은 도 22의 컴퓨팅 시스템에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0028] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되지 않는다.

[0029] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0032] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0034] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0035] 도 1 은 본 발명의 실시예들에 따른 메모리 장치를 나타내는 블록도이고, 도 2는 도 1의 메모리 장치에 포함되는 캐시 메모리부를 나타내는 블록도이다.
- [0036] 도 1 및 도 2를 참조하면, 메모리 장치(10)는 블룸(bloom) 필터부(100), 캐시 메모리부(300), 메모리 셀 어레이부(500) 및 선택부(600)를 포함한다.
- [0037] 블룸 필터부(100)는 액세스 어드레스(ADDR\_A)가 불량 셀들에 해당하는 불량 어드레스(ADDR\_F)들 중 하나일 가능성을 판단하여 판단 결과 신호(DRS)를 출력한다. 예를 들어, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다. 또한 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제2 논리 레벨일 수 있다. 그러나 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않음에도 불구하고, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다. 판단 출력 신호에 결정되는 과정은 도 8 내지 도 10을 참조하여 자세히 설명될 것이다. 제1 논리 레벨은 로직 하이 레벨일 수 있고, 제1 논리 레벨이 로직 하이 레벨인 경우, 제2 논리 레벨은 로직 로우 레벨일 수 있다. 또한 제1 논리 레벨은 로직 로우 레벨일 수 있고, 제1 논리 레벨이 로직 로우 레벨인 경우, 제2 논리 레벨은 로직 하이 레벨일 수 있다.
- [0038] 캐시 메모리부(300)는 캐시 어드레스부 및 캐시 데이터부(330)를 포함할 수 있다. 캐시 메모리부(300)는 불량 어드레스(ADDR\_F)들 및 불량 어드레스(ADDR\_F)들에 상응하는 데이터를 저장할 수 있다. 불량 어드레스(ADDR\_F)들은 캐시 어드레스부(310)에 저장될 수 있고, 불량 어드레스(ADDR\_F)들에 상응하는 데이터는 캐시 데이터부(330)에 저장될 수 있다. 캐시 메모리부(300)는 판단 결과 신호(DRS)에 따라 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호(CRS)를 제공할 수 있다. 예를 들어 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 캐시 메모리부(300)는 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는지 여부를 판단할 수 있다. 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하면, 캐시 어드레스부(310)는 제1 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다. 또한 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않으면, 캐시 어드레스부(310)는 제2 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다. 또한 판단 결과 신호(DRS)가 제2 논리 레벨인 경우, 캐시 어드레스부(310)는 제2 논리 레벨을 갖는 비교

결과 신호(CRS)를 출력할 수 있다.

- [0039] 캐시 메모리부(300)는 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스(ADDR\_F)에 상응하는 데이터를 리페어 데이터(DATA\_F)로서 출력한다. 예를 들어, 액세스 어드레스(ADDR\_A)가 제1 불량 어드레스(ADDR\_F\_A)와 일치하는 경우, 캐시 메모리부(300)는 제1 불량 어드레스(ADDR\_F\_A)에 상응하는 제1 리페어 데이터(DATA\_F\_A)를 출력할 수 있다. 또한 액세스 어드레스(ADDR\_A)가 제2 불량 어드레스(ADDR\_F\_B)와 일치하는 경우, 캐시 메모리부(300)는 제2 불량 어드레스(ADDR\_F\_B)에 상응하는 제2 리페어 데이터(DATA\_F\_B)를 출력할 수 있다.
- [0040] 메모리 셀 어레이부(500)는 액세스 어드레스(ADDR\_A)에 상응하는 데이터를 독출 데이터(DATA\_A)로서 출력한다. 선택부(600)는 판단 결과 신호(DRS) 및 비교 결과 신호(CRS)에 따라 독출 데이터(DATA\_A) 및 리페어 데이터(DATA\_F) 중 하나를 선택한다. 예를 들어 판단 결과 신호(DRS)가 제1 논리 레벨이고, 비교 결과 신호(CRS)가 제1 논리 레벨인 경우, 선택부(600)는 리페어 데이터(DATA\_F)를 선택할 수 있다. 판단 결과 신호(DRS)가 제1 논리 레벨이고, 비교 결과 신호(CRS)가 제2 논리 레벨인 경우, 선택부(600)는 독출 데이터(DATA\_A)를 선택할 수 있다. 판단 결과 신호(DRS)가 제2 논리 레벨인 경우, 선택부(600)는 독출 데이터(DATA\_A)를 선택할 수 있다.
- [0041] 본 발명에 따른 블록 필터 기반의 캐시 메모리를 이용하여 메모리 장치(10)를 구현하는 경우, 메모리 장치에 포함되는 불필요한 리페어 셀들의 면적을 효율적으로 줄일 수 있다.
- [0042] 도 3은 도 1의 메모리 장치에 포함되는 블록 필터부를 나타내는 블록도이고, 도 4는 도 3의 블록 필터부에 포함되는 헤시 함수부에 전달되는 불량 어드레스의 일 예를 나타내는 회로도이다.
- [0043] 도 3 및 도 4를 참조하면, 블록 필터부(100)는 헤시(hash) 함수부(110) 및 헤시 어레이부(130)를 포함할 수 있다. 헤시 함수부(110)는 액세스 어드레스(ADDR\_A)의 각 어드레스 비트들을 조합하여 액세스 어드레스(ADDR\_A)의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 헤시 결과(AA\_HR)를 출력할 수 있다. 헤시 어레이부(130)는 불량 어드레스(ADDR\_F)들에 대한 불량 어드레스 헤시 결과(FA\_HR)들을 저장할 수 있다. 예를 들어, 불량 어드레스 헤시 결과(FA\_HR)는 불량 어드레스(ADDR\_F)의 각 어드레스 비트들을 논리 연산 게이트의 입력에 인가하여 생성될 수 있다. 불량 어드레스의 제1 어드레스 비트(ADDR\_F1) 및 제2 어드레스 비트(ADDR\_F2)는 제1 배타적 논리합 게이트(111)의 입력으로 전달될 수 있다. 불량 어드레스의 제3 어드레스 비트(ADDR\_F3) 및 제4 어드레스 비트(ADDR\_F4)는 제2 배타적 논리합 게이트(112)의 입력으로 전달될 수 있다. 불량 어드레스의 제5 어드레스 비트(ADDR\_F5) 및 제6 어드레스 비트(ADDR\_F6)는 제3 배타적 논리합 게이트(113)의 입력으로 전달될 수 있다. 불량 어드레스의 제7 어드레스 비트(ADDR\_F7) 및 제8 어드레스 비트(ADDR\_F8)는 제4 배타적 논리합 게이트(114)의 입력으로 전달될 수 있다. 또한 제1 배타적 논리합 게이트(111)의 출력 및 제2 배타적 논리합 게이트(112)의 출력은 제5 배타적 논리합 게이트(115)에 전달될 수 있다. 제3 배타적 논리합 게이트(113)의 출력 및 제4 배타적 논리합 게이트(114)의 출력은 제6 배타적 논리합 게이트(116)에 전달될 수 있다. 제5 배타적 논리합 게이트(115)의 출력은 불량 어드레스 헤시 결과의 제1 비트(FA\_HR1)일 수 있다. 제6 배타적 논리합 게이트(116)의 출력은 불량 어드레스 헤시 결과의 제2 비트(FA\_HR2)일 수 있다. 헤시 어레이부(130)는 불량 어드레스 헤시 결과의 제1 비트(FA\_HR1) 및 제2 비트(FA\_HR2)를 저장할 수 있다.
- [0044] 헤시 함수부(110)에서 수행되는 헤시 동작은 논리 게이트들을 이용하여 구현되어 있으나 어드레스의 비트들을 쉬프트하는 방식 또는 어드레스의 비트들을 로데이트하는 방식을 이용하여 구현될 수 있다.
- [0045] 도 5 및 도 6은 불량 어드레스가 도 4의 헤시 함수부에 전달되는 경우, 불량 어드레스 헤시 결과가 출력되는 과정을 설명하기 위한 도면들이고, 도 7은 도 3의 블록 필터부에 포함되는 헤시 어레이부의 일 예를 나타내는 도면이다.
- [0046] 도 5 내지 7을 참조하면, 헤시 함수부(110)는 불량 어드레스(ADDR\_F)의 각 어드레스 비트들을 조합하여 불량 어드레스(ADDR\_F)의 비트 수 보다 작은 비트 수에 해당하는 불량 어드레스 헤시 결과(FA\_HR)를 출력할 수 있다. 헤시 어레이부(130)는 불량 어드레스(ADDR\_F)들에 대한 불량 어드레스 헤시 결과(FA\_HR)들을 저장할 수 있다.
- [0047] 예를 들어, 불량 어드레스(ADDR\_F)는 0x10001101일 수 있다. 불량 어드레스의 제1 어드레스 비트(ADDR\_F1)에 해당하는 "1" 및 제2 어드레스 비트(ADDR\_F2)에 해당하는 "0"은 제1 배타적 논리합 게이트(111)의 입력으로 전달될 수 있다. 불량 어드레스의 제3 어드레스 비트(ADDR\_F3)에 해당하는 "0" 및 제4 어드레스 비트(ADDR\_F4)에 해당하는 "0"은 제2 배타적 논리합 게이트(112)의 입력으로 전달될 수 있다. 불량 어드레스의 제5 어드레스 비트(ADDR\_F5)에 해당하는 "1" 및 제6 어드레스 비트(ADDR\_F6)에 해당하는 "1"은 제3 배타적 논리합 게이트(113)의 입력으로 전달될 수 있다. 불량 어드레스의 제7 어드레스 비트(ADDR\_F7)에 해당하는 "0" 및 제8 어드레스 비트

(ADDR\_F8)에 해당하는 "1"은 제4 배타적 논리합 게이트(114)의 입력으로 전달될 수 있다. 제1 배타적 논리합 게이트(111)의 출력은 "1"일 수 있다. 제2 배타적 논리합 게이트(112)의 출력은 "0"일 수 있다. 제1 배타적 논리합 게이트(111)의 출력에 해당하는 "1" 및 제2 배타적 논리합 게이트(112)의 출력에 해당하는 "0"은 제5 배타적 논리합 게이트(115)에 전달될 수 있다. 제3 배타적 논리합 게이트(113)의 출력은 "0"일 수 있다. 제4 배타적 논리합 게이트(114)의 출력은 "1"일 수 있다. 제3 배타적 논리합 게이트(113)의 출력에 해당하는 "0" 및 제4 배타적 논리합 게이트(114)의 출력에 해당하는 "1"은 제6 배타적 논리합 게이트(116)에 전달될 수 있다.

[0048] 결과적으로 제5 배타적 논리합 게이트(115)의 출력은 불량 어드레스 해시 결과의 제1 비트(FA\_HR1)일 수 있다. 불량 어드레스 해시 결과의 제1 비트(FA\_HR1)는 "1"일 수 있다. 제6 배타적 논리합 게이트(116)의 출력은 불량 어드레스 해시 결과의 제2 비트(FA\_HR2)일 수 있다. 불량 어드레스 해시 결과의 제2 비트(FA\_HR2)는 "1"일 수 있다. 불량 어드레스 해시 결과(FA\_HR)는 "11"일 수 있다. 해시 어레이부(130)는 불량 어드레스 해시 결과의 제1 비트(FA\_HR1) 및 제2 비트(FA\_HR2)를 저장할 수 있다. 불량 어드레스 해시 결과(FA\_HR)에 해당하는 "11"은 해시 어레이부(130)에 저장될 수 있다.

[0049] 예를 들어, 불량 어드레스(ADDR\_F)는 0x10001111일 수 있다. 불량 어드레스(ADDR\_F)에 해당하는 0x10001111를 해시 함수부(110)에 전달하는 경우, 동일한 방식으로 해시 함수부(110)는 불량 어드레스 해시 결과(FA\_HR) "10"을 출력할 수 있다. 이 경우, 불량 어드레스 해시 결과(FA\_HR)에 해당하는 "10"은 해시 어레이부(130)에 저장될 수 있다.

[0050] 도 7은 도 3의 블룸 필터부에 포함되는 해시 어레이부의 일 예를 나타내는 도면이다.

[0051] 도 7을 참조하면, 해시 함수부(110)는 복수의 논리 연산 게이트들을 포함할 수 있다. 예시적인 실시예에 있어서, 액세스 어드레스 해시 결과(AA\_HR)는 액세스 어드레스(ADDR\_A)의 각 어드레스 비트들을 논리 연산 게이트의 입력에 인가하여 생성될 수 있다. 해시 함수부(110)는 액세스 어드레스(ADDR\_A)의 각 어드레스 비트들을 조합하여 액세스 어드레스(ADDR\_A)의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 해시 결과(AA\_HR)를 출력할 수 있다.

[0052] 예를 들어, 불량 어드레스 해시 결과(FA\_HR)는 불량 어드레스(ADDR\_F)의 각 어드레스 비트들을 논리 연산 게이트의 입력에 인가하여 생성될 수 있다. 액세스 어드레스의 제1 어드레스 비트(ADDR\_A1) 및 제2 어드레스 비트(ADDR\_A2)는 제1 배타적 논리합 게이트(111)의 입력으로 전달될 수 있다. 액세스 어드레스의 제3 어드레스 비트(ADDR\_A3) 및 제4 어드레스 비트(ADDR\_A4)는 제2 배타적 논리합 게이트(112)의 입력으로 전달될 수 있다. 액세스 어드레스의 제5 어드레스 비트(ADDR\_A5) 및 제6 어드레스 비트(ADDR\_A6)는 제3 배타적 논리합 게이트(113)의 입력으로 전달될 수 있다. 액세스 어드레스의 제7 어드레스 비트(ADDR\_A7) 및 제8 어드레스 비트(ADDR\_A8)는 제4 배타적 논리합 게이트(114)의 입력으로 전달될 수 있다. 또한 제1 배타적 논리합 게이트(111)의 출력 및 제2 배타적 논리합 게이트(112)의 출력은 제5 배타적 논리합 게이트(115)에 전달될 수 있다. 제3 배타적 논리합 게이트(113)의 출력 및 제4 배타적 논리합 게이트(114)의 출력은 제6 배타적 논리합 게이트(116)에 전달될 수 있다. 제5 배타적 논리합 게이트(115)의 출력은 액세스 어드레스 해시 결과의 제1 비트(AA\_HR1)일 수 있다. 제6 배타적 논리합 게이트(116)의 출력은 액세스 어드레스 해시 결과의 제2 비트(AA\_HR2)일 수 있다.

[0053] 액세스 어드레스 해시 결과(AA\_HR)는 해시 어레이부(130)에 미리 저장된 불량 어드레스 해시 결과(FA\_HR)와 비교될 수 있다. 액세스 어드레스 해시 결과(AA\_HR)가 불량 어드레스 해시 결과(FA\_HR)와 일치하는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다. 액세스 어드레스 해시 결과(AA\_HR)가 불량 어드레스 해시 결과(FA\_HR)와 일치하지 않는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제2 논리 레벨일 수 있다.

[0054] 도 9 내지 도 11은 액세스 어드레스가 도 4의 해시 함수부에 전달되는 경우, 액세스 어드레스 해시 결과가 출력되는 과정을 설명하기 위한 도면들이다.

[0055] 도 9를 참조하면, 해시 함수부(110)는 액세스 어드레스(ADDR\_A)의 각 어드레스 비트들을 조합하여 액세스 어드레스(ADDR\_A)의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 해시 결과(AA\_HR)를 출력할 수 있다.

[0056] 예를 들어, 액세스 어드레스(ADDR\_A)는 0x10001101일 수 있다. 액세스 어드레스의 제1 어드레스 비트(ADDR\_A1)에 해당하는 "1" 및 제2 어드레스 비트(ADDR\_A2)에 해당하는 "0"은 제1 배타적 논리합 게이트(111)의 입력으로 전달될 수 있다. 액세스 어드레스의 제3 어드레스 비트(ADDR\_A3)에 해당하는 "0" 및 제4 어드레스 비트(ADDR\_A4)에 해당하는 "0"은 제2 배타적 논리합 게이트(112)의 입력으로 전달될 수 있다. 액세스 어드레스의 제5 어드레스 비트(ADDR\_A5)에 해당하는 "1" 및 제6 어드레스 비트(ADDR\_A6)에 해당하는 "1"은 제3 배타적 논리합

게이트(113)의 입력으로 전달될 수 있다. 액세스 어드레스의 제7 어드레스 비트(ADDR\_A7)에 해당하는 "0" 및 제 8 어드레스 비트(ADDR\_A8)에 해당하는 "1"은 제4 배타적 논리합 게이트(114)의 입력으로 전달될 수 있다. 제1 배타적 논리합 게이트(111)의 출력은 "1"일 수 있다. 제2 배타적 논리합 게이트(112)의 출력은 "0"일 수 있다. 제1 배타적 논리합 게이트(111)의 출력에 해당하는 "1" 및 제2 배타적 논리합 게이트(112)의 출력에 해당하는 "0"은 제5 배타적 논리합 게이트(115)에 전달될 수 있다. 제3 배타적 논리합 게이트(113)의 출력은 "0"일 수 있다. 제4 배타적 논리합 게이트(114)의 출력은 "1"일 수 있다. 제3 배타적 논리합 게이트(113)의 출력에 해당하는 "0" 및 제4 배타적 논리합 게이트(114)의 출력에 해당하는 "1"은 제6 배타적 논리합 게이트(116)에 전달될 수 있다.

[0057] 결과적으로 제5 배타적 논리합 게이트(115)의 출력은 액세스 어드레스 해시 결과의 제1 비트(AA\_HR1)일 수 있다. 액세스 어드레스 해시 결과의 제1 비트(AA\_HR1)는 "1"일 수 있다. 제6 배타적 논리합 게이트(116)의 출력은 액세스 어드레스 해시 결과의 제2 비트(AA\_HR2)일 수 있다. 액세스 어드레스 해시 결과의 제2 비트(AA\_HR2)는 "1"일 수 있다. 액세스 어드레스 해시 결과(AA\_HR)는 "11"일 수 있다.

[0058] 예를 들어 불량 어드레스(ADDR\_F)들은 0x10001101 및 0x10001111일 수 있다. 불량 어드레스(ADDR\_F) 0x10001101에 상응하는 불량 어드레스 해시 결과(FA\_HR)는 "11"일 수 있다. 불량 어드레스(ADDR\_F) 0x10001111에 상응하는 불량 어드레스 해시 결과(FA\_HR)는 "10"일 수 있다. 액세스 어드레스 해시 결과(AA\_HR)와 불량 어드레스 해시 결과(FA\_HR)를 비교하기 이전에 불량 어드레스 해시 결과(FA\_HR)들은 해시 어레이부(130)에 미리 저장될 수 있다. 해시 어레이부(130)에 미리 저장되는 불량 어드레스 해시 결과(FA\_HR)는 "11" 및 "10"일 수 있다. 이 경우, 액세스 어드레스(ADDR\_A)는 0x10001101는 불량 어드레스(ADDR\_F)들에 포함되는 0x10001101과 동일하고, 액세스 어드레스 해시 결과(AA\_HR) "11"은 불량 어드레스 해시 결과(FA\_HR)들에 포함되는 "11"과 동일할 수 있다. 액세스 어드레스(ADDR\_A)와 불량 어드레스(ADDR\_F)가 동일하고 액세스 어드레스 해시 결과(AA\_HR)와 불량 어드레스 해시 결과(FA\_HR)가 동일하므로 블룸 필터부로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다.

[0059] 예시적인 실시예에 있어서, 블룸 필터부(100)는 액세스 어드레스 해시 결과(AA\_HR) 및 불량 어드레스 해시 결과(FA\_HR)들을 비교하여 판단 결과 신호(DRS)를 출력할 수 있다.

[0060] 예시적인 실시예에 있어서, 액세스 어드레스 해시 결과(AA\_HR)가 불량 어드레스 해시 결과(FA\_HR)들 중의 하나와 일치하는 경우, 블룸 필터부(100)는 제1 논리 레벨을 갖는 판단 결과 신호(DRS)를 출력할 수 있다.

[0061] 도 10을 참조하면, 해시 함수부(110)는 액세스 어드레스(ADDR\_A)의 각 어드레스 비트들을 조합하여 액세스 어드레스(ADDR\_A)의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 해시 결과(AA\_HR)를 출력할 수 있다. 예를 들어 액세스 어드레스(ADDR\_A)는 0x01001101일 수 있다. 액세스 어드레스(ADDR\_A)에 해당하는 0x01001101을 해시 함수부(110)에 전달하는 경우, 동일한 방식으로 해시 함수부(110)는 액세스 어드레스 해시 결과(AA\_HR) "11"을 출력할 수 있다.

[0062] 예를 들어 불량 어드레스(ADDR\_F)들은 0x10001101 및 0x10001111일 수 있다. 불량 어드레스(ADDR\_F) 0x10001101에 상응하는 불량 어드레스 해시 결과(FA\_HR)는 "11"일 수 있다. 불량 어드레스(ADDR\_F) 0x10001111에 상응하는 불량 어드레스 해시 결과(FA\_HR)는 "10"일 수 있다. 해시 어레이부(130)에 미리 저장되는 불량 어드레스 해시 결과(FA\_HR)는 "11" 및 "10"일 수 있다. 이 경우, 액세스 어드레스(ADDR\_A)는 0x01001101는 불량 어드레스(ADDR\_F)들에 포함되는 0x10001101 및 0x10001111과 동일하지 않지만, 액세스 어드레스 해시 결과(AA\_HR) "11"은 불량 어드레스 해시 결과(FA\_HR)들에 포함되는 "11"과 동일할 수 있다. 액세스 어드레스(ADDR\_A)와 불량 어드레스(ADDR\_F)가 동일하지 않음에도 불구하고 액세스 어드레스 해시 결과(AA\_HR)와 불량 어드레스 해시 결과(FA\_HR)가 동일하므로 블룸 필터부로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다. 판단 결과 신호(DRS)가 제1 논리 레벨인 경우에도 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함되지 않을 수 있다. 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)일 가능성이 있다.

[0063] 도 11을 참조하면, 해시 함수부(110)는 액세스 어드레스(ADDR\_A)의 각 어드레스 비트들을 조합하여 액세스 어드레스(ADDR\_A)의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 해시 결과(AA\_HR)를 출력할 수 있다. 예를 들어 액세스 어드레스(ADDR\_A)는 0x11001111일 수 있다. 액세스 어드레스(ADDR\_A)에 해당하는 0x11001111을 해시 함수부(110)에 전달하는 경우, 동일한 방식으로 해시 함수부(110)는 액세스 어드레스 해시 결과(AA\_HR) "00"을 출력할 수 있다.

- [0064] 예를 들어 불량 어드레스(ADDR\_F)들은 0x10001101 및 0x10001111일 수 있다. 불량 어드레스(ADDR\_F) 0x10001101에 상응하는 불량 어드레스 해시 결과(FA\_HR)는 "11"일 수 있다. 불량 어드레스(ADDR\_F) 0x10001111에 상응하는 불량 어드레스 해시 결과(FA\_HR)는 "10"일 수 있다. 해시 어레이부(130)에 미리 저장되는 불량 어드레스 해시 결과(FA\_HR)는 "11" 및 "10"일 수 있다. 이 경우, 액세스 어드레스(ADDR\_A)는 0x11001111는 불량 어드레스(ADDR\_F)들에 포함되는 0x10001101 및 0x10001111과 동일하지 않고, 액세스 어드레스 해시 결과(AA\_HR) "00"은 불량 어드레스 해시 결과(FA\_HR)들에 포함되는 "11" 및 "10"과 동일하지 않을 수 있다. 액세스 어드레스(ADDR\_A)와 불량 어드레스(ADDR\_F)가 동일하지 않고 액세스 어드레스 해시 결과(AA\_HR)와 불량 어드레스 해시 결과(FA\_HR)가 동일하지 않으므로 블록 필터부로부터 출력되는 판단 결과 신호(DRS)는 제2 논리 레벨일 수 있다. 판단 결과 신호(DRS)가 제2 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)는 불량 어드레스(ADDR\_F)들에 포함되지 않는다.
- [0065] 예시적인 실시예에 있어서, 액세스 어드레스 해시 결과(AA\_HR)가 불량 어드레스 해시 결과(FA\_HR)들 중 하나와 일치하지 않는 경우, 블록 필터부(100)는 제2 논리 레벨을 갖는 판단 결과 신호(DRS)를 출력할 수 있다.
- [0066] 결과적으로, 판단 결과 신호(DRS)가 제2 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함될 가능성은 없다. 그러나 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함될 수도 있고 포함되지 않을 수 있다. 따라서 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함되는 여부를 한번 더 판단할 필요가 있다.
- [0067] 도 12는 도 1의 메모리 장치에 포함되는 캐시 메모리부 및 블록 필터부를 나타내는 블록도이다.
- [0068] 도 12를 참조하면, 메모리 장치(10)는 캐시 메모리부(300) 및 블록 필터부(100)를 포함할 수 있다. 캐시 메모리부(300)는 캐시 어드레스부(310) 및 캐시 데이터부(330)를 포함할 수 있다. 캐시 어드레스부(310)는 불량 어드레스(ADDR\_F)들이 저장될 수 있다. 캐시 데이터부(330)는 불량 어드레스(ADDR\_F)들에 상응하는 데이터가 저장될 수 있다.
- [0069] 예시적인 실시예에 있어서, 캐시 어드레스부(310)는 판단 결과 신호(DRS)에 따라 액세스 어드레스(ADDR\_A) 및 불량 어드레스(ADDR\_F)들을 비교하여 비교 결과 신호(CRS)를 출력할 수 있다. 예를 들어, 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는지 여부를 판단하고, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하면, 캐시 어드레스부(310)는 제1 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다.
- [0070] 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함될 수도 있고 포함되지 않을 수 있다. 따라서 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함되는 여부를 한번 더 판단할 필요가 있다. 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함될 가능성은 블록 필터부(100)에서 판단될 수 있다. 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함될 가능성이 있는 경우, 블록 필터부(100)는 제1 논리 레벨을 갖는 판단 결과 신호(DRS)를 출력할 수 있다. 불량 어드레스(ADDR\_F)들에 포함될 가능성이 있는 액세스 어드레스(ADDR\_A)는 액세스 어드레스(ADDR\_A)들 중 일부일 수 있다. 따라서 모든 액세스 어드레스(ADDR\_A)에 대하여 불량 어드레스(ADDR\_F)에 해당하는 지 여부를 판단하는 것은 비효율적일 수 있다. 블록 필터부(100)에서 먼저 불량 어드레스(ADDR\_F)들에 포함될 가능성을 판단하고 불량 어드레스(ADDR\_F)들에 포함될 가능성이 있는 액세스 어드레스(ADDR\_A)에 대해서만 캐시 메모리부(300)에서 불량 어드레스(ADDR\_F)들과 비교하면 연산량을 줄일 수 있다.
- [0071] 예시적인 실시예에 있어서, 비교 결과 신호(CRS)가 제1 논리 레벨인 경우, 캐시 데이터부(330)는 상기 일치하는 불량 어드레스(ADDR\_F)에 상응하는 리페어 데이터(DATA\_F)를 출력할 수 있다. 예를 들어, 비교 결과 신호(CRS)가 제1 논리 레벨인 경우, 캐시 데이터부(330)는 상기 일치하는 제1 불량 어드레스(ADDR\_F\_A)에 상응하는 제1 리페어 데이터(DATA\_F)를 출력할 수 있다. 또한 비교 결과 신호(CRS)가 제1 논리 레벨인 경우, 캐시 데이터부(330)는 상기 일치하는 제2 불량 어드레스(ADDR\_F\_B)에 상응하는 제2 리페어 데이터(DATA\_F\_B)를 출력할 수 있다.
- [0072] 예시적인 실시예에 있어서, 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는지 여부를 판단하고, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않으면, 캐시 어드레스부(310)는 제2 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할

수 있다. 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함될 수도 있고 포함되지 않을 수 있다. 따라서 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들에 포함되는 여부를 한번 더 판단할 필요가 있다. 예를 들어, 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 제1 불량 어드레스(ADDR\_F\_A) 및 제n 불량 어드레스(미도시) 중의 하나와 일치하지 않으면, 캐시 어드레스부(310)는 제2 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다.

[0073] 예시적인 실시예에 있어서, 판단 결과 신호(DRS)가 제2 논리 레벨인 경우, 캐시 메모리부(300)는 제2 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다.

[0074] 예시적인 실시예에 있어서, 선택부(600)는 판단 결과 신호(DRS)가 제1 논리 레벨이고, 비교 결과 신호(CRS)가 제1 논리 레벨인 경우, 리페어 데이터(DATA\_F)를 선택하고, 판단 결과 신호(DRS)가 제2 논리 레벨이거나 비교 결과 신호(CRS)가 제2 논리 레벨인 경우, 독출 데이터(DATA\_A)를 선택할 수 있다.

[0075] 예를 들어, 제1 논리 레벨은 로직 하이 레벨일 수 있고, 제1 논리 레벨이 로직 하이 레벨인 경우, 제2 논리 레벨은 로직 로우 레벨일 수 있다. 판단 결과 신호(DRS)가 로직 하이 레벨이고, 비교 결과 신호(CRS)가 로직 하이 레벨이면, 선택부(600)는 리페어 데이터(DATA\_F)를 선택할 수 있다. 판단 결과 신호(DRS)가 로직 로우 레벨이거나 비교 결과 신호(CRS)가 로직 로우 레벨인 경우, 선택부(600)는 독출 데이터(DATA\_A)를 선택할 수 있다. 예를 들어, 제1 논리 레벨은 로직 로우 레벨일 수 있고, 제1 논리 레벨이 로직 로우 레벨인 경우, 제2 논리 레벨은 로직 하이 레벨일 수 있다. 판단 결과 신호(DRS)가 로직 로우 레벨이고, 비교 결과 신호(CRS)가 로직 로우 레벨이면, 선택부(600)는 리페어 데이터(DATA\_F)를 선택할 수 있다. 판단 결과 신호(DRS)가 로직 하이 레벨이거나 비교 결과 신호(CRS)가 로직 하이 레벨인 경우, 선택부(600)는 독출 데이터(DATA\_A)를 선택할 수 있다.

[0076] 도 13은 도 1의 메모리 장치의 일 예를 나타내는 블록도이다.

[0077] 도 13을 참조하면, 메모리 장치(201)는 제어 로직(210), 어드레스 레지스터(220), 뱅크 제어 로직(230), 카운터(235), 제2 페일 어드레스 테이블(237), 로우 어드레스 멀티플렉서(240), 컬럼 어드레스 래치(250), 로우 디코더, 컬럼 디코더, 메모리 셀 어레이, 센스 앰프부, 입출력 게이팅 회로(290) 및 데이터 입출력 버퍼(295)를 포함할 수 있다.

[0078] 상기 메모리 셀 어레이는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)을 포함할 수 있다. 또한, 상기 로우 디코더는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 각각 연결된 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d)을 포함하고, 상기 컬럼 디코더는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 각각 연결된 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d)을 포함하며, 상기 센스 앰프부는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 각각 연결된 제1 내지 제4 뱅크 센스 앰프들(285a, 285b, 285c, 285d)을 포함할 수 있다. 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d), 제1 내지 제4 뱅크 센스 앰프들(285a, 285b, 285c, 285d), 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d) 및 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d)은 제1 내지 제4 뱅크들을 각각 구성할 수 있다. 도 13에는 4개의 뱅크들을 포함하는 메모리 장치(201)의 예가 도시되어 있으나, 실시예에 따라, 메모리 장치(201)는 임의의 수의 뱅크들을 포함할 수 있다.

[0079] 또한, 실시예에 따라, 메모리 장치(201)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR(Low Power Double Data Rate) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, RDRAM(Rambus Dynamic Random Access Memory) 등과 같은 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM)이거나, 리프레쉬 동작이 필요한 임의의 메모리 장치일 수 있다.

[0080] 어드레스 레지스터(220)는 버퍼 칩(300)으로부터 뱅크 어드레스(BANK\_ADDR), 로우 어드레스(ROW\_ADDR) 및 컬럼 어드레스(COL\_ADDR)를 포함하는 어드레스(ADDR)를 수신할 수 있다. 어드레스 레지스터(220)는 수신된 뱅크 어드레스(BANK\_ADDR)를 뱅크 제어 로직(230)에 제공하고, 수신된 로우 어드레스(ROW\_ADDR)를 로우 어드레스 멀티플렉서(240)에 제공하며, 수신된 컬럼 어드레스(COL\_ADDR)를 컬럼 어드레스 래치(250)에 제공할 수 있다.

[0081] 뱅크 제어 로직(230)은 뱅크 어드레스(BANK\_ADDR)에 응답하여 뱅크 제어 신호들을 생성할 수 있다. 상기 뱅크 제어 신호들에 응답하여, 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d) 중 뱅크 어드레스(BANK\_ADDR)에 상응하는 뱅크 로우 디코더가 활성화되고, 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d) 중 뱅크 어드레스(BANK\_ADDR)에 상응하는 뱅크 컬럼 디코더가 활성화될 수 있다.

[0082] 로우 어드레스 멀티플렉서(240)는 어드레스 레지스터(220)로부터 로우 어드레스(ROW\_ADDR)를 수신하고, 카운터

(235)로부터 생성된 리프레쉬쉬 로우 어드레스(REF\_ADDR)를 수신할 수 있다. 로우 어드레스 멀티플렉서(240)는 로우 어드레스(ROW\_ADDR) 또는 리프레쉬쉬 로우 어드레스(REF\_ADDR)를 선택적으로 출력할 수 있다. 로우 어드레스 멀티플렉서(240)로부터 출력된 로우 어드레스는 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d)에 각각 인가될 수 있다.

[0083] 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d) 중 뱅크 제어 로직(230)에 의해 활성화된 뱅크 로우 디코더는 로우 어드레스 멀티플렉서(240)로부터 출력된 로우 어드레스를 디코딩하여 상기 로우 어드레스에 상응하는 워드 라인을 활성화할 수 있다. 예를 들어, 상기 활성화된 뱅크 로우 디코더는 로우 어드레스에 상응하는 워드 라인에 워드 라인 구동 전압을 인가할 수 있다.

[0084] 컬럼 어드레스 래치(250)는 어드레스 레지스터(220)로부터 컬럼 어드레스(COL\_ADDR)를 수신하고, 수신된 컬럼 어드레스(COL\_ADDR)를 일시적으로 저장할 수 있다. 또한, 컬럼 어드레스 래치(250)는, 버스트 모드에서, 수신된 컬럼 어드레스(COL\_ADDR)를 점진적으로 증가시킬 수 있다. 컬럼 어드레스 래치(250)는 일시적으로 저장된 또는 점진적으로 증가된 컬럼 어드레스(COL\_ADDR)를 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d)에 각각 인가할 수 있다.

[0085] 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d) 중 뱅크 제어 로직(230)에 의해 활성화된 뱅크 컬럼 디코더는 입출력 게이팅 회로(290)를 통하여 뱅크 어드레스(BANK\_ADDR) 및 컬럼 어드레스(COL\_ADDR)에 상응하는 센스 앰프를 활성화시킬 수 있다.

[0086] 입출력 게이팅 회로(290)는 입출력 데이터를 게이팅하는 회로들과 함께, 입력 데이터 마스크 로직, 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)로부터 출력된 데이터를 저장하기 위한 독출 데이터 래치들, 및 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 데이터를 기입하기 위한 기입 드라이버들을 포함할 수 있다.

[0087] 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d) 중 하나의 뱅크 어레이에서 독출될 데이터(DQ)는 상기 하나의 뱅크 어레이에 상응하는 센스 앰프에 의해 감지되고, 상기 독출 데이터 래치들에 저장될 수 있다. 상기 독출 데이터 래치들에 저장된 데이터(DQ)는 데이터 입출력 버퍼(295)를 통하여 상기 버퍼 칩(300)에 제공될 수 있다. 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d) 중 하나의 뱅크 어레이에 기입될 데이터(DQ)는 상기 메모리 컨트롤러(110)로부터 버퍼 칩(300)을 통하여 데이터 입출력 버퍼(295)에 제공될 수 있다. 데이터 입출력 버퍼(295)에 제공된 데이터(DQ)는 상기 기입 드라이버들을 통하여 상기 하나의 뱅크 어레이에 기입될 수 있다.

[0088] 제어 로직(210)은 메모리 장치(201)의 동작을 제어할 수 있다. 예를 들어, 제어 로직(210)은 메모리 장치(201)가 기입 동작 또는 독출 동작을 수행하도록 제어 신호들을 생성할 수 있다. 제어 로직(210)은 메모리 컨트롤러(110)로부터 버퍼 칩(300)을 통하여 수신되는 커맨드(CMD2)를 디코딩하는 커맨드 디코더(211) 및 메모리 장치(200)의 동작 모드를 설정하기 위한 모드 레지스터(212)를 포함할 수 있다. 예를 들어, 커맨드 디코더(211)는 기입 인에이블 신호(/WE), 로우 어드레스 스트로브 신호(/RAS), 컬럼 어드레스 스트로브 신호(/CAS), 칩 선택 신호(/CS) 등을 디코딩하여 커맨드(CMD)에 상응하는 상기 제어 신호들을 생성할 수 있다. 또한, 제어 로직(210)은 동기 방식으로 메모리 장치(200)를 구동하기 위한 클록 신호(CLK) 및 클록 인에이블 신호(/CKE)를 더 수신할 수 있다.

[0089] 본 발명에 따른 블룸 필터 기반의 캐시 메모리를 이용하여 메모리 장치를 구현하는 경우, 메모리 장치에 포함되는 불필요한 리페어 셀들의 면적을 효율적으로 줄일 수 있다.

[0090] 도 14는 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.

[0091] 도 14를 참조하면, 메모리 시스템(20)은 메모리 컨트롤러(200) 및 메모리 장치(10)를 포함한다. 메모리 컨트롤러(200)는 액세스 어드레스(ADDR\_A) 및 커맨드(CMD)를 출력한다. 메모리 장치(10)는 액세스 어드레스(ADDR\_A) 및 커맨드(CMD)에 기초하여 리페어 데이터(DATA\_F) 및 독출 데이터(DATA\_A) 중 하나를 제공한다. 메모리 장치(10)는 블룸(bloom) 필터부(100), 캐시 메모리부(300), 메모리 셀 어레이부(500) 및 선택부(600)를 포함한다.

[0092] 블룸 필터부(100)는 액세스 어드레스(ADDR\_A)가 불량 셀들에 해당하는 불량 어드레스(ADDR\_F)들 중 하나일 가능성을 판단하여 판단 결과 신호(DRS)를 출력한다. 예를 들어, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다. 또한 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제2 논리 레벨일 수 있다. 그러나 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않음에도 불구하고, 블룸 필터부(100)로부터 출력되는 판단 결과 신

호(DRS)는 제1 논리 레벨일 수 있다.

- [0093] 캐시 메모리부(300)는 캐시 어드레스부(310) 및 캐시 데이터부(330)를 포함할 수 있다. 캐시 메모리부(300)는 불량 어드레스(ADDR\_F)들 및 불량 어드레스(ADDR\_F)들에 상응하는 데이터를 저장할 수 있다. 불량 어드레스(ADDR\_F)들은 캐시 어드레스부(310)에 저장될 수 있고, 불량 어드레스(ADDR\_F)들에 상응하는 데이터는 캐시 데이터부(330)에 저장될 수 있다. 캐시 메모리부(300)는 판단 결과 신호(DRS)에 따라 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호(CRS)를 제공할 수 있다.
- [0094] 예를 들어 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 캐시 메모리부(300)는 액세스 어드레스(ADDR\_A)가 불량 어드레스들 중의 하나와 일치하는지 여부를 판단할 수 있다. 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하면, 캐시 어드레스부(310)는 제1 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다. 또한 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않으면, 캐시 어드레스부(310)는 제2 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다. 또한 판단 결과 신호(DRS)가 제2 논리 레벨인 경우, 캐시 어드레스부(310)는 제2 논리 레벨을 갖는 비교 결과 신호(CRS)를 출력할 수 있다.
- [0095] 캐시 메모리부(300)는 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스(ADDR\_F)에 상응하는 데이터를 리페어 데이터(DATA\_F)로서 출력한다. 예를 들어, 액세스 어드레스(ADDR\_A)가 제1 불량 어드레스(ADDR\_F\_A)와 일치하는 경우, 캐시 메모리부(300)는 제1 불량 어드레스(ADDR\_F\_A)에 상응하는 제1 리페어 데이터(DATA\_F\_A)를 출력할 수 있다. 또한 액세스 어드레스(ADDR\_A)가 제2 불량 어드레스(ADDR\_F\_B)와 일치하는 경우, 캐시 메모리부(300)는 제2 불량 어드레스(ADDR\_F)\_B에 상응하는 제2 리페어 데이터(DATA\_F\_B)를 출력할 수 있다.
- [0096] 메모리 셀 어레이부(500)는 액세스 어드레스(ADDR\_A)에 상응하는 데이터를 독출 데이터(DATA\_A)로서 출력한다. 선택부(600)는 판단 결과 신호(DRS) 및 비교 결과 신호(CRS)에 따라 독출 데이터(DATA\_A) 및 리페어 데이터(DATA\_F) 중 하나를 선택한다. 예를 들어 판단 결과 신호(DRS)가 제1 논리 레벨이고, 비교 결과 신호(CRS)가 제1 논리 레벨인 경우, 선택부(600)는 리페어 데이터(DATA\_F)를 선택할 수 있다. 판단 결과 신호(DRS)가 제1 논리 레벨이고, 비교 결과 신호(CRS)가 제2 논리 레벨인 경우, 선택부(600)는 독출 데이터(DATA\_A)를 선택할 수 있다. 판단 결과 신호(DRS)가 제2 논리 레벨인 경우, 선택부(600)는 독출 데이터(DATA\_A)를 선택할 수 있다.
- [0097] 본 발명에 따른 블룸 필터 기반의 캐시 메모리를 이용하여 메모리 장치(10)를 구현하는 경우, 메모리 장치(10)에 포함되는 불필요한 리페어 셀들의 면적을 효율적으로 줄일 수 있다.
- [0098] 도 15는 도 14의 메모리 시스템에 포함되는 메모리 셀 어레이부의 일 예를 나타내는 블록도이고, 도 16은 도 14의 메모리 시스템에 포함되는 선택부 동작의 일 예를 나타내는 도면이다.
- [0099] 도 15 및 도 16을 참조하면, 메모리 셀 어레이부(500)는 컬럼 디코더(510) 및 메모리 셀 어레이(530)를 포함한다. 컬럼 디코더(510)는 액세스 어드레스(ADDR\_A)에 상응하는 컬럼 어드레스(ADDR\_C)를 출력할 수 있다. 메모리 셀 어레이(530)는 컬럼 어드레스(ADDR\_C)에 기초하여 액세스 어드레스(ADDR\_A)에 상응하는 데이터를 독출 데이터(DATA\_A)로서 출력할 수 있다. 예를 들어, 독출 데이터(DATA\_A)는 8비트(DATA\_A1 내지 DATA\_A8)일 수 있다. 선택부(600)는 8 비트의 독출 데이터(DATA\_A) 및 리페어 데이터(DATA\_F)를 수신할 수 있다. 판단 결과 신호(DRS)가 제1 논리 레벨이고, 비교 결과 신호(CRS)가 제1 논리 레벨인 경우, 선택부(600)는 리페어 데이터(DATA\_F)를 선택할 수 있다. 판단 결과 신호(DRS)가 제2 논리 레벨이거나 비교 결과 신호(CRS)가 제2 논리 레벨인 경우, 8 비트의 독출 데이터(DATA\_A)를 선택할 수 있다.
- [0100] 도 17은 도 14의 메모리 시스템에 포함되는 선택부 동작의 다른 예를 나타내는 도면이다.
- [0101] 도 17을 참조하면, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나에 해당하는 경우, 리페어 데이터(DATA\_F)의 일부 비트만을 선택부(600)에 제공할 수 있다. 예를 들어, 독출 데이터(DATA\_A)는 8비트(DATA\_A1 내지 DATA\_A8)일 수 있다. 8 비트의 독출 데이터(DATA\_A) 중 제8 비트(DATA\_A8)에 에러가 발생하고 제1 내지 7 비트(DATA\_A1 내지 DATA\_A7)에는 에러가 발생하지 않을 수 있다. 8비트의 독출 데이터(DATA\_A) 중 제8 비트(DATA\_A8)에 상응하는 메모리 셀은 에러 셀일 수 있다. 8비트의 독출 데이터(DATA\_A) 중 제1 내지 7 비트(DATA\_A1 내지 DATA\_A7)에 상응하는 메모리 셀들은 정상 셀일 수 있다. 이 경우, 8비트의 독출 데이터(DATA\_A) 중 제8 비트(DATA\_A8) 및 한 비트의 리페어 데이터(DATA\_F)를 선택부(600)에 전달할 수 있다. 에러 셀에 해당하는 리페어 데이터(DATA\_F)만을 캐시 메모리부(300)에 저장하므로 캐시 메모리부(300)를 효율적으로 사용할 수 있다.

- [0102] 도 18은 본 발명의 일 실시예에 따른 메모리 장치를 나타내는 블록도이다.
- [0103] 도 18을 참조하면, 메모리 장치(10)는 블룸(bloom) 필터부(100), 캐시 메모리부(300), 메모리 셀 어레이부(500), 선택부(600) 및 지연부(400)를 포함한다. 블룸 필터부(100)는 액세스 어드레스(ADDR\_A)가 불량 셀들에 해당하는 불량 어드레스(ADDR\_F)들 중 하나일 가능성을 판단하여 판단 결과 신호(DRS)를 출력한다. 캐시 메모리부(300)는 불량 어드레스(ADDR\_F)들 및 불량 어드레스(ADDR\_F)들에 상응하는 데이터를 저장하고, 판단 결과 신호(DRS)에 따라 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는지 여부를 판단하여 비교 결과 신호(CRS)를 제공하고, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는 경우, 상기 일치하는 불량 어드레스(ADDR\_F)에 상응하는 데이터를 리페어 데이터(DATA\_F)로서 출력한다. 메모리 셀 어레이부(500)는 액세스 어드레스(ADDR\_A)에 상응하는 데이터를 독출 데이터(DATA\_A)로서 출력한다. 선택부(600)는 판단 결과 신호(DRS) 및 비교 결과 신호(CRS)에 따라 독출 데이터(DATA\_A) 및 리페어 데이터(DATA\_F) 중 하나를 선택한다.
- [0104] 예시적인 실시예에 있어서, 지연부(400)에 포함되는 딜레이 셀을 이용하여 독출 데이터(DATA\_A) 및 리페어 데이터(DATA\_F) 사이의 시간 간격을 조절할 수 있다.
- [0105] 도 19는 본 발명의 실시예들에 따른 메모리 장치의 동작 방법을 나타내는 순서도이다.
- [0106] 도 1 내지 도 3 및 도 19를 참조하면, 메모리 장치(10)의 동작 방법에서는 캐시 메모리에 포함되는 캐시 어드레스부(310)에 불량 어드레스(ADDR\_F)들을 저장하고, 캐시 메모리에 포함되는 캐시 데이터부(330)에 불량 어드레스(ADDR\_F)들에 상응하는 데이터를 저장한다(S100). 캐시 메모리부(300)는 캐시 어드레스부 및 캐시 데이터부(330)를 포함할 수 있다. 캐시 메모리부(300)는 불량 어드레스(ADDR\_F)들 및 불량 어드레스(ADDR\_F)들에 상응하는 데이터를 저장할 수 있다. 불량 어드레스(ADDR\_F)들은 캐시 어드레스부(310)에 저장될 수 있고, 불량 어드레스(ADDR\_F)들에 상응하는 데이터는 캐시 데이터부(330)에 저장될 수 있다.
- [0107] 불량 어드레스(ADDR\_F)들 각각의 어드레스 비트들을 조합하여 불량 어드레스(ADDR\_F)의 비트 수 보다 작은 비트 수에 해당하는 불량 어드레스 해시 결과(FA\_HR)들을 해시 어레이부(130)에 저장한다(S101). 블룸 필터부(100)는 해시 함수부(110) 및 해시 어레이부(130)를 포함할 수 있다. 해시 함수부(110)는 액세스 어드레스(ADDR\_A)의 각 어드레스 비트들을 조합하여 액세스 어드레스(ADDR\_A)의 비트 수 보다 작은 비트 수에 해당하는 액세스 어드레스 해시 결과(AA\_HR)를 출력할 수 있다. 해시 어레이부(130)는 불량 어드레스(ADDR\_F)들에 대한 불량 어드레스 해시 결과(FA\_HR)들을 저장할 수 있다.
- [0108] 불량 어드레스 해시 결과(FA\_HR)들에 기초하여 액세스 어드레스(ADDR\_A)가 불량 셀에 해당하는 불량 어드레스(ADDR\_F)들 중 하나일 가능성을 판단하고, 판단 결과 신호(DRS)를 출력한다(S102). 블룸 필터부(100)는 액세스 어드레스(ADDR\_A)가 불량 셀들에 해당하는 불량 어드레스(ADDR\_F)들 중 하나일 가능성을 판단하여 판단 결과 신호(DRS)를 출력한다. 예를 들어, 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다. 또한 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않는 경우, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제2 논리 레벨일 수 있다. 그러나 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하지 않음에도 불구하고, 블룸 필터부(100)로부터 출력되는 판단 결과 신호(DRS)는 제1 논리 레벨일 수 있다.
- [0109] 액세스 어드레스(ADDR\_A) 및 판단 결과 신호(DRS)에 기초하여 불량 어드레스(ADDR\_F)에 상응하는 데이터를 리페어 데이터(DATA\_F)로서 출력한다(S103) 예를 들어 판단 결과 신호(DRS)가 제1 논리 레벨인 경우, 캐시 메모리부(300)는 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중의 하나와 일치하는지 여부를 판단할 수 있다. 액세스 어드레스(ADDR\_A)가 불량 어드레스(ADDR\_F)들 중 하나와 일치하면, 캐시 어드레스부(310)는 불량 어드레스(ADDR\_F)에 상응하는 데이터를 리페어 데이터(DATA\_F)로서 출력할 수 있다.
- [0110] 도 20 및 도 21은 메모리 셀 영역에 포함되는 불량 어드레스들이 저장되는 어드레스 영역의 예를 나타내는 도면들이다.
- [0111] 도 20 및 도 21을 참조하면, 캐시 어드레스부(310)는 복수의 어드레스 영역들(311내지 318)로 구분되고, 복수의 어드레스 영역들(311내지 318)의 각각은 메모리 장치(10)의 메모리 셀 어레이에 포함되는 복수의 메모리 셀 영역들(531내지 538)의 각각에 포함되는 불량 어드레스(ADDR\_F)들을 저장할 수 있다. 예를 들어, 캐시 어드레스부는 제1 내지 제8 어드레스 영역들(311내지 318)을 포함할 수 있다. 메모리 장치(10)의 메모리 셀 어레이는 제 1 내지 제8 메모리 셀 영역들(531내지 538)을 포함할 수 있다. 제 2 메모리 셀 영역(532)에 포함되는 불량 어드

레스(ADDR\_F)들은 제2 어드레스 영역(312)에 저장될 수 있다.

- [0112] 예시적인 실시예에 있어서, 복수의 어드레스 영역들(311내지 318)의 각각의 저장 용량이 복수의 메모리 셀 영역들(531내지 538)의 각각에 포함되는 불량 어드레스(ADDR\_F)들을 저장하기 위한 저장 용량보다 작은 경우, 복수의 어드레스 영역들(311내지 318)의 각각의 인접한 어드레스 영역들에 불량 어드레스(ADDR\_F)들을 저장할 수 있다. 예를 들어, 제 2 메모리 셀 영역(532)에 포함되는 불량 어드레스(ADDR\_F)들은 제2 어드레스 영역(312)에 저장될 수 있다. 제2 어드레스 영역(312)의 저장 용량이 제2 메모리 셀 영역(532)에 포함되는 불량 어드레스(ADDR\_F)들을 저장하기 위한 저장 용량이 보다 작은 경우, 제2 메모리 셀 영역(532)에 포함되는 불량 어드레스(ADDR\_F)들은 제2 어드레스 영역(312)과 인접한 제1 및 제3 어드레스 영역(311, 313)에 저장될 수 있다.
- [0113] 도 22는 본 발명의 실시예들에 따른 메모리 시스템을 컴퓨팅 시스템에 응용한 예를 나타내는 블록도이다.
- [0114] 도 22를 참조하면, 컴퓨팅 시스템(700)은 프로세서(710), 메모리 장치(720), 저장 장치(730), 이미지 센서(760), 디스플레이 디바이스(740) 및 파워 서플라이(750)를 포함할 수 있다. 컴퓨팅 시스템(700)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 포트(port)들을 더 포함할 수 있다.
- [0115] 프로세서(710)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(710)는 마이크로프로세서(micro-processor), 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다. 프로세서(710)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus)를 통하여 메모리 장치(720), 저장 장치(730) 및 디스플레이 장치(740)와 통신을 수행할 수 있다. 실시예에 따라, 프로세서(710)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(720)는 컴퓨팅 시스템(700)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(720)는 디램(DRAM), 모바일 디램, 에스램(SRAM), 피램(PRAM), 에프램(FRAM), 알램(RRAM) 및/또는 엠램(MRAM)을 포함하여 구현될 수 있다. 저장 장치(730)는 솔리드 스테이트 드라이브(solid state drive), 하드 디스크 드라이브(hard disk drive), 씨디롬(CD-ROM) 등을 포함할 수 있다. 컴퓨팅 시스템(700)은 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터 등과 같은 출력 수단을 더 포함할 수 있다. 파워 서플라이(750)는 컴퓨팅 시스템(700)의 동작에 필요한 동작 전압을 공급할 수 있다.
- [0116] 이미지 센서(760)는 상기 버스들 또는 다른 통신 링크를 통해서 프로세서(710)와 연결되어 통신을 수행할 수 있다. 이미지 센서(900)는 프로세서(710)와 함께 하나의 칩에 집적될 수도 있고, 서로 다른 칩에 각각 집적될 수도 있다.
- [0117] 컴퓨팅 시스템(700)의 구성 요소들은 다양한 형태들의 패키지로 구현될 수 있다. 예를 들어, 컴퓨팅 시스템(700)의 적어도 일부의 구성들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0118] 한편, 컴퓨팅 시스템(700)은 본원발명의 실시예들에 따른 메모리 시스템을 이용하는 모든 컴퓨팅 시스템으로 해석되어야 할 것이다. 예를 들어, 컴퓨팅 시스템(700)은 디지털 카메라, 이동 전화기, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 스마트폰 등을 포함할 수 있다.
- [0119] 본 발명에 따른 블룸 필터 기반의 캐시 메모리를 이용하여 메모리 장치를 구현하는 경우, 메모리 장치에 포함되는 불필요한 리퍼어 셀들의 면적을 효율적으로 줄일 수 있다.
- [0120] 도 23은 도 22의 컴퓨팅 시스템에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.
- [0121] 도 23을 참조하면, 컴퓨팅 시스템(1000)은 MIPI 인터페이스를 사용 또는 지원할 수 있는 데이터 처리 장치(예를 들어, 이동 전화기, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 스마트폰 등)로 구현될 수 있고, 어플리케이션 프로세서(1110), 이미지 센서(1140) 및 디스플레이(1150) 등을 포함할 수 있다.
- [0122] 어플리케이션 프로세서(1110)의 CSI 호스트(1112)는 카메라 시리얼 인터페이스(Camera Serial Interface; CS

I)를 통하여 이미지 센서(1140)의CSI 장치(1141)와 시리얼 통신을 수행할 수 있다. 일 실시예에서, CSI 호스트(1112)는 광 디시리얼라이저(DES)를 포함할 수 있고, CSI 장치(1141)는 광 시리얼라이저(SER)를 포함할 수 있다. 어플리케이션 프로세서(1110)의DSI 호스트(1111)는 디스플레이 시리얼 인터페이스(Display Serial Interface DSI)를 통하여 디스플레이(1150)의 DSI 장치(1151)와 시리얼 통신을 수행할 수 있다. 일 실시예에서, DSI 호스트(1111)는 광 시리얼라이저(SER)를 포함할 수 있고, DSI 장치(1151)는 광 디시리얼라이저(DES)를 포함할 수 있다.

[0123] 또한, 컴퓨팅 시스템(1000)은 어플리케이션 프로세서(1110)와 통신을 수행할 수 있는 알에프(Radio Frequency; RF) 칩(1160)을 더 포함할 수 있다. 컴퓨팅 시스템(1000)의 PHY(1113)와 RF 칩(1160)의 PHY(1161)는 MIPI(Mobile Industry Processor Interface) DigRF에 따라 데이터 송수신을 수행할 수 있다. 또한, 어플리케이션 프로세서(1110)는 PHY(1161)의 MIPI DigRF에 따른 데이터 송수신을 제어하는 DigRF MASTER(1114)를 더 포함할 수 있고, RF 칩(1160)은 DigRF MASTER(1114)를 통하여 제어되는 DigRF SLAVE(1162)를 더 포함할 수 있다.

[0124] 한편, 컴퓨팅 시스템(1000)은 지피에스(Global Positioning System; GPS)(1120), 스토리지(1170), 마이크(1180), 디램(Dynamic Random Access Memory; DRAM)(1185) 및 스피커(1190)를 포함할 수 있다. 또한, 컴퓨팅 시스템(1000)은 초광대역(Ultra WideBand; UWB)(1210), 무선랜(Wireless Local Area Network; WLAN)(1220) 및 와이맥스(Worldwide Interoperability for Microwave Access; WIMAX)(1230) 등을 이용하여 통신을 수행할 수 있다. 다만, 컴퓨팅 시스템(1000)의 구조 및 인터페이스는 하나의 예시로서 이에 한정되는 것이 아니다.

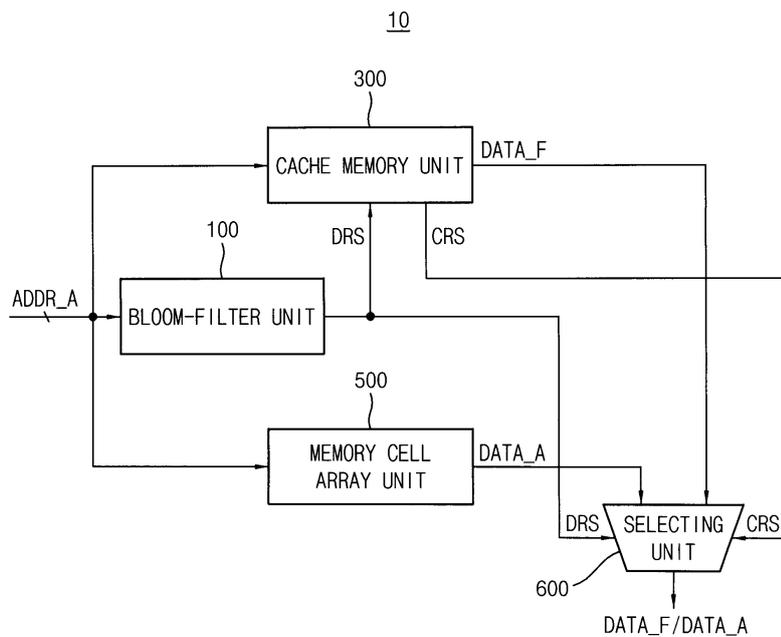
**산업상 이용가능성**

[0125] 본 발명의 실시예들에 따른 메모리 장치는 bloom 필터 기반의 캐시 메모리를 이용하여 성능을 높일 수 있어 메모리 장치를 사용하는 반도체 장치에 적용될 수 있다.

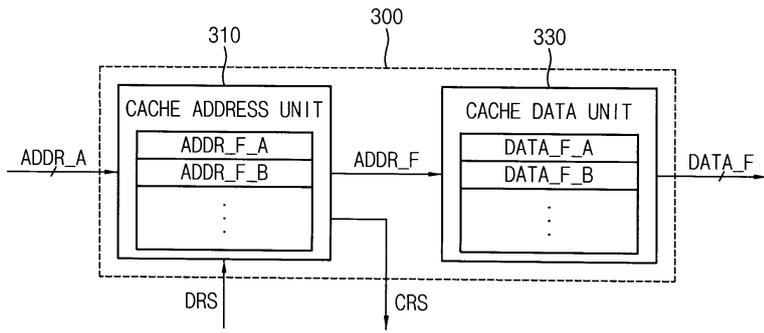
[0126] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

**도면**

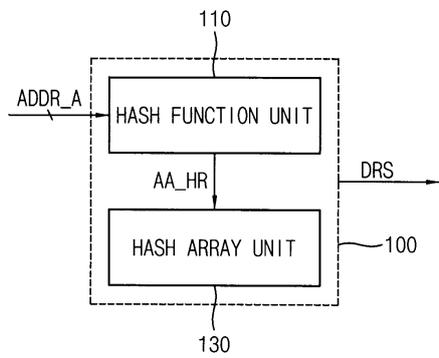
**도면1**



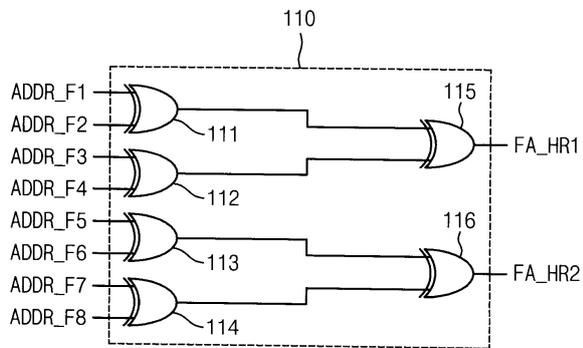
도면2



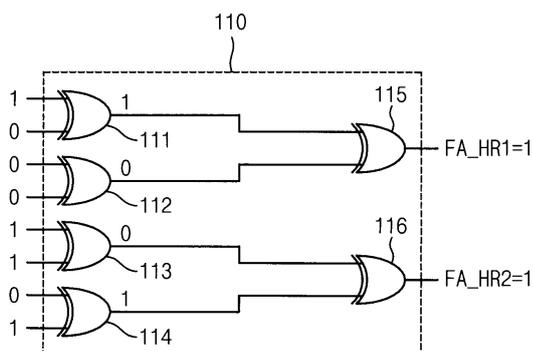
도면3



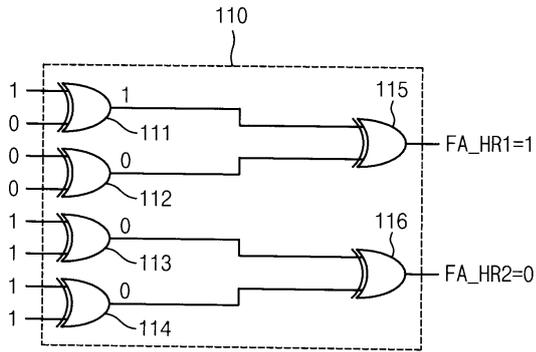
도면4



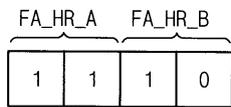
도면5



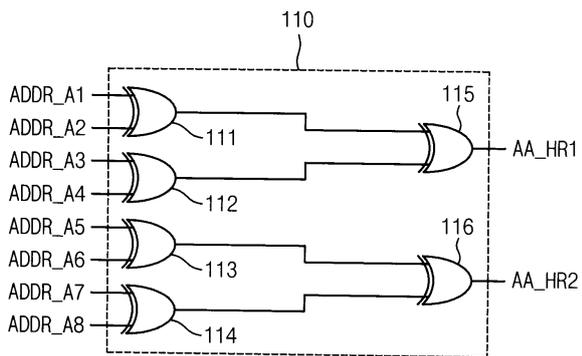
도면6



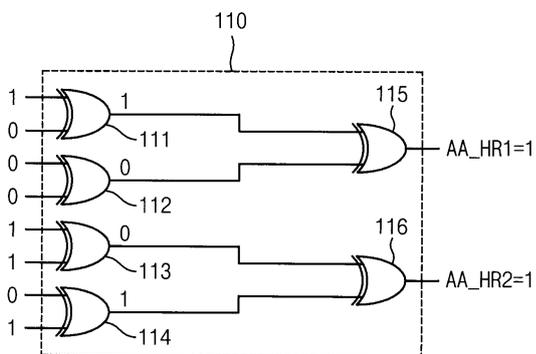
도면7



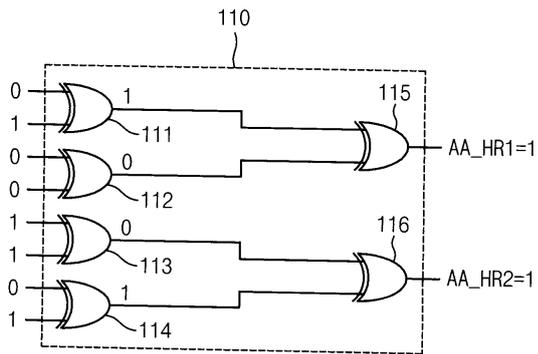
도면8



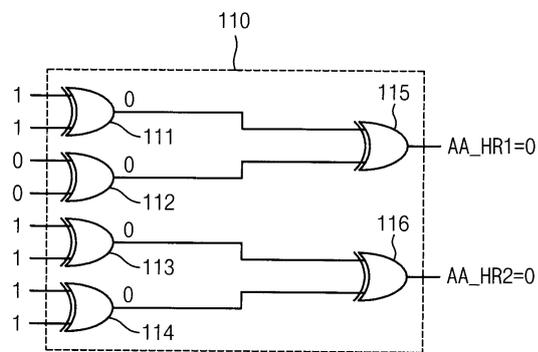
도면9



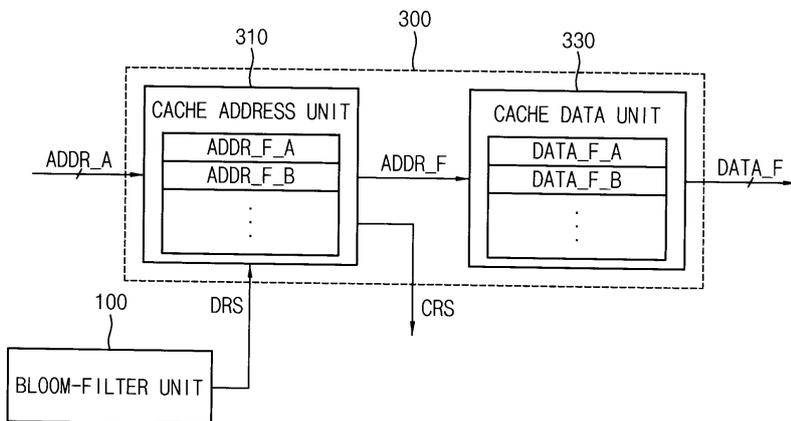
도면10



도면11

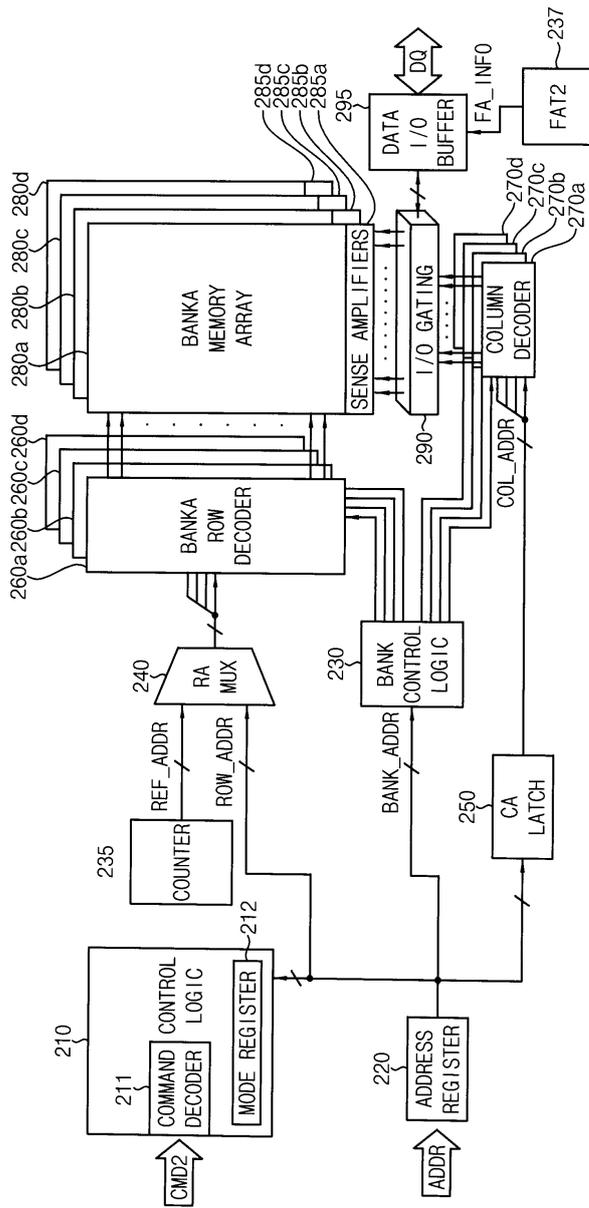


도면12

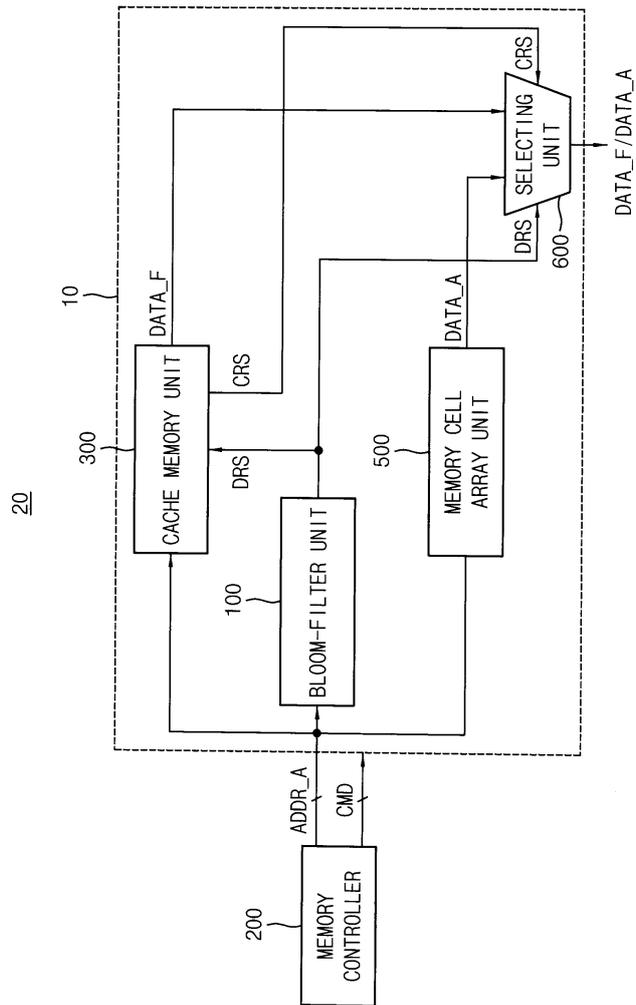


도면13

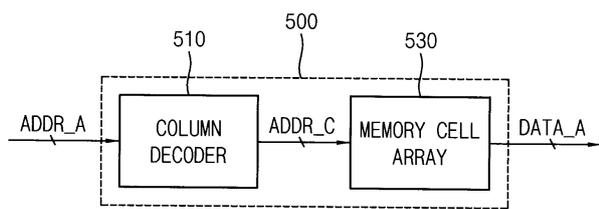
201



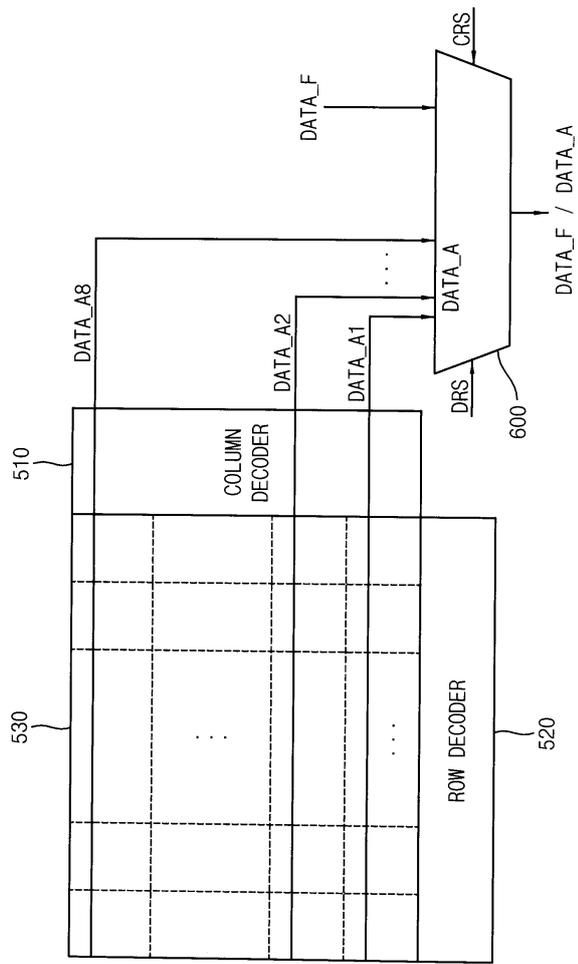
도면14



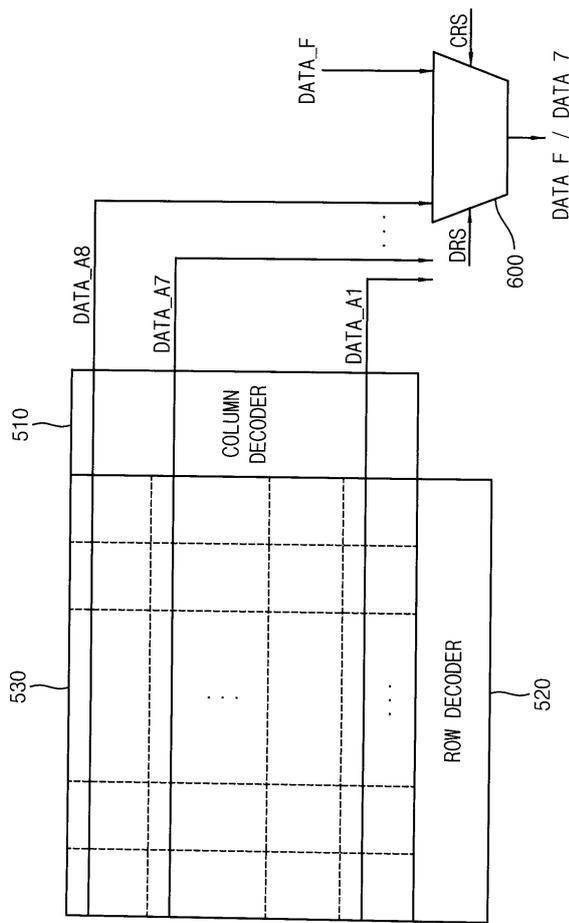
도면15



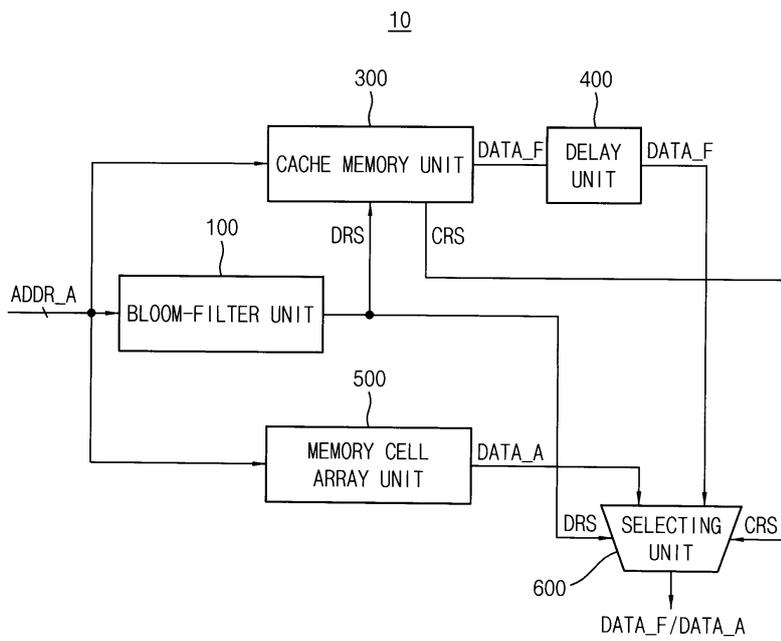
도면16



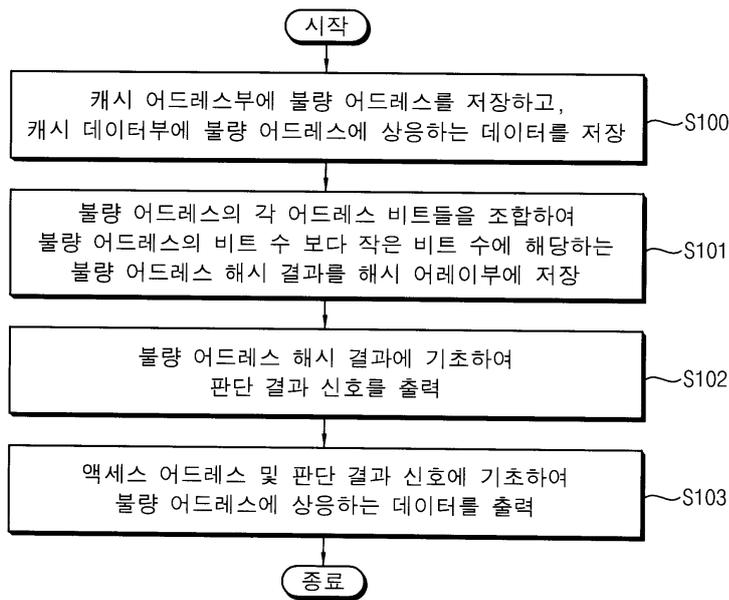
도면17



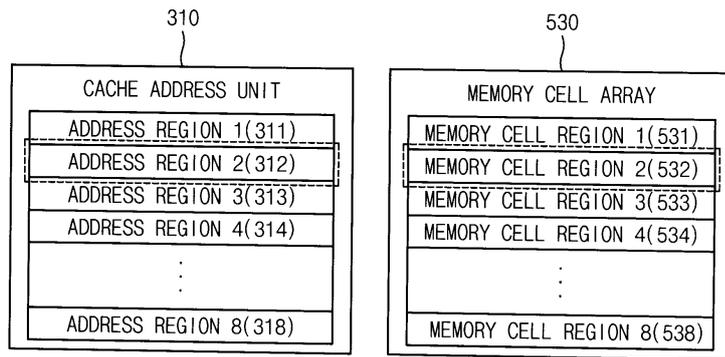
도면18



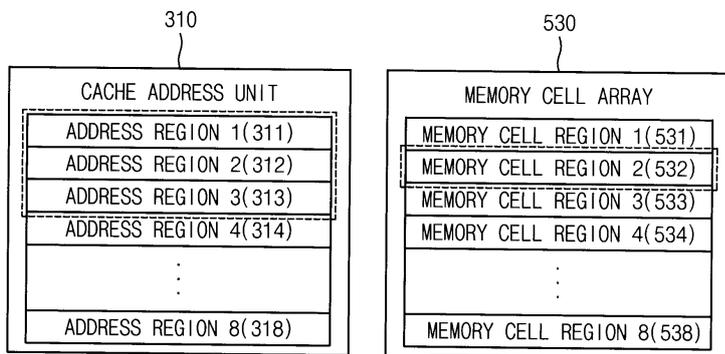
도면19



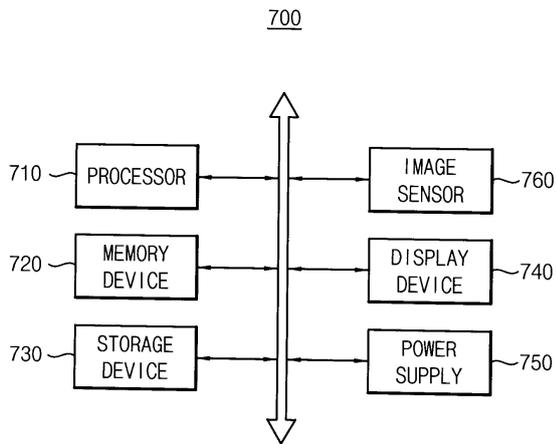
도면20



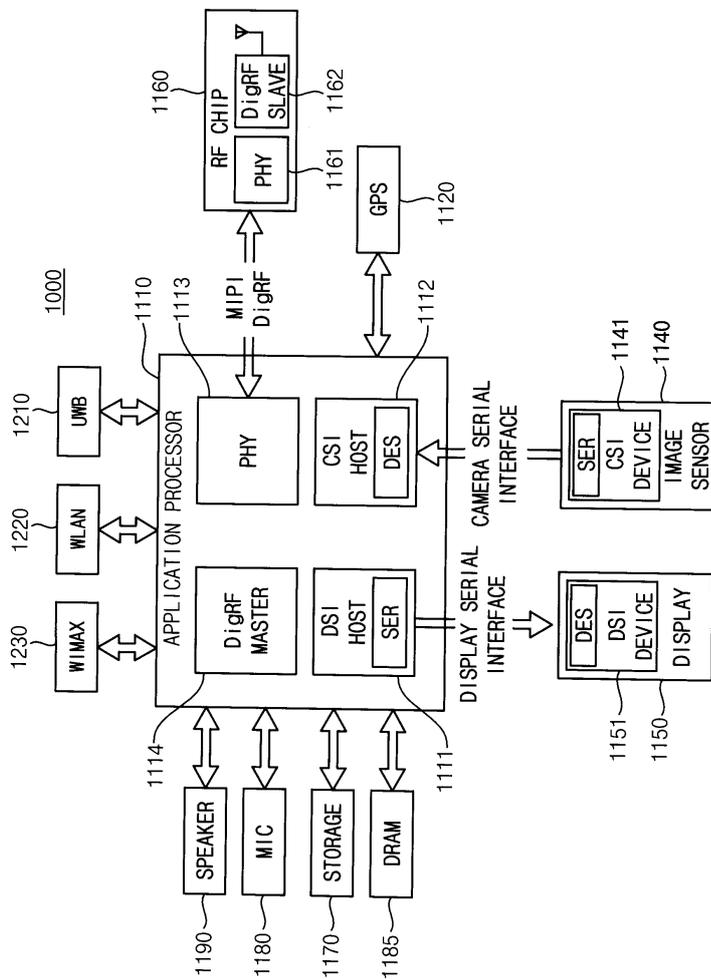
도면21



도면22



도면23



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 18

【변경전】

캐시 메모리에 포함되는 캐시 어드레스부에 불량 어드레스들을 저장하고, 상기 캐시 메모리에 포함되는 캐시 데

이터부에 상기 불량 어드레스들에 상응하는 데이터를 저장하는 단계;

상기 불량 어드레스들 각각의 어드레스 비트들을 조합하여 상기 불량 어드레스의 비트 수 보다 작은 비트 수에 해당하는 불량 어드레스 해시 결과들을 해시 어레이부에 저장하는 단계;

상기 불량 어드레스 해시 결과들에 기초하여 액세스 어드레스가 불량 셀에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하고, 판단 결과 신호를 출력하는 단계; 및

상기 액세스 어드레스 및 상기 판단 결과 신호에 기초하여 상기 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력하는 단계를 포함하고,

상기 캐시 어드레스부는 복수의 어드레스 영역들로 구분되고, 상기 복수의 어드레스 영역들의 각각은 상기 메모리 장치의 메모리 셀 어레이에 포함되는 복수의 메모리 셀 영역들의 각각에 포함되는 불량 어드레스들을 저장하고,

상기 복수의 어드레스 영역들의 각각의 저장 용량이 상기 복수의 메모리 셀 영역들의 각각에 포함되는 상기 불량 어드레스들을 저장하기 위한 저장 용량보다 작은 경우, 상기 복수의 어드레스 영역들의 각각의 인접한 어드레스 영역들에 상기 불량 어드레스들을 저장하는 메모리 장치의 동작 방법.

**【변경후】**

캐시 메모리에 포함되는 캐시 어드레스부에 불량 어드레스들을 저장하고, 상기 캐시 메모리에 포함되는 캐시 데이터부에 상기 불량 어드레스들에 상응하는 데이터를 저장하는 단계;

상기 불량 어드레스들 각각의 어드레스 비트들을 조합하여 상기 불량 어드레스의 비트 수 보다 작은 비트 수에 해당하는 불량 어드레스 해시 결과들을 해시 어레이부에 저장하는 단계;

상기 불량 어드레스 해시 결과들에 기초하여 액세스 어드레스가 불량 셀에 해당하는 불량 어드레스들 중 하나일 가능성을 판단하고, 판단 결과 신호를 출력하는 단계; 및

상기 액세스 어드레스 및 상기 판단 결과 신호에 기초하여 상기 불량 어드레스에 상응하는 데이터를 리페어 데이터로서 출력하는 단계를 포함하고,

상기 캐시 어드레스부는 복수의 어드레스 영역들로 구분되고, 상기 복수의 어드레스 영역들의 각각은 메모리 장치의 메모리 셀 어레이에 포함되는 복수의 메모리 셀 영역들의 각각에 포함되는 불량 어드레스들을 저장하고,

상기 복수의 어드레스 영역들의 각각의 저장 용량이 상기 복수의 메모리 셀 영역들의 각각에 포함되는 상기 불량 어드레스들을 저장하기 위한 저장 용량보다 작은 경우, 상기 복수의 어드레스 영역들의 각각의 인접한 어드레스 영역들에 상기 불량 어드레스들을 저장하는 메모리 장치의 동작 방법.