(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/76

(45) 공고일자 2003년02월11일
(11) 등록번호 10-0361763
(24) 등록일자 2002년11월07일

(21) 출원번호 10-1995-0054955
(22) 출원일자 1995년12월22일

(65) 공개번호 특1997-0053407
(43) 공개일자 1997년07월31일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 송태식
서울특별시 영등포구 당산동 철우APT 104-302호

(74) 대리인 이후동
이정훈

심사관 : 이금욱

(54) 반도체소자의소자분리막제조방법

요약

본 발명은 반도체소자의 소자분리막 제조방법에 관한 것으로, LOCOS(Local Oxidation of Silcon) 공정을 응용한 소자분리막 제조방법에 있어서, 소자분리영역을 노출하는 질화막패턴과, 패드산화막제1패턴을 형성하고, 상기 패드산화막제1패턴을 측벽에서 활성영역쪽으로 일정부분 식각하여 패드산화막제2패턴을 형성하고, 상기 질화막패턴과, 패드산화막제2패턴의 측벽에 ⊥자 형태의 산화질화막패턴과, 스페이서형태의 산화막을 형성한 후, 필드산화막을 형성하므로써, 반도체소자의 신뢰성을 향상한다.

대표도

도 1a

명세서

도면의 간단한 설명

제 1A 도 내지 제 1C 도는 종래의 실시예에 따른 반도체소자의 소자분리막 제조 공정도.

제 2A 도 내지 제 2H 도는 본 발명의 실시예에 따른 반도체소자의 소자분리막 제조 공정도.

< 도면의 주요부분에 대한 부호의 설명 >

1 : 반도체기판 2 : 패드산화막

3 : 질화막 4 : 산화막

5 : 산화질화막 6 : 스페이서

7 : 필드산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 소자분리막 제조방법에 관한 것으로, 특히 구조 공정을 응용한 소자분리막 제조방법에있어서, 활성영역과 소자분리영역이 만나는 부분의 필드산화막 끝단의 높이가 활성영역 아래쪽으로 함몰되는 것을 방지하므로써, 소자의 신뢰성을 향상할 수 있는 반도체소자의 소자분리막 제조방법을 제공함에 그 목적이 있다.

일반적으로, 반도체소자는 트랜지스터나 캐패시터등과 같은 소자들이 형성되는 활성영역과, 상기 소자들의 동작을 서로 방해하지 않도록 활성영역들을 분리하는 소자분리영역으로 구성되어 있다.

최근 반도체소자의 고집적화 추세에 따라 반도체소자에서 많은 면적을 차지하는 소자분리영역의 면적을 감소시키려는 노력이 꾸준히 진행되고 있다.

이러한 소자분리영역의 제조방법으로는 질화막패턴을 마스크로 하여 실리콘 반도체기판을 열산화시키는 통상의 로코스 방법이나, 반도체기판에 트랜치를 형성하고 이를 절연물질로 메우는 트랜치(trench)분리등의 방법이 사용되고 있다.

PBL 공정은 LOCOS 공정의 응용 기술로 질화막과 패드산화막의 사이에 폴리실리콘층을 형성하므로써, 소자분리막의 버즈빅(bird's beak)을 감소하며, 반도체기판의 스트레스를 완화하였다.

소자와 소자를 전기적으로 분리시키는 소자분리막은 주로 LOCOS공정으로 형성하였다. 반도체소자가 고집적화됨에 따라 상기 LOCOS를 응용하는 기술중 반도체기판의 상부에 스페이서를 형성하고, 상기 스페이서를 마스크로 반도체기판을 일정깊이로 식각하여 트렌치를 형성한 후 산화시키는 방법들이 적용되고 있다.

반도체기판을 일정깊이로 식각하면, 소자분리막이 반도체기판 아래쪽으로 더 깊이 들어가 형성되므로 전기적으로 소자분리역할을 높일 수 있으며, 소자분리공정이 끝난 후 평탄화도 양호해지는 장점이 있다.

제1A도 내지 제1C도는 종래의 LOCOS 공정을 응용한 반도체소자의 소자분리막의 제조 공정도이다.

제1A도를 참조하면, 반도체기판(1)의 상부를 열산화하여 패드산화막(2)을 형성하고, 상기 패드산화막(2) 상부에 질화막(3)을 증착한다.

소자분리용 식각마스크를 사용하여 상기 반도체기판(1)에서 소자분리막영역으로 예정되어 있는 부분을 노출시키는 질화막(3)패턴 및 패드산화막(2)패턴을 형성한다.

상기 구조의 전표면에 질화막을 증착한 후 전면식각하여 상기 질화막(3)패턴과 패드산화막(2)패턴의 측벽에 스페이서(6)를 형성한다.

이때, 상기 스페이서(6)의 역할은 버즈빅이 생기는 만큼의 공간을 보상하여 활성영역의 손실을 막기 위한 것이다.

제1B도를 참조하면, 상기 질화막(3)패턴과 스페이서(6)에 의해 노출된 반도체기판(1)을 식각하여 홈을 형성한다.

제1C도를 참조하면, 상기 홈에 의해 노출되어 있는 반도체기판(1)을 열산화하여 필드산화막(7)을 형성한다.

그러나, 상기 종래기술에 따른 반도체소자의 소자분리막은 상기 질화막 스페이서의 두께가 두꺼워서 활성영역과 소자분리영역이 만나는 지점의 필드산화막이 활성영역의 아래쪽으로 함몰되어 형성되므로, 이후에 형성될 게이트산화막이 얇아지는 문제가 있으며, 이후에 형성될 트렌지스터의 문턱전압이 일정하지 않는 문제점이 있으며, 이후에 형성될 게이트 폴리실리콘을 패턴닝(patterning) 하여 식각할 때, 필드산화막의 함몰된 에지(edge) 부위에 남은 폴리실리콘으로 인하여 모스전계효과 트랜지스터의 동작을 불안정하게 하는 문제점이 있다.

따라서, 본 발명의 목적은 상기 문제점을 해결하기 위한 것으로, 본 발명은 LOCOS(Local Oxidation of Silcon) 공정을 응용한 소자분리막 제조방법에있어서, 소자분리영역을 노출하는 질화막패턴과, 패드산화막제1패턴을 형성하고, 상기 패드산화막제1패턴을 측벽에서 활성영역쪽으로 일정부분식각하여 패드산화막제2패턴을 형성하고, 상기 질화막패턴과, 패드산화막제2패턴의 측벽과 ⊥자 형태의 산화질화막패턴과 스페이서 형태의 산화막으로 구성된 스페이서를 형성하므로써, 필드산화막 형성시 산화막의 측면확산을 방지하므로써, 소자의 신뢰성을 향상할 수 있는 반도체소자의 소자분리막 제조방법을 제공함에 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명의 반도체소자의 소자분리막 제조방법은 반도체기판의 상부에 소자분리영역을 노출시키는 패드산화막패턴과 질화막패턴을 형성하는 단계와,

상기 패드산화막패턴을 언더 컷하는 단계와,

상기 구조의 전 표면에 산화질화막과, 산화막을 차례로 형성하는 단계와,

상기 산화막과 산화질화막을 전면식각하여 상기 질화막패턴과 패드산화막패턴의 측벽에 스페이서를 형성하는 단계와,

상기 노출된 반도체기판과 스페이서를 열산화하여 필드산화막을 형성하는 단계와,

상기 질화막패턴과 패드산화막패턴을 제거하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 적합한 실시예에 대한 상세한 설명을 하기로 한다.

제2A도 내지 제2H도는 본 발명의 실시예에 따른 반도체소자의 소자분리막 제조 공정도이다.

제2A도를 참조하면, 반도체기판(1)을 열산화하여 100 내지 300 Å 두께의 패드산화막(2)을 형성하고, 상기 패드산화막(2) 상부에 화학기상증착법으로 1500 내지 2500 Å 두께의 질화막(3)을 형성한다.

그 다음, 상기 구조의 전 표면에 감광막을 도포한 후 노광마스크를 이용하여 소자분리영역은 노출시키고, 활성영역은 감싸는 감광막패턴(도시안함)을 형성한다.

제2B도를 참조하면, 상기 감광맥패턴을 마스크로 상기 질화막(3)과, 패드산화막(2)을 건식식각하여 질화막(3)패턴과, 패드산화막(2)제1패턴을 형성한다.

제2C도를 참조하면, 묽은 불산용액을 사용하여 상기 제1 패드산화막(2)패턴을 측벽으로 부터 활성영역쪽으로 100 내지 500 Å 정도 언더 컷(Under cut)하여 패드산화막(2)제2패턴을 형성한다.

제2D도를 참조하면, 상기 구조의 전 표면에 화학기상증착법으로 60 내지 120 Å 이하의 산화질화막(4)을 형성한다.

이때, 상기 산화질화막(4)은 600 내지 750℃의 온도에서, DCS, NH_3의 조성비를 1 : 3.0 내지 1 : 3.5 로 하고, 질소의 유량을 40sccm으로하고, 증착압력을 200 내지 500 m Torr 하여 증착한다.

그 다음, 상기 구조의 전 표면에 화학기상증착법으로 200 내지 1000 Å 두께의 산화막(5)을 형성한다.

제2E도를 참조하면, 상기 질화산화막(4)과, 산화막(5)을 차례로 이방성식각하여 상기 질화막(3)패턴과, 패드산화막(2)제2패턴의 측벽에 산화질화막(4)패턴과, 산화막(5)패턴으로 형성된 스페이서(6)를 형성한다.

상기 산화질화막(4)패턴은 ⊥자 모양으로 상기 질화막(3)패턴, 패드산화막 (2)제2패턴, 반도체기판(1)에 접촉하고, 상기 산화막(5)패턴은 스페이서 모양으로 상기 산화질화막(4)패턴으로 접촉한다.

참고로, 상기 스페이서(6)를 형성한 후, 상기 스페이서(6)를 마스크로 반도체기판(1)을 일정깊이 식각할 수도 있다.

제2F도를 참조하면, 노출된 반도체기판(1)을 1100 내지 1150℃ 온도에서 열산화하여 2500 내지 4000 Å 두께의 필드산화막(7)을 형성하되, 상기 스페이서(6)까지 열산화하여 필드산화막(7)을 형성한다.

이때, 상기 스페이서(6)는 반도체기판(1)의 산화로 인한 하부로 부터의 부피 팽창을 억제하여 필드산화막의 측면확산을 방지한다.

또, 상기 산화막(5)패턴을 통하여 상기 산화질화막(4)패턴도 동시에 산화하되, 상기 패드산화막(2)제2패턴과 접한 일부분에만 산화질화막(4)패턴이 일정량 남아 있다.

제2G도를 참조하면, BOE (Buffer Oxide Etchant)나 불산용액을 사용하여 상기 필드산화막(7) 형성시 질화막(3)패턴의 표면에 얇게 형성된 산화막(도시안함)을 제거한다.

그 다음, 인산용액을 사용하여 상기 질화막(3)패턴을 제거하는 동시에 남아있는 산화질화막(4)패턴도 제거한다.

그 다음, BOE 나 불산용액을 사용하여 패드산화막(2)제2패턴을 제거한다.

제2H도를 참조하면, 상기 구조의 전 표면에 희생산화막(도시하지 않음)을 형성한 후, 상기 희생산화막을 제거하여 필드산화막(7)을 형성한다.

따라서, 필드산화막(7)의 에지(edge)가 활성영역보다 함몰되지 않은 좋은 특성의 소자분리막을 형성한다.

상술한 바와 같이 본 발명의 반도체소자의 소자분리막 제조방법은 LOCOS(Local Oxidation of Silcon) 공정을 응용한 소자분리막 제조방법에 있어서, 소자분리영역을 노출하는 질화막패턴과, 패드산화막제1패턴을 형성하고, 상기 패드산화막제1패턴을 측벽에서 활성영역쪽으로 일정부분 식각하여 패드산화막제2패턴을 형성하고, 상기 질화막패턴과, 패드산화막제2패턴의 측벽에 ⊥자 형태의 산화질화막패턴과, 스페이서 형태의 산화막을 형성한 후, 패드산화막을 형성하므로써, 반도체소자의 신뢰성을 향상하는 이점이 있다.

(57) 청구의 범위

청구항 1.

반도체기판의 상부에 소자분리영역을 노출시키는 패드산화막패턴과 질화막패턴을 형성하는 단계와,

상기 패드산화막패턴을 언더 컷하는 단계와,

상기 구조의 전 표면에 산화질화막과, 산화막을 차례로 형성하는 단계와,

상기 산화막과 산화질화막을 전면식각하여 상기 질화막패턴과 패드산화막패턴의 측벽에 스페이서를 형성하는 단계와,

상기 노출된 반도체기판과 스페이서를 열산화하여 필드산화막을 형성하는 단계와,

상기 질화막패턴과 패드산화막패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 2.

제 1 항에 있어서,

상기 패드산화막패턴은 100 내지 300 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 3.

제 1 항에 있어서,

상기 질화막패턴은 1500 내지 2500 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 4.

제 1 항에 있어서,

상기 패드산화막패턴의 언더 컷 공정은 묽은 불산용액을 사용하여 활성영역쪽으로 100 내지 500 Å 정도 식각하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 5.

제 1 항에 있어서,

상기 산화질화막은 화학기상증착법으로 60 내지 120 Å 이하의 두께로 형성되는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 6.

제 1 항에 있어서,

상기 산화질화막은 600 내지 750℃의 온도에서, DCS, NH3의 조성비를 1 : 3.0 내지 1 : 3.5 로 하고, 질소의 유량을 40 sccm으로 하고, 증착압력을 200 내지 500 m Torr로 하여 증착하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 7.

제 1 항에 있어서,

상기 산화막은 화학기상증착법으로 200 내지 1000 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 8.

제 1 항에 있어서,

상기 필드산화막은 1100 내지 1150℃ 온도에서, 2500 내지 4000 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 9.

제 1 항에 있어서,

상기 필드산화막을 형성할 때, 질화막패턴의 표면에 얇게 형성된 산화막은 BOE 나 불산용액을 사용하여 제거하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 10.

제 1 항에 있어서,

상기 질화막패턴은 인산용액을 사용하여 제거하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 11.

제 1 항에 있어서,

상기 패드산화막패턴은 BOE 나 불산용액을 사용하여 제거하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

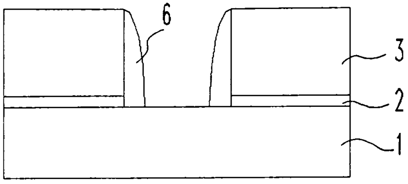
청구항 12.

제 1 항에 있어서,

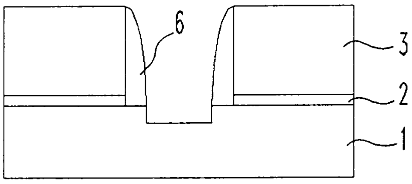
상기 스페이서를 마스크로 반도체기판의 일정깊이를 식각하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

도면

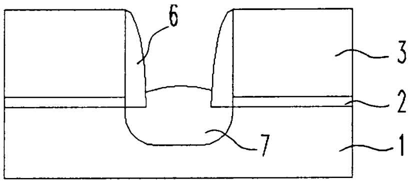
도면 1a



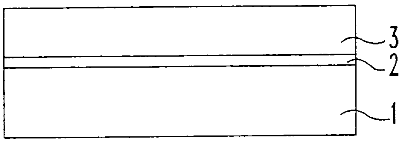
도면 1b



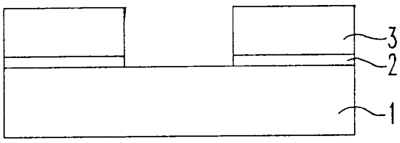
도면 1c



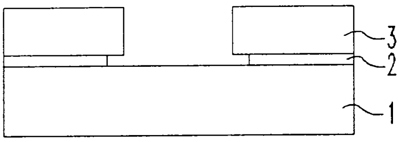
도면 2a



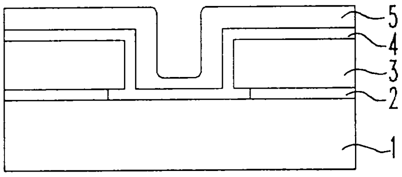
도면 2b



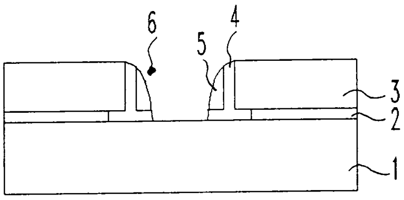
도면 2c



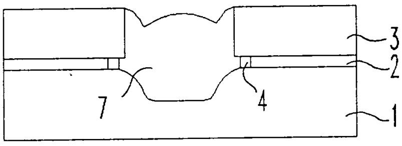
도면 2d



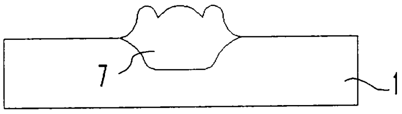
도면 2e



도면 2f



도면 2g



도면 2h