

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6528545号
(P6528545)

(45) 発行日 令和1年6月12日(2019.6.12)

(24) 登録日 令和1年5月24日(2019.5.24)

(51) Int.Cl. F I
 H O 1 L 21/338 (2006.01) H O 1 L 29/80 H
 H O 1 L 29/778 (2006.01)
 H O 1 L 29/812 (2006.01)

請求項の数 12 (全 29 頁)

(21) 出願番号	特願2015-112804 (P2015-112804)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成27年6月3日(2015.6.3)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2016-225556 (P2016-225556A)	(74) 代理人	100092978 弁理士 真田 有
(43) 公開日	平成28年12月28日(2016.12.28)	(74) 代理人	100112678 弁理士 山本 雅久
審査請求日	平成30年3月6日(2018.3.6)	(72) 発明者	遠藤 聡 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	杉山 芳弘

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を備え、
 前記電子走行層は、III-V族化合物半導体からなり、第1層、第2層及び第3層が順に積層された構造を有し、前記第2層は前記第1層及び前記第3層よりも電子の有効質量の軽い半導体からなり、前記第2層の伝導帯のエネルギーが前記第1層及び前記第3層の伝導帯のエネルギーよりも低く、前記第1層と前記第2層との界面及び前記第2層と前記第3層との界面に、前記III-V族化合物半導体のV族元素が、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きいV族元素で置換された混晶領域を有し、
 前記III-V族化合物半導体の前記V族元素はAsであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はSbであることを特徴とする半導体装置。

【請求項2】

前記電子走行層は、前記第1層としてInGaAs層、前記第2層としてInAs層、前記第3層としてInGaAs層が順に積層された構造を有することを特徴とする、請求項1に記載の半導体装置。

【請求項3】

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を備え、
 前記電子走行層は、III-V族化合物半導体からなり、第1層、第2層及び第3層が順に積層された構造を有し、前記第2層は前記第1層及び前記第3層よりも電子の有効質

量の軽い半導体からなり、前記第2層の伝導帯のエネルギーが前記第1層及び前記第3層の伝導帯のエネルギーよりも低く、前記第1層と前記第2層との界面及び前記第2層と前記第3層との界面に、前記III-V族化合物半導体のV族元素が、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きいV族元素で置換された混晶領域を有し、

前記III-V族化合物半導体の前記V族元素はPであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はAsであることを特徴とする半導体装置。

【請求項4】

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を備え、

前記電子走行層は、III-V族化合物半導体からなり、第1層、第2層及び第3層が順に積層された構造を有し、前記第2層は前記第1層及び前記第3層よりも電子の有効質量の軽い半導体からなり、前記第2層の伝導帯のエネルギーが前記第1層及び前記第3層の伝導帯のエネルギーよりも低く、前記第1層と前記第2層との界面及び前記第2層と前記第3層との界面に、前記III-V族化合物半導体のV族元素が、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きいV族元素で置換された混晶領域を有し、

前記III-V族化合物半導体の前記V族元素はPであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はSbであることを特徴とする半導体装置。

【請求項5】

前記電子走行層は、前記第1層としてInGaP層、前記第2層としてInP層、前記第3層としてInGaP層が順に積層された構造を有することを特徴とする、請求項3又は4に記載の半導体装置。

【請求項6】

前記半導体積層構造は、さらに下部バリア層を含み、前記下部バリア層、前記電子走行層及び前記電子供給層が順に積層された構造を有し、前記電子走行層の前記第1層及び前記第3層の伝導帯のエネルギーが前記下部バリア層及び前記電子供給層の伝導帯のエネルギーよりも低いことを特徴とする、請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】

前記混晶領域の伝導帯のエネルギーは、前記第2層の伝導帯のエネルギーよりも低いことを特徴とする、請求項1～6のいずれか1項に記載の半導体装置。

【請求項8】

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を形成する工程を含み、

前記電子走行層を形成する工程は、

III-V族化合物半導体からなる第1層を形成し、

前記第1層上に、前記第1層よりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが前記第1層よりも低い第2層を形成し、

前記第2層上に、前記第2層よりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが前記第2層よりも高い第3層を形成する、各工程を含み、

さらに、前記第1層を形成する工程と前記第2層を形成する工程との間及び前記第2層を形成する工程と前記第3層を形成する工程との間に、前記III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程を含み、

前記III-V族化合物半導体の前記V族元素はAsであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はSbであることを特徴とする半導体装置の製造方法。

【請求項9】

前記電子走行層を形成する工程において、前記第1層としてInGaAs層を形成し、前記第2層としてInAs層を形成し、前記第3層としてInGaAs層を形成することを特徴とする、請求項8に記載の半導体装置の製造方法。

【請求項10】

10

20

30

40

50

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を形成する工程を含み、

前記電子走行層を形成する工程は、

III-V族化合物半導体からなる第1層を形成し、

前記第1層上に、前記第1層よりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが前記第1層よりも低い第2層を形成し、

前記第2層上に、前記第2層よりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが前記第2層よりも高い第3層を形成する、各工程を含み、

さらに、前記第1層を形成する工程と前記第2層を形成する工程との間及び前記第2層を形成する工程と前記第3層を形成する工程との間に、前記III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程を含み、

前記III-V族化合物半導体の前記V族元素はPであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はAsであることを特徴とする半導体装置の製造方法。

【請求項11】

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を形成する工程を含み、

前記電子走行層を形成する工程は、

III-V族化合物半導体からなる第1層を形成し、

前記第1層上に、前記第1層よりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが前記第1層よりも低い第2層を形成し、

前記第2層上に、前記第2層よりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが前記第2層よりも高い第3層を形成する、各工程を含み、

さらに、前記第1層を形成する工程と前記第2層を形成する工程との間及び前記第2層を形成する工程と前記第3層を形成する工程との間に、前記III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程を含み、

前記III-V族化合物半導体の前記V族元素はPであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はSbであることを特徴とする半導体装置の製造方法。

【請求項12】

前記電子走行層を形成する工程において、前記第1層としてInGaP層を形成し、前記第2層としてInP層を形成し、前記第3層としてInGaP層を形成することを特徴とする、請求項10又は11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

例えばミリ波帯（約30～約300GHz）やサブミリ波帯（約300GHz～約3THz）で動作可能な通信用超高速トランジスタの一つに高電子移動度トランジスタ（HEMT；High Electron Mobility Transistor）がある。

例えば、III-V族化合物半導体を用いたHEMTとしては、例えば、チャネル層（電子走行層）にInGaAsを用い、電子供給層（バリア層）にInAlAs又はAlGaAsを用いたInAlAs/InGaAs系HEMT又はAlGaAs/InGaAs系HEMT、あるいは、チャネル層にInGaPを用い、電子供給層にAlGaAs又はInAlPを用いたAlGaAs/InGaP系HEMT又はInAlP/InGaP系HEMTなどがある。

【0003】

このようなHEMTの高速化を、真性遅延時間を短縮することによって実現するには、

10

20

30

40

50

例えば、ゲート長を微細化する、チャンネル層中の電子速度を増大させるなどの方法がある。

このうち、チャンネル層中の電子速度を増大させるには、電子の有効質量の軽い半導体をチャンネル層に用いれば良い。

【0004】

そこで、HEMTのチャンネル層中に、電子の有効質量の軽い半導体からなる層を設けたコンポジットチャンネルHEMTがある。

例えば、InAlAs/InGaAs系HEMT又はAlGaAs/InGaAs系HEMTのInGaAsチャンネル層中に、電子の有効質量の軽い半導体であるInAsからなるInAs層を設けたInGaAs/InAs/InGaAsコンポジットチャンネルHEMTがある。また、例えば、AlGaAs/InGaP系HEMT又はInAlP/InGaP系HEMTのInGaPチャンネル層中に、電子の有効質量の軽い半導体であるInPからなるInP層を設けたInGaP/InP/InGaPコンポジットチャンネルHEMTがある。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-313815号公報

【特許文献2】特開平9-205197号公報

【特許文献3】特表2012-523712号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、例えばInGaAs/InAs/InGaAsコンポジットチャンネルHEMTでは、チャンネル層は、InGaAs層、InAs層、InGaAs層が順に積層された構造を有し、InAs層はInGaAs層よりも電子の有効質量の軽い半導体からなる層である。

この場合、InGaAsよりもInAsの格子定数の方が大きいため、チャンネル層を構成するInAs層に圧縮歪み加わることになる。

【0007】

30

そして、圧縮歪み加わったInAs層は、無歪みのInAs層よりも電子の有効質量が増大する。この結果、電子の有効質量が軽い半導体であるというInAsの有効性を十分には活かせなくなる。これはHEMTの高速化を図る上で好ましくない。

また、InAs層に圧縮歪み加わると、InAs層の結晶が劣化してしまう。この結果、InAs層を厚くすることが難しくなり、InAs層を厚くすることができず、InAs層に十分に電子を溜め込むことができず、InAs層を挟むInGaAs層にまで電子が広がってしまうことになる。これはHEMTの高速化を図る上で好ましくない。

【0008】

なお、ここでは、InGaAs/InAs/InGaAsコンポジットチャンネルHEMTにおける課題として説明しているが、他の材料系のコンポジットチャンネルHEMT(例えばInGaP/InP/InGaPコンポジットチャンネルHEMT)においても同様の課題がある。

40

そこで、チャンネル層を構成する電子の有効質量の軽い半導体からなる層に加わる圧縮歪みを低減したい。

【課題を解決するための手段】

【0009】

本半導体装置は、基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を備え、電子走行層は、III-V族化合物半導体からなり、第1層、第2層及び第3層が順に積層された構造を有し、第2層は第1層及び第3層よりも電子の有効質量の軽い半導体からなり、第2層の伝導帯のエネルギーが第1層及び第3層の伝導帯のエネルギーより

50

も低く、第1層と第2層との界面及び第2層と第3層との界面に、III-V族化合物半導体のV族元素が、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素で置換された混晶領域を有し、III-V族化合物半導体のV族元素はAsであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はSbである。

また、本半導体装置は、基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を備え、電子走行層は、III-V族化合物半導体からなり、第1層、第2層及び第3層が順に積層された構造を有し、第2層は第1層及び第3層よりも電子の有効質量の軽い半導体からなり、第2層の伝導帯のエネルギーが第1層及び第3層の伝導帯のエネルギーよりも低く、第1層と第2層との界面及び第2層と第3層との界面に、III-V族化合物半導体のV族元素が、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素で置換された混晶領域を有し、III-V族化合物半導体のV族元素はPであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はAsである。

また、本半導体装置は、基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を備え、電子走行層は、III-V族化合物半導体からなり、第1層、第2層及び第3層が順に積層された構造を有し、第2層は第1層及び第3層よりも電子の有効質量の軽い半導体からなり、第2層の伝導帯のエネルギーが第1層及び第3層の伝導帯のエネルギーよりも低く、第1層と第2層との界面及び第2層と第3層との界面に、III-V族化合物半導体のV族元素が、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素で置換された混晶領域を有し、III-V族化合物半導体のV族元素はPであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はSbである。

【0010】

本半導体装置の製造方法は、基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を形成する工程を含み、電子走行層を形成する工程は、III-V族化合物半導体からなる第1層を形成し、第1層上に、第1層よりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが第1層よりも低い第2層を形成し、第2層上に、第2層よりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが第2層よりも高い第3層を形成する、各工程を含み、さらに、第1層を形成する工程と第2層を形成する工程との間及び第2層を形成する工程と第3層を形成する工程との間に、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程を含み、III-V族化合物半導体のV族元素はAsであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はSbである。

また、本半導体装置の製造方法は、基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を形成する工程を含み、電子走行層を形成する工程は、III-V族化合物半導体からなる第1層を形成し、第1層上に、第1層よりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが第1層よりも低い第2層を形成し、第2層上に、第2層よりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが第2層よりも高い第3層を形成する、各工程を含み、さらに、第1層を形成する工程と第2層を形成する工程との間及び第2層を形成する工程と第3層を形成する工程との間に、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程を含み、III-V族化合物半導体のV族元素はPであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はAsである。

また、本半導体装置の製造方法は、基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を形成する工程を含み、電子走行層を形成する工程は、III-V族化合物半導体からなる第1層を形成し、第1層上に、第1層よりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが第1層よりも低い第2層を形成し、第2層上に、第2層よりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが第2層よりも高い第3層を形成する、各工程を含み、さらに、第1層を形成する工程と第2層を形成する工程との間及び第2層を形成する工程と第3層を形成する工程との間に、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程を含み、III-V族化合物半導体のV族元素はPであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はSbである。

10

20

30

40

50

V族化合物半導体のV族元素よりも原子半径の大きいV族元素はSbである。

【発明の効果】

【0011】

したがって、本半導体装置及びその製造方法によれば、チャネル層を構成する電子の有効質量の軽い半導体からなる層に加わる圧縮歪みを低減することができるという利点がある。

【図面の簡単な説明】

【0012】

【図1】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の構成を示す模式的断面図である。

10

【図2】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の伝導帯バンド構造を示す模式図である。

【図3】一般的な半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の構成を示す模式的断面図である。

【図4】一般的な半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の伝導帯バンド構造を示す模式図である。

20

【図5】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

【図6】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

【図7】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

【図8】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

30

【図9】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

【図10】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

【図11】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

40

【図12】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

【図13】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

【図14】本実施形態の半導体装置(InAlAs/InGaAs系HEMT; InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を説明するための模式的断面図である。

50

【図15】本実施形態の変形例の半導体装置(InAlP/InGaP系HEMT; InGaP/InP/InGaPコンポジットチャネルHEMT)の構成を示す模式的断面図である。

【図16】本実施形態の変形例の半導体装置(InAlP/InGaP系HEMT; InGaP/InP/InGaPコンポジットチャネルHEMT)の伝導帯バンド構造を示す模式図である。

【図17】一般的な半導体装置(InAlP/InGaP系HEMT; InGaP/InP/InGaPコンポジットチャネルHEMT)の構成を示す模式的断面図である。

【図18】一般的な半導体装置(InAlP/InGaP系HEMT; InGaP/InP/InGaPコンポジットチャネルHEMT)の伝導帯バンド構造を示す模式図である。

10

【発明を実施するための形態】

【0013】

以下、図面により、本発明の実施の形態にかかる半導体装置について、図1～図18を参照しながら説明する。

本実施形態にかかる半導体装置は、例えば通信に用いられる超高速トランジスタの一つである、III-V族化合物半導体を用いたHEMT、即ち、III-V族化合物半導体ヘテロ構造を有するHEMTを備える。

【0014】

本実施形態では、半導体装置は、例えば、基板上に、III-V族化合物半導体としてInAlAs/InGaAs系化合物半導体を用いた半導体積層構造を有するHEMT、即ち、電子走行層(チャネル層)にInGaAsを用い、電子供給層(バリア層)にInAlAsを用いたInAlAs/InGaAs系HEMT(InGaAsチャネルHEMT)を備える。

20

【0015】

このHEMTは、例えば、ミリ波(約30～約300GHz)やサブミリ波(約300GHz～約3THz)の領域で動作可能なトランジスタである。

本InAlAs/InGaAs系HEMTは、図1に示すように、基板10と、基板10上に設けられた半導体積層構造26と、半導体積層構造26上に設けられたゲート電極33、ソース電極31及びドレイン電極32とを備える。

30

【0016】

本実施形態では、基板10は、半絶縁性InP基板[例えば半絶縁性(100)InP基板;半導体基板]である。なお、基板10としては、GaAs基板やSi基板を用いることもできる。

半導体積層構造26は、電子走行層24及び電子供給層25を含む半導体積層構造である。ここでは、半導体積層構造26は、バッファ層11、下部バリア層12、電子走行層(チャネル層)24、電子供給層(上部バリア層)25、エッチング停止層21、キャップ層22を順に積層した構造になっている。なお、キャップ層22をオーミックコンタクト用キャップ層ともいう。

【0017】

40

本実施形態では、バッファ層11は、例えば、厚さが約1000nmである。なお、バッファ層11に用いる材料は、基板10に応じて異なる。なお、バッファ層11は、必要に応じて設ければ良い。

下部バリア層12は、InAlAs層である。ここでは、アンドープのInAlAs層である。例えば、 $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ 層であり、その厚さは約200nmである。なお、バッファ層11を設けない場合には、この下部バリア層12がバッファ層としても機能することになる。

【0018】

電子走行層24は、InGaAs系化合物半導体(III-V族化合物半導体)からなり、InGaAs層(第1層)13、InAs層(第2層)15、InGaAs層(第3

50

層) 17が順に積層された構造(ここでは3層構造)を有する。この場合、InAs層15は、InGaAs層13、17よりも電子の有効質量の軽い半導体からなる。

このように、本実施形態のInAlAs/InGaAs系HEMTは、InAlAs/InGaAs系HEMTのInGaAsチャネル層中に、電子の有効質量の軽い半導体であるInAsからなるInAs層を設けたInGaAs/InAs/InGaAsコンポジットチャネルHEMTである。なお、InGaAs/InAs/InGaAsコンポジットチャネルHEMTを、As系コンポジットチャネルHEMTともいう。

【0019】

このInGaAs/InAs/InGaAsコンポジットチャネルHEMTの半導体積層構造26は、下部バリア層(InAlAs層)12、電子走行層24及び電子供給層(InAlAs層)25が順に積層された構造を有する。

10

そして、図2の伝導帯バンド構造(垂直方向の伝導帯バンド構造)に示すように、下部バリア層12、電子走行層24及び電子供給層25によって構成される量子井戸の中に、電子走行層24の第1層13、第2層15及び第3層17によって構成され、この量子井戸よりも伝導帯のエネルギーが深い(低い)量子井戸が設けられている。

【0020】

また、図2の伝導帯バンド構造に示すように、電子走行層24の第1層13及び第3層17(InGaAs層)の伝導帯のエネルギーが下部バリア層12及び電子供給層25(InAlAs層)の伝導帯のエネルギーよりも低く、かつ、第2層15(InAs層)の伝導帯のエネルギーが第1層13及び第3層17の伝導帯のエネルギーよりも低くなっている。

20

つまり、下部バリア層12及び電子供給層25、電子走行層24の第1層13及び第3層17、電子走行層24の第2層15の順に伝導帯のエネルギーが低くなっており、伝導帯のエネルギーが最も低い電子走行層24の第2層15がチャネルとして機能し、その次に伝導帯のエネルギーが低い電子走行層24の第1層13及び第3層17がサブチャネルとして機能するようになっている。

【0021】

そして、図1に示すように、電子走行層24は、InGaAs層13とInAs層15との界面及びInAs層15とInGaAs層17との界面に、それを構成するInGaAs系化合物半導体のV族元素であるAsが、InGaAs系化合物半導体のV族元素であるAsよりも原子半径の大きいV族元素であるSbで置換された混晶領域14、16を有する。

30

【0022】

つまり、電子走行層24は、伝導帯のエネルギーが浅い量子井戸と伝導帯のエネルギーが深い量子井戸との間に、これらの量子井戸を構成するIII-V族化合物半導体のV族元素であるAsが、III-V族化合物半導体のV族元素であるAsよりも原子半径の大きいV族元素であるSbで置換された混晶領域14、16を有する。

これにより、電子走行層24を構成する電子の有効質量の軽い半導体からなるInAs層15に加わる圧縮歪みを低減することができる。

【0023】

この場合、図2の伝導帯バンド構造に示すように、混晶領域14、16の伝導体のエネルギーは、InAs層15の伝導帯のエネルギーよりも低くなる。これにより、電子走行層24のInGaAs層13、InAs層15、InGaAs層17によって構成される量子井戸のInAs層15に、電子をより閉じ込めることが可能となる。

40

なお、InGaAs層13を下部層又は下部チャネル層ともいう。また、InAs層15を中間層又は中間チャネル層ともいう。また、InGaAs層17を上部層又は上部チャネル層ともいう。また、混晶領域14、16を、Sbを含む混晶領域、置換領域、As/Sb置換領域、Sbビーム照射領域、Sb雰囲気による混晶領域ともいう。また、InGaAs層13とInAs層15との界面に設けられている混晶領域14を、下部混晶領域ともいう。また、InAs層15とInGaAs層17との界面に設けられている混晶領域16を、上部混晶領域ともいう。

50

【0024】

本実施形態では、図1に示すように、電子走行層24は、アンドープのInGaAs層13、Sbビーム照射領域14、アンドープのInAs層15、Sbビーム照射領域16、アンドープのInGaAs層17を下から順に備えた構造になっている。

ここで、アンドープのInGaAs層13は、例えば、InPに格子整合する $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層であり、厚さは約3nmである。また、Sbビーム照射領域14は、例えば1原子層程度の極薄の領域である。また、アンドープのInAs層15は、例えば、厚さは約5nmである。また、Sbビーム照射領域16は、例えば1原子層程度の極薄の領域である。また、アンドープのInGaAs層17は、例えば、InPに格子整合する $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層であり、厚さは約2nmである。

10

【0025】

このように、電子走行層24は、III-V族化合物半導体からなり、第1層13、第2層15及び第3層17が順に積層された構造を有し、第2層15は第1層13及び第3層17よりも電子の有効質量の軽い半導体からなる。

そして、第2層15の伝導帯のエネルギーが第1層13及び第3層17の伝導帯のエネルギーよりも低く、第1層13と第2層15との界面及び第2層15と第3層17との界面に、III-V族化合物半導体のV族元素が、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素で置換された混晶領域14、16を有する。

【0026】

本実施形態では、III-V族化合物半導体のV族元素はAsであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はSbである。また、電子走行層24は、第1層13としてInGaAs層、第2層15としてInAs層、第3層17としてInGaAs層が順に積層された構造を有する。

20

電子供給層25は、InAlAsスペーサ層18、Siドーピング層19、InAlAsバリア層20を順に積層させた構造を有する。

【0027】

ここでは、電子供給層25は、アンドープのInAlAsスペーサ層18、Siをドーピングしてn型導電性を付与したInAlAsによって形成されるSiドーピング層19、アンドープのInAlAsバリア層20を順に積層させた構造を有する。

例えば、電子供給層25は、厚さ約3nmの $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ スペーサ層18、Siのドーピング量を約 $1 \times 10^{13} \text{ cm}^{-2}$ 程度としたSiドーピング層19、厚さ約6nmの $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ バリア層20を順に積層させた構造を有する。

30

【0028】

エッチング停止層21は、InP層であり、キャップ層22に対するエッチング停止層である。

ここでは、アンドープのInP層、即ち、 $i\text{-InP}$ 層であり、その厚さは、約3nmである。

なお、このエッチング停止層21は、InAlAs電子供給層25の酸化を防ぐ保護層としての機能も有する。

40

【0029】

キャップ層22は、InGaAs層である。ここでは、Siをドーピングしてn型導電性を付与した $n\text{-InGaAs}$ 層である。例えば、 $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層であり、その厚さは約20nmであり、Siドーピング量は約 $2 \times 10^{19} \text{ cm}^{-3}$ 程度である。なお、 $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層に、 $n\text{-In}_{0.70}\text{Ga}_{0.30}\text{As}$ 層を積層して、2層構造のキャップ層にしても良い。この場合、 $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層の厚さは約20nmとし、 $n\text{-In}_{0.70}\text{Ga}_{0.30}\text{As}$ 層の厚さは約10nmとし、Siドーピング量は約 $2 \times 10^{19} \text{ cm}^{-3}$ 程度とすれば良い。また、n型InGaAs層とn型InAlAs層を積層して、2層構造のキャップ層にしても良い。

50

【0030】

なお、半導体積層構造26は、基板10の上方に少なくとも電子走行層24及び電子供給層25を含むものであれば良く、他の積層構造になっていても良い。また、半導体積層構造26を、ヘテロ構造半導体層ともいう。

そして、このように構成される半導体積層構造26上に、ゲート電極33、ソース電極31及びドレイン電極32が設けられており、半導体積層構造26の表面はSiO₂膜(絶縁膜)23によって覆われている。

【0031】

ここでは、キャップ層22上に、電極金属として例えばTi/Pt/Auを用いたソース電極(金属電極)31及びドレイン電極(金属電極)32が設けられている。

10

つまり、キャップ層22と金属電極であるソース電極31及びドレイン電極32との接触がオーミックコンタクトとなるように、キャップ層22上に金属電極であるソース電極31及びドレイン電極32が設けられている。このため、ソース電極31及びドレイン電極32をオーミック電極という。

【0032】

また、i-InP層21上に、電極金属として例えばTi/Pt/Auを用いたゲート電極(金属電極)33が設けられている。

ところで、本実施形態において、電子走行層24を、上述のように構成しているのは、以下の理由による。

HEMTの高速化を実現するために、チャネル層中の電子速度を増大させるには、電子の有効質量の軽い半導体をチャネル層に用いれば良い。

20

【0033】

ここで、電子の有効質量の軽い半導体としては、例えば、InAs(0.022m₀)、InSb(0.014m₀)、これらの混晶であるInAsSbなどがある。なお、m₀は電子の静止質量である。

例えば、InAsは、Al(Ga)Sbをバリア層としたHEMTに用いられ、InAlAs/InGaAs系HEMTのInGaAsチャネル層中に極薄層として導入されてInGaAs/InAs/InGaAsコンポジットチャネルHEMTとするのに用いられ、

【0034】

30

このうち、InAsをAl(Ga)Sbをバリア層としたHEMTに用いる場合、InAs、AlSb、GaSbの格子定数が約0.61nm程度で近いことから、これらの組合せで比較的良好なヘテロ構造が得られる。

一方、InGaAs/InAs/InGaAsコンポジットチャネルHEMTは、図3に示すように、電子走行層(チャネル層)24を上下のIn_{0.53}Ga_{0.47}As層13、17でInAs層15を挟んだ構造とし、下部バリア層12及び電子供給層25にIn_{0.52}Al_{0.48}Asを用い、電子走行層24のIn_{0.53}Ga_{0.47}Asと下部バリア層12及び電子供給層25のIn_{0.52}Al_{0.48}Asとが格子整合するようにする。この場合、伝導帯バンド構造は図4に示すようになる。

【0035】

40

このようなInGaAs/InAs/InGaAsコンポジットチャネルHEMTの場合、InGaAsよりもInAsの格子定数の方が大きいこと、チャネル層24に導入されたInAs層15に圧縮歪みが生じることになる。

そして、圧縮歪みが生じたInAs層15は、無歪みのInAs層15よりも電子の有効質量が増大する。この結果、電子の有効質量が軽い半導体であるというInAsの有効性を十分に活かすことがなくなる。これはHEMTの高速化を図る上で好ましくない。

【0036】

また、InAs層15に圧縮歪みが生じると、InAs層15の結晶が劣化してしまうため、InAs層15を厚くすることが難しい。また、InAs層15をあまり厚くすると、InAs層15の結晶品質が劣化してしまう。また、InAs層15を厚くすること

50

ができないと、InAs層15に十分に電子を溜め込むことができず、InAs層15を挟むInGaAs層13、17にまで電子が広がってしまうことになる。例えば、現在のところ結晶品質が劣化しない程度の厚さは約2nm程度であり、この程度の厚さだと、InAs層15に十分に電子を溜めこむことができず、上下のInGaAs層13、17にまで電子が広がってしまうことになる。これはHEMTの高速化を図る上で好ましくない。

【0037】

そこで、本実施形態では、上述のように、InGaAs/InAs/InGaAsコンポジットチャネルHEMTの電子走行層24を、InGaAs層13とInAs層15との界面及びInAs層15とInGaAs層17との界面に、それを構成するInGaAs系化合物半導体のV族元素であるAsが、InGaAs系化合物半導体のV族元素であるAsよりも原子半径の大きいV族元素であるSbで置換された混晶領域14、16を有するものとしている。

10

【0038】

この混晶領域14、16では、InGaAs系化合物半導体であるInGaAsやInAsに含まれるAsがSbで置換され、InSb、InAsSb、InGaSb、InGaAsSbなどのAsよりも原子半径の大きいSbを含む混晶になっている。これらのAsよりも原子半径の大きいSbを含む混晶は、InAsよりも格子定数が大きいため（格子定数の大小関係；InGaAs < InAs < Sbを含む混晶）、InAsに加わる圧縮歪みを低減する作用がある。

20

【0039】

これにより、InGaAs/InAs/InGaAsコンポジットチャネルHEMTの電子走行層24を構成する電子の有効質量の軽い半導体からなるInAs層15に加わる圧縮歪みを低減することができる。この結果、InAs層15中の電子の有効質量の増大が抑制され、電子の有効質量が軽い半導体であるというInAsの本来の物性が十分に活かされるようになる。また、圧縮歪みが増加することによるInAs層15の結晶品質の劣化を抑制することができ、高品質の結晶を維持しつつ、InAs層15をできるだけ厚くして、InAs層15に十分に電子を溜め込む（閉じ込める）ことができるようになる。これらの点によって、InGaAs/InAs/InGaAsコンポジットチャネルHEMTの高速化を実現することが可能となる。

30

【0040】

この場合、図2の伝導帯バンド構造に示すように、混晶領域14、16の伝導体のエネルギーは、InAs層15の伝導帯のエネルギーよりも低くなる。これにより、電子走行層24のInGaAs層13、InAs層15、InGaAs層17によって構成される量子井戸のInAs層15に、電子をより一層閉じ込めることが可能となる。

次に、本実施形態にかかる半導体装置の製造方法について説明する。

【0041】

本実施形態にかかる半導体装置の製造方法は、基板10の上方に少なくとも電子走行層24、電子供給層25を含む半導体積層構造26を形成する工程を含む（図5参照）。

また、電子走行層24を形成する工程は、III-V族化合物半導体（ここではInGaAs系化合物半導体）からなる第1層（ここではInGaAs層）13を形成し、第1層13上に、第1層13よりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが第1層よりも低い第2層（ここではInAs層）15を形成し、第2層15上に、第2層15よりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが第2層15よりも高い第3層（ここではInGaAs層）17を形成する、各工程を含む（図5参照）。

40

【0042】

さらに、第1層13を形成する工程と第2層15を形成する工程との間及び第2層15を形成する工程と第3層17を形成する工程との間に、III-V族化合物半導体のV族元素（ここではAs）よりも原子半径の大きいV族元素（ここではSb）を照射する工程

50

を含む(図5参照)。

本実施形態では、半導体積層構造26は、さらに下部バリア層(ここではInAlAs層)12を含む。そして、半導体積層構造26を形成する工程は、下部バリア層12を形成し、下部バリア層12上に、伝導帯のエネルギーが下部バリア層12よりも低い第1層13及び第3層17を含む電子走行層24を形成し、電子走行層24上に、伝導帯のエネルギーが電子走行層24の第1層13及び第3層17よりも高い電子供給層(ここではInAlAs層)25を形成する、各工程を含む。つまり、下部バリア層12、電子走行層24及び電子供給層25によって構成される量子井戸の中に、電子走行層24の第1層13、第2層15及び第3層17によって構成され、この量子井戸よりも伝導帯のエネルギーが深い(低い)量子井戸を形成する(図5、図2参照)。

10

【0043】

また、本実施形態では、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程で、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射することによって形成される混晶領域14、16の伝導帯のエネルギーは、第2層15の伝導帯のエネルギーよりも低い(図5、図2参照)。

以下、InAlAs/InGaAs系HEMT(InGaAs/InAs/InGaAsコンポジットチャネルHEMT)の製造方法を例に挙げて、図5~図14を参照しながら説明する。

【0044】

まず、図5に示すように、半絶縁性InP基板10上に、例えば分子線エピタキシー(Molecular Beam Epitaxy; MBE)法によって、バッファ層11、 $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ 下部バリア層12、電子走行層24を構成する $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13、Sbビーム照射領域14、 $i\text{-InAs}$ 層15、Sbビーム照射領域16、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層17、電子供給層25を構成する $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ スペーサ層18、Siドーピング層19、 $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ バリア層20、 $i\text{-InP}$ エッチング停止層21、 $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層22を順に積層させて、半導体積層構造26を形成する。

20

【0045】

このようにして、基板10の上方に少なくとも電子走行層24、電子供給層25を含む半導体積層構造26を形成する。

30

特に、電子走行層24を形成する工程では、以下のようにして、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13、Sbビーム照射領域14、 $i\text{-InAs}$ 層15、Sbビーム照射領域16、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層17を形成する。

【0046】

つまり、まず、 $i\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ 下部バリア層12上に、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層(第1層)13を形成する。

次に、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13の表面にSbビームを照射して、Sbビーム照射領域14を形成する。つまり、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13の表面に、電子走行層24を構成するInGaAs系化合物半導体(III-V族化合物半導体)のV族元素であるAsよりも原子半径の大きいV族元素であるSbビームを照射して、Sbビーム照射領域14を形成する。

40

【0047】

ここでは、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13を形成した後、 $i\text{-InAs}$ 層15を形成する前に、即ち、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13を形成する工程と $i\text{-InAs}$ 層15を形成する工程との間に、III族、Asのビームを止め、Sbビームを照射する。

これにより、AsとSbの置換が起こり、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13の表面上に、即ち、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13とその後この上に形成される $i\text{-InAs}$ 層15との間に、InSb、InAsSb、InGaSb、InGaAsSbなどのSbを含む極薄(例えば1原子層程度)の混晶領域であるSbビーム照射領域

50

14が形成される。

【0048】

このようにして形成される、Asよりも原子半径の大きいSbを含む混晶は、InAsよりも格子定数が大きいため、i-InAs層15に加わる圧縮歪みを低減することができる。

なお、ここでは、Sbビームを照射してSbビーム照射領域14を形成しているが、Sb雰囲気下においてSb雰囲気による混晶領域であるSbビーム照射領域14を形成しても良い。

【0049】

次に、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13上、即ち、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13の表面上のSbビーム照射領域14上に、i-InAs層(第2層)15を形成する。つまり、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13上に、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13よりも電子の有効質量の軽いInAs(III-V族化合物半導体)からなり、伝導帯のエネルギーが $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13よりも低いi-InAs層15を形成する。

10

【0050】

次に、i-InAs層15の表面にSbビームを照射して、Sbビーム照射領域16を形成する。つまり、i-InAs層15の表面に、電子走行層24を構成するInGaAs系化合物半導体(III-V族化合物半導体)のV族元素であるAsよりも原子半径の大きいV族元素であるSbビームを照射して、Sbビーム照射領域16を形成する。

20

ここでは、i-InAs層15を形成した後、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層17を形成する前に、即ち、i-InAs層15を形成する工程と $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層17を形成する工程との間に、III族、Asのビームを止め、Sbビームを照射する。

【0051】

これにより、AsとSbの置換が起こり、i-InAs層15の表面上に、即ち、i-InAs層15とその後にこの上に形成される $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層17との間に、InSb、InAsSb、InGaSb、InGaAsSbなどのSbを含む極薄(例えば1原子層程度)の混晶領域であるSbビーム照射領域16が形成される。

このようにして形成される、Asよりも原子半径の大きいSbを含む混晶は、InAsよりも格子定数が大きいため、i-InAs層15に加わる圧縮歪みを低減することができる。

30

【0052】

なお、ここでは、Sbビームを照射してSbビーム照射領域16を形成しているが、Sb雰囲気下においてSb雰囲気による混晶領域であるSbビーム照射領域16を形成しても良い。

次に、i-InAs層15上に、即ち、i-InAs層15の表面上のSbビーム照射領域16上に、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層(第3層)17を形成する。つまり、i-InAs層15上に、i-InAs層15よりも電子の有効質量の重い $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ (III-V族化合物半導体)からなり、伝導帯のエネルギーがi-InAs層15よりも高い $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層17を形成する。

40

【0053】

このようにして、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層13、Sbビーム照射領域14、i-InAs層15、Sbビーム照射領域16、 $i\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層17を順に備える電子走行層24を形成する。

なお、結晶成長法は、MBE法に限られるものではなく、例えば、有機金属化学堆積(MOCVD; Metal Organic Chemical Vapor Deposition)法を用いることも可能である。

【0054】

ここでは、バッファ層11は、厚さを約1000nmとする。また、 $i\text{-In}_{0.52}$

50

$\text{Al}_{0.48}\text{As}$ 下部バリア層 12 は、厚さを約 200 nm とする。また、 $\text{i-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層 13 は、厚さを約 3 nm とする。また、Sb ビーム照射領域 14 は、1 原子層程度の極薄層とする。また、 i-InAs 層 15 は、厚さを約 5 nm とする。また、Sb ビーム照射領域 16 は、1 原子層程度の極薄層とする。また、 $\text{i-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層 17 は、厚さを約 2 nm とする。また、 $\text{i-In}_{0.52}\text{Al}_{0.48}\text{As}$ スペーサ層 18 は、厚さを約 3 nm とする。また、Si ドーピング層 19 は、Si の ドーピング量を約 $1 \times 10^{13} \text{ cm}^{-2}$ 程度とする。また、 $\text{i-In}_{0.52}\text{Al}_{0.48}\text{As}$ バリア層 20 は、厚さを約 6 nm とする。また、 i-InP エッチング停止層 21 は、厚さを約 3 nm とする。また、 $\text{n-In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層 22 は、厚さを約 20 nm とし、Si ドーピング量を約 $2 \times 10^{19} \text{ cm}^{-3}$ 程度とする。

10

【0055】

次に、素子分離後、図 6 に示すように、例えば Ti / Pt / Au の 3 層構造のソース電極 31、ドレイン電極 32 を形成する。これにより、これにより、 $\text{n-In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層 22 上にソース電極 31 及びドレイン電極 32 が形成される。

次に、図 7 に示すように、ソース電極 31 とドレイン電極 32 の間のキャップ層 22 上に、例えばプラズマ CVD (Chemical Vapor Deposition) 法によって、 SiO_2 膜 23 を形成する。ここでは、 SiO_2 膜 23 は、厚さを約 20 nm 程度とする。

【0056】

次に、図 8 ~ 図 14 に示すように、T 型ゲート電極 33 を形成する。

20

つまり、まず、図 8 に示すように、3 層構造のレジスト膜 41 ~ 43 を形成する。ここでは、ZEP レジスト (日本ゼオン製)、PMGI (Poly-dimethylglutarimide) レジスト、ZEP レジストを順に塗布して、ZEP レジスト膜 41、PMGI レジスト膜 42、ZEP レジスト膜 43 を順に積層させた 3 層構造のレジスト膜を形成する。

【0057】

次に、例えば電子ビーム露光法によって、図 9 に示すように、T 型ゲート電極 33 のヘッド部分を形成する領域を露光し、ZEP レジスト膜 43 及び PMGI レジスト膜 42 に開口部を形成する。また、例えば電子ビーム露光法によって、図 10 に示すように、T 型ゲート電極 33 のフット部分を形成する領域を露光し、最下層の ZEP レジスト膜 41 に所望のゲート長に合わせて開口部を形成する。

30

【0058】

次に、ゲート長に合わせて形成された開口部を有する最下層の ZEP レジスト膜 41 をマスクとして、例えばエッチングガスとして CF_4 を用いた反応性イオンエッチングによって、図 11 に示すように、 SiO_2 膜 23 に開口部を形成する。

そして、キャップ層 22 を電氣的に分離するために、例えばエッチング液としてクエン酸 ($\text{C}_6\text{H}_8\text{O}_7$) と過酸化水素水 (H_2O_2) の混合溶液を用いてウェットエッチングを行なって、図 12 に示すように、リセスを形成する。

【0059】

最後に、図 13 に示すように、例えば Ti、Pt、Au を蒸着させた後、リフトオフを行なって、図 14 に示すように、例えば Ti / Pt / Au の 3 層構造の T 型ゲート電極 33 を形成する。これにより、 i-InP エッチング停止層 21 上に T 型ゲート電極 33 が形成される。

40

このようにして、本実施形態にかかる半導体装置 ($\text{InAlAs} / \text{InGaAs}$ 系 HEMT; $\text{InGaAs} / \text{InAs} / \text{InGaAs}$ コンポジットチャネル HEMT) を製造することができる。

【0060】

したがって、本実施形態にかかる半導体装置によれば、チャネル層 24 を構成する電子の有効質量の軽い半導体からなる層 (ここでは InAs 層 15) に加わる圧縮歪みを低減することができるという利点がある。

この結果、電子走行層 24 に備えられる InAs 層 15 中の電子の有効質量の増大が抑

50

制され、圧縮歪みが加わることによるInAs層15の結晶品質の劣化を抑制することができ、InAs層15をできるだけ厚くすることができ、HEMTの高速化を実現することが可能となる。

【0061】

なお、上述の実施形態では、InAlAsをバリア層（電子供給層25及び下部バリア層12）とするInGaAs/InAs/InGaAsコンポジットチャネルHEMT（InAlAs/InGaAs系HEMT）に本発明を適用する場合を例に挙げて説明しているが、材料系はこれに限られるものではない。

例えば、AlGaAsをバリア層（電子供給層及び下部バリア層）とするInGaAs/InAs/InGaAsコンポジットチャネルHEMT（AlGaAs/InGaAs系HEMT）に本発明を適用することもできる。

10

【0062】

つまり、InGaAs/InAs/InGaAsコンポジットチャネルHEMT（AlGaAs/InGaAs系HEMT）において、上述の実施形態の場合と同様に、電子走行層を、InGaAs層（第1層）とInAs層（第2層）との界面及びInAs層（第2層）とInGaAs層（第3層）との界面に、それを構成するInGaAs系化合物半導体（III-V族化合物半導体）のV族元素（ここではAs）が、InGaAs系化合物半導体のV族元素よりも原子半径の大きいV族元素（ここではSb）で置換された混晶領域（Sbビーム照射領域）を有するものとしても良い。

20

【0063】

この場合、その製造方法は、電子走行層を形成する工程に含まれるInGaAs層（第1層）を形成する工程とInAs層（第2層）を形成する工程との間及びInAs層（第2層）を形成する工程とInGaAs層（第3層）を形成する工程との間に、InGaAs系化合物半導体（III-V族化合物半導体）のV族元素（ここではAs）よりも原子半径の大きいV族元素（ここではSb）を照射する工程（Sbビーム照射工程）を含むものとすれば良い。

【0064】

また、例えば、AlGaAs（又はInAlP）をバリア層（電子供給層及び下部バリア層）とするInGaP/InP/InGaPコンポジットチャネルHEMT（AlGaAs/InGaP系HEMT又はInAlP/InGaP系HEMT）に本発明を適用することもできる。

30

例えば図17に示すように、電子走行層（チャネル層）24Xを上下のInGaP層13X、17XでInP層15Xを挟んだ構造とし、下部バリア層12X及び電子供給層25XにInAlPを用い、電子走行層24XのInGaPと下部バリア層12X及び電子供給層25XのInAlPとが格子整合するようにしたInGaP/InP/InGaPコンポジットチャネルHEMTがあり、その伝導帯バンド構造は図18に示すようになる。このようなInGaP/InP/InGaPコンポジットチャネルHEMTでも、上述の実施形態のInGaAs/InAs/InGaAsコンポジットチャネルHEMTと同様の課題があるため、上述の実施形態の場合と同様に、本発明を適用することができる。

【0065】

40

ここで、AlGaAs（又はInAlP）をバリア層とするInGaP/InP/InGaPコンポジットチャネルHEMTは、AlGaAs/InGaP系HEMT又はInAlP/InGaP系HEMTのInGaPチャネル層13X、17X中に、電子の有効質量の軽い半導体であるInPからなるInP層15Xを設けたInGaP/InP/InGaPコンポジットチャネルHEMTである。

【0066】

つまり、InGaP/InP/InGaPコンポジットチャネルHEMT（AlGaAs/InGaP系HEMT又はInAlP/InGaP系HEMT）において、電子走行層24Xを、InGaP層（第1層）13XとInP層（第2層）15Xとの界面及びInP層（第2層）15XとInGaP層（第3層）17Xとの界面に、それを構成するI

50

nGaP系化合物半導体(III-V族化合物半導体)のV族元素(ここではP)が、InGaP系化合物半導体のV族元素よりも原子半径の大きいV族元素(ここではAs又はSb)で置換された混晶領域(Asビーム照射領域; Sbビーム照射領域)14X, 16Xを有するものとしても良い。

【0067】

この場合、その製造方法は、電子走行層24Xを形成する工程に含まれるInGaP層(第1層)13Xを形成する工程とInP層(第2層)15Xを形成する工程との間及びInP層(第2層)15Xを形成する工程とInGaP層(第3層)17Xを形成する工程との間に、InGaP系化合物半導体(III-V族化合物半導体)のV族元素(ここではP)よりも原子半径の大きいV族元素(ここではAs又はSb)を照射する工程(Asビーム照射工程; Sbビーム照射工程)を含むものとすれば良い。

10

【0068】

以下、InAlPをバリア層(電子供給層及び下部バリア層)とするInGaP/InP/InGaPコンポジットチャネルHEMT(InAlP/InGaP系HEMT)を例に挙げて、具体的に説明する。

ここでは、InGaP/InP/InGaPコンポジットチャネルHEMT(InAlP/InGaP系HEMT)は、例えば図15に示すように、GaAs基板(半導体基板)10X上に、バッファ層11X、InAlP下部バリア層12X、InGaP/InP/InGaP電子走行層(チャネル層)24X、InAlP電子供給層(上部バリア層)25X、InGaPキャップ層22Xを順に積層した半導体積層構造26Xを備える。

20

【0069】

例えば、GaAs基板10Xは、例えば半絶縁性(100)GaAs基板である。また、バッファ層11Xは必要に応じて設ければ良い。また、InAlP下部バリア層12Xは、i-InAlP下部バリア層であり、その厚さは約200nmである。また、InGaP/InP/InGaP電子走行層24Xは、InGaP層13X、InP層15X、InGaP層17Xが順に積層された構造を有する。また、InAlP電子供給層25Xは、i-InAlPスペーサ層18X、Siをドーピングしてn型導電性を付与したInAlPによって形成されるSi-ドーピング層19X、i-InAlPバリア層20Xを順に積層させた構造を有する。ここで、i-InAlPスペーサ層18Xの厚さは約3nmであり、Si-ドーピング層19XのSiのドーピング量は約 $1 \times 10^{13} \text{ cm}^{-2}$ 程度であり、i-InAlPバリア層20Xの厚さは約6nmである。また、InGaPキャップ層22Xは、Siをドーピングしてn型導電性を付与したn-InGaP層である。ここで、n-InGaP層22Xの厚さは約20nmであり、Siドーピング量は約 $2 \times 10^{18} \text{ cm}^{-3}$ 程度である。なお、上述のInAlP層及びInGaP層におけるIII族元素の組成比は1:1程度(各0.5程度)とすれば良い。

30

【0070】

また、半導体積層構造26Xは、基板10Xの上方に少なくとも電子走行層24X及び電子供給層25Xを含むものであれば良く、他の積層構造になっても良い。

そして、半導体積層構造26X上に、ゲート電極33X、ソース電極31X及びドレイン電極32Xを設け、半導体積層構造26Xの表面をSiO₂膜(絶縁膜)23Xで覆うようにすれば良い。

40

【0071】

ところで、上述のように、電子走行層24Xは、InGaP系化合物半導体(III-V族化合物半導体)からなり、InGaP層(第1層)13X、InP層(第2層)15X、InGaP層(第3層)17Xが順に積層された構造(ここでは3層構造)を有する。この場合、InP層15Xは、InGaP層13X, 17Xよりも電子の有効質量の軽い半導体からなる。

【0072】

このように、この変形例のInAlP/InGaP系HEMTは、InAlP/InGaP系HEMTのInGaPチャネル層13X, 17X中に、電子の有効質量の軽い半導

50

体であるInPからなるInP層15Xを設けたInGaP/InP/InGaPコンポジットチャネルHEMTである。なお、InGaP/InP/InGaPコンポジットチャネルHEMTを、P系コンポジットチャネルHEMTともいう。

【0073】

このInGaP/InP/InGaPコンポジットチャネルHEMTは、半導体積層構造26Xは、下部バリア層(InAlP層)12X、電子走行層24X及び電子供給層(InAlP層)25Xが順に積層された構造を有する。

つまり、図16の伝導帯バンド構造(垂直方向の伝導帯バンド構造)に示すように、下部バリア層12X、電子走行層24X及び電子供給層25Xによって構成される量子井戸の中に、電子走行層24Xの第1層13X、第2層15X及び第3層17Xによって構成され、この量子井戸よりも伝導帯のエネルギーが深い(低い)量子井戸が設けられている。

10

【0074】

また、図16の伝導帯バンド構造に示すように、電子走行層24Xの第1層13X及び第3層17X(InGaP層)の伝導帯のエネルギーが下部バリア層12X及び電子供給層25Xの伝導帯のエネルギーよりも低く、かつ、第2層15X(InP層)の伝導帯のエネルギーが第1層13X及び第3層17Xの伝導帯のエネルギーよりも低くなっている。

つまり、下部バリア層12X及び電子供給層25X、電子走行層24Xの第1層13X及び第3層17X、電子走行層24Xの第2層15Xの順に伝導帯のエネルギーが低くなっており、伝導帯のエネルギーが最も低い電子走行層24Xの第2層15Xがチャンネルとして機能し、その次に伝導帯のエネルギーが低い電子走行層24Xの第1層13X及び第3層17Xがサブチャンネルとして機能するようになっている。

20

【0075】

そして、図15、図16に示すように、電子走行層24Xは、InGaP層13XとInP層15Xとの界面及びInP層15XとInGaP層17Xとの界面に、それを構成するInGaP系化合物半導体のV族元素であるPが、InGaP系化合物半導体のV族元素であるPよりも原子半径の大きいV族元素であるAs又はSbで置換された混晶領域14X、16Xを有する。

【0076】

つまり、電子走行層24Xは、伝導帯のエネルギーが浅い量子井戸と伝導帯のエネルギーが深い量子井戸との間に、これらの量子井戸を構成するIII-V族化合物半導体のV族元素であるPが、III-V族化合物半導体のV族元素であるPよりも原子半径の大きいV族元素であるAs又はSbで置換された混晶領域14X、16Xを有する。

30

この混晶領域14X、16Xでは、InGaP系化合物半導体であるInGaPやInPに含まれるPがAs又はSbで置換され、InAs、InGaAs、InAsP、InGaAsPなど、又は、InSb、InPsb、InGasb、InGaPsbなどのPよりも原子半径の大きいAs又はSbを含む混晶になっている。これらのPよりも原子半径の大きいAs又はSbを含む混晶は、InPよりも格子定数が大きい(格子定数の大小関係; InGaP < InP < As又はSbを含む混晶)、InPに加わる圧縮歪みを低減する作用がある。

【0077】

これにより、InGaP/InP/InGaPコンポジットチャネルHEMTの電子走行層24Xを構成する電子の有効質量の軽い半導体からなるInP層15Xに加わる圧縮歪みを低減することができる。この結果、InP層15X中の電子の有効質量の増大が抑制され、電子の有効質量が軽い半導体であるというInPの本来の物性が十分に活かされるようになる。また、圧縮歪みに加わることによるInP層15Xの結晶品質の劣化を抑制することができ、高品質の結晶を維持しつつ、InP層15Xをできるだけ厚くして、InP層15Xに十分に電子を溜め込む(閉じ込める)ことができるようになる。これらの点によって、InGaP/InP/InGaPコンポジットチャネルHEMTの高速化を実現することが可能となる。

40

【0078】

50

この場合、図16の伝導帯バンド構造に示すように、混晶領域14X, 16Xの伝導体のエネルギーは、InP層15Xの伝導帯のエネルギーよりも低くなる。これにより、電子走行層24XのInGaP層13X、InP層15X、InGaP層17Xによって構成される量子井戸のInP層15Xに、電子をより一層閉じ込めることが可能となる。

なお、InGaP層13Xを下部層又は下部チャンネル層ともいう。また、InP層15Xを中間層又は中間チャンネル層ともいう。また、InGaP層17Xを上部層又は上部チャンネル層ともいう。また、混晶領域14X, 16Xを、As又はSbを含む混晶領域、置換領域、P/As又はP/Sb置換領域、As又はSbビーム照射領域、As又はSb雰囲気による混晶領域ともいう。また、InGaP層13XとInP層15Xとの界面に設けられている混晶領域14Xを、下部混晶領域ともいう。また、InP層15XとInGaP層17Xとの界面に設けられている混晶領域16Xを、上部混晶領域ともいう。

10

【0079】

この変形例では、図15に示すように、電子走行層24Xは、アンドープのInGaP層13X、As又はSbビーム照射領域14X、アンドープのInP層15X、As又はSbビーム照射領域16X、アンドープのInGaP層17Xを下から順に備えた構造になっている。

ここで、アンドープのInGaP層13Xは、例えば、GaAsに格子整合するi-InGaP層であり、厚さは約3nmである。また、As又はSbビーム照射領域14Xは、例えば1原子層程度の極薄の領域である。また、アンドープのInAs層15Xは、例えば、厚さは約5nmである。また、As又はSbビーム照射領域16Xは、例えば1原子層程度の極薄の領域である。また、アンドープのInGaAs層17Xは、例えば、GaAsに格子整合するi-InGaP層であり、厚さは約2nmである。

20

【0080】

このように、電子走行層24Xは、III-V族化合物半導体からなり、第1層13X、第2層15X及び第3層17Xが順に積層された構造を有し、第2層15Xは第1層13X及び第3層17Xよりも電子の有効質量の軽い半導体からなる。そして、第2層15Xの伝導帯のエネルギーが第1層13X及び第3層17Xの伝導帯のエネルギーよりも低く、第1層13Xと第2層15Xとの界面及び第2層15Xと第3層17Xとの界面に、III-V族化合物半導体のV族元素が、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素で置換された混晶領域14X, 16Xを有する。

30

【0081】

この変形例では、III-V族化合物半導体のV族元素はPであり、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素はAs又はSbである。また、電子走行層24Xは、第1層13XとしてInGaP層、第2層15XとしてInP層、第3層17XとしてInGaP層が順に積層された構造を有する。

次に、この変形例の半導体装置(InAlP/InGaP系HEMT; InGaP/InP/InGaPコンポジットチャンネルHEMT)の製造方法について説明する。

【0082】

まず、半絶縁性GaAs基板10X上に、例えばMBE法又はMOCVD法によって、バッファ層11X、InAlP下部バリア層12X、電子走行層24Xを構成するInGaP層13X、As又はSbビーム照射領域14X、InP層15X、As又はSbビーム照射領域16X、InGaP層17X、電子供給層25Xを構成するInAlPスペーサ層18X、Si-ドーピング層19X、InAlPバリア層20X、n-InGaPキャップ層22Xを順に積層させて、半導体積層構造26Xを形成する(図15参照)。

40

【0083】

このようにして、基板10Xの上方に少なくとも電子走行層24X、電子供給層25Xを含む半導体積層構造26Xを形成する(図15参照)。

特に、電子走行層24Xを形成する工程では、以下のようにして、InGaP層13X、As又はSbビーム照射領域14X、InP層15X、As又はSbビーム照射領域16X、InGaP層17Xを形成する(図15参照)。

50

【0084】

つまり、まず、InAlP下部バリア層12X上に、InGaP層(第1層)13Xを形成する。

次に、InGaP層13Xの表面にAs又はSbビームを照射して、As又はSbビーム照射領域14Xを形成する。つまり、InGaP層13Xの表面に、電子走行層24Xを構成するInGaP系化合物半導体(III-V族化合物半導体)のV族元素であるPよりも原子半径の大きいV族元素であるAs又はSbビームを照射して、As又はSbビーム照射領域14Xを形成する。

【0085】

ここでは、InGaP層13Xを形成した後、InP層15Xを形成する前に、即ち、InGaP層13Xを形成する工程とInP層15Xを形成する工程との間に、III族、Pのビームを止め、As又はSbビームを照射する。

10

これにより、PとAs又はSbの置換が起こり、InGaP層13Xの表面上に、即ち、InGaP層13Xとその後にこの上に形成されるInP層15Xとの間に、InAs、InGaAs、InAsP、InGaAsPなど、又は、InSb、InPSb、InGaSb、InGaPSbなどのAs又はSbを含む極薄(例えば1原子層程度)の混晶領域であるAs又はSbビーム照射領域14Xが形成される。

【0086】

このようにして形成される、Pよりも原子半径の大きいAs又はSbを含む混晶は、InPよりも格子定数が大きいため、InP層15Xに加わる圧縮歪みを低減することができる。

20

なお、ここでは、As又はSbビームを照射してAs又はSbビーム照射領域14Xを形成しているが、As又はSb雰囲気下においてAs又はSb雰囲気による混晶領域であるAs又はSbビーム照射領域14Xを形成しても良い。

【0087】

次に、InGaP層13X上、即ち、InGaP層13Xの表面上のAs又はSbビーム照射領域14X上に、InP層(第2層)15Xを形成する。つまり、InGaP層13X上に、InGaP層13Xよりも電子の有効質量の軽いInP(III-V族化合物半導体)からなり、伝導帯のエネルギーがInGaP層13Xよりも低いInP層15Xを形成する。

30

【0088】

次に、InP層15Xの表面にAs又はSbビームを照射して、As又はSbビーム照射領域16Xを形成する。つまり、InP層15Xの表面に、電子走行層24Xを構成するInGaP系化合物半導体(III-V族化合物半導体)のV族元素であるPよりも原子半径の大きいV族元素であるAs又はSbビームを照射して、As又はSbビーム照射領域16Xを形成する。

【0089】

ここでは、InP層15Xを形成した後、InGaP層17Xを形成する前に、即ち、InP層15Xを形成する工程とInGaP層17Xを形成する工程との間に、III族、Pのビームを止め、As又はSbビームを照射する。

40

これにより、PとAs又はSbの置換が起こり、InP層15Xの表面上に、即ち、InP層15Xとその後にこの上に形成されるInGaP層17Xとの間に、InAs、InGaAs、InAsP、InGaAsPなど、又は、InSb、InPSb、InGaSb、InGaPSbなどのAs又はSbを含む極薄(例えば1原子層程度)の混晶領域であるAs又はSbビーム照射領域16Xが形成される。

【0090】

このようにして形成される、Pよりも原子半径の大きいAs又はSbを含む混晶は、InPよりも格子定数が大きいため、InP層15Xに加わる圧縮歪みを低減することができる。

なお、ここでは、As又はSbビームを照射してAs又はSbビーム照射領域16Xを

50

形成しているが、As又はSb雰囲気下においてAs又はSb雰囲気による混晶領域であるAs又はSbビーム照射領域16Xを形成しても良い。

【0091】

次に、InP層15X上に、即ち、InP層15Xの表面上のAs又はSbビーム照射領域16X上に、InGaP層(第3層)17Xを形成する。つまり、InP層15X上に、InP層15Xよりも電子の有効質量の重いInGaP(III-V族化合物半導体)からなり、伝導帯のエネルギーがInP層15Xよりも高いInGaP層17Xを形成する。

【0092】

このようにして、InGaP層13X、As又はSbビーム照射領域14X、InP層15X、As又はSbビーム照射領域16X、InGaP層17Xを順に備える電子走行層24Xを形成する。

その後、上述の実施形態の場合と同様に、素子分離後、ソース電極31X、ドレイン電極32Xを形成し、ソース電極31Xとドレイン電極32Xの間のキャップ層22X上に、SiO₂膜23Xを形成し、T型ゲート電極33Xを形成する。

【0093】

このようにして、この変形例の半導体装置(InAlP/InGaP系HEMT; InGaP/InP/InGaPコンポジットチャネルHEMT)を製造することができる。

このように、この変形例の半導体装置の製造方法は、基板10Xの上方に少なくとも電子走行層24X、電子供給層25Xを含む半導体積層構造26Xを形成する工程を含む(図15参照)。

【0094】

また、電子走行層24Xを形成する工程は、III-V族化合物半導体(ここではInGaP系化合物半導体)からなる第1層(ここではInGaP層)13Xを形成し、第1層13X上に、第1層13Xよりも電子の有効質量の軽いIII-V族化合物半導体からなり、伝導帯のエネルギーが第1層よりも低い第2層(ここではInP層)15Xを形成し、第2層15X上に、第2層15Xよりも電子の有効質量の重いIII-V族化合物半導体からなり、伝導帯のエネルギーが第2層15Xよりも高い第3層(ここではInGaP層)17Xを形成する、各工程を含む(図15参照)。

【0095】

さらに、第1層13Xを形成する工程と第2層15Xを形成する工程との間及び第2層15Xを形成する工程と第3層17Xを形成する工程との間に、III-V族化合物半導体のV族元素(ここではP)よりも原子半径の大きいV族元素(ここではAs又はSb)を照射する工程を含む(図15参照)。

本実施形態では、半導体積層構造26Xは、さらに下部バリア層(ここではInAlP層)12Xを含む。そして、半導体積層構造26Xを形成する工程は、下部バリア層12Xを形成し、下部バリア層12X上に、伝導帯のエネルギーが下部バリア層12Xよりも低い第1層13X及び第3層17Xを含む電子走行層24Xを形成し、電子走行層24X上に、伝導帯のエネルギーが電子走行層24Xの第1層13X及び第3層17Xよりも高い電子供給層(ここではInAlP層)25Xを形成する、各工程を含む。つまり、下部バリア層12X、電子走行層24X及び電子供給層25Xによって構成される量子井戸の中に、電子走行層24Xの第1層13X、第2層15X及び第3層17Xによって構成され、この量子井戸よりも伝導帯のエネルギーが深い(低い)量子井戸を形成する(図15、図16参照)。

【0096】

また、本実施形態では、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射する工程で、III-V族化合物半導体のV族元素よりも原子半径の大きいV族元素を照射することによって形成される混晶領域14X、16Xの伝導帯のエネルギーは、第2層15Xの伝導帯のエネルギーよりも低い(図15、図16参照)。

(その他)

10

20

30

40

50

なお、本発明は、上述した実施形態及び変形例に記載した構成に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形することが可能である。

【0097】

以下、上述の実施形態及び変形例に関し、更に、付記を開示する。

(付記1)

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を備え、

前記電子走行層は、III-V族化合物半導体からなり、第1層、第2層及び第3層が順に積層された構造を有し、前記第2層は前記第1層及び前記第3層よりも電子の有効質量の軽い半導体からなり、前記第2層の伝導帯のエネルギーが前記第1層及び前記第3層の伝導帯のエネルギーよりも低く、前記第1層と前記第2層との界面及び前記第2層と前記第3層との界面に、前記III-V族化合物半導体のV族元素が、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きいV族元素で置換された混晶領域を有することを特徴とする半導体装置。

10

【0098】

(付記2)

前記半導体積層構造は、さらに下部バリア層を含み、前記下部バリア層、前記電子走行層及び前記電子供給層が順に積層された構造を有し、前記電子走行層の前記第1層及び前記第3層の伝導帯のエネルギーが前記下部バリア層及び前記電子供給層の伝導帯のエネルギーよりも低いことを特徴とする、付記1に記載の半導体装置。

20

【0099】

(付記3)

前記混晶領域の伝導帯のエネルギーは、前記第2層の伝導帯のエネルギーよりも低いことを特徴とする、付記1又は2に記載の半導体装置。

(付記4)

前記III-V族化合物半導体の前記V族元素はAsであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はSbであることを特徴とする、付記1～3のいずれか1項に記載の半導体装置。

【0100】

(付記5)

前記電子走行層は、前記第1層としてInGaAs層、前記第2層としてInAs層、前記第3層としてInGaAs層が順に積層された構造を有することを特徴とする、付記4に記載の半導体装置。

30

(付記6)

前記III-V族化合物半導体の前記V族元素はPであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はAsであることを特徴とする、付記1～3のいずれか1項に記載の半導体装置。

【0101】

(付記7)

前記III-V族化合物半導体の前記V族元素はPであり、前記III-V族化合物半導体の前記V族元素よりも原子半径の大きい前記V族元素はSbであることを特徴とする、付記1～3のいずれか1項に記載の半導体装置。

40

(付記8)

前記電子走行層は、前記第1層としてInGaP層、前記第2層としてInP層、前記第3層としてInGaP層が順に積層された構造を有することを特徴とする、付記6又は7に記載の半導体装置。

【0102】

(付記9)

基板の上方に少なくとも電子走行層、電子供給層を含む半導体積層構造を形成する工程を含み、

前記電子走行層を形成する工程は、

50

III - V 族化合物半導体からなる第 1 層を形成し、
 前記第 1 層上に、前記第 1 層よりも電子の有効質量の軽い III - V 族化合物半導体からなり、伝導帯のエネルギーが前記第 1 層よりも低い第 2 層を形成し、
 前記第 2 層上に、前記第 2 層よりも電子の有効質量の重い III - V 族化合物半導体からなり、伝導帯のエネルギーが前記第 2 層よりも高い第 3 層を形成する、各工程を含み、
 さらに、前記第 1 層を形成する工程と前記第 2 層を形成する工程との間及び前記第 2 層を形成する工程と前記第 3 層を形成する工程との間に、前記 III - V 族化合物半導体の V 族元素よりも原子半径の大きい V 族元素を照射する工程を含むことを特徴とする半導体装置の製造方法。

【 0 1 0 3 】

10

(付記 1 0)

前記半導体積層構造は、さらに下部バリア層を含み、
 前記半導体積層構造を形成する工程は、
 前記下部バリア層を形成し、
 前記下部バリア層上に、伝導帯のエネルギーが前記下部バリア層よりも低い前記第 1 層及び前記第 3 層を含む前記電子走行層を形成し、
 前記電子走行層上に、伝導帯のエネルギーが前記電子走行層の前記第 1 層及び前記第 3 層よりも高い前記電子供給層を形成する、各工程を含むことを特徴とする、付記 9 に記載の半導体装置の製造方法。

【 0 1 0 4 】

20

(付記 1 1)

前記 III - V 族化合物半導体の前記 V 族元素よりも原子半径の大きい前記 V 族元素を照射する工程で、前記 III - V 族化合物半導体の前記 V 族元素よりも原子半径の大きい前記 V 族元素を照射することによって形成される混晶領域の伝導帯のエネルギーは、前記第 2 層の伝導帯のエネルギーよりも低いことを特徴とする、付記 9 又は 1 0 に記載の半導体装置の製造方法。

【 0 1 0 5 】

(付記 1 2)

前記 III - V 族化合物半導体の前記 V 族元素は As であり、前記 III - V 族化合物半導体の前記 V 族元素よりも原子半径の大きい前記 V 族元素は Sb であることを特徴とする、付記 9 ~ 1 1 のいずれか 1 項に記載の半導体装置の製造方法。

30

(付記 1 3)

前記電子走行層を形成する工程において、前記第 1 層として InGaAs 層を形成し、前記第 2 層として InAs 層を形成し、前記第 3 層として InGaAs 層を形成することを特徴とする、付記 1 2 に記載の半導体装置の製造方法。

【 0 1 0 6 】

(付記 1 4)

前記 III - V 族化合物半導体の前記 V 族元素は P であり、前記 III - V 族化合物半導体の前記 V 族元素よりも原子半径の大きい前記 V 族元素は As であることを特徴とする、付記 9 ~ 1 1 のいずれか 1 項に記載の半導体装置の製造方法。

40

(付記 1 5)

前記 III - V 族化合物半導体の前記 V 族元素は P であり、前記 III - V 族化合物半導体の前記 V 族元素よりも原子半径の大きい前記 V 族元素は Sb であることを特徴とする、付記 9 ~ 1 1 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 0 7 】

(付記 1 6)

前記電子走行層を形成する工程において、前記第 1 層として InGaP 層を形成し、前記第 2 層として InP 層を形成し、前記第 3 層として InGaP 層を形成することを特徴とする、付記 1 4 又は 1 5 に記載の半導体装置の製造方法。

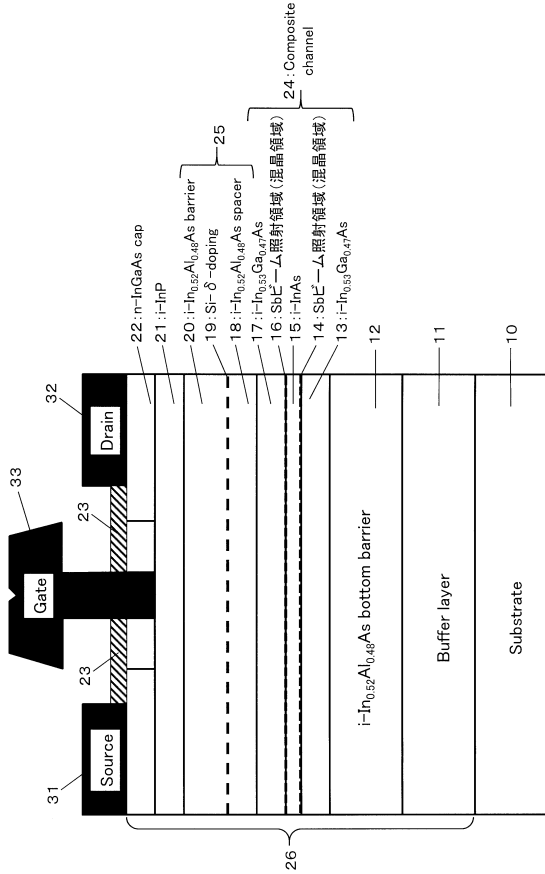
【 符号の説明 】

50

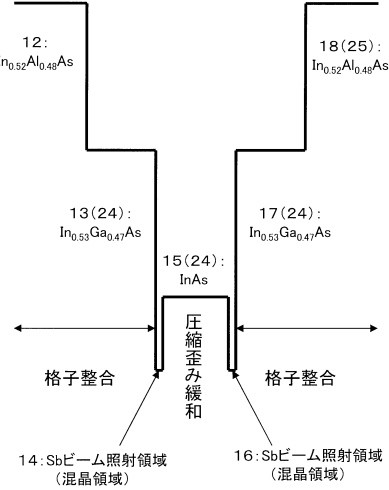
【 0 1 0 8 】

1 0	基板 (I n P 基板)	
1 0 X	基板 (G a A s 基板)	
1 1、1 1 X	バッファ層	
1 2	I n A l A s 下部バリア層	
1 2 X	I n A l P 下部バリア層	
1 3	I n G a A s 層 (第 1 層)	
1 3 X	I n G a P 層 (第 1 層)	
1 4	S b 照射領域 (混晶領域)	
1 4 X	A s 又は S b 照射領域 (混晶領域)	10
1 5	I n A s 層 (第 2 層)	
1 5 X	I n P 層 (第 2 層)	
1 6	S b 照射領域 (混晶領域)	
1 6 X	A s 又は S b 照射領域 (混晶領域)	
1 7	I n G a A s 層 (第 3 層)	
1 7 X	I n G a P 層 (第 3 層)	
1 8	I n A l A s スペース層	
1 8 X	I n A l P スペース層	
1 9、1 9 X	S i ドーピング層	
2 0	I n A l A s バリア層	20
2 0 X	I n A l P バリア層	
2 1	I n P エッチング停止層	
2 2	n - I n G a A s キャップ層	
2 2 X	n - I n G a P キャップ層	
2 3、2 3 X	S i O ₂ 膜	
2 4、2 4 X	電子走行層 (コンポジットチャネル層)	
2 5、2 5 X	電子供給層	
2 6、2 6 X	半導体積層構造	
3 1、3 1 X	ソース電極	
3 2、3 2 X	ドレイン電極	30
3 3、3 3 X	ゲート電極	
4 1	レジスト膜 (Z E P)	
4 2	レジスト膜 (P M G I)	
4 3	レジスト膜 (Z E P)	

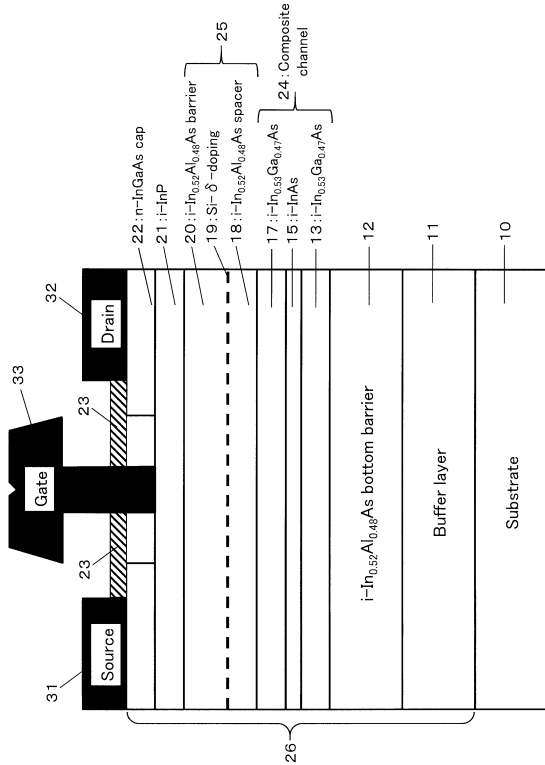
【図1】



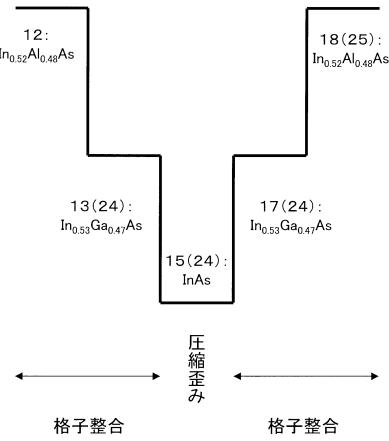
【図2】



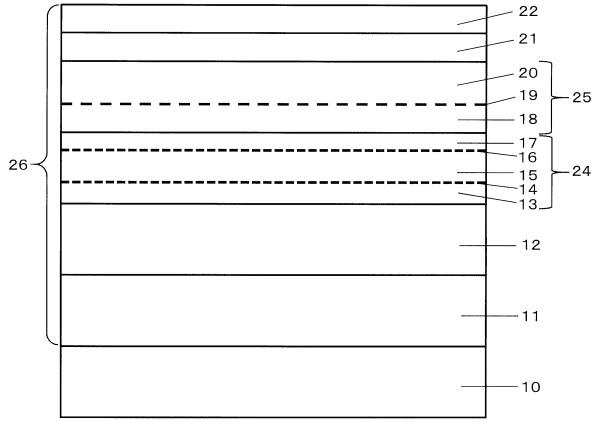
【図3】



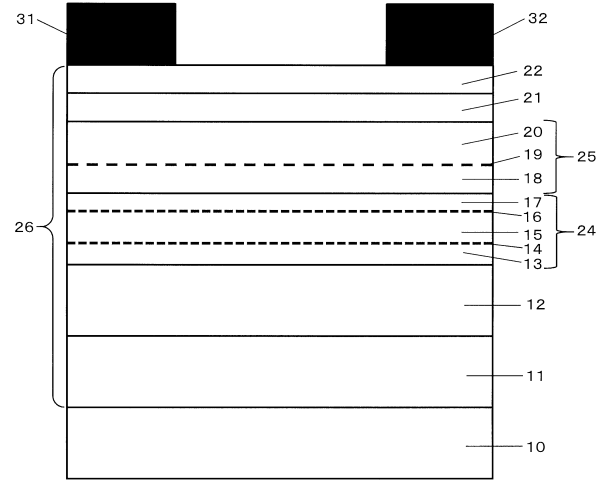
【図4】



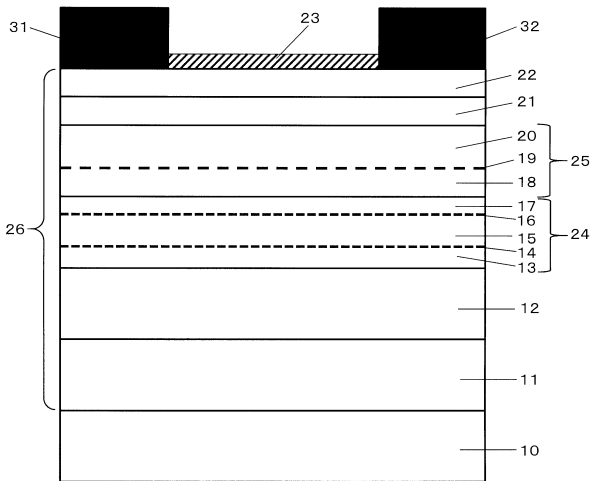
【図5】



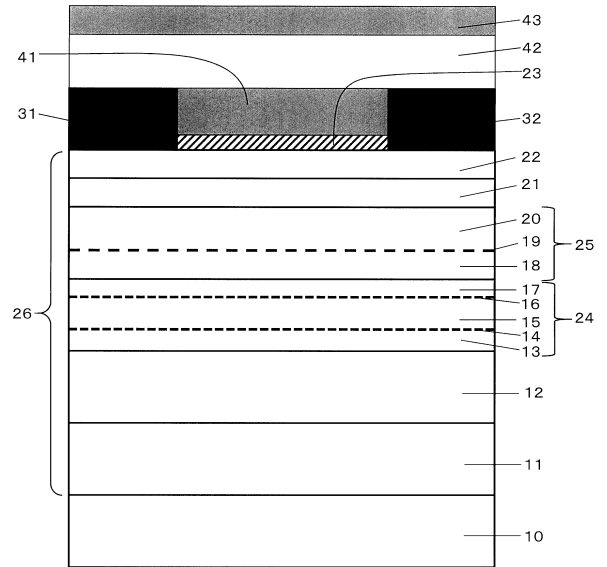
【図6】



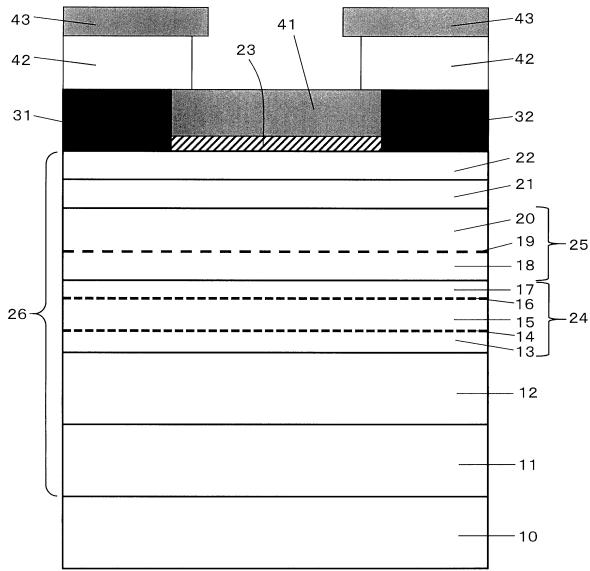
【図7】



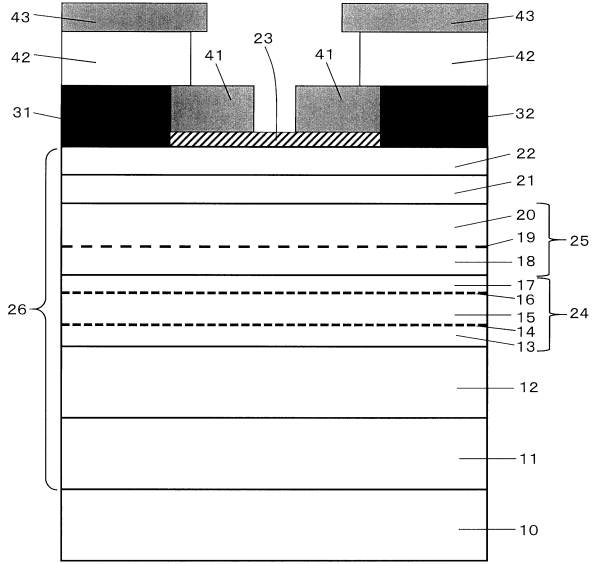
【図8】



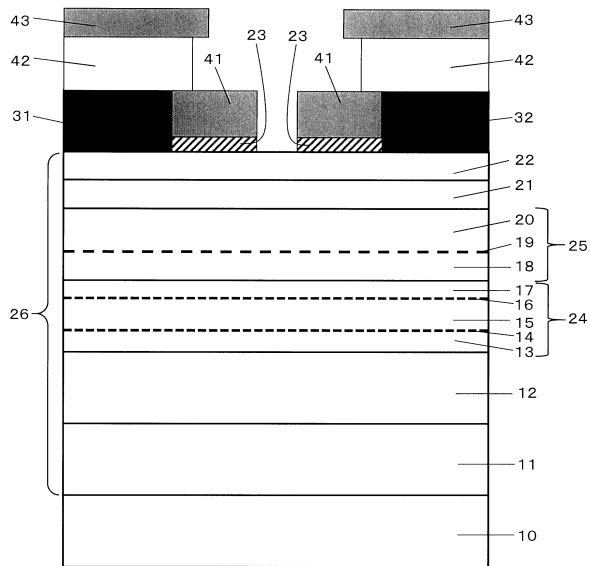
【図 9】



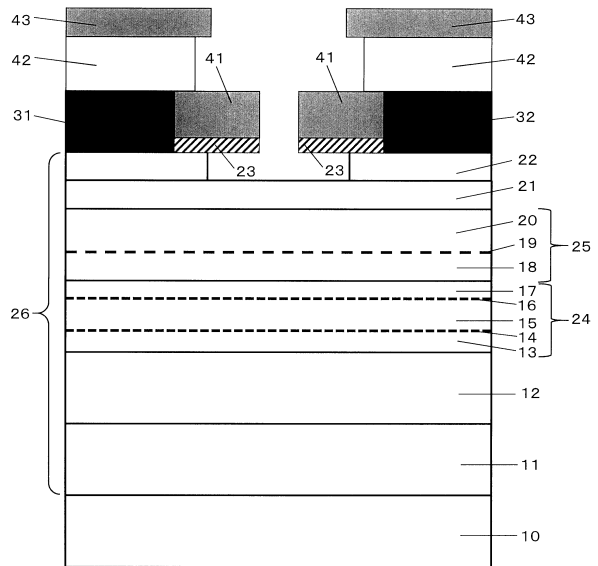
【図 10】



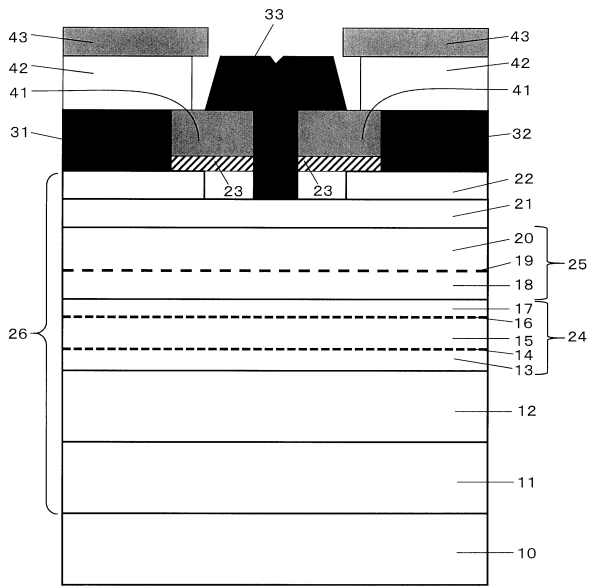
【図 11】



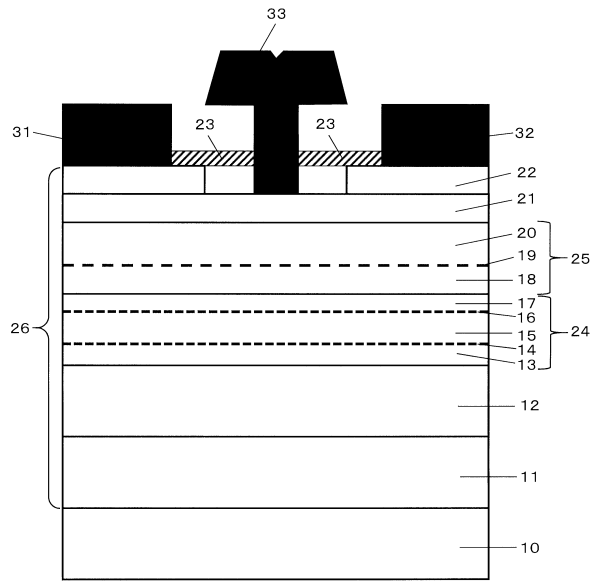
【図 12】



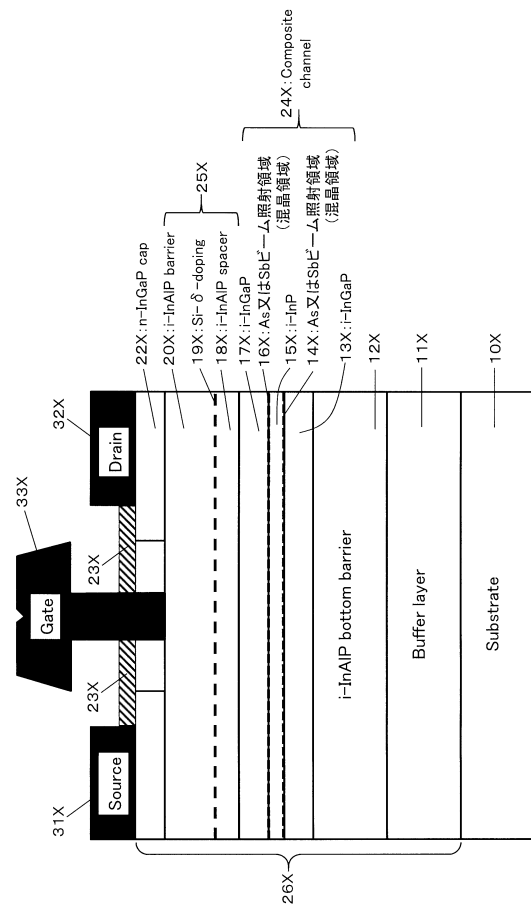
【図13】



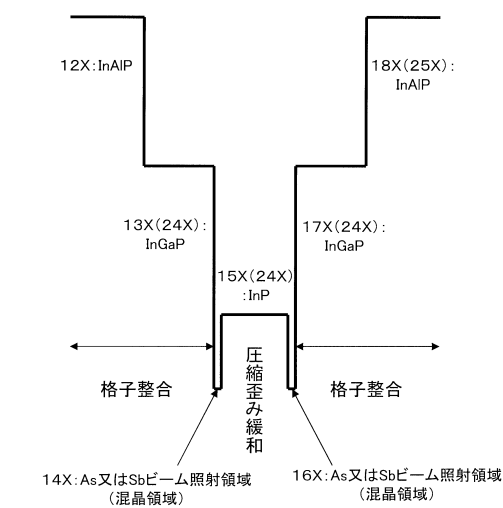
【図14】



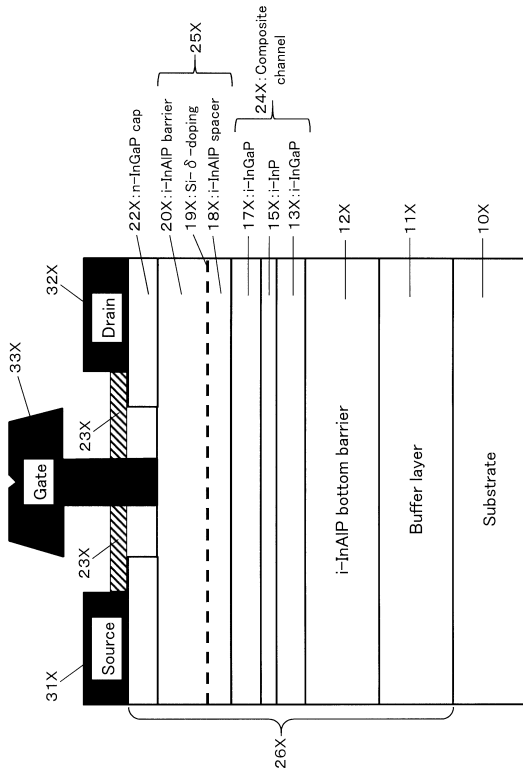
【図15】



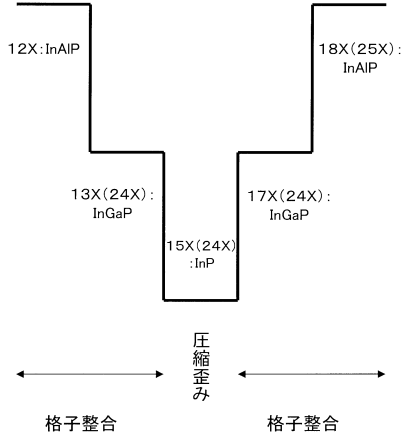
【図16】



【 17 】



【 18 】



フロントページの続き

- (56)参考文献 特開平08-181304(JP,A)
特開平10-284721(JP,A)
特開平06-084960(JP,A)
特開2013-074042(JP,A)
特開2007-081103(JP,A)
特開2004-103888(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 29/778
H01L 29/812