



(21)申請案號：102112468

(22)申請日：中華民國 102 (2013) 年 04 月 09 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L23/02 (2006.01)

(71)申請人：矽品精密工業股份有限公司(中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路3段123號

(72)發明人：劉鴻汶 LIU, HUNG WEN (TW)；張江城 CHANG, CHIANG CHENG (TW)；許習彰 HSU, HSI CHANG (TW)；陳彥亨 CHEN, YAN HENG (TW)；廖宴逸 LIAO, YAN YI (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 201125086A1

TW 201308538A1

審查人員：黃鼎富

申請專利範圍項數：15 項 圖式數：3 共 24 頁

(54)名稱

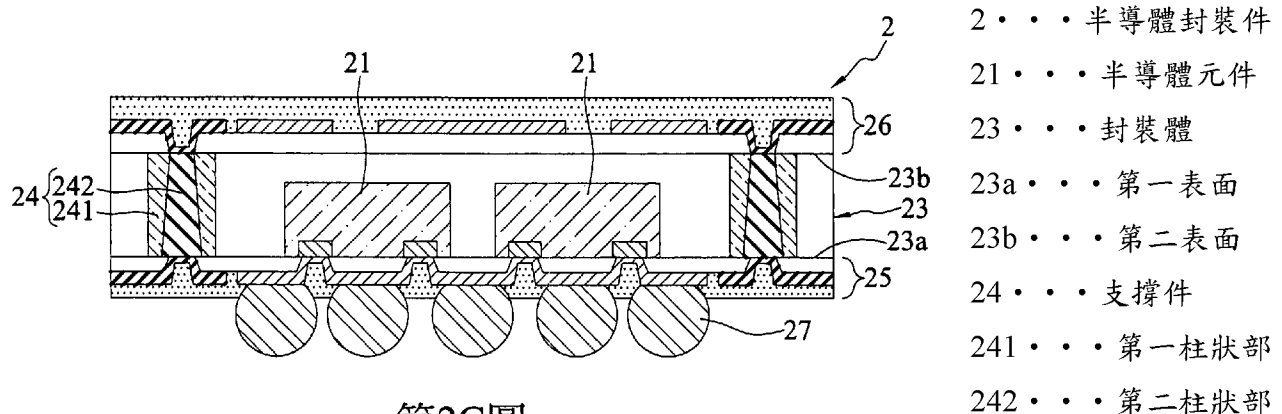
半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURE

(57)摘要

一種半導體封裝件係包括：嵌埋有半導體元件之封裝體、形成於該封裝體中並位於該半導體元件外圍之複數支撐件、以及連結於該任二相鄰之支撐件之間的強化部，又該支撐件係包含第一柱狀部與穿設於該第一柱狀部中之第二柱狀部。藉由該支撐件與強化部之設計，以增加該封裝體之強度，進而增加半導體封裝件之結構強度。本發明復提供該半導體封裝件之製法。

Disclosed is a semiconductor package, including forming an encapsulant having a semiconductor element embedded therein, a plurality of supporting members formed in the encapsulant at the peripheral of the semiconductor element, and a strengthening portion connecting each of the supporting members, wherein the supporting members comprise a first pillar and a second pillar penetrating through the first pillar, thereby strengthening structures of the encapsulant and the package as a result. The invention further provides a method for manufacturing the semiconductor package as described above.



第2G圖

25 . . . 第一線路重
佈結構

26 . . . 第二線路重
佈結構

27 . . . 導電元件

發明摘要

公告本

※申請案號：102112468

※申請日：102.4.09

※IPC分類：

H01L23/128 (2006.01)

H01L23/10 (2006.01)

【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF
MANUFACTURE

【中文】

一種半導體封裝件係包括：嵌埋有半導體元件之封裝體、形成於該封裝體中並位於該半導體元件外圍之複數支撐件、以及連結於該任二相鄰之支撐件之間的強化部，又該支撐件係包含第一柱狀部與穿設於該第一柱狀部中之第二柱狀部。藉由該支撐件與強化部之設計，以增加該封裝體之強度，進而增加半導體封裝件之結構強度。本發明復提供該半導體封裝件之製法。

【英文】

Disclosed is a semiconductor package, including forming an encapsulant having a semiconductor element embedded therein, a plurality of supporting members formed in the encapsulant at the peripheral of the semiconductor element, and a strengthening portion connecting each of the supporting members, wherein the supporting members comprise a first pillar and a second pillar penetrating through the first pillar, thereby strengthening structures of the encapsulant and the package as a result. The invention further provides a method for manufacturing the semiconductor package as described above.

【代表圖】

【本案指定代表圖】：第（ 2G ）圖。

【本代表圖之符號簡單說明】：

2	半導體封裝件
21	半導體元件
23	封裝體
23a	第一表面
23b	第二表面
24	支撐件
241	第一柱狀部
242	第二柱狀部
25	第一線路重佈結構
26	第二線路重佈結構
27	導電元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF
MANUFACTURE

【技術領域】

本發明係有關一種半導體封裝件，尤指一種無封裝基板之半導體封裝件及其製法。

【先前技術】

隨著半導體技術的演進，半導體產品已開發出不同封裝產品型態，而為追求半導體封裝件之輕薄短小，因而發展出一種晶片級封裝件(chip scale package, CSP)，其特徵在於此種晶片級封裝件僅具有與晶片尺寸相等或略大的尺寸。

如第 1A 至 1E 圖，係為習知無封裝基板之晶片級之半導體封裝件 1 之製法之剖面示意圖。

如第 1A 圖所示，形成一熱化離型膠層(thermal release tape) 100 於一承載件 10 上。

如第 1B 圖所示，置放複數半導體晶片 11 於該熱化離型膠層 100 上，該些半導體晶片 11 具有相對之主動面 11a 與非主動面 11b，各該主動面 11a 上均具有複數電極墊 110，且各該主動面 11a 黏著於該熱化離型膠層 100 上。

如第 1C 圖所示，以模壓(molding)方式形成絕緣材

12 於該熱化離型膠層 100 上，以包覆該半導體晶片 11。

如第 1D 圖所示，進行烘烤製程以硬化該絕緣材 12 而成爲封裝體 13，而同時該熱化離型膠層 100 因受熱後會失去黏性，故可一併移除該熱化離型膠層 100 與該承載件 10，以外露該半導體晶片 11 之主動面 11a。

如第 1E 圖所示，進行線路重佈層 (Redistribution layer, RDL) 製程，係形成一線路重佈結構 18 於該封裝體 13 與該半導體晶片 11 之主動面 11a 上，令該線路重佈結構 18 電性連接該半導體晶片 11 之電極墊 110。之後，將整片之封裝體 13 進行切單作業，以完成一無封裝基板之封裝結構。藉由免除該封裝基板，使該封裝件達到輕薄短小之目的，以符合現代電子產品潮流之產品。

然而，習知半導體封裝件 1 之製法中，係以封膠材料 (Molding compound) 作爲絕緣材 12，其楊氏係數 (Young's modulus) 大，因而較硬較脆，故該半導體封裝件 1 之翹曲 (warpage) 程度較大，致使後續形成之線路重佈結構 18 與該半導體晶片 11 之電極墊 110 間的對位將產生偏移，而當偏移公差過大時，該線路重佈結構 18 將無法與該半導體晶片 11 之電極墊 110 連接，導致該線路重佈結構 18 與該半導體晶片 11 間之電性連接受到極大影響，因而造成良率過低及產品可靠度不佳等問題。

再者，僅於該封裝體 13 之一側形成線路重佈結構 18，已無法符合終端產品之多工需要。

因此，遂研發出如第 1' 及 1'' 圖所示之結構，以使該封

裝體 13 之兩側可接置電路板、半導體晶片、被動元件 1b 或其它封裝件 1a。

3 如第 1' 及 1'' 圖所示，習知半導體封裝件 1' 係於一封裝體 13 之第一表面 13a 內側嵌埋一半導體晶片 11，且於該封裝體 13 中具有連通其第一與第二表面 13a, 13b 之導電通孔 14，並於該封裝體 13 之第一與第二表面 13a, 13b 上分別形成第一與第二線路重佈結構 15, 16，以令該第一線路重佈結構 15 電性連接該半導體晶片 11，且該導電通孔 14 電性連接該第一與第二線路重佈結構 15, 16，致使該半導體晶片 11 電性連接該導電通孔 14 與第二線路重佈結構 16。再於該第一線路重佈結構 15 上形成如錫球之導電元件 17，以接置如電路板之電子裝置（圖未示），又於該第二線路重佈結構 16 上接置如半導體晶片、被動元件 1b 或另一封裝件 1a 之電子結構。

其中，該半導體封裝件 1' 之製程中，係將如 ABF（Ajinomoto Build-up Film）或其它楊氏係數較小之介電材作為絕緣材 12 以壓合該半導體晶片 11，故可避免因翹曲過大而無法進行後續之 RDL 等製程。

惟，於該半導體封裝件 1' 之製程中，因使用楊氏係數較小之介電材，致使該半導體封裝件 1' 之結構強度不佳，因而於後續接置半導體晶片、被動元件 1b 或其它封裝件 1a 時，會使下方之封裝體 13 之結構發生翹曲或該第二線路重佈結構 16 發生塌陷（如第 1'' 圖之虛線範圍 A）等缺點。

再者，因該半導體晶片 11 與介電材之楊氏係數相差過大，致使應力會集中於該第一線路重佈結構 15 之部分區域，而使該第一線路重佈結構 15 發生碎裂（crack）（如第 1' 及 1'' 圖之虛線範圍 B）之問題。

因此，如何克服上述習知技術的種種問題，實已成目前亟欲解決的課題。

【發明內容】

鑑於上述習知技術之種種缺失，本發明係提供一種半導體封裝件，係包括：封裝體，係具有相對之第一表面與第二表面，且該封裝體之第一表面嵌埋有至少一半導體元件，該半導體元件係具有相對之主動面與非主動面，且於該主動面上具有複數電極墊；複數支撐件，形成於該封裝體中並位於該半導體元件之外圍，且該些支撐件均電性絕緣於該半導體元件，又該支撐件係包含第一柱狀部與穿設於該第一柱狀部中之第二柱狀部；以及強化部，係連結於該任二相鄰之支撐件之間。

本發明復提供一種半導體封裝件之製法，係包括：提供一具有相對之第一表面與第二表面之封裝體，且該封裝體之第一表面嵌埋有至少一半導體元件與複數第一柱狀部，該半導體元件係具有相對之主動面與非主動面，且於該主動面上具有複數電極墊，又該些第一柱狀部位於該半導體元件之外圍；形成連通該第一表面與第二表面並貫穿該第一柱狀部之複數穿孔，且形成連通於各該穿孔之間的溝槽；以及形成第二柱狀部於各該穿孔中，使該第二柱狀

部穿設於該第一柱狀部中以與該第一柱狀部構成支撐件，該些支撐件均電性絕緣於該半導體元件，且形成強化部於該溝槽中，以令各該支撐件之間藉由該強化部相連結。

前述之製法中，該封裝體之製程係包括：設置該半導體元件與該些第一柱狀部於一承載件上；將絕緣材包覆該半導體元件與該些第一柱狀部，以形成該封裝體，且該封裝體之第一表面結合於該承載件上；以及移除該承載件。

前述之半導體封裝件及其製法中，該封裝體係為矩形體，且該些穿孔位於該矩形體之四個角落處。

前述之半導體封裝件及其製法中，該半導體元件之主動面係齊平於該封裝體之第一表面。

前述之半導體封裝件及其製法中，該第一柱狀部與第二柱狀部之材質不同。

前述之半導體封裝件及其製法中，該些強化部均電性絕緣於該半導體元件。又該強化部之材質係為金屬。

前述之半導體封裝件及其製法中，復包括第一線路重佈結構，係設於該封裝體之第一表面上，且該第一線路重佈結構電性連接該半導體元件。

另外，前述之半導體封裝件及其製法中，復包括第二線路重佈結構，係設於該封裝體之第二表面上，且該第二線路重佈結構電性連接該半導體元件。

由上可知，本發明之半導體封裝件及其製法，係藉由不具電性功能之支撐件與強化部之設計，以增加該封裝體之強度，進而增加半導體封裝件之結構強度，故不論採用

楊氏係數較大或較小之絕緣材，均可避免習知技術之種種問題。

【圖式簡單說明】

第 1A 至 1E 圖係為習知半導體封裝件之製法的剖視示意圖；

第 1' 及 1'' 圖係為習知半導體封裝件之其它態樣的剖視示意圖；

第 2A 至 2G 圖係為本發明之半導體封裝件之製法之剖視示意圖；其中，第 2A' 圖係為第 2A 圖之上視圖；

第 3A 圖係為第 2D 圖之的立體外觀示意圖；以及

第 3B 圖係為第 3A 圖之另一實施例的立體示意圖。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“第一”、“第二”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係

之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2G 圖係為本發明之半導體封裝件 2 之製法的剖面示意圖。

如第 2A 圖所示，提供一具有一結合層 200 之承載件 20，且設置複數半導體元件 21 與複數第一柱狀部 241 於該結合層 200 上，再藉由絕緣材 22 包覆該些半導體元件 21 與第一柱狀部 241，以形成一封裝體 23。

於本實施例中，該承載件 20 之尺寸可依需求選擇晶圓型基板 (Wafer form substrate) 或一般整版面型基板 (Panel form substrat)，且該結合層 200 係為離型膜或膠材。

再者，該封裝體 23 係為矩形體並具有相對之第一表面 23a 與第二表面 23b，且該些半導體元件 21 係嵌埋於該封裝體 23 之第一表面 23a 內側。

又，該半導體元件 21 係為晶片，其具有相對之主動面 21a 與非主動面 21b，該主動面 21a 結合於該結合層 200，並於該主動面 21a 上具有複數電極墊 210，且該些半導體元件 21 之主動面 21a 係齊平於該封裝體 23 之第一表面 23a。

另外，該第一柱狀部 241 之材質不同於該絕緣材 22 之材質，該第一柱狀部 241 係為半導體材質，例如矽，且該些第一柱狀部 241 位於該些半導體元件 21 之外圍而外露於該封裝體 23，該些第一柱狀部 241 並位於該封裝體 23 之四個角落處，如第 2A' 圖所示。

如第 2B 圖所示，移除該承載件 20 及結合層 200，以外露該第一柱狀部 241、封裝體 23 之第一表面 23a 與該半導體元件 21 之主動面 21a。

如第 2C 圖所示，形成連通該第一表面 23a 與第二表面 23b 之複數穿孔 240 於該第一柱狀部 241 中，且於形成該些穿孔 240 時，於該封裝體 23 之第一表面 23a 及/或第二表面 23b 上復形成連通於各該穿孔 240 之間的溝槽 340，如第 3B 圖所示。

如第 2D 圖所示，形成第二柱狀部 242 於各該穿孔 240 中，使該第二柱狀部 242 穿設於該第一柱狀部 241 中，以令該第一柱狀部 241 與該第二柱狀部 242 構成支撐件 24，且形成強化部 34 於該溝槽 340 中，如第 3A 圖所示，以令各該支撐件 24 之間藉由該強化部 34 相連結。

於本實施例中，該第二柱狀部 242 係為金屬柱，例如銅柱，且該強化部 34 之材質係為金屬，例如銅。

再者，如第 3B 圖所示，於另一實施例中，複數支撐件 24' 係排列成環狀形成立方體支架，即除了位於該封裝體 23 之四個角落處，還位於該封裝體 23 之四個邊緣處。因此，利用分離(No-Contact)方式設計該立方體支架，當該支撐件 24' 越多時，該封裝體 23 之強度越高。

又，該強化部 34 可依需求形成於該封裝體 23 之單側（即位於該第一表面 23a 或第二表面 23b 之其中之一者）或雙側（即位於該第一表面 23a 及第二表面 23b）。

如第 2E 圖所示，進行線路重佈層(Redistribution layer,

RDL) 製程，即形成第一線路重佈結構 25 於該封裝體 23 之第一表面 23a 與該半導體元件 21 之主動面 21a 上，令該第一線路重佈結構 25 電性連接至該半導體元件 21 之電極墊 210。

於本實施例中，該支撐件 24,24' 或該強化部 34 雖可依需求連接該第一線路重佈結構 25，如圖中之粗斜線處，但不會電性導通至該半導體元件 21，故該些支撐件 24,24' 及該強化部 34 均電性絕緣於該半導體元件 21。

如第 2F 圖所示，進行線路重佈層 (RDL) 製程，即形成第二線路重佈結構 26 於該封裝體 23 之第二表面 23b 上，且該第二線路重佈結構 26 可依需求利用導電孔之技術，令該第二線路重佈結構 26 電性連接該第一線路重佈結構 25 或導通至該半導體元件 21。

於本實施例中，該支撐件 24,24' 或該強化部 34 係可依需求連接該第二線路重佈結構 26，如圖中之粗斜線處，但不會電性導通至該半導體元件 21，故該些支撐件 24,24' 及該強化部 34 均電性絕緣於該半導體元件 21。

如第 2G 圖所示，形成如錫球之導電元件 27 於該第一線路重佈結構 25 上，以令該導電元件 27 電性連接至該半導體元件 21。

本發明藉由對該半導體元件 21 不具電性功能之支撐件 24,24' 之設計，以增加該封裝體 23 邊緣之強度，進而增加半導體封裝件 2 之結構強度，故即使採用材質較軟 (或楊氏係數較小) 之絕緣材 22，仍可避免習知因楊氏係數較

小之介電材而使封裝件之結構強度不佳之問題。因此，於後續接置半導體晶片、被動元件或其它封裝件時，本發明之半導體封裝件 2 不會發生翹曲，且該第二線路重佈結構 26 不會發生塌陷。

再者，當該半導體元件 21 與絕緣材 22 之楊氏係數相差過大時，藉由該支撐件 24,24' 增加該封裝體 23 邊緣之強度，使應力會分散於該支撐件 24,24'，故應力不會集中於該第一線路重佈結構 25 之部分區域，因而能避免該第一線路重佈結構 25 發生碎裂之問題。

又，本發明亦可使用楊氏係數較大或與該半導體元件 21 之楊氏係數相接近之絕緣材 22，雖其較硬較脆，但藉由該支撐件 24,24' 增加該封裝體 23 邊緣之強度，故可降低該半導體封裝件 2 之翹曲程度。因此，於形成該第一線路重佈結構 25 時，能避免該第一線路重佈結構 25 與該半導體元件 21 之電極墊 210 間的對位產生偏移，因而能避免該第一線路重佈結構 25 與該半導體元件 21 間之電性連接受到極大影響，故能避免良率過低及產品可靠度不佳等問題。

另外，藉由該第一柱狀部 241 之設計，以輔助強化該第二柱狀部 242 之強度，且當該第一柱狀部 241 之材質為半導體材時，其與該半導體元件 21 之熱膨脹係數 (Coefficient of thermal expansion, CTE) 相同，故使該封裝體 23 中各處之熱膨脹係數更為平均，因而能避免發生邊緣翹曲之問題。

另一方面，於該些支撐件 24,24' 之間以該強化部 34 作

連接，藉以能增加剛性。因此，本發明藉由該強化部 34 所構成（或其與部分第一及第二線路重佈結構 25,26 所構成）之環狀結構配合該支撐件 24,24' 而形成立方體支架的設計，能大幅增加該封裝體 23 之強度，進而增加該半導體封裝件 2 之結構強度。

本發明之半導體封裝件 2 係包括：具有相對之第一表面 23a 與第二表面 23b 之封裝體 23、形成於該封裝體 23 中且連通該第一表面 23a 與第二表面 23b 之複數支撐件 24,24'、以及連結於該任二相鄰之支撐件 24,24' 之間的強化部 34。

所述之封裝體 23 之第一表面 23a 內側嵌埋有複數半導體元件 21，且該封裝體 23 係為矩形體，以令該些支撐件 24,24' 至少位於該矩形體之四個角落處。

所述之半導體元件 21 係具有相對之主動面 21a 與非主動面 21b，且於該主動面 21a 上具有複數電極墊 210，又該半導體元件 21 之主動面 21a 係齊平於該封裝體 23 之第一表面 23a。

所述之支撐件 24,24' 係位於該半導體元件 21 之外圍，且均電性絕緣於該半導體元件 21，又該支撐件 24,24' 係由一第一柱狀部 241 與穿設於該第一柱狀部 241 中之第二柱狀部 242 所構成。於本實施例中，該第一柱狀部 241 與第二柱狀部 242 之材質不同。

所述之強化部 34 係電性絕緣於該半導體元件 21，且該強化部 34 之材質係為金屬。

於一實施例中，所述之半導體封裝件 2 復包括第一線路重佈結構 25，係設於該封裝體 23 之第一表面 23a 上，且該第一線路重佈結構 25 電性連接該半導體元件 21。

於一實施例中，所述之半導體封裝件 2 復包括第二線路重佈結構 26，係設於該封裝體 23 之第二表面 23b 上，且該第二線路重佈結構 26 電性連接該半導體元件 21。

綜上所述，本發明之半導體封裝件及其製法，主要藉由對該半導體元件不具電性功能之支撐件與強化部之設計，以增加該封裝體之強度，進而增加半導體封裝件之結構強度。

再者，藉由環狀結構（由支撐件與強化部所構成）的設計，更能增加該封裝體之強度，進而增加該半導體封裝件之結構強度。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

1,1',2	半導體封裝件
1a	封裝件
1b	被動元件
10,20	承載件
100	熱化離型膠層

11	半導體晶片
11a,21a	主動面
11b,21b	非主動面
110,210	電極墊
12,22	絕緣材
13,23	封裝體
13a,23a	第一表面
13b,23b	第二表面
14	導電通孔
15,25	第一線路重佈結構
16,26	第二線路重佈結構
17,27	導電元件
18	線路重佈結構
200	結合層
21	半導體元件
24,24'	支撐件
240	穿孔
241	第一柱狀部
242	第二柱狀部
34	強化部
340	溝槽
A,B	虛線範圍

申請專利範圍

1. 一種半導體封裝件，係包括：

封裝體，係具有相對之第一表面與第二表面，且該封裝體以其第一表面嵌埋有至少一半導體元件，該半導體元件係具有相對之主動面與非主動面，且於該主動面上具有複數電極墊；

複數支撐件，形成於該封裝體中並位於該半導體元件之外圍，且該些支撐件均電性絕緣於該半導體元件，又該支撐件係包含第一柱狀部與穿設於該第一柱狀部中之第二柱狀部；以及

強化部，係連結於該任二相鄰之支撐件之間，其中，該些強化部均電性絕緣於該半導體元件。

2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該封裝體係為矩形體，且該些支撐件位於該矩形體之四個角落處。
3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該半導體元件之主動面係齊平於該封裝體之第一表面。
4. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該第一柱狀部與第二柱狀部之材質不同。
5. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該強化部之材質係為金屬。
6. 如申請專利範圍第 1 項所述之半導體封裝件，復包括第一線路重佈結構，係設於該封裝體之第一表面上，

且該第一線路重佈結構電性連接該半導體元件。

7. 如申請專利範圍第 1 或 6 項所述之半導體封裝件，復包括第二線路重佈結構，係設於該封裝體之第二表面上，且該第二線路重佈結構電性連接該半導體元件。
8. 一種半導體封裝件之製法，係包括：

提供一具有相對之第一表面與第二表面之封裝體，且該封裝體以其第一表面嵌埋有至少一半導體元件與複數第一柱狀部，該半導體元件係具有相對之主動面與非主動面，且於該主動面上具有複數電極墊，又該些第一柱狀部位於該半導體元件之外圍；

形成連通該第一表面與第二表面並貫穿該第一柱狀部之複數穿孔，且形成連通於各該穿孔之間的溝槽；以及

形成第二柱狀部於各該穿孔中，使該第二柱狀部穿設於該第一柱狀部中以與該第一柱狀部構成支撐件，該些支撐件均電性絕緣於該半導體元件，且形成強化部於該溝槽中，以令各該支撐件之間藉由該強化部相連結，其中，該些強化部均電性絕緣於該半導體元件。

9. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該封裝體之製程係包括：

設置該半導體元件與該些第一柱狀部於一承載件上；

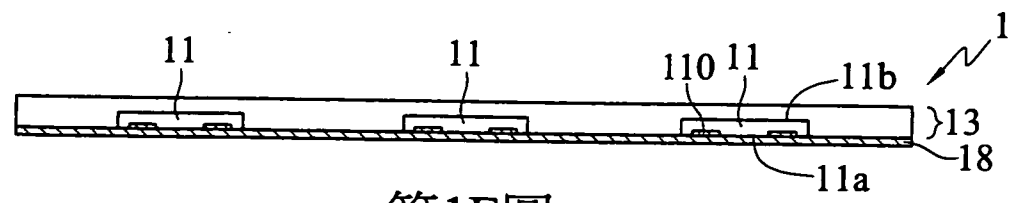
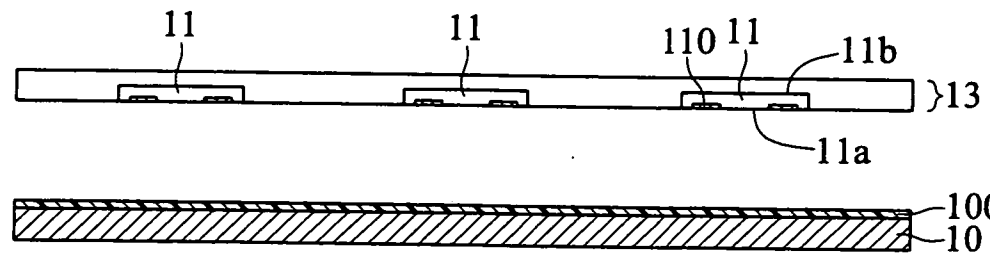
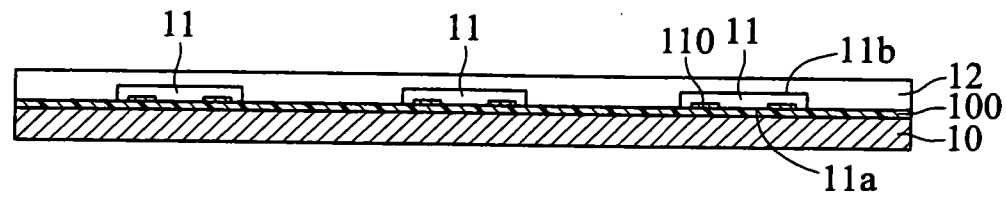
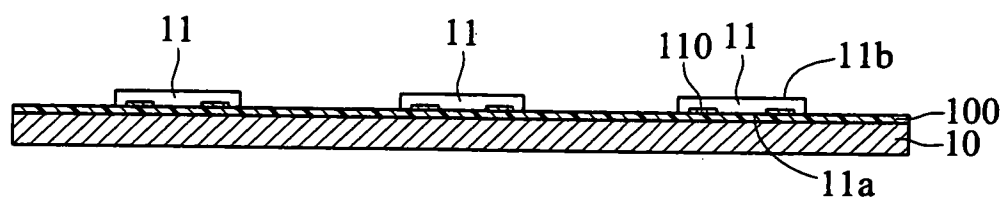
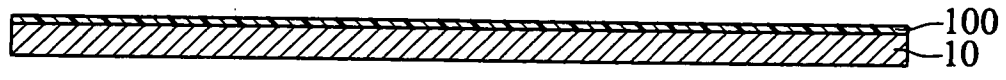
將絕緣材包覆該半導體元件與該些第一柱狀部，

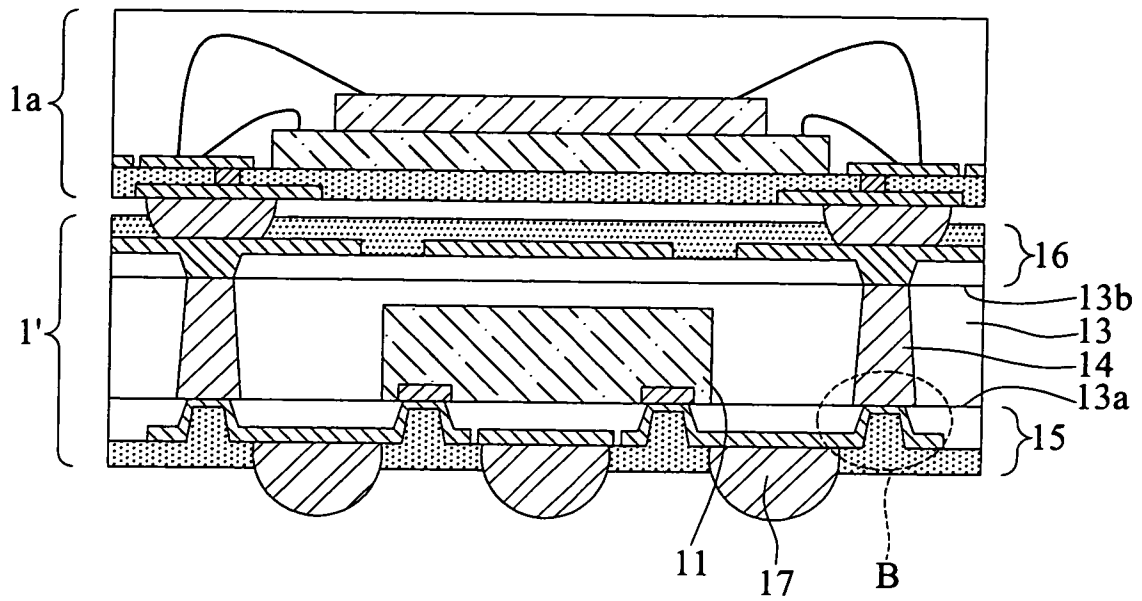
以形成該封裝體，且該封裝體之第一表面結合於該承載件上；以及

移除該承載件。

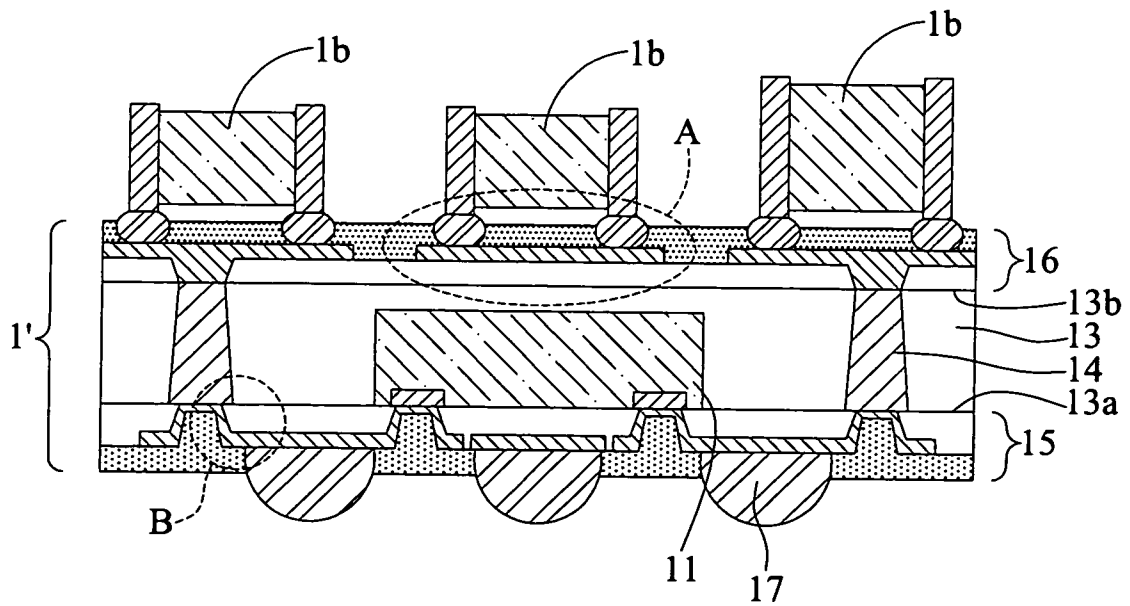
10. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該封裝體係為矩形體，且該些穿孔位於該矩形體之四個角落處。
11. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該半導體元件之主動面係齊平於該封裝體之第一表面。
12. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該第一柱狀部與第二柱狀部之材質不同。
13. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該強化部之材質係為金屬。
14. 如申請專利範圍第 8 項所述之半導體封裝件之製法，復包括形成第一線路重佈結構於該封裝體之第一表面上，且該第一線路重佈結構電性連接該半導體元件。
15. 如申請專利範圍第 8 或 14 項所述之半導體封裝件之製法，復包括形成第二線路重佈結構於該封裝體之第二表面上，且該第二線路重佈結構電性連接該半導體元件。

圖式

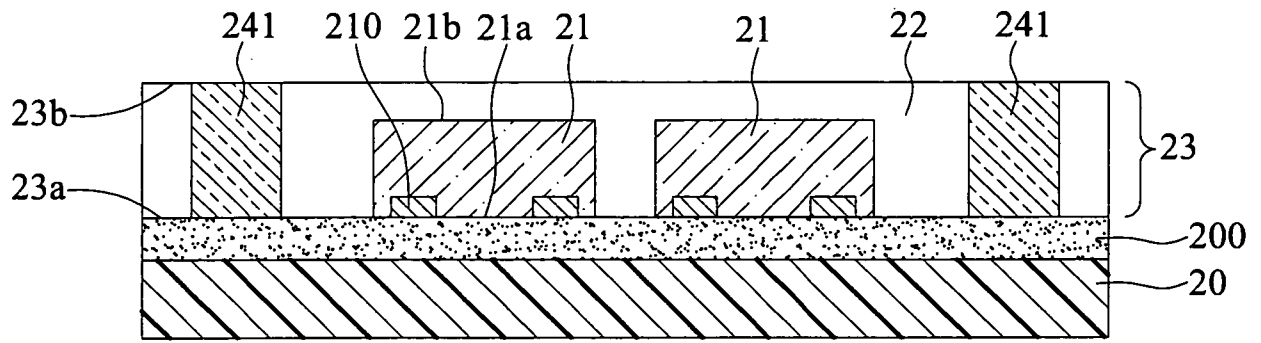




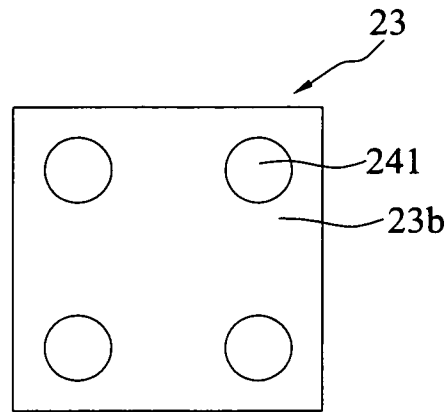
第1'圖



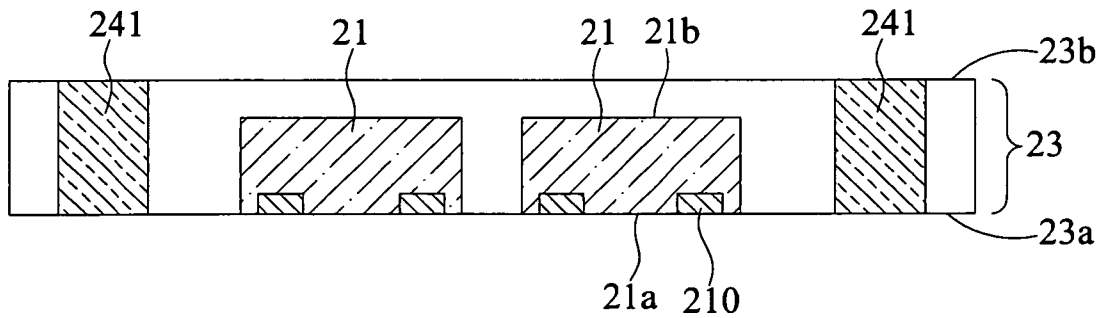
第1''圖



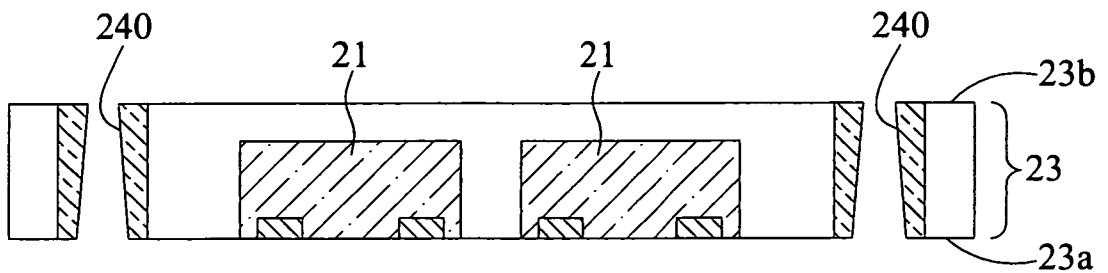
第2A圖



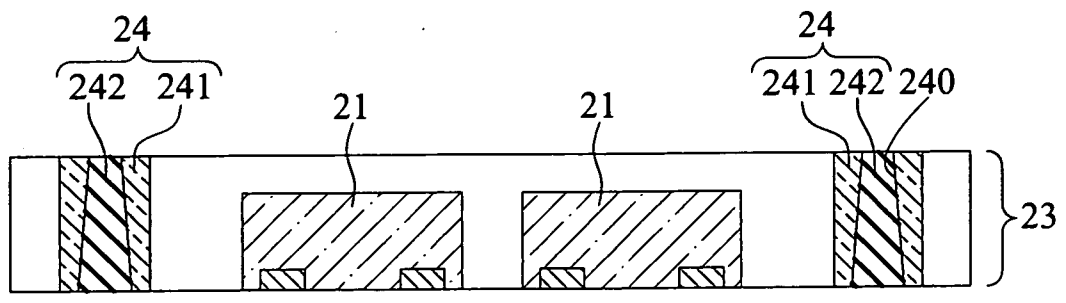
第2A'圖



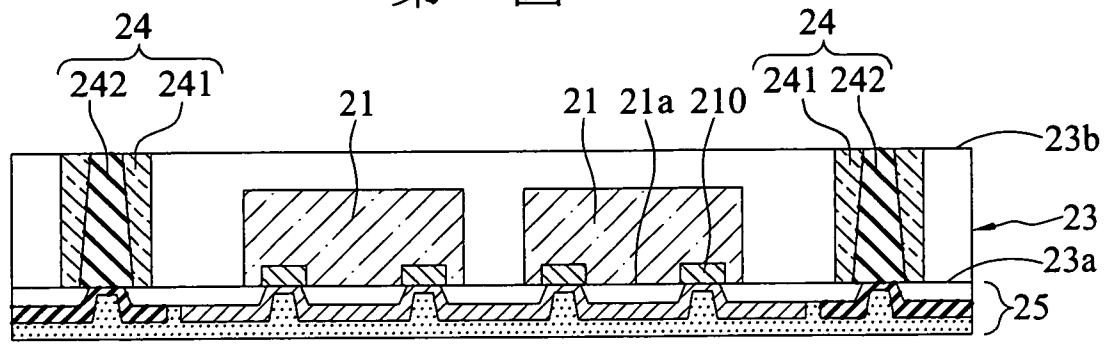
第2B圖



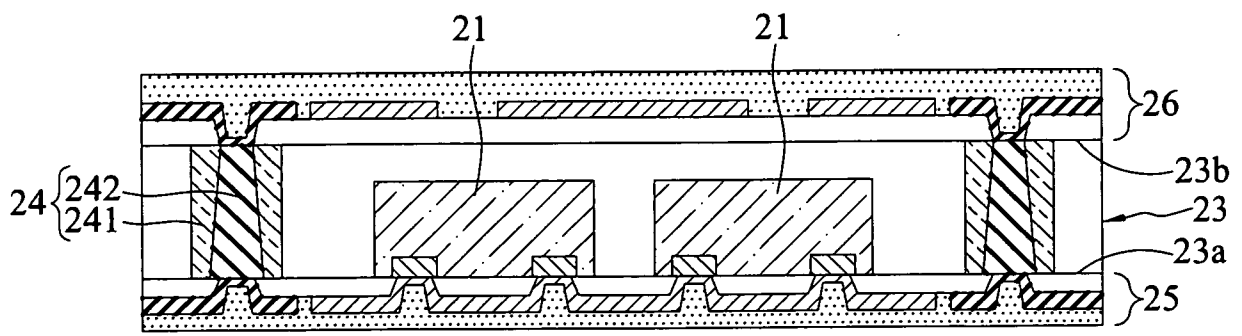
第2C圖



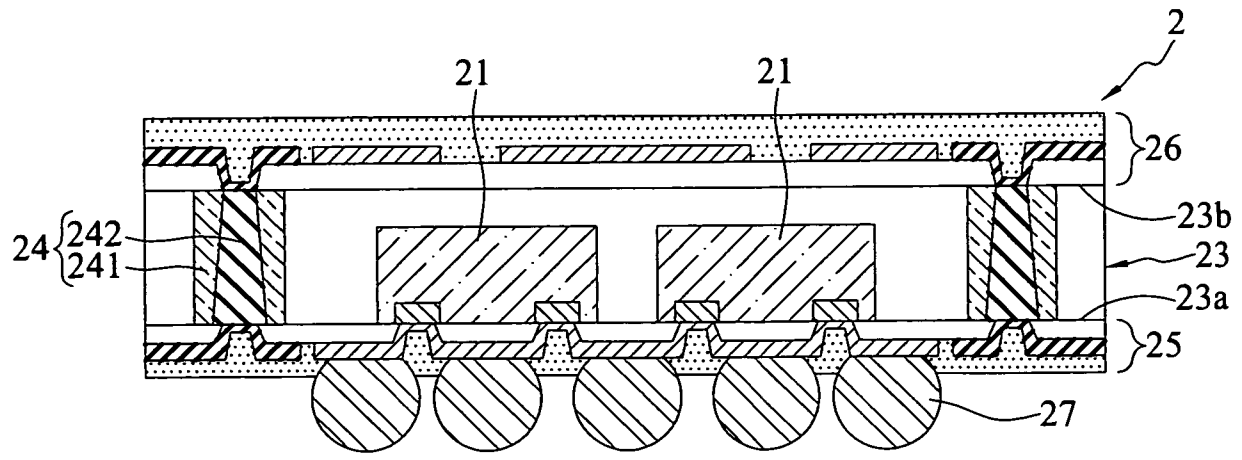
第2D圖



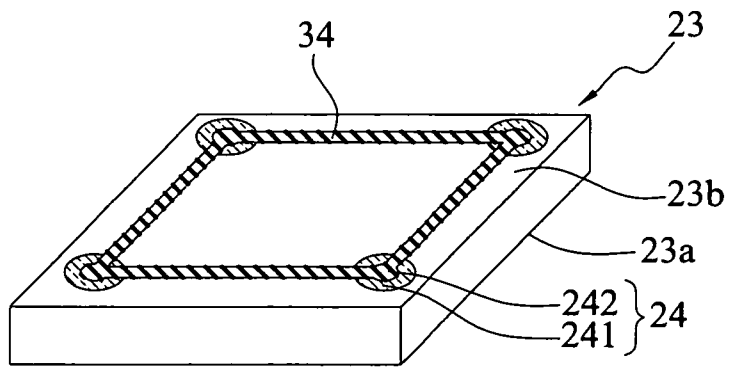
第2E圖



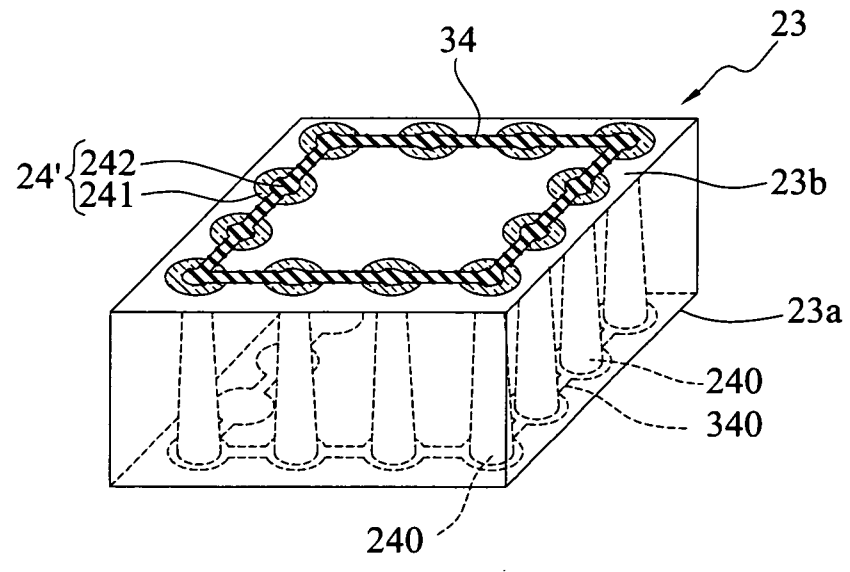
第2F圖



第2G圖



第3A圖



第3B圖