

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-169208

(P2019-169208A)

(43) 公開日 令和1年10月3日(2019.10.3)

(51) Int.Cl.		F I	テーマコード (参考)
<b>G 1 1 C</b>	<b>16/32</b>	<b>(2006.01)</b>	G 1 1 C 16/32 5 B 2 2 5
<b>G 1 1 C</b>	<b>7/10</b>	<b>(2006.01)</b>	G 1 1 C 7/10 4 6 0 5 J 0 5 6
<b>G 1 1 C</b>	<b>16/10</b>	<b>(2006.01)</b>	G 1 1 C 7/10 5 1 0
<b>H O 3 K</b>	<b>19/0175</b>	<b>(2006.01)</b>	G 1 1 C 16/10 1 7 0
			H O 3 K 19/0175 2 4 0

審査請求 未請求 請求項の数 13 O L (全 47 頁)

(21) 出願番号 特願2018-54330 (P2018-54330)  
 (22) 出願日 平成30年3月22日 (2018. 3. 22)

(71) 出願人 318010018  
 東芝メモリ株式会社  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100103034  
 弁理士 野河 信久  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100153051  
 弁理士 河野 直樹  
 (74) 代理人 100189913  
 弁理士 鶴飼 健

最終頁に続く

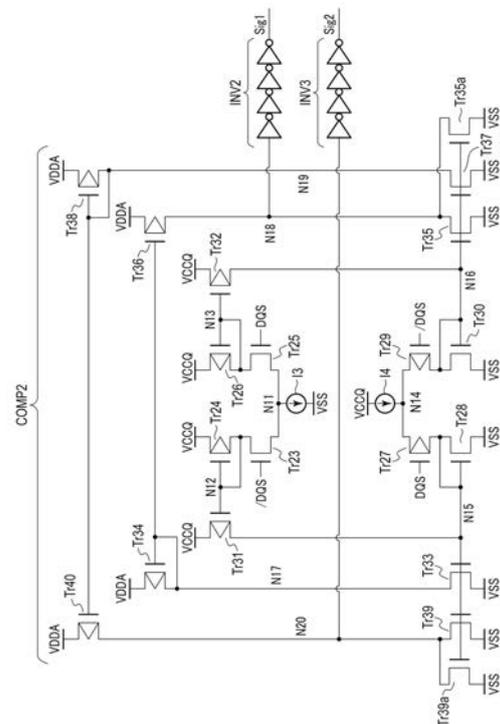
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 入力信号の特性を改善する。

【解決手段】 一実施形態の半導体装置は、第1入力信号と、第1入力信号の相補信号である第2入力信号と、比較結果に基づいて、第1出力信号及び第1出力信号と逆相の第2出力信号を出力する第1コンパレータを含む入力回路を備え、第1出力信号及び第2出力信号のデューティ比は、第1入力信号及び第2入力信号のデューティ比と異なる。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

第 1 入力信号と、前記第 1 入力信号の相補信号である第 2 入力信号と、の比較結果に基づいて、第 1 出力信号及び前記第 1 出力信号と逆相の第 2 出力信号を出力する第 1 コンパレータを含む入力回路を備え、

前記第 1 出力信号及び前記第 2 出力信号のデューティ比は、前記第 1 入力信号及び前記第 2 入力信号のデューティ比と異なる、

半導体装置。

## 【請求項 2】

前記入力回路は、

10

第 3 入力信号と、第 1 参照信号と、の比較結果に基づいて、第 3 出力信号を出力する第 2 コンパレータと、

前記第 3 出力信号を前記第 1 出力信号又は前記第 2 出力信号によってストロープし、前記ストロープの結果をラッチするデータラッチ回路と、

を更に含む、

請求項 1 記載の半導体装置。

## 【請求項 3】

前記データラッチ回路は、第 1 インバータ及び第 2 インバータを含み、

前記第 1 インバータは、

20

直列に接続された、互いに同じ極性を有する第 1 トランジスタ及び第 2 トランジスタ、並びに前記第 1 トランジスタ及び前記第 2 トランジスタと異なる極性を有する第 3 トランジスタ及び第 4 トランジスタを含み、

前記第 2 インバータは、

直列に接続された、互いに同じ極性を有する第 5 トランジスタ及び第 6 トランジスタ、並びに前記第 5 トランジスタ及び前記第 6 トランジスタと異なる極性を有する第 7 トランジスタ及び第 8 トランジスタを含み、

前記第 1 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ、及び前記第 8 トランジスタの各々のゲートには、前記第 3 出力信号が供給され、

前記第 3 トランジスタ、及び前記第 6 トランジスタの各々のゲートには、前記第 1 出力信号が供給され、

30

前記第 2 トランジスタ、及び前記第 7 トランジスタの各々のゲートには、前記第 2 出力信号が供給される、

請求項 2 記載の半導体装置。

## 【請求項 4】

前記入力回路は、

第 3 入力信号と、第 1 参照信号と、の比較結果に基づいて、第 3 出力信号を出力する第 2 コンパレータと、

前記第 1 入力信号と、前記第 2 入力信号との比較結果に基づいて、第 4 出力信号及び前記第 4 出力信号と逆相の第 5 出力信号を出力する第 3 コンパレータと、

前記第 3 出力信号を前記第 1 出力信号、前記第 2 出力信号、前記第 4 出力信号、又は前記第 5 出力信号によってストロープし、前記ストロープの結果をラッチするデータラッチ回路と、

40

を更に含む、

請求項 1 記載の半導体装置。

## 【請求項 5】

前記データラッチ回路は、第 1 インバータ及び第 2 インバータを含み、

前記第 1 インバータは、

直列に接続された、互いに同じ極性を有する第 1 トランジスタ及び第 2 トランジスタ、並びに前記第 1 トランジスタ及び前記第 2 トランジスタと異なる極性を有する第 3 トランジスタ及び第 4 トランジスタを含み、

50

前記第 2 インバータは、

直列に接続された、互いに同じ極性を有する第 5 トランジスタ及び第 6 トランジスタ、並びに前記第 5 トランジスタ及び前記第 6 トランジスタと異なる極性を有する第 7 トランジスタ及び第 8 トランジスタを含み、

前記第 1 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ、及び前記第 8 トランジスタの各々のゲートには、前記第 3 出力信号が供給され、

前記第 2 トランジスタのゲートには、前記第 5 出力信号が供給され、

前記第 3 トランジスタのゲートには、前記第 1 出力信号が供給され、

前記第 5 トランジスタのゲートには、前記第 4 出力信号が供給され、

前記第 6 トランジスタのゲートには、前記第 2 出力信号が供給される、

請求項 4 記載の半導体装置。

10

【請求項 6】

前記入力回路は、

第 3 入力信号と、第 1 参照信号と、の比較結果に基づいて、第 3 出力信号を出力する第 2 コンパレータと、

前記第 3 出力信号を前記第 1 出力信号又は前記第 2 出力信号によってストローブし、前記ストローブの結果をラッチするデータラッチ回路と、

を更に含み、

前記第 2 コンパレータは、

前記第 3 入力信号と、前記第 1 参照信号と、の比較結果に基づいて、第 6 出力信号を第 1 ノードに出力する第 1 回路と、

前記第 3 入力信号と、前記第 1 参照信号と、の比較結果に基づいて、前記第 6 出力信号と逆相の第 7 出力信号を第 2 ノードに出力する第 2 回路と、

前記第 1 ノードに接続された入力端と、前記第 2 ノードに接続された出力端と、を含む第 3 インバータと、

前記第 1 ノードに接続された出力端と、前記第 2 ノードに接続された入力端と、を含む第 4 インバータと、

を含む、請求項 1 記載の半導体装置。

20

【請求項 7】

前記第 1 コンパレータは、

前記第 1 入力信号が供給されるゲートを含む第 9 トランジスタと、前記第 2 入力信号が供給されるゲートを含む第 10 トランジスタと、第 3 ノードを介して前記第 9 トランジスタ及び前記第 10 トランジスタの各々の第 1 端に共通接続された出力端を含む第 1 電流源と、を含む増幅回路と、

前記第 9 トランジスタの第 2 端に接続された第 1 端を含む第 1 カレントミラー回路と

、

前記第 10 トランジスタの第 2 端に接続された第 1 端を含む第 2 カレントミラー回路と、

前記第 1 カレントミラー回路の第 2 端に接続された第 1 端、及び前記第 2 カレントミラー回路の第 2 端に接続された第 2 端を含む第 3 カレントミラー回路と、

を含む、

請求項 1 記載の半導体装置。

30

40

【請求項 8】

前記第 1 カレントミラー回路は、第 11 トランジスタ及び第 12 トランジスタを含み、前記第 11 トランジスタの第 1 端及びゲート、並びに前記第 12 トランジスタのゲートは、前記第 9 トランジスタの第 2 端に接続され、

前記第 2 カレントミラー回路は、第 13 トランジスタ及び第 14 トランジスタを含み、前記第 13 トランジスタの第 1 端及びゲート、並びに前記第 14 トランジスタのゲートは、前記第 10 トランジスタの第 2 端に接続され、

前記第 3 カレントミラー回路は、第 15 トランジスタ及び第 16 トランジスタを含み、

50

前記第 15 トランジスタの第 1 端及びゲート、並びに前記第 16 トランジスタのゲートは、前記第 12 トランジスタの第 1 端に接続され、前記第 16 トランジスタの第 1 端は、前記第 14 トランジスタの第 1 端に接続され、

前記第 14 トランジスタのサイズと、前記第 16 トランジスタのサイズとは、互いに異なる、

請求項 7 記載の半導体装置。

【請求項 9】

前記第 1 コンパレータは、第 17 トランジスタ、第 18 トランジスタ、第 19 トランジスタ、第 20 トランジスタ、及び第 2 電流源を含む補正回路を更に含み、

前記第 17 トランジスタは、前記第 2 電流源の出力端に接続された第 1 端と、前記第 18 トランジスタの第 1 端に接続された第 2 端と、前記第 1 入力信号が供給されるゲートと、を含み、

前記第 18 トランジスタは、前記第 3 ノードに接続された第 2 端と、前記第 2 入力信号が供給されるゲートと、を含み、

前記第 19 トランジスタは、前記第 2 電流源の出力端に接続された第 1 端と、前記第 20 トランジスタの第 1 端に接続された第 2 端と、前記第 2 入力信号が供給されるゲートと、を含み、

前記第 20 トランジスタは、前記第 3 ノードに接続された第 2 端と、前記第 1 入力信号が供給されるゲートと、を含む、

請求項 7 記載の半導体装置。

【請求項 10】

前記補正回路は、前記第 2 電流源の出力端に接続された第 1 端と、第 1 参照信号が供給されるゲートと、を含む第 21 トランジスタを更に含む、

請求項 9 記載の半導体装置。

【請求項 11】

前記補正回路は、

前記第 18 トランジスタ及び前記第 20 トランジスタの各々の第 2 端と、前記第 3 ノードとの間に接続され、前記第 1 参照信号より低い第 2 参照信号が供給されるゲートを含む第 22 トランジスタと、

前記第 21 トランジスタの第 2 端に接続された第 1 端と、前記第 2 参照信号が供給されるゲートと、を含む第 23 トランジスタと、

を更に含む、請求項 10 記載の半導体装置。

【請求項 12】

前記補正回路は、

前記第 2 電流源の出力端に接続された第 1 端と、第 1 参照信号が供給されるゲートと、を含む第 21 トランジスタと、

前記第 21 トランジスタに直列に接続され、前記第 1 参照信号が供給されるゲートを含む第 24 トランジスタと、

前記第 17 トランジスタと前記第 18 トランジスタとの間に直列に接続される第 25 トランジスタと、

前記第 19 トランジスタと前記第 20 トランジスタとの間に直列に接続される第 26 トランジスタと、

前記第 21 トランジスタと前記第 24 トランジスタとの間に直列に接続される第 27 トランジスタと、

を更に含み、

前記第 25 トランジスタ、前記第 26 トランジスタ、及び前記第 27 トランジスタの各々のゲートには、前記第 1 参照信号より低い第 2 参照信号が供給される、

請求項 9 記載の半導体装置。

【請求項 13】

前記補正回路は、

50

前記第 17 トランジスタ及び前記第 20 トランジスタの各々のゲートに接続された第 1 端と、前記第 1 入力信号が供給される第 2 端と、を含む第 28 トランジスタと、

前記第 18 トランジスタ及び前記第 19 トランジスタの各々のゲートに接続された第 1 端と、前記第 2 入力信号が供給される第 2 端と、を含む第 29 トランジスタと、  
を更に含む、

請求項 10 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置に関する。

10

【背景技術】

【0002】

半導体装置としての NAND 型フラッシュメモリが知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003 - 59267 号公報

【特許文献 2】米国特許第 8644085 号明細書

【特許文献 3】特開 2004 - 104681 号公報

【特許文献 4】特開 2012 - 216265 号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

入力信号の特性を改善する。

【課題を解決するための手段】

【0005】

実施形態の半導体装置は、第 1 入力信号と、上記第 1 入力信号の相補信号である第 2 入力信号と、の比較結果に基づいて、第 1 出力信号及び上記第 1 出力信号と逆相の第 2 出力信号を出力する第 1 コンパレータを含む入力回路を備える。上記第 1 出力信号及び上記第 2 出力信号のデューティ比は、上記第 1 入力信号及び上記第 2 入力信号のデューティ比と異なる。

30

【図面の簡単な説明】

【0006】

【図 1】第 1 実施形態に係るメモリシステムの構成を説明するためのブロック図。

【図 2】第 1 実施形態に係る半導体記憶装置の構成を説明するためのブロック図。

【図 3】第 1 実施形態に係る半導体記憶装置の入出力回路の構成を説明するためのブロック図。

【図 4】第 1 実施形態に係る半導体記憶装置の入力回路及びデータラッチの構成を説明するための回路図。

【図 5】第 1 実施形態に係る半導体記憶装置における入出力信号の入力回路の構成を説明するための回路図。

40

【図 6】第 1 実施形態に係る半導体記憶装置におけるストローク信号の入力回路の構成を説明するための回路図。

【図 7】第 1 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 8】第 1 実施形態の変形例に係る半導体記憶装置のストローク信号の入力回路の構成を説明するための回路図。

【図 9】第 1 実施形態の変形例に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 10】第 2 実施形態に係る半導体記憶装置のストローク信号の入力回路の構成を説明

50

するための回路図。

【図 1 1】第 2 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 1 2】第 2 実施形態の変形例に係る半導体記憶装置の入出力回路の構成を説明するための回路図。

【図 1 3】第 2 実施形態の変形例に係る半導体記憶装置におけるトレーニング動作を説明するためのタイミングチャート。

【図 1 4】第 3 実施形態に係る半導体記憶装置の入出力回路の構成を説明するための回路図。

【図 1 5】第 3 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 1 6】第 4 実施形態に係る半導体記憶装置の入出力回路の構成を説明するための回路図。

【図 1 7】第 4 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 1 8】第 4 実施形態の変形例に係る半導体記憶装置の入出力回路の構成を説明するための回路図。

【図 1 9】第 5 実施形態に係る半導体記憶装置のストローク信号の入力回路の構成を説明するための回路図。

【図 2 0】第 5 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 2 1】第 6 実施形態に係る半導体記憶装置のストローク信号の入力回路の構成を説明するための回路図。

【図 2 2】第 6 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 2 3】第 7 実施形態に係る半導体記憶装置のストローク信号の入力回路の構成を説明するための回路図。

【図 2 4】第 7 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【図 2 5】第 7 実施形態の変形例に係る半導体記憶装置のストローク信号の入力回路の構成を説明するための回路図。

【図 2 6】第 8 実施形態に係る半導体記憶装置のストローク信号の入力回路の構成を説明するための回路図。

【図 2 7】第 8 実施形態に係る半導体記憶装置における入力動作を説明するためのタイミングチャート。

【発明を実施するための形態】

【0007】

以下、図面を参照して実施形態について説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、共通する参照符号を付す。

【0008】

なお、以下の説明では、信号  $X \langle n : 0 \rangle$  ( $n$  は自然数) とは、 $(n + 1)$  ビットの信号であり、各々が 1 ビットの信号である信号  $X \langle 0 \rangle$ 、 $X \langle 1 \rangle$ 、...、及び  $X \langle n \rangle$  の集合を意味する。また、構成要素  $Y \langle n : 0 \rangle$  とは、信号  $X \langle n : 0 \rangle$  の入力又は出力に 1 対 1 に対応する構成要素  $Y \langle 0 \rangle$ 、 $Y \langle 1 \rangle$ 、...、及び  $Y \langle n \rangle$  の集合を意味する。

【0009】

また、以下の説明では、信号  $/Z$  は、信号  $Z$  の相補信号であることを示す。また、「信号  $Z$  及び  $/Z$  のデューティ比」とは、信号  $Z$  及び  $/Z$  におけるパルスの 1 周期に対する、パルスが立ち上がったから立ち下がるまでの時間の割合を示す。

【0010】

1. 第 1 実施形態

10

20

30

40

50

第1実施形態に係るメモリシステムについて説明する。第1実施形態に係るメモリシステムは、例えば、半導体記憶装置としてのNAND型フラッシュメモリと、当該NAND型フラッシュメモリを制御するメモリコントローラと、を含む。

#### 【0011】

##### 1.1 構成について

##### 1.1.1 メモリシステムの全体構成について

第1実施形態に係るメモリシステムの構成例について、図1を用いて説明する。図1は、第1実施形態に係るメモリシステムの構成の一例を示すブロック図である。メモリシステム1は、例えば、外部のホスト機器（図示せず）と通信する。メモリシステム1は、ホスト機器からのデータを保持し、また、データをホスト機器に読み出す。

10

#### 【0012】

図1に示すように、メモリシステム1は、コントローラ10及び半導体記憶装置（NANDフラッシュメモリ）20を備えている。コントローラ10は、ホスト機器から命令を受取り、受け取られた命令に基づいて半導体記憶装置20を制御する。具体的には、コントローラ10は、ホスト機器から書込みを指示されたデータを半導体記憶装置20に書込み、ホスト機器から読出しを指示されたデータを半導体記憶装置20から読み出してホスト機器に送信する。コントローラ10は、NANDバスによって半導体記憶装置20に接続される。半導体記憶装置20は、複数のメモリセルを備え、データを不揮発に記憶する。

#### 【0013】

NANDバスは、NANDインタフェースに従った信号/CE、CLE、ALE、/WE、RE、/RE、/WP、/RB、DQS、/DQS、及びDQ<7:0>の各々について、個別の信号線を介して送受信を行う。信号/CEは、半導体記憶装置20をイネーブルにするための信号である。信号CLEは、信号CLEが“H(High)”レベルである間に半導体記憶装置20に流れる信号DQ<7:0>がコマンドであることを半導体記憶装置20に通知する。信号ALEは、信号ALEが“H”レベルである間に半導体記憶装置20に流れる信号DQ<7:0>がアドレスであることを半導体記憶装置20に通知する。信号/WEは、信号/WEが“L(Low)”レベルである間に半導体記憶装置20に流れる信号DQ<7:0>を半導体記憶装置20に取り込むことを指示する。信号RE及び/REは、相補信号であり、半導体記憶装置20に信号DQ<7:0>を出力することを指示する。信号/WPは、データ書込み及び消去の禁止を半導体記憶装置20に指示する。信号/RBは、半導体記憶装置20がレディ状態（外部からの命令を受け付ける状態）であるか、ビジー状態（外部からの命令を受け付けない状態）であるかを示す。信号DQS及び/DQSは、相補信号であり、信号DQ<7:0>に係る半導体記憶装置20の動作タイミングを制御するためのストロブ信号として使用される。信号DQ<7:0>は、例えば8ビットの信号である。信号DQ<7:0>は、半導体記憶装置20とコントローラ10との間で送受信されるデータの実体であり、コマンドCMD、アドレスADD、及びデータDATを含む。データDATは、書込みデータ及び読出しデータを含む。

20

30

#### 【0014】

##### 1.1.2 コントローラの構成について

引き続き図1を用いて、第1実施形態に係るメモリシステムのコントローラについて説明する。コントローラ10は、プロセッサ（CPU:Central Processing Unit）11、内蔵メモリ（RAM:Random Access Memory）12、ECC(Error Check and Correction)回路13、NANDインタフェース回路14、バッファメモリ15、及びホストインタフェース回路16を備えている。

40

#### 【0015】

プロセッサ11は、コントローラ10全体の動作を制御する。プロセッサ11は、例えば、ホスト機器から受信したデータの読出し命令に应答して、NANDインタフェースに基づく読出し命令を半導体記憶装置20に対して発行する。この動作は、書込み及び消去の場合についても同様である。また、プロセッサ11は、半導体記憶装置20からの読出

50

しデータに対して、種々の演算を実行する機能を有する。

【0016】

内蔵メモリ12は、例えば、DRAM (Dynamic RAM)等の半導体メモリであり、プロセッサ11の作業領域として使用される。内蔵メモリ12は、半導体記憶装置20を管理するためのファームウェア、及び各種の管理テーブル等を保持する。

【0017】

ECC回路13は、エラー検出及びエラー訂正処理を行う。より具体的には、データの書込み時には、ホスト機器から受信したデータに基づいて、或る数のデータの組毎にECC符号を生成する。また、データの読出し時には、ECC符号に基づいてECC復号し、エラーの有無を検出する。そしてエラーが検出された際には、そのビット位置を特定し、エラーを訂正する。

10

【0018】

NANDインタフェース回路14は、NANDバスを介して半導体記憶装置20と接続され、半導体記憶装置20との通信を司る。NANDインタフェース回路14は、プロセッサ11の指示により、コマンドCMD、アドレスADD、及び書込みデータを半導体記憶装置20に送信する。また、NANDインタフェース回路14は、半導体記憶装置20から読出しデータを受信する。

【0019】

バッファメモリ15は、コントローラ10が半導体記憶装置20及びホスト機器から受信したデータ等を一時的に保持する。バッファメモリ15は、例えば、半導体記憶装置20からの読出しデータ、及び読出しデータに対する演算結果等を一時的に保持する記憶領域としても使用される。

20

【0020】

ホストインタフェース回路16は、ホスト機器と接続され、ホスト機器との通信を司る。ホストインタフェース回路16は、例えば、ホスト機器から受信した命令及びデータを、それぞれプロセッサ11及びバッファメモリ15に転送する。

【0021】

1.1.3 半導体記憶装置の構成について

次に、第1実施形態に係る半導体記憶装置の構成例について、図2を用いて説明する。

【0022】

図2に示すように、半導体記憶装置20は、メモリセルアレイ21、入出力回路22、ロジック制御回路23、レジスタ24、シーケンサ25、電圧生成回路26、ドライバセット27、ロウデコーダ28、センスアンプ29、入出力用パッド群30、及びロジック制御用パッド群31を備えている。

30

【0023】

メモリセルアレイ21は、ワード線及びビット線に関連付けられた複数の不揮発性メモリセル(図示せず)を含む。

【0024】

入出力回路22は、コントローラ10と信号DQ<7:0>並びに信号DQS及び/DQSを送受信する。入出力回路22は、信号DQS及び/DQSに基づいて信号DQ<7:0>内のコマンド及びアドレスを確定させ、レジスタ24に転送する。入出力回路22は、信号DQS及び/DQSに基づいて書込みデータ及び読出しデータを確定させ、センスアンプ29と送受信する。

40

【0025】

ロジック制御回路23は、コントローラ10から信号/CE、CLE、ALE、/WE、RE、/RE、及び/WPを受信する。また、ロジック制御回路23は、信号/RBをコントローラ10に転送して半導体記憶装置20の状態を外部に通知する。

【0026】

レジスタ24は、コマンド及びアドレスを保持する。レジスタ24は、アドレスをロウデコーダ28及びセンスアンプ29に転送すると共に、コマンドをシーケンサ25に転送

50

する。

【 0 0 2 7 】

シーケンサ 2 5 は、コマンドを受け取り、受け取ったコマンドに基づくシーケンスに従って半導体記憶装置 2 0 の全体を制御する。

【 0 0 2 8 】

電圧生成回路 2 6 は、シーケンサ 2 5 からの指示に基づき、データの書込み、読出し、及び消去等の動作に必要な電圧を生成する。電圧生成回路 2 6 は、生成した電圧をドライバセット 2 7 に供給する。

【 0 0 2 9 】

ドライバセット 2 7 は、複数のドライバを含み、レジスタ 2 4 からのアドレスに基づいて、電圧生成回路 2 6 からの種々の電圧をロウデコーダ 2 8 及びセンスアンプ 2 9 に供給する。ドライバセット 2 7 は、例えば、アドレス中のロウアドレスに基づき、ロウデコーダ 2 8 に種々の電圧を供給する。

10

【 0 0 3 0 】

ロウデコーダ 2 8 は、レジスタ 2 4 からアドレス中のロウアドレスを受取り、当該ロウアドレスに基づく行のメモリセルを選択する。そして、選択された行のメモリセルには、ロウデコーダ 2 8 を介してドライバセット 2 7 からの電圧が転送される。

【 0 0 3 1 】

センスアンプ 2 9 は、データの読出し時には、メモリセルからビット線に読出された読出しデータをセンスし、センスした読出しデータを入出力回路 2 2 に転送する。センスアンプ 2 9 は、データの書込み時には、ビット線を介して書込まれる書込みデータをメモリセルに転送する。また、センスアンプ 2 9 は、レジスタ 2 4 からアドレス中のカラムアドレスを受取り、当該カラムアドレスに基づくカラムのデータを出力する。

20

【 0 0 3 2 】

入出力用パッド群 3 0 は、コントローラ 1 0 から受信した信号  $DQ < 7 : 0 >$ 、並びに信号  $DQS$  及び  $\overline{DQS}$  を入出力回路 2 2 に転送する。また、入出力用パッド群 3 0 は、入出力回路 2 2 から送信された信号  $DQ < 7 : 0 >$  を半導体記憶装置 2 0 の外部に転送する。

【 0 0 3 3 】

ロジック制御用パッド群 3 1 は、コントローラ 1 0 から受信した信号  $\overline{CE}$ 、 $\overline{CLE}$ 、 $\overline{ALE}$ 、 $\overline{WE}$ 、 $\overline{RE}$ 、及び  $\overline{WP}$  をロジック制御回路 2 3 に転送する。また、ロジック制御用パッド群 3 1 は、ロジック制御回路 2 3 から送信された  $\overline{RB}$  を半導体記憶装置 5 の外部に転送する。

30

【 0 0 3 4 】

1 . 1 . 4 入出力回路の構成

次に、第 1 実施形態に係る半導体記憶装置の入出力回路の構成について説明する。

【 0 0 3 5 】

1 . 1 . 4 . 1 入出力回路の機能構成について

第 1 実施形態に係る半導体記憶装置の入出力回路の機能構成について、図 3 を用いて説明する。図 3 は、第 1 実施形態に係る半導体記憶装置の入出力回路の機能構成を説明するためのブロック図である。

40

【 0 0 3 6 】

図 3 に示すように、入出力回路 2 2 は、入力回路 2 2 1  $< 7 : 0 >$  と、出力回路 2 2 2  $< 7 : 0 >$  と、入力回路 2 2 3 と、出力回路 2 2 4 と、データラッチ 2 2 5  $< 7 : 0 >$  と、を含む。

【 0 0 3 7 】

1 つの入力回路 2 2 1  $< k >$  及び出力回路 2 2 2  $< k >$  の組には、例えば、同種の信号  $DQ < k >$  が割当てられる (  $0 \leq k < 7$  )。すなわち、入力回路 2 2 1  $< k >$  及び出力回路 2 2 2  $< k >$  の組は、外部のコントローラ 1 0 と、入出力用パッド群 3 0 内のパッド 3 0  $< k >$  を介して信号  $DQ < k >$  を通信可能である。入力回路 2 2 1  $< k >$  は、信号  $DQ$

50

< k >を受けると信号  $Din < k >$  を生成し、対応するデータラッチ 225 < k > に送出する。

【0038】

入力回路 223 及び出力回路 224 の組は、外部のコントローラ 10 と、入出力用パッド群 30 内のパッド 30<sub>dqs</sub> を介して信号  $DQS$  及び  $/DQS$  を通信可能である。入力回路 223 は、信号  $DQS$  及び  $/DQS$  を受けると信号  $Sig1$  及び  $Sig2$  を生成し、データラッチ 225 < 7 : 0 > に送出する。

【0039】

データラッチ 225 < 7 : 0 > は、対応する入力回路 221 < 7 : 0 > からそれぞれ信号  $Din < 7 : 0 >$  を受けると共に、入力回路 223 から信号  $Sig1$  及び  $Sig2$  を受けると、これらの信号に基づいて信号  $DQ < 7 : 0 >$  内に含まれるデータをラッチする。

【0040】

1.1.4.2 入力回路及びデータラッチの構成について

次に、第 1 実施形態に係る入出力回路のうち、入力回路及びデータラッチの構成の詳細について、図 4 を用いて説明する。図 4 は、第 1 実施形態に係る半導体記憶装置の入力回路及びデータラッチの構成を説明するための回路図である。なお、以降の説明では、簡単のため、入力回路 221 < 7 : 0 > 及びデータラッチ 225 < 7 : 0 > のうちの任意の 1 つを、信号  $DQ$  に対応する入力回路 221 及びデータラッチ 225 として記載し、説明する。

【0041】

図 4 に示すように、入力回路 221 は、コンパレータ  $COMP1$ 、及びインバータ群  $INV1$  を含む。入力回路 223 は、コンパレータ  $COMP2$ 、並びにインバータ群  $INV2$  及び  $INV3$  を含む。

【0042】

まず、入力回路 221 及び 223 について説明する。

【0043】

コンパレータ  $COMP1$  は、信号  $DQ$  が供給される第 1 入力端と、電圧  $VREF$  が供給される第 2 入力端と、インバータ群  $INV1$  の入力端に接続された出力端と、を含む。電圧  $VREF$  は、信号  $DQ$  の増幅に用いられる、一定値を有する基準電圧（参照信号）である。インバータ群  $INV1$  は、信号  $Din$  を出力する出力端を含む。インバータ群  $INV1$  は、例えば、コンパレータ  $COMP1$  からの出力信号の位相が反転した信号  $Din$  を生成する。

【0044】

コンパレータ  $COMP2$  は、信号  $DQS$  が供給される第 1 入力端と、信号  $/DQS$  が供給される第 2 入力端と、インバータ群  $INV2$  の入力端に接続された第 1 出力端と、インバータ群  $INV3$  の入力端に接続された第 2 出力端と、を含む。インバータ群  $INV2$  及び  $INV3$  はそれぞれ、信号  $Sig1$  及び  $Sig2$  を出力する出力端を含む。インバータ群  $INV2$  及び  $INV3$  は、例えば、コンパレータ  $COMP2$  からの出力信号の位相が同じ信号  $Sig1$  及び  $Sig2$  をそれぞれ生成する。信号  $Sig1$  及び  $Sig2$  は、例えば、互いに逆位相の信号である。

【0045】

次に、データラッチ 225 について説明する。

【0046】

データラッチ 225 は、データラッチ 225<sub>e</sub> 及び 225<sub>o</sub> を含む。データラッチ 225<sub>e</sub> 及び 225<sub>o</sub> はそれぞれ、信号  $Din$  内に含まれるデータのうち、互いに隣り合うデータを交互にラッチする。すなわち、データラッチ 225<sub>e</sub> が信号  $Din$  内に含まれる偶数番目のデータをラッチする場合、データラッチ 225<sub>o</sub> は、信号  $Din$  内に含まれる奇数番目のデータをラッチする。

【0047】

データラッチ 225<sub>e</sub> は、トランジスタ  $Tr1$ 、 $Tr2$ 、 $Tr3$ 、及び  $Tr4$ 、並びに

10

20

30

40

50

インバータINV4及びINV5を含む。データラッチ225oは、トランジスタTr5、Tr6、Tr7、及びTr8、並びにインバータINV6及びINV7を含む。トランジスタTr1、Tr2、Tr5、及びTr6は、例えば、P型トランジスタであり、トランジスタTr3、Tr4、Tr7、及びTr8は、例えば、N型トランジスタである。

【0048】

トランジスタTr1は、電圧VDDAが供給される第1端と、トランジスタTr2の第1端に接続された第2端と、信号Dinが供給されるゲートと、を含む。トランジスタTr2は、ノードN1に接続された第2端と、信号Sig2が供給されるゲートと、を含む。トランジスタTr3は、ノードN1に接続された第1端と、トランジスタTr4の第1端に接続された第2端と、信号Sig1が供給されるゲートと、を含む。トランジスタTr4は、電圧VSSが供給される第2端と、信号Dinが供給されるゲートと、を含む。電圧VDDAは、電源電圧であり、信号Din内のデータをラッチする際の“H(High)”レベルとして機能する。電圧VSSは、接地電圧であり、入力回路221及び223内における“L(Low)”レベルとして、及び信号Din内のデータをラッチする際の“L”レベルとして機能する。以上のように構成されることにより、トランジスタTr1~Tr4は、ノードN1に信号Dinを反転させた信号を出力可能なインバータとして機能する。

10

【0049】

インバータINV4は、ノードN1に接続された入力端と、インバータINV5の入力端に接続された出力端と、を含む。インバータINV5は、ノードN1に接続された出力端を含む。このように、インバータINV4及びINV5は、交差接続され、ノードN1に転送されたデータをラッチするラッチ回路として機能する。

20

【0050】

トランジスタTr5は、電圧VDDAが供給される第1端と、トランジスタTr6の第1端に接続された第2端と、信号Dinが供給されるゲートと、を含む。トランジスタTr6は、ノードN2に接続された第2端と、信号Sig1が供給されるゲートと、を含む。トランジスタTr7は、ノードN2に接続された第1端と、トランジスタTr8の第1端に接続された第2端と、信号Sig2が供給されるゲートと、を含む。トランジスタTr8は、電圧VSSが供給される第2端と、信号Dinが供給されるゲートと、を含む。以上のように構成されることにより、トランジスタTr5~Tr8は、ノードN2に信号Dinを反転させた信号を出力可能なインバータとして機能する。

30

【0051】

インバータINV6は、ノードN2に接続された入力端と、インバータINV7の入力端に接続された出力端と、を含む。インバータINV7は、ノードN2に接続された出力端を含む。このように、インバータINV6及びINV7は、交差接続され、ノードN2に転送されたデータをラッチするラッチ回路として機能する。

【0052】

データラッチ225の構成については、例えば“入力回路”という2011年3月31日に出願された特願2011-81064号に記載されている。

【0053】

1.1.4.3 入力回路の構成の詳細について

次に、第1実施形態に係る入出力回路のうち、入力回路の構成の詳細について図5及び図6を用いて説明する。図5は、第1実施形態に係る半導体記憶装置における入出力信号DQの入力回路の構成を説明するための回路図である。図5は、第1実施形態に係る半導体記憶装置におけるストロブ信号DQS及び/DQSの入力回路の構成を説明するための回路図である。

40

【0054】

まず、信号DQの入力回路221の構成について、図5を用いて説明する。

【0055】

図5に示すように、入力回路221内のコンパレータCOMP1は、トランジスタTr

50

9、Tr10、Tr11、Tr12、Tr13、Tr14、Tr15、Tr16、Tr17、Tr18、Tr19、Tr20、Tr21、及びTr22、並びに電流源I1及びI2を含む。トランジスタTr9、Tr11、Tr14、Tr16、Tr19、及びTr21は、例えば、N型トランジスタであり、トランジスタTr10、Tr12、Tr13、Tr15、Tr17、Tr18、Tr20、及びTr22は、例えば、P型トランジスタである。

【0056】

トランジスタTr9及びTr11、並びに電流源I1の組と、トランジスタTr13及びTr15、並びに電流源I2の組との各々は、増幅回路を構成する。

【0057】

トランジスタTr10及びTr17の組と、トランジスタTr12及びTr18の組と、トランジスタTr14及びTr19の組と、トランジスタTr16及びTr21の組と、トランジスタTr20及びTr22の組と、の各々は、カレントミラー回路を構成する。

【0058】

電流源I1は、ノードN3に接続された入力端と、電圧VSSが供給される出力端と、を含む。トランジスタTr9は、ノードN4に接続された第1端と、ノードN3に接続された第2端と、電圧VREFが供給されるゲートと、を含む。トランジスタTr10は、電圧VCCQが供給される第1端と、ノードN4に接続された第2端及びゲートと、を含む。電圧VCCQは、入出力信号に用いられる電源電圧であり、入力回路221及び223内における“H”レベルとして機能する。電圧VCCQは、例えば、電圧VREFの2倍の大きさを有する( $VREF = VCCQ / 2$ )。トランジスタTr11は、ノードN5に接続された第1端と、ノードN3に接続された第2端と、信号DQが供給されるゲートと、を含む。トランジスタTr12は、電圧VCCQが供給される第1端と、ノードN5に接続された第2端及びゲートと、を含む。

【0059】

電流源I2は、電圧VCCQが供給される入力端と、ノードN6に接続された出力端と、を含む。トランジスタTr13は、ノードN6に接続された第1端と、ノードN7に接続された第2端と、信号DQが供給されるゲートと、を含む。トランジスタTr14は、ノードN7に接続された第1端及びゲートと、電圧VSSが供給される第2端と、を含む。トランジスタTr15は、ノードN6に接続された第1端と、ノードN8に接続された第2端と、電圧VREFが供給されるゲートと、を含む。トランジスタTr16は、ノードN8に接続された第1端及びゲートと、電圧VSSが供給される第2端と、を含む。

【0060】

トランジスタTr17は、電圧VCCQが供給される第1端と、ノードN7に接続された第2端と、ノードN4に接続されたゲートと、を含む。トランジスタTr18は、電圧VCCQが供給される第1端と、ノードN8に接続された第2端と、ノードN5に接続されたゲートと、を含む。

【0061】

トランジスタTr19は、ノードN9に接続された第1端と、電圧VSSが供給される第2端と、ノードN7に接続されたゲートと、を含む。トランジスタTr20は、電圧VDDAが供給される第1端と、ノードN9に接続された第2端及びゲートと、を含む。トランジスタTr21は、ノードN10に接続された第1端と、電圧VSSが供給される第2端と、ノードN8に接続されたゲートと、を含む。トランジスタTr22は、電圧VDDAが供給される第1端と、ノードN10に接続された第2端と、ノードN9に接続されたゲートと、を含む。

【0062】

インバータ群INV1の入力端は、ノードN10に接続される。すなわち、インバータ群INV1は、ノードN10を介してコンパレータCOMP1からの出力信号を受け、当該出力信号と逆相の信号Dinを出力する。なお、ノードN10には、信号DQと逆相の

10

20

30

40

50

信号が供給されるため、信号  $D_{in}$  は、信号  $DQ$  と同相の信号となる。

【0063】

次に、信号  $DQS$  及び  $\overline{DQS}$  の入力回路 223 の構成について、図 6 を用いて説明する。

【0064】

図 6 に示すように、入力回路 223 内のコンパレータ COMP 2 は、トランジスタ  $Tr_{23}$ 、 $Tr_{24}$ 、 $Tr_{25}$ 、 $Tr_{26}$ 、 $Tr_{27}$ 、 $Tr_{28}$ 、 $Tr_{29}$ 、 $Tr_{30}$ 、 $Tr_{31}$ 、 $Tr_{32}$ 、 $Tr_{33}$ 、 $Tr_{34}$ 、 $Tr_{35}$ 、 $Tr_{35a}$ 、 $Tr_{36}$ 、 $Tr_{37}$ 、 $Tr_{38}$ 、 $Tr_{39}$ 、 $Tr_{39a}$ 、及び  $Tr_{40}$ 、並びに電流源  $I_3$  及び  $I_4$  を含む。トランジスタ  $Tr_{23}$ 、 $Tr_{25}$ 、 $Tr_{28}$ 、 $Tr_{30}$ 、 $Tr_{33}$ 、 $Tr_{35}$ 、 $Tr_{35a}$ 、 $Tr_{37}$ 、 $Tr_{39}$ 、及び  $Tr_{39a}$  は、例えば、N 型トランジスタであり、トランジスタ  $Tr_{24}$ 、 $Tr_{26}$ 、 $Tr_{27}$ 、 $Tr_{29}$ 、 $Tr_{31}$ 、 $Tr_{32}$ 、 $Tr_{34}$ 、 $Tr_{36}$ 、 $Tr_{38}$ 、及び  $Tr_{40}$  は、例えば、P 型トランジスタである。

10

【0065】

トランジスタ  $Tr_{23}$  及び  $Tr_{25}$ 、並びに電流源  $I_3$  の組と、トランジスタ  $Tr_{27}$  及び  $Tr_{29}$ 、並びに電流源  $I_4$  の組との各々は、増幅回路を構成する。

【0066】

トランジスタ  $Tr_{24}$  及び  $Tr_{31}$  の組と、トランジスタ  $Tr_{26}$  及び  $Tr_{32}$  の組と、トランジスタ  $Tr_{28}$  及び  $Tr_{33}$  の組と、トランジスタ  $Tr_{28}$ 、 $Tr_{39}$ 、及び  $Tr_{39a}$  の組と、トランジスタ  $Tr_{30}$ 、 $Tr_{35}$ 、及び  $Tr_{35a}$  の組と、トランジスタ  $Tr_{30}$  及び  $Tr_{37}$  の組と、トランジスタ  $Tr_{34}$  及び  $Tr_{36}$  の組と、トランジスタ  $Tr_{38}$  及び  $Tr_{40}$  の組と、の各々は、カレントミラー回路を構成する。

20

【0067】

電流源  $I_3$  は、ノード  $N_{11}$  に接続された入力端と、電圧  $V_{SS}$  が供給される出力端と、を含む。トランジスタ  $Tr_{23}$  は、ノード  $N_{12}$  に接続された第 1 端と、ノード  $N_{11}$  に接続された第 2 端と、信号  $\overline{DQS}$  が供給されるゲートと、を含む。トランジスタ  $Tr_{24}$  は、電圧  $V_{CCQ}$  が供給される第 1 端と、ノード  $N_{12}$  に接続された第 2 端及びゲートと、を含む。トランジスタ  $Tr_{25}$  は、ノード  $N_{13}$  に接続された第 1 端と、ノード  $N_{11}$  に接続された第 2 端と、信号  $DQS$  が供給されるゲートと、を含む。トランジスタ  $Tr_{26}$  は、電圧  $V_{CCQ}$  が供給される第 1 端と、ノード  $N_{13}$  に接続された第 2 端及びゲートと、を含む。

30

【0068】

電流源  $I_4$  は、電圧  $V_{CCQ}$  が供給される入力端と、ノード  $N_{14}$  に接続された出力端と、を含む。トランジスタ  $Tr_{27}$  は、ノード  $N_{14}$  に接続された第 1 端と、ノード  $N_{15}$  に接続された第 2 端と、信号  $DQS$  が供給されるゲートと、を含む。トランジスタ  $Tr_{28}$  は、ノード  $N_{15}$  に接続された第 1 端及びゲートと、電圧  $V_{SS}$  が供給される第 2 端と、を含む。トランジスタ  $Tr_{29}$  は、ノード  $N_{14}$  に接続された第 1 端と、ノード  $N_{16}$  に接続された第 2 端と、信号  $\overline{DQS}$  が供給されるゲートと、を含む。トランジスタ  $Tr_{30}$  は、ノード  $N_{16}$  に接続された第 1 端及びゲートと、電圧  $V_{SS}$  が供給される第 2 端と、を含む。

40

【0069】

トランジスタ  $Tr_{31}$  は、電圧  $V_{CCQ}$  が供給される第 1 端と、ノード  $N_{15}$  に接続された第 2 端と、ノード  $N_{12}$  に接続されたゲートと、を含む。トランジスタ  $Tr_{32}$  は、電圧  $V_{CCQ}$  が供給される第 1 端と、ノード  $N_{16}$  に接続された第 2 端と、ノード  $N_{13}$  に接続されたゲートと、を含む。

【0070】

トランジスタ  $Tr_{33}$  は、ノード  $N_{17}$  に接続された第 1 端と、電圧  $V_{SS}$  が供給される第 2 端と、ノード  $N_{15}$  に接続されたゲートと、を含む。トランジスタ  $Tr_{34}$  は、電圧  $V_{DDA}$  が供給される第 1 端と、ノード  $N_{17}$  に接続された第 2 端及びゲートと、を含む。トランジスタ  $Tr_{35}$  及び  $Tr_{35a}$  は、ノード  $N_{18}$  に接続された第 1 端と、電圧

50

VSSが供給される第2端と、ノードN16に接続されたゲートと、を含む。トランジスタTr36は、電圧VDDAが供給される第1端と、ノードN18に接続された第2端と、ノードN17に接続されたゲートと、を含む。

【0071】

なお、トランジスタTr35及びTr35aの合計サイズは、例えば、トランジスタTr36のサイズよりも大きい。トランジスタのサイズとは、例えば、トランジスタのゲート長Lに対するゲート幅Wの割合( $W/L$ )である。これにより、トランジスタTr35及びTr35aがノードN18をプルダウンする能力が、トランジスタTr36がノードN18をプルアップする能力よりも大きくなるように構成することができる。

【0072】

トランジスタTr37は、ノードN19に接続された第1端と、電圧VSSが供給される第2端と、ノードN16に接続されたゲートと、を含む。トランジスタTr38は、電圧VDDAが供給される第1端と、ノードN19に接続された第2端及びゲートと、を含む。トランジスタTr39及びTr39aは、ノードN20に接続された第1端と、電圧VSSが供給される第2端と、ノードN15に接続されたゲートと、を含む。トランジスタTr40は、電圧VDDAが供給される第1端と、ノードN20に接続された第2端と、ノードN19に接続されたゲートと、を含む。

【0073】

なお、トランジスタTr39及びTr39aの合計サイズは、例えば、トランジスタTr40のサイズよりも大きい。これにより、トランジスタTr39及びTr39aがノードN20をプルダウンする能力が、トランジスタTr40がノードN20をプルアップする能力よりも大きくなるように構成することができる。

【0074】

なお、以降の説明では、ノードN18及びN20に供給する信号をプルダウンする能力とプルアップする能力との大小関係に関する特性を、コンパレータCOMP2の「プルダウン/プルアップ特性」とも言う。

【0075】

インバータ群INV2の入力端は、ノードN18に接続される。すなわち、インバータ群INV2は、ノードN18を介してコンパレータCOMP2からの出力信号を受け、当該出力信号と同相の信号Sig1を出力する。なお、ノードN18には、信号DQSと逆相の信号が供給されるため、信号Sig1は、信号DQSと逆相の信号となる。

【0076】

インバータ群INV3の入力端は、ノードN20に接続される。すなわち、インバータ群INV3は、ノードN20を介してコンパレータCOMP2からの出力信号を受け、当該出力信号と同相の信号Sig2を出力する。なお、ノードN20には、信号/DQSと逆相の信号(すなわち、信号DQSと同相の信号)が供給されるため、信号Sig2は、信号/DQSと逆相の信号(信号DQSと同相の信号)となる。

【0077】

#### 1.2 動作について

次に、第1実施形態に係る半導体記憶装置の動作について説明する。

【0078】

第1実施形態に係る半導体記憶装置の入力回路の動作について、図7に示すタイミングチャートを用いて説明する。図7では、信号DQ、並びに信号DQS及び/DQSと、これらの各種信号から生成される信号Din、及び信号Sig1及びSig2が示される。

【0079】

まず、入力回路221における信号DQから信号Dinが生成される動作について説明する。

【0080】

図7に示すように、信号DQは、例えば、期間T毎にデータが符号化されたパルスが連続する形状を有する。すなわち、信号DQは、理想的には、期間T毎に、“H”レベルか

10

20

30

40

50

“ L ” レベルか、のいずれかのレベルを取り得る（デューティ比が 50 % となり得る）。

【 0081 】

上述のような信号 D Q が “ H ” レベルから “ L ” レベルに切替わった場合、トランジスタ T r 13 はオン状態となり、ノード N 7 に電荷が充電される。ノード N 7 が “ H ” レベルになると、トランジスタ T r 19 がオン状態となり、ノード N 9 から電荷が放電される。ノード N 9 が “ L ” レベルになると、トランジスタ T r 22 がオン状態となる。一方、トランジスタ T r 13 がオン状態になると、トランジスタ T r 15 を介してノード N 8 に流れる電流が減少し、ノード N 8 から電荷が放電される。ノード N 8 が “ L ” レベルになると、トランジスタ T r 21 がオフ状態となり、ノード N 10 に電荷が充電される。これにより、ノード N 10 が “ H ” レベルとなり、最終的にインバータ群 I N V 1 を介して、

10

【 0082 】

また、例えば、信号 D Q が “ L ” レベルから “ H ” レベルに切替わった場合、トランジスタ T r 11 はオン状態となり、ノード N 5 から電荷が放電される。ノード N 5 が “ L ” レベルになると、トランジスタ T r 18 がオン状態となり、ノード N 8 に電荷が充電される。ノード N 8 が “ H ” レベルになると、トランジスタ T r 21 がオン状態となる。一方、トランジスタ T r 11 がオン状態になると、トランジスタ T r 9 を介してノード N 4 に流れる電流が減少し、ノード N 4 に電荷が充電される。ノード N 4 が “ H ” レベルになると、トランジスタ T r 17 がオフ状態となり、ノード N 7 から電荷が放電される。ノード N 7 が “ L ” レベルになると、トランジスタ T r 19 がオフ状態となり、ノード N 9 に電荷が充電される。ノード N 9 が “ H ” レベルになると、トランジスタ T r 22 がオフ状態となる。これにより、ノード N 10 が “ L ” レベルとなり、最終的にインバータ群 I N V 1 を介して、若干の遅延を有しつつ、信号 D Q と同相の “ H ” レベルの信号 D i n が出力される。

20

【 0083 】

しかしながら、コンパレータ C O M P 1 は、電圧 V R E F と信号 D Q の電圧との大小関係に基づいて信号 D i n が生成される。このため、信号 D i n のデューティ比は、信号 D Q のデューティ比に対して変動し易い。このため、図 7 に示すように、信号 D i n は、例えば、“ L ” レベルに対する “ H ” レベルの割合が大きくなり得る（デューティ比が 50 % より大きくなり得る）。図 7 の例では、信号 D i n は、“ H ” レベルとなるパルス期間が期間 T よりも期間 D だけ長い期間（ T + D ）であるのに対し、“ L ” レベルとなる期間が期間（ T - D ）となる。

30

【 0084 】

次に、入力回路 223 における信号 D Q S 及び / D Q S から信号 S i g 1 及び S i g 2 が生成される動作について、引き続き図 7 を用いて説明する。

【 0085 】

図 7 に示すように、信号 D Q S 及び / D Q S は、例えば、信号 D Q に対して位相が 90 度ずれた波形として入力される。すなわち、信号 D Q S 及び / D Q S は、理想的には、信号 D Q と同様に 50 % のデューティ比を有し得る。また、信号 D Q S 及び / D Q S の交点は、理想的には、前後に存在する信号 D Q と電圧 V R E F との交点からそれぞれ期間 T / 2 だけ離れた場所に位置し得る。

40

【 0086 】

上述のような信号 D Q S が “ H ” レベルから “ L ” レベルに切替わった場合、トランジスタ T r 27 はオン状態となり、ノード N 15 に電荷が充電される。ノード N 15 が “ H ” レベルになると、トランジスタ T r 33 がオン状態となり、ノード N 17 から電荷が放電される。ノード N 17 が “ L ” レベルになると、トランジスタ T r 36 がオン状態となる。一方、トランジスタ T r 27 がオン状態になると、トランジスタ T r 29 を介してノード N 16 に流れる電流が減少し、ノード N 16 から電荷が放電される。ノード N 16 が “ L ” レベルになると、トランジスタ T r 35 及び T r 35 a がオフ状態となり、ノード N 18 に電荷が充電される。これにより、ノード N 18 が “ H ” レベルとなり、最終的に

50

インバータ群 I N V 3 を介して、信号 D Q S と逆相の “ H ” レベルの信号 S i g 1 が出力される。

【 0 0 8 7 】

また、ノード N 1 6 が “ L ” レベルになると、トランジスタ T r 3 7 がオフ状態となり、ノード N 1 9 の電荷が充電される。ノード N 1 9 が “ H ” レベルになると、トランジスタ T r 4 0 がオフ状態となる。一方、ノード N 1 5 が “ H ” レベルになると、トランジスタ T r 3 9 及び 3 9 a がオン状態となり、ノード N 2 0 から電荷が放電される。これにより、ノード N 2 0 が “ L ” レベルとなり、最終的にインバータ群 I N V 3 を介して信号 D Q S と同相の “ L ” レベルの信号 S i g 2 が出力される。

【 0 0 8 8 】

また、例えば、信号 D Q S が “ L ” レベルから “ H ” レベルに切替わった場合、トランジスタ T r 2 5 はオン状態となり、ノード N 1 3 から電荷が放電される。ノード N 1 3 が “ L ” レベルになると、トランジスタ T r 3 2 がオン状態となり、ノード N 1 6 に電荷が充電される。ノード N 1 6 が “ H ” レベルになると、トランジスタ T r 3 5 及び 3 5 a がオン状態となる。一方、トランジスタ T r 2 5 がオン状態になると、トランジスタ T r 2 3 を介してノード N 1 2 に流れる電流が減少し、ノード N 1 2 に電荷が充電される。ノード N 1 2 が “ H ” レベルになると、トランジスタ T r 3 1 がオフ状態となり、ノード N 1 5 から電荷が放電される。ノード N 1 5 が “ L ” レベルになると、トランジスタ T r 3 3 がオフ状態となり、ノード N 1 7 の電荷が充電される。ノード N 1 7 が “ H ” レベルになると、トランジスタ T r 3 6 がオフ状態になり、ノード N 1 8 から電荷が放電される。これにより、ノード N 1 8 が “ L ” レベルとなり、最終的にインバータ群 I N V 2 を介して、信号 D Q S と逆相の “ L ” レベルの信号 S i g 1 が出力される。

【 0 0 8 9 】

また、ノード N 1 6 が “ H ” レベルになると、トランジスタ T r 3 7 がオン状態になり、ノード N 1 9 から電荷が放電される。ノード N 1 9 が “ L ” レベルになると、トランジスタ T r 4 0 がオン状態となる。一方、ノード N 1 5 が “ L ” レベルになると、トランジスタ T r 3 9 及び T r 3 9 a がオフ状態になり、ノード N 2 0 に電荷が充電される。これにより、ノード N 2 0 が “ H ” レベルとなり、最終的にインバータ群 I N V 3 を介して、信号 D Q S と同相の “ H ” レベルの信号 S i g 2 が出力される。

【 0 0 9 0 】

コンパレータ C O M P 2 は、信号 D Q S の電圧と信号 / D Q S の電圧の大小関係に基づいて信号 S i g 1 及び S i g 2 が生成される。信号 D Q S 及び / D Q S は互いに相補的な関係にあるため、コンパレータ C O M P 1 よりも信号間の相対的な変化量が大きくなる。このため、信号 D Q S 及び / D Q S に対する信号 S i g 1 及び S i g 2 のデューティ比の意図しない変動量を、信号 D Q に対する信号 D i n のデューティ比の意図しない変動量よりも小さくすることができる。

【 0 0 9 1 】

第 1 実施形態では、上述のような性質を有するコンパレータ C O M P 2 に対して、意図的に信号 S i g 1 及び S i g 2 のデューティ比から変化させる。すなわち、コンパレータ C O M P 2 は、トランジスタ T r 3 5 に加え、トランジスタ T r 3 5 a が並列に接続されている。これにより、トランジスタ T r 3 5 及び T r 3 5 a がノード N 1 8 の電位をプルダウンする能力は、トランジスタ T r 3 6 がノード N 1 8 の電位をプルアップする能力よりも大きくなる。このため、コンパレータ C O M P 2 は、ノード N 1 8 に供給される信号のデューティ比を 5 0 % よりも小さくすることができる。なお、信号 S i g 1 は、インバータ群 I N V 2 によってノード N 1 8 と同相の信号となる。このため、図 7 に示すように、結果的に、信号 S i g 1 は、信号 D Q S と逆相、かつ 5 0 % よりも小さいデューティ比となる。

【 0 0 9 2 】

同様に、コンパレータ C O M P 2 は、トランジスタ T r 3 9 に加え、トランジスタ T r 3 9 a が並列に接続されている。これにより、トランジスタ T r 3 9 及び T r 3 9 a がノ

10

20

30

40

50

ードN20の電位をプルダウンする能力は、トランジスタTr40がノードN20の電位をプルアップする能力よりも大きくなる。このため、コンパレータCOMP2は、ノードN20に供給される信号のデューティ比を50%よりも小さくすることができる。なお、信号Sig2は、インバータ群INV3によってノードN20と同相の信号となる。このため、図7に示すように、結果的に、信号Sig2は、信号DQSと同相、かつ50%よりも小さいデューティ比となる。

【0093】

図7の例では、信号Sig1及びSig2は、トランジスタTr35a及びTr39aによって、“H”レベルとなる期間が期間Tよりも期間Dだけ短い期間(T-D)であるのに対し、“L”レベルとなる期間が期間(T+D)となるように調整される。

10

【0094】

このため、信号Sig1内の立ち上がりエッジRE\_sig1は、信号Dinのうち奇数番目(図7では、“odd”と記載)のパルスを“L”レベルに立ち下げるエッジFE1と、偶数番目(図7では、“even”と記載)のパルスを“L”レベルに立ち下げるエッジFE2との中間に位置するように調整される。信号Sig1内の立ち下がりエッジFE\_sig1は、信号Dinのうち偶数番目のパルスを“H”レベルに立ち上げるエッジRE2と、奇数番目のパルスを“H”レベルに立ち上げるエッジRE3との中間に位置するように調整される。

【0095】

また、信号Sig2内の立ち上がりエッジRE\_sig2は、信号Dinのうち偶数番目のパルスを“L”レベルに立ち下げるエッジFE2と、奇数番目のパルスを“L”レベルに立ち下げるエッジFE3との中間に位置するように調整される。信号Sig2内の立ち下がりエッジFE\_sig2は、信号Dinのうち奇数番目のパルスを“H”レベルに立ち上げるエッジRE1と、偶数番目のパルスを“H”レベルに立ち上げるエッジRE2との中間に位置するように調整される。

20

【0096】

以上のように動作することにより、信号Sig1及びSig2によって信号Dinがストロブされるタイミングが、信号Dinのレベルが変化するタイミングから遠くなるように調整される。これにより、セットアップ時間とホールド時間の劣化を抑制することができる。

30

【0097】

1.3 本実施形態に係る効果

第1実施形態によれば、入力信号の特性を改善することができる。本効果につき、以下に説明する。

【0098】

コンパレータCOMP2は、信号DQS及び/DQSに基づき、信号Sig1及びSig2を出力する。コンパレータCOMP2は、ノードN18の電位をプルアップする能力に対してプルダウンする能力を大きくすることにより、信号Sig1のデューティ比を信号DQSのデューティ比に対して小さくすることができる。これにより、信号Dinのデューティ比が信号DQのデューティ比に対して大きくなった場合においても、データラッチ225eに入力される信号Sig1のエッジの位置を、信号Dinのエッジの位置に対して適切な位置に調整することができる。より具体的には、データラッチ225eに入力される信号Sig1の立ち下がりエッジFE\_sig1の位置を、信号Dinの立ち上がりエッジRE2及びRE3の中間位置に調整することができ、データラッチ225oに入力される信号Sig1の立ち上がりエッジRE\_sig1の位置を、信号Dinの立ち下がりエッジFE1及びFE2の中間位置に調整することができる。

40

【0099】

また、コンパレータCOMP2は、ノードN20の電位をプルアップする能力に対してプルダウンする能力を大きくすることにより、信号Sig2のデューティ比を信号/DQSのデューティ比に対して小さくすることができる。これにより、信号Dinのデューテ

50

ィ比が信号DQのデューティ比に対して大きくなった場合においても、データラッチ225に入力される信号Sig2のエッジの位置を、信号Dinのエッジの位置に対して適切な位置に調整することができる。より具体的には、データラッチ225eに入力される信号Sig2の立ち上がりエッジRE\_\_sig2の位置を、信号Dinの立ち下がりエッジFE2及びFE3の中間位置に調整することができ、データラッチ225oに入力される信号Sig2の立ち下がりエッジRE\_\_sig2の位置を、信号Dinの立ち上がりエッジRE1及びRE2の中間位置に調整することができる。

#### 【0100】

このため、信号Dinの特性が信号Sig1及びSig2の特性よりも劣化しやすい場合においても、信号Sig1及びSig2の波形を信号Dinに追従させることにより、当該劣化を補償することができる。したがって、相補信号同士を差動増幅するコンパレータCOMP2と、参照電圧に対して差動増幅するコンパレータCOMP1とを併用しつつ、入力信号の特性を改善することができる。

10

#### 【0101】

また、上述の通り、第1実施形態によれば、信号Sig1及びSig2の波形を信号Dinに追従させる。このため、入力回路223に入力される信号DQS及び/DQSのデューティ比が既にずれている（つまり、信号DQS及び/DQSの交点が電圧VREFからずれている）場合においても、当該ずれを補償しつつ、信号Dinとの整合性を取ることができる。したがって、信号DQS及び/DQSのデューティ比ずれを考慮しつつ、入力信号の特性を改善することができる。

20

#### 【0102】

##### 1.4 変形例

第1実施形態では、信号Dinのデューティ比が50%よりも大きくなる場合におけるコンパレータCOMP2の構成及び動作について説明したが、これに限られない。例えば、信号Dinのデューティ比が50%よりも小さくなる場合でも、コンパレータCOMP2を適切に構成することにより、入力信号の特性を改善することができる。

#### 【0103】

以下の説明では、第1実施形態の構成及び動作と同等の部分についてはその説明を省略し、第1実施形態の構成及び動作と異なる部分について主に説明する。

#### 【0104】

##### 1.4.1 入力回路の構成の詳細について

図8は、第1実施形態の変形例に係るストロープ信号の入力回路の構成を説明するための回路図である。図8は、第1実施形態において説明された図6に対応する。

30

#### 【0105】

図8に示すように、コンパレータCOMP1は、トランジスタTr35a及びTr39aに代えて、トランジスタTr36a及びTr40aを含む。トランジスタTr36a及びTr40aは、P型トランジスタである。

#### 【0106】

トランジスタTr34、Tr36、及びTr36aの組と、トランジスタTr38、Tr40、及びTr40aの組と、の各々は、カレントミラー回路を構成する。

40

#### 【0107】

トランジスタTr36aは、トランジスタTr36と並列に接続される。すなわち、トランジスタTr36aは、電圧VDDAが供給される第1端と、ノードN18に接続された第2端と、ノードN17に接続されたゲートと、を含む。

#### 【0108】

トランジスタTr36及びTr36aの合計サイズは、例えば、トランジスタTr36のサイズよりも大きい。これにより、トランジスタTr36及びTr36aがノードN18をプルアップする能力が、トランジスタTr35がノードN18をプルダウンする能力よりも大きくなるように構成することができる。

#### 【0109】

50

トランジスタ  $Tr40a$  は、電圧  $VDDA$  が供給される第 1 端と、ノード  $N20$  に接続された第 2 端と、ノード  $N19$  に接続されたゲートと、を含む。

【0110】

トランジスタ  $Tr40$  及び  $Tr40a$  の合計サイズは、例えば、トランジスタ  $Tr39$  のサイズよりも大きい。これにより、トランジスタ  $Tr40$  及び  $Tr40a$  がノード  $N20$  をプルアップする能力が、トランジスタ  $Tr39$  がノード  $N20$  をプルダウンする能力よりも大きくなるように構成することができる。

【0111】

以上のように構成することにより、信号  $Din$  のデューティ比が 50% よりも小さくなった場合において、ストロブするタイミングを適切に設定することができる。

10

【0112】

1.4.2 入力回路の動作について

図 9 は、第 1 実施形態の変形例に係る半導体記憶装置の入力回路の動作を説明するためのタイミングチャートである。図 9 は、第 1 実施形態において説明された図 7 に対応する。

【0113】

図 9 に示すように、信号  $Din$  は、例えば、“L” レベルに対する “H” レベルの割合が小さくなり得る（デューティ比が 50% より小さくなり得る）。図 9 の例では、信号  $Din$  は、“H” レベルとなるパルス期間が期間  $T$  よりも期間  $D$  だけ短い期間（ $T - D$ ）であるのに対し、“L” レベルとなる期間が期間（ $T + D$ ）となる。

20

【0114】

第 1 実施形態の変形例では、コンパレータ  $COMP2$  は、トランジスタ  $Tr36$  に加え、トランジスタ  $Tr36a$  が並列に接続されている。これにより、トランジスタ  $Tr36$  及び  $Tr36a$  がノード  $N18$  の電位をプルアップする能力は、トランジスタ  $Tr35$  がノード  $N18$  の電位をプルダウンする能力よりも大きくなる。このため、コンパレータ  $COMP2$  は、ノード  $N18$  に供給される信号のデューティ比を 50% よりも大きくすることができる。このため、図 9 に示すように、結果的に、信号  $Sig1$  は、信号  $DQS$  と逆相、かつ 50% よりも大きいデューティ比となる。

【0115】

同様に、コンパレータ  $COMP2$  は、トランジスタ  $Tr40$  に加え、トランジスタ  $Tr40a$  が並列に接続されている。これにより、トランジスタ  $Tr40$  及び  $Tr40a$  がノード  $N20$  の電位をプルアップする能力は、トランジスタ  $Tr39$  がノード  $N20$  の電位をプルダウンする能力よりも大きくなる。このため、コンパレータ  $COMP2$  は、ノード  $N20$  に供給される信号のデューティ比を 50% よりも大きくすることができる。このため、図 9 に示すように、結果的に、信号  $Sig2$  は、信号  $DQS$  と同相、かつ 50% よりも大きいデューティ比となる。

30

【0116】

図 9 の例では、信号  $Sig1$  及び  $Sig2$  は、トランジスタ  $Tr36a$  及び  $Tr40a$  によって、“H” レベルとなる期間が期間  $T$  よりも期間  $D$  だけ長い期間（ $T + D$ ）であるのに対し、“L” レベルとなる期間が期間（ $T - D$ ）となるように調整される。

40

【0117】

このため、信号  $Sig1$  内の立ち上がりエッジ  $RE\_sig1$  は、信号  $Din$  のうち奇数番目のパルスを “L” レベルに立ち下げるエッジ  $FE4$  と、偶数番目のパルスを “L” レベルに立ち下げるエッジ  $FE5$  との中間に位置するように調整される。信号  $Sig1$  内の立ち下がりエッジ  $FE\_sig1$  は、信号  $Din$  のうち偶数番目のパルスを “H” レベルに立ち上げるエッジ  $RE5$  と、奇数番目のパルスを “H” レベルに立ち上げるエッジ  $RE6$  との中間に位置するように調整される。

【0118】

また、信号  $Sig2$  内の立ち上がりエッジ  $RE\_sig2$  は、信号  $Din$  のうち偶数番目のパルスを “L” レベルに立ち下げるエッジ  $FE5$  と、奇数番目のパルスを “L” レベ

50

ルに立ち下げるエッジFE6との中間に位置するように調整される。信号Sig2内の立ち下がりエッジRE\_sig2は、信号Dinのうち奇数番目のパルスを“H”レベルに立ち上げるエッジRE4と、偶数番目のパルスを“H”レベルに立ち上げるエッジRE5との中間に位置するように調整される。

【0119】

以上のように動作することにより、信号Sig1及びSig2によって信号Dinがスロープされるタイミングが、信号Dinのレベルが変化するタイミングから遠くなるように調整される。これにより、セットアップ時間及びホールド時間の劣化を抑制することができる。

【0120】

10

#### 1.4.3 変形例に係る効果について

第1実施形態の変形例によれば、コンパレータCOMP2は、ノードN18の電位をプルダウンする能力に対してプルアップする能力を大きくすることにより、信号Sig1のデューティ比を信号DQSのデューティ比に対して大きくすることができる。これにより、信号Dinのデューティ比が信号DQのデューティ比に対して値作なった場合においても、データラッチ225にされる信号Sig1のエッジの位置を、信号Dinのエッジの位置に対して適切な位置に調整することができる。より具体的には、データラッチ225eにされる信号Sig1の立ち下がりエッジFE\_sig1の位置を、信号Dinの立ち上がりエッジRE5及びRE6の中間位置に調整することができ、データラッチ225oにされる信号Sig1の立ち上がりエッジRE\_sig1の位置を、信号D

20

【0121】

また、コンパレータCOMP2は、ノードN20の電位をプルダウンする能力に対してプルアップする能力を大きくすることにより、信号Sig2のデューティ比を信号/DQSのデューティ比に対して大きくすることができる。これにより、信号Dinのデューティ比が信号DQのデューティ比に対して小さくなった場合においても、データラッチ225にされる信号Sig2のエッジの位置を、信号Dinのエッジの位置に対して適切な位置に調整することができる。より具体的には、データラッチ225eにされる信号Sig2の立ち下がりエッジFE\_sig2の位置を、信号Dinの立ち上がりエッジRE4及びRE5の中間位置に調整することができ、データラッチ225oにされる

30

【0122】

#### 2. 第2実施形態

次に、第2実施形態に係る半導体記憶装置について説明する。第1実施形態では、信号Din内のデータをラッチする4つのタイミングを、信号Sig1及びSig2の2つの信号で制御する場合について説明した。第2実施形態では、4つのタイミングを、4つの信号で制御する点において、第1実施形態と異なる。以下では、第1実施形態又は第1実施形態の変形例の構成及び動作と同様な部分について説明を省略し、第1実施形態又は第1実施形態の変形例の構成及び動作と異なる部分について主に説明する。

40

【0123】

#### 2.1 入力回路及びデータラッチの構成について

図10は、第2実施形態に係る半導体記憶装置の入力回路及びデータラッチの構成を説明するための回路図である。図10は、第1実施形態において説明された図4に対応する。

【0124】

図10に示すように、入力回路223は、コンパレータCOMP2-1及びCOMP2-2、並びにインバータ群INV2-1、INV2-2、INV3-1、及びINV3-2を含む。

【0125】

50

より具体的には、コンパレータCOMP2-1は、信号DQSが供給される第1入力端と、信号/DQSが供給される第2入力端と、インバータ群INV2-1の入力端に接続された第1出力端と、インバータ群INV3-1の入力端に接続された第2出力端と、を含む。インバータ群INV2-1及びINV3-1はそれぞれ、信号Sig1-1及びSig2-1を出力する出力端を含む。信号Sig1-1は、データラッチ225e内のトランジスタTr3のゲートに接続される。信号Sig2-1は、データラッチ225o内のトランジスタTr7のゲートに接続される。

#### 【0126】

コンパレータCOMP2-2は、信号DQSが供給される第1入力端と、信号/DQSが供給される第2入力端と、インバータ群INV2-2の入力端に接続された第1出力端と、インバータ群INV3-2の入力端に接続された第2出力端と、を含む。インバータ群INV2-2及びINV3-2はそれぞれ、信号Sig1-2及びSig2-2を出力する出力端を含む。信号Sig1-2は、データラッチ225o内のトランジスタTr6のゲートに接続される。信号Sig2-2は、データラッチ225e内のトランジスタTr2のゲートに接続される。

10

#### 【0127】

コンパレータCOMP2-1及びCOMP2-2の回路構成は、基本的に第1実施形態又は第1実施形態の変形例において説明されたコンパレータCOMP2の回路構成と同等である。ただし、コンパレータCOMP2-1内におけるノードN18のプルダウン/プルアップ特性、及びノードN20のプルダウン/プルアップ特性は、互いに独立に選択される。また、コンパレータCOMP2-2内におけるノードN18のプルダウン/プルアップ特性、及びノードN20のプルダウン/プルアップ特性は、互いに独立に選択される。また、コンパレータCOMP2-1のプルダウン/プルアップ特性と、コンパレータCOMP2-2のプルダウン/プルアップ特性とは、それぞれ独立に設定される。

20

#### 【0128】

以上のように構成することにより、信号Sig1-1、Sig1-2、Sig2-1、及びSig2-2をそれぞれ独立に制御することができる。

#### 【0129】

##### 2.2 入力回路の動作について

第2実施形態に係る半導体記憶装置の入力回路の動作について、図11に示すタイミングチャートを用いて説明する。図11では、信号Din、及び信号DQS及び/DQSから生成される信号Sig1及びSig2が示される。なお、図11では、一例として、第1実施形態の変形例において示された図9と同様の信号Dinが供給される場合が示されている。

30

#### 【0130】

図11に示すように、信号Sig1-1は、データラッチ255eのトランジスタTr3のみに供給される。これにより、信号Sig1-1は、信号Dinの偶数番目のパルスが“H”レベルになる場合のラッチ動作の際にのみ有効な信号となる。このため、信号Sig1-1は、立ち下がりエッジFE\_\_sig1-1が、偶数番目のパルスを“H”レベルに立ち上げるエッジRE4と、奇数番目のパルスを“H”レベルに立ち上げるエッジRE5との中間に位置するように制御されれば、最適となり得る。

40

#### 【0131】

また、信号Sig2-2は、データラッチ255eのトランジスタTr2のみに供給される。これにより、信号Sig2-2は、信号Dinの偶数番目のパルスが“L”レベルになる場合のラッチ動作の際にのみ有効な信号となる。このため、信号Sig2-2は、立ち上がりエッジRE\_\_sig2-2が、偶数番目のパルスを“L”レベルに立ち下げるエッジFE4と、奇数番目のパルスを“L”レベルに立ち下げるエッジFE5との中間に位置するように制御されれば、最適となり得る。

#### 【0132】

また、信号Sig1-2は、データラッチ255oのトランジスタTr6のみに供給さ

50

れる。これにより、信号  $Sig1-2$  は、信号  $Din$  の奇数番目のパルスが “L” レベルになる場合のラッチ動作の際にのみ有効な信号となる。このため、信号  $Sig1-2$  は、立ち上がりエッジ  $RE\_sig1-2$  が、奇数番目のパルスを “L” レベルに立ち上げるエッジ  $FE5$  と、偶数番目のパルスを “L” レベルに立ち下げるエッジ  $FE6$  との中間に位置するように制御されれば、最適となり得る。

#### 【0133】

また、信号  $Sig2-1$  は、データラッチ  $255o$  のトランジスタ  $Tr7$  のみに供給される。これにより、信号  $Sig2-1$  は、信号  $Din$  の奇数番目のパルスが “H” レベルになる場合のラッチ動作の際にのみ有効な信号となる。このため、信号  $Sig2-1$  は、立ち下がりエッジ  $FE\_sig2-1$  が、奇数番目のパルスを “H” レベルに立ち上げるエッジ  $RE5$  と、偶数番目のパルスを “H” レベルに立ち上げるエッジ  $RE6$  との中間に位置するように制御されれば、最適となり得る。

10

#### 【0134】

上述の通り、信号  $Sig1-1$ 、 $Sig1-2$ 、 $Sig2-1$ 、及び  $Sig2-2$  は、それぞれ独立に制御することができる。より具体的には、信号  $Sig1-1$  及び  $Sig2-1$  はそれぞれ、コンパレータ  $COMP2-1$  内のノード  $N18$  に供給される信号、及びノード  $N2-$  に供給される信号に対応付けられる。信号  $Sig1-2$  及び  $Sig2-2$  はそれぞれ、コンパレータ  $COMP2-2$  内のノード  $N18$  に供給される信号、及びノード  $N2-$  に供給される信号に対応付けられる。コンパレータ  $COMP2-1$  内のノード  $N18$  及び  $N20$  のプルダウン/プルアップ特性、並びにコンパレータ  $COMP2-2$  内のノード  $N18$  及び  $N20$  のプルダウン/プルアップ特性をそれぞれ独立に調整することにより、全てのラッチタイミングを最適な位置に調整することができる。

20

#### 【0135】

##### 2.3 本実施形態に係る効果について

第2実施形態では、2つのコンパレータ  $COMP2-1$  及び  $COMP2-2$  によって、4つの互いに独立な信号  $Sig1-1$ 、 $Sig2-1$ 、 $Sig1-2$ 、及び  $Sig2-2$  が生成される。これにより、データラッチ  $225$  内でデータを確定させる4つのラッチタイミングに対して、互いに独立なストロブ信号を供給することができる。このため、信号  $Din$  が複雑に乱れた形状となっている場合においても、4つのラッチタイミングをそれぞれ最適な位置に調整することができる。したがって、入力信号の特性を改善することができる。

30

#### 【0136】

##### 2.4 変形例

第2実施形態では、コンパレータ  $COMP2-1$  及び  $COMP2-2$  内のプルダウン/プルアップ特性を予め調整することによって、4つのラッチタイミングを最適な位置に調整する場合について説明したが、これに限られない。例えば、4つのラッチタイミングは、ラッチされたデータに基づいて、動的に制御されてもよい。

#### 【0137】

##### 2.4.1 入力回路及びデータラッチの構成について

図12は、第2実施形態の変形例に係る半導体記憶装置の入力回路及びデータラッチの構成を説明するための回路図である。図12は、第2実施形態において説明された図10に対応する。

40

#### 【0138】

図12に示すように、シーケンサ  $25$  は、データラッチ  $225e$  及び  $225o$  においてラッチされたデータ  $LD$  を受けると、当該データ  $LD$  に基づいて、制御信号  $Cnt$  を生成する。制御信号  $Cnt$  は、例えば、4つの独立した制御信号であり、当該4つの制御信号が入力回路  $223$  内のインバータ群  $INV2-1$ 、 $INV3-1$ 、 $INV2-2$ 、及び  $INV3-2$  にそれぞれ供給される。

#### 【0139】

遅延量可変のインバータの例としては、例えば、キャップバイアス電圧調整型の遅延回

50

路や、ドライバ能力可変型の遅延回路が挙げられる。キャップバイアス電圧調整型の遅延回路では、例えば、直列に接続された複数のインバータ間にキャパシタとして機能するトランジスタが接続され、当該トランジスタの接続数を制御信号  $Cnt$  によって変更することによって遅延量が調整される。ドライバ能力可変型の遅延回路では、例えば、インバータ内で直列接続されるトランジスタのサイズを制御信号  $Cnt$  によって変更することによって、インバータの遅延量が調整される。

【0140】

以上のように構成することにより、信号  $Sig1-1$ 、 $Sig2-1$ 、 $Sig1-2$ 、及び  $Sig2-2$  のエッジのタイミングを互いに独立に、任意の位置に調整することができる。

10

【0141】

2.4.2 遅延量のトレーニング動作について

次に、第2実施形態の変形例に係る半導体記憶装置における遅延量のトレーニング動作について図13を用いて説明する。図13では、一例として、信号  $Din$  に対する信号  $Sig1-1$  の遅延量を決定するためのトレーニング動作の例が示される。

【0142】

図13に示すように、トレーニング動作の際には、信号  $DQ$  と信号  $DQS$  及び  $\overline{DQS}$  とは、同じ位相で入力される。これにより、入力回路221から出力される信号  $Din$  と、入力回路223から出力される信号  $Sig1-1$  とは、各々の入力回路が有する遅延量だけ位相がずれた信号として出力される。図13の例では、信号  $Din$  の立ち上がりエッジ  $RE\_t$  は、例えば、時刻  $t_0$  において発生している場合が示される。

20

【0143】

まず、信号  $Sig1-1$  の位相が信号  $Din$  に対してずれ量  $D1$  だけ進んでいる場合について説明する。この場合、信号  $Sig1-1$  の立ち下がりエッジ  $FE\_tm$  は、信号  $Din$  の立ち上がりエッジ  $RE\_t$  に対して、ずれ量  $D1$  だけ早い時刻  $t_m$  で発生している。この場合、立ち下がりエッジ  $FE\_tm$  は、“L”レベルの信号  $Din$  をストロープするため、データラッチ225eには、“H”レベルがラッチされる。

【0144】

シーケンサ25は、例えば、データラッチ225eから“H”レベルのデータを受けると、当該データに基づいてインバータ群  $INV2-1$  の遅延量を徐々に増加させる制御信号  $Cnt$  をインバータ群  $INV2-1$  に送出する。これにより、信号  $Sig1-1$  の位相が徐々に遅れていき、これに伴い、信号  $Sig1-1$  の立ち下がりエッジのタイミングが信号  $Din$  の立ち下がりエッジ  $RE\_t$  に近づく。なお、信号  $Sig1-1$  の立ち下がりエッジのタイミングが信号  $Din$  の立ち上がりエッジ  $RE\_t$  よりも早く発生する間は、データラッチ225eには引き続き“H”レベルがラッチされる。このため、シーケンサ25は、引き続きインバータ群  $INV2-1$  の遅延量を増加させる制御信号  $Cnt$  を送出する。

30

【0145】

インバータ群  $INV2-1$  に対する遅延量の増加量がずれ量  $D1$  を超えると、信号  $Sig1-1$  の立ち下がりエッジ  $FE\_t_0$  は、信号  $Din$  の立ち上がりエッジ  $RE\_t$  の発生する時刻  $t_0$  よりも遅いタイミングで発生する。この場合、立ち下がりエッジは、“H”レベルの信号  $Din$  をストロープするため、データラッチ225eには、“L”レベルがラッチされる。すなわち、インバータ群  $INV2-1$  に対する遅延量の増加量がずれ量  $D1$  を超えた時点で、データラッチ225eのラッチされるデータが反転する。シーケンサ25は、データラッチ225eから“L”レベルのデータを受けると、信号  $Din$  と信号  $Sig1-1$  との遅延量の差が“0”になったと判定し、当該時点でのインバータ群  $INV2-1$  の遅延量の増加分  $D1$  を記憶し、トレーニング動作を終了する。

40

【0146】

次に、信号  $Sig1-1$  の位相が信号  $Din$  に対してずれ量  $D2$  だけ遅れている場合について説明する。この場合、信号  $Sig1-1$  の立ち下がりエッジ  $FE\_tp$  は、信号  $D$

50

$i_n$ の立ち上がりエッジ  $RE\_t$  に対して、ずれ量  $D_2$  だけ遅い時刻  $t_p$  で発生している。この場合、立ち下がりエッジ  $FE\_t_p$  は、“H”レベルの信号  $Din$  をストロープするため、データラッチ 225e には、“L”レベルがラッチされる。

【0147】

シーケンサ 25 は、例えば、データラッチ 225e から“H”レベルのデータを受けると、当該データに基づいてインバータ群  $INV_2 - 1$  の遅延量を徐々に減少させる制御信号  $Cnt$  をインバータ群  $INV_2 - 1$  に送出する。これにより、信号  $Sig_1 - 1$  の位相が徐々に進んでいき、これに伴い、信号  $Sig_1 - 1$  の立ち下がりエッジのタイミングが信号  $Din$  の立ち下がりエッジ  $RE\_t$  に近づく。なお、信号  $Sig_1 - 1$  の立ち下がりエッジのタイミングが信号  $Din$  の立ち上がりエッジ  $RE\_t$  よりも遅く発生する間は、

10

【0148】

インバータ群  $INV_2 - 1$  に対する遅延量の減少量が  $D_2$  を超えると、信号  $Sig_1 - 1$  の立ち下がりエッジは、信号  $Din$  の立ち上がりエッジ  $RE\_t$  の発生時刻  $t_0$  よりも早いタイミングで発生する。この場合、立ち下がりエッジは、“L”レベルの信号  $Din$  をストロープするため、データラッチ 225e には、“H”レベルがラッチされる。すなわち、インバータ群  $INV_2 - 1$  の遅延量の減少量が  $D_2$  を超えた時点で、データラッチ 225e のラッチされるデータが反転する。シーケンサ 25 は、データラッチ 225e から“H”レベルのデータを受けると、信号  $Din$  と信号  $Sig_1 - 1$  との遅延量の差が“0”になったと判定し、当該時点でのインバータ群  $INV_2 - 1$  の遅延量の減少量  $D_2$  を記憶し、トレーニング動作を終了する。

20

【0149】

シーケンサ 25 は、以後の動作において、トレーニング動作によって記憶された遅延量 ( $D_1$  又は  $D_2$ ) をインバータ群  $INV_2 - 1$  に適用する。これにより、入力回路 221 と入力回路 223 との間の遅延量の差を低減することができる。

【0150】

2.4.3 変形例に係る効果について

第2実施形態の変形例によれば、入力回路 223 内のインバータ群  $INV_2 - 1$ 、 $INV_3 - 1$ 、 $INV_2 - 2$ 、及び  $INV_3 - 2$  は、遅延量が可変に構成される。シーケンサ 25 は、トレーニング動作において、データラッチ 225e 及び 225o にラッチされたデータに基づいて、当該各インバータの遅延量を制御可能な信号を送出する。これにより、信号  $Din$  のデータをラッチするタイミングを規定する信号  $Sig_1 - 1$ 、 $Sig_2 - 1$ 、 $Sig_1 - 2$ 、及び  $Sig_2 - 2$  のエッジの位置を所望の位置に調整することができる。

30

【0151】

補足すると、第2実施形態において説明されたように、信号  $DQ$  から信号  $Din$  が生成される際に発生するデューティ比のずれは、コンパレータ  $COMP_2 - 1$  及び  $COMP_2 - 2$  内のプルダウン/プルアップ特性を予め調整することによって相殺することができる。しかしながら、例えば、時間の経過に伴い、信号  $Din$  と、信号  $Sig_1 - 1$ 、 $Sig_2 - 1$ 、 $Sig_1 - 2$ 、及び  $Sig_2 - 2$  との間の遅延量が変化し得る。これにより、信号  $Din$  のデータをラッチするタイミングが最適な位置からずれてしまい、ひいては、入力信号の特性が劣化する可能性がある。

40

【0152】

第2実施形態によれば、トレーニング動作を実行することによって、入力回路 221 の入出力信号間の位相差と、入力回路 223 の入出力信号間の位相差と、を一致させることができる。これにより、遅延量が変わってしまった場合においても、信号  $Din$  のデータをラッチするタイミングを最適な位置に設定することができ、ひいては、入力信号の特性を改善することができる。

50

## 【0153】

## 3. 第3実施形態

次に、第3実施形態に係る半導体記憶装置について説明する。第1実施形態及び第2実施形態では、入力回路223を調整することにより、信号Dinのデューティ比の変動に追従するように信号Sig1及びSig2を適切なタイミングに位置させる例について説明した。第3実施形態は、入力回路221を更に調整することによって信号Dinのデューティ比の変動を抑制し、信号Sig1及びSig2とのタイミングを適切な位置に保つ点において、第1実施形態及び第2実施形態と異なる。以下では、第1実施形態の構成及び動作と同等の部分については説明を省略し、第1実施形態の構成及び動作と異なる部分について主に説明する。

10

## 【0154】

## 3.1 入力回路及びデータラッチの構成について

図14は、第3実施形態に係る半導体記憶装置の入力回路及びデータラッチの構成を説明するための回路図である。図14は、第1実施形態において説明された図4に対応する。

## 【0155】

図14に示すように、入力回路221は、コンパレータCOMP1-1及びCOMP1-2、並びにインバータINVa、INVb、INVc、INVd、INVe、INVf、INVg、INVh、INFi、及びINVjを含む。

20

## 【0156】

コンパレータCOMP1-1は、信号DQが供給される第1入力端と、電圧VREFが供給される第2入力端と、インバータINVaの入力端に接続された出力端と、を含む。コンパレータCOMP1-1は、第1実施形態において説明されたコンパレータCOMP1と同等の構成を有する。このため、コンパレータCOMP1-1は、インバータINVaに信号DQと逆相の信号xを出力し得る。

## 【0157】

コンパレータCOMP1-2は、電圧VREFが供給される第1入力端と、信号DQが供給される第2入力端と、インバータINVdの入力端に接続された出力端と、を含む。コンパレータCOMP1-2は、第1実施形態において説明されたコンパレータCOMP1と同等の構成を有するが、信号DQ及び電圧VREFが供給される端子が逆転している。このため、コンパレータCOMP1-2は、インバータINVdに信号DQと同相の信号yを出力し得る。

30

## 【0158】

インバータINVaの出力端と、インバータINVbの入力端と、インバータINVgの出力端と、インバータINVhの入力端とは、ノードn1に共通接続される。

## 【0159】

インバータINVbの出力端と、インバータINVcの入力端と、インバータINViの出力端と、インバータINVjの入力端とは、ノードn2に共通接続される。

## 【0160】

インバータINVdの出力端と、インバータINVeの入力端と、インバータINVgの入力端と、インバータINVhの出力端とは、ノードn3に共通接続される。

40

## 【0161】

インバータINVeの出力端と、インバータINVfの入力端と、インバータINViの入力端と、インバータINVjの出力端とは、ノードn4に共通接続される。

## 【0162】

インバータINVcの出力端からは、信号Dinが出力される。

## 【0163】

なお、上述の通り、入力回路221には、第1実施形態において説明されたインバータ群INV1よりも多い数のインバータが接続される。このため、第3実施形態に係る入力回路221から出力される信号Dinは、第1実施形態よりも遅延量が増大する。このた

50

め、入力回路 2 2 3 は、ダミーロード  $dum$  を更にも含む。

【0164】

ダミーロード  $dum$  は、インバータ群  $INV 2$  及び  $INV 3$  に接続され、例えば、インバータ  $INV a \sim INV j$  と同等の負荷を信号  $Sig 1$  及び  $Sig 2$  の出力パスに対して与えることができる。

【0165】

### 3.2 入力回路の動作について

図 15 は、第 3 実施形態に係る半導体記憶装置の入力回路の動作を説明するための回路図である。図 15 では、入力回路 2 2 1 で生成される各種信号の波形が示される。

【0166】

図 15 に示すように、コンパレータ  $COMP 1 - 1$  は、例えば、信号  $Din$  及び電圧  $VREF$  に基づいて立ち上がりの期間が  $(T - D)$  で、立ち下がりの期間が  $(T + D)$  となるデューティ比の（例えば、デューティ比が  $(50 - X)\%$  の）信号  $x$  を出力する。この場合、コンパレータ  $COMP 1 - 2$  は、信号  $x$  と逆相の信号を出力する。すなわち、コンパレータ  $COMP 1 - 2$  は、立ち上がりの期間が  $(T + D)$  で、立ち下がりの期間が  $(T - D)$  となるデューティ比の（例えば、デューティ比が  $(50 + X)\%$  の）の信号  $y$  を出力する。

【0167】

インバータ  $INV a$  は、信号  $x$  の相補信号を生成する機能を有する。このため、インバータ  $INV a$  は、信号  $x$  と逆相であり、かつデューティ比が  $(50 + X)\%$  の信号をノード  $n 1$  に供給しようとする。

【0168】

一方、インバータ  $INV d$  は、信号  $y$  の相補信号を生成する機能を有する。また、インバータ  $INV g$  は、インバータ  $INV d$  から出力される信号の相補信号を生成する機能を有する。このため、インバータ  $INV g$  は、信号  $y$  と同等の信号をノード  $n 1$  に供給しようとする。

【0169】

ノード  $n 1$  では、インバータ  $INV a$  から出力される信号と、インバータ  $INV g$  から出力される信号と、が互いに整合する信号が生成される。これにより、ノード  $n 1$  における信号の立ち上がりエッジは、例えば、インバータ  $INV a$  からの出力信号の立ち上がり開始時刻  $t 1$  で立ち上がりを開始し、インバータ  $INV g$  からの出力信号の立ち上がり終了時刻  $t 2$  で立ち上がりを終了する形状となる。また、ノード  $n 1$  における信号の立ち下がりエッジは、例えば、インバータ  $INV g$  からの出力信号の立ち下がり開始時刻  $t 3$  で立ち下がりを開始し、インバータ  $INV a$  からの出力信号の立ち下がり終了時刻  $t 4$  で立ち下がりを終了する形状となる。このため、ノード  $n 1$  には、立ち上がりの期間と、立ち下がりの期間とが共に期間  $T$  となる（つまり、デューティ比が  $50\%$  の）信号が供給される。同様の動作がノード  $n 2$  においても作用する。したがって、信号  $Din$  に、デューティ比が  $50\%$  の信号が供給される。

【0170】

### 3.3 本実施形態に係る効果

第 3 実施形態によれば、ノード  $n 1$  では、同相であり、かつデューティ比が互いに反転した 2 つの信号が供給される。ノード  $n 1$  の信号は、当該 2 つの信号に整合させるため、デューティ比が  $50\%$  となるように整形される。これにより、信号  $DQ$  と電圧  $VREF$  との比較結果に基づいて生成される信号  $Din$  のデューティ比を、 $50\%$  に近づけることができる。このため、信号  $Din$  の信号  $DQ$  に対するデューティ比のずれを抑制することができ、ひいては、入力回路 2 2 3 が入力回路 2 2 1 の特性に追従させるために必要な補正量を低減させることができる。

【0171】

## 4. 第 4 実施形態

次に、第 4 実施形態に係る半導体記憶装置について説明する。第 1 実施形態～第 3 実施

10

20

30

40

50

形態では、信号DQS及び/DQSを比較することによって信号Sig1及びSig2が生成される場合について説明した。第4実施形態では、信号DQS及び電圧VREFを比較しつつ、信号/DQS及び電圧VREFを比較することによって、信号Sig1及びSig2を生成する場合について説明する。

【0172】

以下の説明では、第1実施形態の構成及び動作と同等の部分については説明を省略し、第1実施形態の構成及び動作と異なる部分について主に説明する。

【0173】

#### 4.1 入力回路及びデータラッチの構成について

図16は、第4実施形態に係る半導体記憶装置の入力回路及びデータラッチの構成を説明するための回路図である。図16は、第1実施形態において説明された図4に対応する。

10

【0174】

図16に示すように、入力回路223は、コンパレータCOMP3-1及びCOMP3-2、並びにインバータINVk、INVl、INVm、INVn、INVo、INVp、INVq、INVr、INV s、INV t、INV u、及びINV vを含む。

【0175】

コンパレータCOMP3-1は、信号DQSが供給される第1入力端と、電圧VREFが供給される第2入力端と、インバータINVkの入力端に接続された出力端と、を含む。コンパレータCOMP3-1は、コンパレータCOMP1と同等の構成を有する。このため、コンパレータCOMP3-1は、インバータINVkに信号DQSと逆相の信号pを出力し得る。

20

【0176】

コンパレータCOMP3-2は、信号/DQSが供給される第1入力端と、電圧VREFが供給される第2入力端と、インバータINVoの入力端に接続された出力端と、を含む。コンパレータCOMP3-2は、コンパレータCOMP3-1と同等の構成を有する。このため、コンパレータCOMP3-2は、インバータINVoに信号/DQSと逆相の信号qを出力し得る。

【0177】

インバータINVkの出力端と、インバータINVlの入力端と、インバータINV sの出力端と、インバータINV tの入力端とは、ノードn5に共通接続される。

30

【0178】

インバータINVlの出力端と、インバータINVmの入力端と、インバータINV uの出力端と、インバータINV vの入力端とは、ノードn6に共通接続される。

【0179】

インバータINVoの出力端と、インバータINVpの入力端と、インバータINV sの入力端と、インバータINV tの出力端とは、ノードn7に共通接続される。

【0180】

インバータINVpの出力端と、インバータINVqの入力端と、インバータINV uの入力端と、インバータINV vの出力端とは、ノードn8に共通接続される。

40

【0181】

インバータINVnは、インバータINVmの出力端と接続された入力端と、信号Sig1を出力する出力端と、を含む。インバータINVrは、インバータINVqの出力端と接続された入力端と、信号Sig2を出力する出力端と、を含む。

【0182】

なお、上述の通り、入力回路223には、第1実施形態において説明されたインバータ群INV2及びINV3よりも多い数のインバータが接続される。このため、第4実施形態に係る入力回路223から出力される信号Dinは、第1実施形態よりも遅延量が増大する。このため、入力回路221は、ダミーロードdumを更に含む。

【0183】

50

ダミーロード  $d_{um}$  は、インバータ群  $I_{NV1}$  に接続され、例えば、インバータ  $I_{NVk} \sim I_{NVv}$  と同等の負荷を信号  $D_{in}$  の出力パスに対して与えることができる。

【0184】

#### 4.2 入力回路の動作について

図17は、第4実施形態に係る半導体記憶装置の入力回路の動作を説明するための回路図である。図17では、入力回路223で生成される各種信号の波形が示される。

【0185】

図17に示すように、コンパレータ  $COMP3-1$  は、例えば、信号  $DQS$  及び電圧  $V_{REF}$  に基づいて立ち上がりの期間が  $(T-D)$  で、立ち下がりの期間が  $(T+D)$  となるデューティ比の（例えば、デューティ比が  $(50-X)\%$  の）信号  $p$  を出力する。この場合、コンパレータ  $COMP3-2$  は、信号  $q$  と逆相の信号を出力する。すなわち、コンパレータ  $COMP3-2$  は、立ち上がりの期間が  $(T+D)$  で、立ち下がりの期間が  $(T-D)$  となるデューティ比の（例えば、デューティ比が  $(50+X)\%$  の）の信号  $q$  を出力する。

10

【0186】

インバータ  $I_{NVk}$  は、信号  $p$  の相補信号を生成する機能を有する。このため、インバータ  $I_{NVk}$  は、信号  $p$  と逆相であり、かつデューティ比が  $(50+X)\%$  の信号をノード  $n5$  に供給しようとする。

【0187】

一方、インバータ  $I_{NVo}$  は、信号  $q$  の相補信号を生成する機能を有する。また、インバータ  $I_{NVs}$  は、インバータ  $I_{NVo}$  から出力される信号の相補信号を生成する機能を有する。このため、インバータ  $I_{NVs}$  は、信号  $q$  と同等の信号をノード  $n5$  に供給しようとする。

20

【0188】

ノード  $n5$  では、インバータ  $I_{NVk}$  から出力される信号と、インバータ  $I_{NVs}$  から出力される信号と、が互いに整合する信号が生成される。これにより、ノード  $n5$  における信号の立ち上がりエッジは、例えば、インバータ  $I_{NVk}$  からの出力信号の立ち上がり開始時刻  $t5$  で立ち上がりを開始し、インバータ  $I_{NVs}$  からの出力信号の立ち上がり終了時刻  $t6$  で立ち上りを終了する形状となる。また、ノード  $n5$  における信号の立ち下がりエッジは、例えば、インバータ  $I_{NVs}$  からの出力信号の立ち下がり開始時刻  $t7$  で立ち下がりを開始し、インバータ  $I_{NVk}$  からの出力信号の立ち下がり終了時刻  $t8$  で立ち下りを終了する形状となる。このため、ノード  $n5$  には、立ち上がりの期間と、立ち下がりの期間とが共に期間  $T$  となる（つまり、デューティ比が  $50\%$  の）信号が供給される。同様の動作がノード  $n6$  においても作用する。したがって、信号  $Sig1$  に、デューティ比が  $50\%$  の信号が供給される。

30

【0189】

同様に、ノード  $n7$  では、インバータ  $I_{NVo}$  から出力される信号と、インバータ  $I_{NVt}$  から出力される信号と、が互いに整合する信号が生成される。同様の動作がノード  $n8$  においても作用する。したがって、信号  $Sig2$  に、デューティ比が  $50\%$  の信号が供給される。

40

【0190】

#### 4.3 本実施形態に係る効果

第4実施形態によれば、ノード  $n5$  及び  $n7$  では、同相であり、かつデューティ比が互いに反転した2つの信号が供給される。ノード  $n5$  及び  $n7$  の信号は、当該2つの信号に整合させるため、デューティ比が  $50\%$  となるように整形される。これにより、信号  $DQS$  と電圧  $V_{REF}$  との比較結果に基づいて生成される信号  $Sig1$  のデューティ比と、信号  $\overline{DQS}$  と電圧  $V_{REF}$  との比較結果に基づいて生成される信号  $Sig2$  のデューティ比を、いずれも  $50\%$  に近づけることができる。また、信号  $DQS$  及び  $\overline{DQS}$  のデューティ比が既に  $50\%$  からずれている場合においても、信号  $Sig1$  及び  $Sig2$  のデューティ比を、 $50\%$  に近づけることができる。

50

## 【0191】

なお、図16に示された例では、入力回路221のインバータ群INV1には、ダミーロードdumが接続されることによって入力回路223との遅延量が調整される場合について説明したが、これに限られない。例えば、入力回路221は、第3実施形態における図14で説明されたように、コンパレータCOMP1-1及びCOMP1-2、並びにインバータINVa~INVjを含む構成であってもよい。これにより、信号DQと電圧VREFとの比較結果に基づいて生成される信号Dinのデューティ比を、50%に近づけることができる。このため、信号Dinの信号DQに対するデューティ比のずれを抑制することができる。ひいては、入力回路221の特性と入力回路223の特性とを、いずれも改善することができる。

10

## 【0192】

## 4.4 変形例

第4実施形態では、信号DQS及び/DQSの各々を電圧VREFと比較しつつ、生成される信号Sig1及びSig2のデューティ比を50%に近づける場合について説明したが、これに限られない。

## 【0193】

図18は、第4実施形態の変形例に係る入力回路及びデータラッチの構成を説明するための回路図である。

## 【0194】

図18に示すように、インバータINVs~INVvの各々は、シーケンサ25から送出された制御信号cnt\_onoffに基づき、信号Sig1を出力するための配線と、信号Sig2を出力するための配線との間の接続をオンオフ切替え可能に構成される。より具体的には、例えば、インバータINVs及びINVtの各々は、制御信号cnt\_onoffに基づき、ノードn5及びn7間を電氣的に切断可能なトライステート型のインバータを含む。インバータINVu及びINVvの各々は、制御信号cnt\_onoffに基づき、ノードn6及びn8間を電氣的に切断可能なトライステート型のインバータを含む。

20

## 【0195】

以上のように構成されることにより、インバータINVs~INVvを介してノードn5及びn7間、及びノードn6及びn8間が電氣的に接続される場合は、第4実施形態において説明された構成と同様に機能することができる。デューティ比が調整された信号Din、Sig1、及びSig2が用いられるケースとしては、例えば、セットアップ時間及びホールド時間が、信号DQと電圧VREFとの交点、及び信号DQSと信号/DQSとの交点に基づいて定義される場合が想定される。

30

## 【0196】

また、インバータINVs~INVvを介してノードn5及びn7間、及びノードn6及びn8間が電氣的に切断される場合、信号Din、Sig1、及びSig2は、いずれも電圧VREFとの比較結果に基づいて生成されるように構成することができる。電圧VREFを基準として信号Din、Sig1、及びSig2が用いられるケースとして、例えば、セットアップ時間及びホールド時間が、信号DQ、DQS、及び/DQSの各々と電圧VREFとの交点に基づいて定義される場合が想定される。

40

## 【0197】

## 5. 第5実施形態

次に、第5実施形態に係る半導体記憶装置について説明する。第1実施形態~第4実施形態では、信号Dinと信号DQS及び/DQSとの間のタイミングを調節するための構成について説明した。第5実施形態では、互いに相補関係にある2つの信号の交点が電圧VREFからずれた状態で入力された場合に、2つの信号が電圧VREFで交差するように調整する点において、第1実施形態~第4実施形態と異なる。以下では、第1実施形態の構成及び動作と同等の部分については説明を省略し、第1実施形態の構成及び動作と異なる部分について主に説明する。

50

## 【 0 1 9 8 】

## 5 . 1 入力回路の構成の詳細について

第5実施形態に係る入出力回路の構成の詳細について図19を用いて説明する。図19は、第5実施形態に係る半導体記憶装置におけるストロブ信号DQS及び/DQSの入力回路の構成を説明するための回路図である。図19は、第1実施形態において説明された図6に対応する。なお、図19では、簡単のため、コンパレータCOMP2から出力される信号のうち、信号Sig1に係る部分が示されている。

## 【 0 1 9 9 】

図19に示すように、コンパレータCOMP2は、第1実施形態において説明されたコンパレータCOMP2の構成のうち、トランジスタTr23~Tr36(トランジスタTr36a含まず)、電流源I3及びI4を含む。また、コンパレータCOMP2は、トランジスタTr41、Tr42、Tr43、Tr44、Tr45、Tr46、Tr47、及びTr48、抵抗R1、R2、R3、及びR4、並びに電流源I5及びI6を更に含む。トランジスタTr41~Tr44は、例えば、N型トランジスタであり、トランジスタTr45~Tr48は、例えば、P型トランジスタである。

10

## 【 0 2 0 0 】

トランジスタTr41~Tr44、及び電流源I5の組と、トランジスタTr45~Tr48、及び電流源I6の組との各々は、補正回路を構成する。

## 【 0 2 0 1 】

トランジスタTr41は、ノードN11に接続された第1端と、トランジスタTr42の第1端に接続された第2端と、信号DQSが供給されるゲートと、を含む。トランジスタTr42は、電流源I5の入力端に接続された第2端と、信号/DQSが供給されるゲートと、を含む。トランジスタTr43は、ノードN11に接続された第1端と、トランジスタTr44の第1端に接続された第2端と、信号/DQSが供給されるゲートと、を含む。トランジスタTr44は、電流源I5の入力端に接続された第2端と、信号DQSが供給されるゲートと、を含む。電流源I5は、電圧VSSが供給される出力端を含む。

20

## 【 0 2 0 2 】

なお、トランジスタTr41~Tr44は、例えば、電圧VREFより大きい電圧がゲートに供給された場合にオン状態となり、電圧VREFより小さい電圧がゲートに供給された場合にオフ状態となるように構成されることが好ましい。

30

## 【 0 2 0 3 】

トランジスタTr45は、電流源I6の出力端に接続された第1端と、トランジスタTr46の第1端に接続された第2端と、信号DQSが供給されるゲートと、を含む。トランジスタTr46は、ノードN14に接続された第2端と、信号/DQSが供給されるゲートと、を含む。トランジスタTr47は、電流源I6の出力端に接続された第1端と、トランジスタTr48の第1端に接続された第2端と、信号/DQSが供給されるゲートと、を含む。トランジスタTr48は、ノードN14に接続された第2端と、信号DQSが供給されるゲートと、を含む。電流源I6は、電圧VCCQが供給される入力端を含む。

## 【 0 2 0 4 】

なお、トランジスタTr45~Tr48は、例えば、電圧VREFより小さい電圧がゲートに供給された場合にオン状態となり、電圧VREFより大きい電圧がゲートに供給された場合にオフ状態となるように構成されることが好ましい。

40

## 【 0 2 0 5 】

抵抗R1は、ノードN12に接続された第1端と、ノードN21に接続された第2端と、を含む。抵抗R2は、ノードN13に接続された第1端と、ノードN21に接続された第2端と、を含む。トランジスタTr24及びTr26のゲートは、ノードN21に共通接続され、それぞれ抵抗R1及びR2を介してノードN12及びN13に接続される。

## 【 0 2 0 6 】

抵抗R3は、ノードN15に接続された第1端と、ノードN22に接続された第2端と

50

、を含む。抵抗  $R_4$  は、ノード  $N_{16}$  に接続された第 1 端と、ノード  $N_{22}$  に接続された第 2 端と、を含む。トランジスタ  $Tr_{28}$  及び  $Tr_{30}$  のゲートは、ノード  $N_{22}$  に共通接続され、それぞれ抵抗  $R_3$  及び  $R_4$  を介してノード  $N_{15}$  及び  $N_{16}$  に接続される。

【0207】

以上のように構成されることにより、信号  $DQS$  と信号  $/DQS$  との交点における電圧の値が電圧  $V_{REF}$  と異なっている場合において、信号  $Sig_1$  のエッジのタイミングずれを補正することができる。

【0208】

#### 5.2 入力回路の動作について

図 20 は、第 5 実施形態に係る半導体記憶装置の入力回路の動作を説明するためのタイミングチャートである。図 20 では、信号  $DQS$  及び  $/DQS$  との交点と電圧  $V_{REF}$  とのずれが信号  $Sig_1$  のエッジのタイミングに与える影響について示される。より具体的には、図 20 (A) では、信号  $DQS$  及び  $/DQS$  が電圧  $V_{REF}$  においてクロスする場合における信号  $Sig_1$  の波形が示される。図 20 (B) では、信号  $DQS$  及び  $/DQS$  が電圧  $V_{REF}$  と異なる位置でクロスする場合における信号  $Sig_1$  の波形が示される。

10

【0209】

まず、信号  $DQS$  及び  $/DQS$  が電圧  $V_{REF}$  においてクロスする場合について、図 20 (A) を用いて説明する。

【0210】

図 20 (A) に示すように、時刻  $t_{10}$  において、信号  $DQS$  の立ち上がりエッジと信号  $/DQS$  の立ち下がりエッジとが電圧  $V_{REF}$  においてクロスする。そして、信号  $Sig_1$  は、時刻  $t_{12}$  において立ち下がる。

20

【0211】

また、時刻  $t_{14}$  において、信号  $DQS$  の立ち下がりエッジと信号  $/DQS$  の立ち上がりエッジとが電圧  $V_{REF}$  においてクロスする。そして、信号  $Sig_1$  は、時刻  $t_{16}$  において立ち上がる。

【0212】

このように、信号  $DQS$  及び  $/DQS$  が電圧  $V_{REF}$  においてクロスする場合、信号  $Sig_1$  は、理想的な波形となり得る。

【0213】

次に、信号  $DQS$  及び  $/DQS$  が電圧  $V_{REF}$  よりも低い電圧においてクロスする場合について、図 20 (B) を用いて説明する。

30

【0214】

図 20 (B) に示すように、時刻  $t_{10}$  では、コンパレータ  $COMP_2$  には、正常な信号  $DQS$  及び  $/DQS$  が入力される。これにより、時刻  $t_{10}$  において、信号  $DQS$  の立ち上がりエッジと信号  $/DQS$  の立ち下がりエッジとが電圧  $V_{REF}$  においてクロスする。このため、信号  $Sig_1$  は、図 20 (A) の場合と同様、時刻  $t_{12}$  において立ち下がる。

【0215】

一方、時刻  $t_{14}$  近傍においては、時刻  $t_{14}$  よりも前の時刻  $t_{14m}$  において、信号  $DQS$  の立ち下がりエッジが電圧  $V_{REF}$  とクロスし、時刻  $t_{14}$  よりも後の時刻  $t_{14p}$  において、信号  $/DQS$  の立ち上がりエッジが電圧  $V_{REF}$  とクロスする。このため、時刻  $t_{14}$  において、信号  $DQS$  の立ち上がりエッジと信号  $/DQS$  の立ち下がりエッジとが電圧  $V_{REF}$  よりも低い電圧においてクロスする。この場合、信号  $DQS$  が “H” レベルから “L” レベルに遷移する期間と、信号  $/DQS$  が “L” レベルから “H” レベルに遷移する期間と、の重複期間は、図 20 (A) の場合よりも短くなる。これにより、コンパレータ  $COMP_2$  が差動増幅する能力が小さくなり、信号  $Sig_1$  が立ち上がるまでの遅延時間が増加し得る。したがって、信号  $Sig_1$  は、時刻  $t_{16}$  より期間  $L_1$  だけ遅れた時刻  $t_{18}$  において、立ち上がり得る。コンパレータ  $COMP_2$  は、当該立ち上がりエッジの遅れを補正し得る。

40

50

## 【0216】

時刻  $t_{14m}$ 以降において、トランジスタ  $Tr_{45}$  及び  $Tr_{48}$  は、電圧  $V_{REF}$  より小さい電圧が供給されることによってオン状態となる。また、トランジスタ  $Tr_{46}$  及び  $Tr_{47}$  は、時刻  $t_{14p}$  まで、電圧  $V_{REF}$  より小さい電圧が供給されることによってオン状態となる。これにより、時刻  $t_{14m}$  から時刻  $t_{14p}$  までの間、電流源  $I_6$  からノード  $N_{14}$  への電流パスが形成される。このため、当該期間においてコンパレータ  $COMP_2$  がノード  $N_{18}$  を“H”レベルにする能力が大きくなり、信号  $Sig_1$  が立ち上がるまでの遅延時間を短くすることができる。

## 【0217】

以上のように動作することにより、信号  $Sig_1$  は、時刻  $t_{16}$  において立ち上がる  
10  
ことができる。

## 【0218】

## 5.3 本実施形態に係る効果

第5実施形態によれば、コンパレータ  $COMP_2$  は、補正回路を構成するトランジスタ  $Tr_{41} \sim Tr_{48}$  を含む。トランジスタ  $Tr_{41} \sim Tr_{44}$  は、信号  $DQS$  及び  $\overline{DQS}$  がいずれも電圧  $V_{REF}$  より大きい場合に、全てオン状態となる。この場合、ノード  $N_{11}$  と電流源  $I_5$  との間の電流パスが形成され、ノード  $N_{12}$  又は  $N_{13}$  に充放電される電荷の量が増大する。また、トランジスタ  $Tr_{45} \sim Tr_{48}$  は、信号  $DQS$  及び  $\overline{DQS}$  がいずれも電圧  $V_{REF}$  より小さい場合に、全てオン状態となる。この場合、電流源  $I_6$  とノード  $N_{14}$  との間の電流パスが形成され、ノード  $N_{15}$  又は  $N_{16}$  に充放電される  
20  
電荷の量が増大する。これにより、ノード  $N_{18}$  に供給される信号の遅延時間が短縮される。このため、信号  $DQS$  及び  $\overline{DQS}$  の交点が電圧  $V_{REF}$  からずれたことに起因して発生する信号  $Sig_1$  の遅延量を低減することができる。

## 【0219】

## 6. 第6実施形態

次に、第6実施形態に係る半導体記憶装置について説明する。第5実施形態では、補正回路内のトランジスタ  $Tr_{41} \sim Tr_{44}$ 、及び  $Tr_{45} \sim Tr_{48}$  の閾値電圧が電圧  $V_{REF}$  と等しい場合が説明された。第6実施形態は、当該各種トランジスタの閾値電圧が電圧  $V_{REF}$  からずれている場合において信号  $Sig_1$  の遅延量を適切に補正し得る点において、第5実施形態と異なる。  
30

## 【0220】

以下の説明では、第5実施形態の構成及び動作と同等の部分についてはその説明を省略し、第5実施形態の構成及び動作と異なる部分について主に説明する。

## 【0221】

## 6.1 入力回路の構成の詳細について

図21は、第6実施形態に係るストロープ信号  $DQS$  及び  $\overline{DQS}$  の入力回路の構成を説明するための回路図である。図21は、第5実施形態において説明された図19に対応する。

## 【0222】

図21に示すように、コンパレータ  $COMP_2$  は、トランジスタ  $Tr_{49}$ 、 $Tr_{50}$ 、 $Tr_{51}$ 、及び  $Tr_{52}$  を更に含む。トランジスタ  $Tr_{49}$  及び  $Tr_{50}$  は、例えば、N型トランジスタであり、トランジスタ  $Tr_{51}$  及び  $Tr_{52}$  は、例えば、P型トランジスタである。  
40

## 【0223】

トランジスタ  $Tr_{49}$  は、電圧  $V_{CCQ}$  が供給される第1端と、トランジスタ  $Tr_{50}$  の第1端に接続された第2端と、電圧  $V_{REF}$  が供給されるゲートと、を含む。トランジスタ  $Tr_{50}$  は、電流源  $I_5$  の入力端に接続された第2端と、電圧  $V_{REF}$  が供給されるゲートと、を含む。

## 【0224】

トランジスタ  $Tr_{51}$  は、電流源  $I_6$  の出力端に接続された第1端と、トランジスタ  $T$   
50

r 5 2 の第 1 端に接続された第 2 端と、電圧 V R E F が供給されるゲートと、を含む。トランジスタ T r 5 2 は、電圧 V S S が供給される第 2 端と、電圧 V R E F が供給されるゲートと、を含む。

#### 【 0 2 2 5 】

以上のように構成されることにより、補正回路内の各種トランジスタの閾値電圧が電圧 V R E F からずれている場合において、信号 S i g 1 のエッジのタイミングずれを補正することができる。

#### 【 0 2 2 6 】

##### 6 . 2 入力回路の動作について

図 2 2 は、第 6 実施形態に係る半導体記憶装置の入力回路の動作を説明するためのタイミングチャートである。図 2 2 では、補正回路内のトランジスタ T r 4 1 ~ T r 4 8 の閾値電圧 V t h と電圧 V R E F とのずれが信号 S i g 1 のエッジのタイミングに与える影響について示される。図 2 2 の例では、閾値電圧 V t h は、電圧 V R E F よりも大きい場合が示される。

#### 【 0 2 2 7 】

図 2 2 に示すように、時刻 t 1 0 近傍において、時刻 t 1 0 よりも前の時刻 t 1 0 m において、信号 / D Q S の立ち下がりエッジが閾値電圧 V t h とクロスし、時刻 t 1 0 よりも後の時刻 t 1 0 p において、信号 D Q S の立ち上がりエッジが閾値電圧 V t h とクロスする。このため、時刻 t 1 0 において、信号 D Q S の立ち上がりエッジと信号 / D Q S の立ち下がりエッジとが電圧 V R E F においてクロスするにもかかわらず、時刻 t 1 0 m から時刻 t 1 0 p までの間、トランジスタ T r 4 5 ~ T r 4 8 がオン状態となる。これにより、時刻 t 1 0 m から時刻 t 1 0 p までの間、電流源 I 6 からノード N 1 4 への電流パスが形成され、当該期間においてコンパレータ C O M P 2 がノード N 1 8 を “ L ” レベルにする能力が大きくなり得る。したがって、信号 S i g 1 は、時刻 t 1 2 より期間 L 2 だけ早い時刻 t 1 1 において、立ち下がり得る。コンパレータ C O M P 2 は、当該立ち下がりエッジの早まりを補正し得る。

#### 【 0 2 2 8 】

トランジスタ T r 5 1 及び T r 5 2 は、ゲートに電圧 V R E F が供給される。これにより、トランジスタ T r 5 1 及び T r 5 2 は、常にオン状態となり、電流源 I 6 から電圧 V S S への電流パスを形成する。当該電流パスのオン抵抗は、電圧 V R E F に対応し、信号 D Q S 及び / D Q S に依らず一定である。

#### 【 0 2 2 9 】

トランジスタ T r 4 5 ~ T r 4 8 のゲートに入力される信号 D Q S 及び / D Q S の電圧のいずれか一方が電圧 V R E F よりも大きい場合、トランジスタ T r 5 1 及び T r 5 2 のオン抵抗は、トランジスタ T r 4 5 ~ T r 4 8 のオン抵抗よりも小さくなる。この場合、電流源 I 6 を流れる電流は、トランジスタ T r 5 1 及び T r 5 2 を介する電流パスを流れる電流が支配的となる。このため、トランジスタ T r 4 5 ~ T r 4 8 がオン状態であっても、信号 D Q S 及び / D Q S のいずれか一方が電圧 V R E F よりも大きい場合（すなわち、時刻 t 1 0 m から時刻 t 1 0 p までの間）、コンパレータ C O M P 2 がノード N 1 8 を “ L ” レベルにする能力の増加が抑制される。したがって、コンパレータ C O M P 2 は、時刻 t 1 2 において立ち下がる信号 S i g 1 を出力することができる。

#### 【 0 2 3 0 】

一方、時刻 t 1 4 では、信号 D Q S 及び / D Q S の交点が電圧 V R E F からずれるため、時刻 t 1 4 近傍においては、時刻 t 1 4 m から時刻 t 1 4 p までの間、信号 D Q S 及び / D Q S が共に電圧 V R E F よりも小さくなる。これにより、トランジスタ T r 5 1 及び T r 5 2 のオン抵抗は、トランジスタ T r 4 5 ~ T r 4 8 のオン抵抗よりも大きくなる。この場合、電流源 I 6 を流れる電流は、トランジスタ T r 4 5 ~ T r 4 8 を介する電流パスを流れる電流が支配的となる。このため、信号 D Q S 及び / D Q S が共に電圧 V R E F よりも小さい場合（すなわち、時刻 t 1 4 m から時刻 t 1 4 p までの間）には、図 2 0 において説明した場合と同様、コンパレータ C O M P 2 がノード N 1 8 を “ H ” レベルにす

10

20

30

40

50

る能力を大きくできる。

【0231】

6.3 本実施形態に係る効果

第6実施形態によれば、コンパレータCOMP2は、補正回路の動作を電圧VREF基準にそるえるトランジスタTr49~Tr52を含む。トランジスタTr49及びTr50は、信号DQS及び/DQSのいずれか一方が電圧VREFよりも小さい場合、電流源I5に支配的に電流を供給する。一方、トランジスタTr49及びTr50は、信号DQS及び/DQSがいずれも電圧VREFより大きい場合、電流源I5へほとんど電流を供給しない。これにより、トランジスタTr41~Tr44は、信号DQS及び/DQSがいずれも電圧VREFより大きい場合に限り、信号DQS及び/DQSの交点が電圧VREFからずれたことに起因して発生する信号Sig1の遅延量を低減することができる。

10

【0232】

また、トランジスタTr51及びTr52は、信号DQS及び/DQSのいずれか一方が電圧VREFよりも大きい場合、電流源I6に支配的に電流を供給する。一方、トランジスタTr51及びTr52は、信号DQS及び/DQSがいずれも電圧VREFより小さい場合、電流源I6へほとんど電流を供給しない。これにより、トランジスタTr45~Tr48は、信号DQS及び/DQSがいずれも電圧VREFより小さい場合に限り、信号DQS及び/DQSの交点が電圧VREFからずれたことに起因して発生する信号Sig1の遅延量を低減することができる。

20

【0233】

したがって、トランジスタTr41~Tr48の閾値が電圧VREFからずれている場合においても、信号DQS及び/DQSの交点と電圧VREFとのずれの大きさに応じて信号Sig1の遅延量を補正することができる。

【0234】

7. 第7実施形態

次に、第7実施形態について説明する。第7実施形態では、補正回路による補正能力が過剰となる場合に、当該補正能力を抑制し得る点において、第6実施形態と異なる。

【0235】

以下の説明では、第6実施形態の構成及び動作と同等の部分についてはその説明を省略し、第6実施形態の構成及び動作と異なる部分について主に説明する。

30

【0236】

7.1 入力回路の構成の詳細について

図23は、第7実施形態に係るストロブ信号DQS及び/DQSの入力回路の構成を説明するための回路図である。図23は、第6実施形態において説明された図21に対応する。

【0237】

図23に示すように、コンパレータCOMP2は、トランジスタTr53、Tr54、Tr55、及びTr56を更に含む。トランジスタTr53及びTr54は、例えば、N型トランジスタであり、トランジスタTr55及びTr56は、例えば、P型トランジスタである。

40

【0238】

トランジスタTr53は、ノードN11に接続された第1端と、トランジスタTr41の第1端及びトランジスタTr43の第1端に共通接続された第2端と、電圧(VREF+)が供給されるゲートと、を含む(は、例えば、 $0 < < VREF$ である実数)。トランジスタTr54は、電圧VCCQが供給される第1端と、トランジスタTr49の第1端に接続された第2端と、電圧(VREF+)が供給されるゲートと、を含む。

【0239】

トランジスタTr55は、トランジスタTr46の第2端及びトランジスタTr48の第2端に共通接続された第1端と、ノードN14に接続された第2端と、電圧(VREF-)が供給されるゲートと、を含む(は、例えば、 $0 < < VREF$ である実数)。

50

トランジスタTr56は、トランジスタTr52の第2端に接続された第1端と、電圧VSSが供給される第2端と、電圧(VREF-)が供給されるゲートと、を含む。

【0240】

以上のように構成されることにより、補正回路の過剰な補正能力を抑制しつつ、信号Sig1のエッジのタイミングずれを補正することができる。

【0241】

#### 7.2 入力回路の動作について

図24は、第7実施形態に係る半導体記憶装置の入力回路の動作を説明するためのタイミングチャートである。図24では、トランジスタTr53~Tr56によってトランジスタTr41~Tr48の補正能力が抑制される場合が示される。

10

【0242】

図24に示すように、時刻t14近傍では、時刻t14mから時刻t14pまでの間、電流源I6からノードN14への電流パスが形成される。しかしながら、信号DQS及び/DQSの振幅が大きい場合、トランジスタTr45~Tr48を介して過剰に電流が流れ得る。これにより、時刻t14mから時刻t14pまでの間、コンパレータCOMP2がノードN18を“H”レベルにする能力が過剰に大きくなり、信号Sig1が立ち上がるまでの遅延時間が期間L1より大きい期間L3だけ早まる。このため、適正な立ち上がりタイミングである時刻t16よりも早い時刻t15において、信号Sig1が立ち上がり得る。コンパレータCOMP2は、当該立ち上がりエッジの早まりを抑制し得る。

20

【0243】

トランジスタTr55及びTr56は、ゲートに電圧(VREF-)が供給される。これにより、トランジスタTr55及びTr56を流れる電流は、信号DQS及び/DQSが共に電圧(VREF-)よりも小さくなる場合においても、トランジスタTr55及びTr56によってクランプされる。このため、トランジスタTr45~Tr48を流れる電流量は、トランジスタTr45~Tr48が共に電圧(VREF-)よりも小さい電圧によってオン状態となる場合においても、電圧(VREF-)によってオン状態となっている程度の電流量に抑制される。

【0244】

図24の例では、時刻t14mよりも後で、かつ時刻t14よりも前の時刻t14m2において、信号DQSの立ち下がりエッジが電圧(VREF-)とクロスする。また、時刻t14よりも後で、かつ時刻t14pよりも前の時刻t14p2において信号/DQSの立ち上がりエッジが電圧(VREF-)とクロスする。すなわち、時刻t14m2から時刻t14p2までの間において、信号DQS及び/DQSが共に電圧(VREF-)よりも小さくなり、トランジスタTr45~Tr48を流れる電流量が抑制される。このため、コンパレータCOMP2がノードN18を“H”レベルにする能力が抑制され、信号Sig1が立ち上がるまでの遅延時間を期間L1だけ早めることができる。したがって、コンパレータCOMP2は、適正な立ち上がりタイミングである時刻t16において立ち上がる信号Sig1を出力することができる。

30

【0245】

#### 7.3 本実施形態に係る効果

40

第7実施形態によれば、コンパレータCOMP2は、補正回路を流れる電流量を抑制し得るトランジスタTr53~Tr56を含む。トランジスタTr53及びTr54は、信号DQS及び/DQSがいずれも電圧(VREF+)より大きくなった場合に、ノードN11から電流源I5に流れる電流量をクランプする。これにより、ノードN12又はN13への過剰な電荷の充放電を抑制することができる。また、トランジスタTr55及びTr56は、信号DQS及び/DQSがいずれも電圧(VREF-)より小さくなった場合に、電流源I6からノードN14に流れる電流量をクランプする。これにより、ノードN15又はN16への過剰な電荷の充放電を抑制することができる。このため、信号DQS及び/DQSの交点が電圧VREFからずれたことに起因して発生する信号Sig1の遅延量を補正する際に、遅延量が過剰に低減されることを抑制することができる。

50

## 【 0 2 4 6 】

## 7 . 4 変形例

第7実施形態では、トランジスタTr53がトランジスタTr41~Tr44とノードN11との間に接続され、トランジスタTr54がトランジスタTr49と電圧VCCQとの間に接続される場合について説明したが、これに限られない。また、第7実施形態では、トランジスタTr55がトランジスタTr45~Tr48とノードN14の間に接続され、トランジスタTr56がトランジスタTr52と電圧VSSとの間に接続される場合について説明したがこれに限られない。

## 【 0 2 4 7 】

図25は、第7実施形態の変形例に係るストローク信号DQS及び/DQSの入力回路の構成を説明するための回路図である。図25は、第7実施形態において説明された図23に対応する。

10

## 【 0 2 4 8 】

図25に示すように、コンパレータCOMP2は、トランジスタTr53~Tr56に代えて、トランジスタTr53a、Tr53b、Tr54a、Tr55a、Tr55b、及びTr56aを含んでもよい。トランジスタTr53a、Tr53b、及びTr54aは、例えば、N型トランジスタであり、トランジスタTr55a、Tr55b、及びTr56aは、例えば、P型トランジスタである。

## 【 0 2 4 9 】

トランジスタTr53aは、トランジスタTr41とトランジスタTr42との間に直列に接続され、電圧(VREF+)が供給されるゲートを含む。トランジスタTr53bは、トランジスタTr43とトランジスタTr44との間に直列に接続され、電圧(VREF+)が供給されるゲートを含む。トランジスタTr54aは、トランジスタTr49とトランジスタTr50との間に直列に接続され、電圧(VREF+)が供給されるゲートを含む。

20

## 【 0 2 5 0 】

トランジスタTr55aは、トランジスタTr45とトランジスタTr46との間に直列に接続され、電圧(VREF-)が供給されるゲートを含む。トランジスタTr55bは、トランジスタTr47とトランジスタTr48との間に直列に接続され、電圧(VREF-)が供給されるゲートを含む。トランジスタTr56aは、トランジスタTr51とトランジスタTr52との間に直列に接続され、電圧(VREF-)が供給されるゲートを含む。

30

## 【 0 2 5 1 】

以上のように構成することにより、トランジスタTr41及びTr42間、トランジスタTr43及びTr44間、トランジスタTr45及びTr46間、トランジスタTr47及びTr48間、トランジスタTr49及びTr50間、並びにトランジスタTr51及びTr52間の電位が確定する。このため、当該各電位がフローティングとなることによって、補正回路に最初に信号DQ及び/DQSが供給される際の動作を安定化させることができる。

## 【 0 2 5 2 】

## 8 . 第8実施形態

次に、第8実施形態について説明する。第7実施形態では、補正回路内に流れる電流量を抑制することによって補正能力が抑制される場合について説明された。第8実施形態では、補正回路内に供給される信号の振幅を抑制することによって補正能力が抑制される点において、第7実施形態と異なる。

40

## 【 0 2 5 3 】

以下の説明では、第6実施形態の構成及び動作と同等の部分についてはその説明を省略し、第6実施形態の構成及び動作と異なる部分について主に説明する。

## 【 0 2 5 4 】

## 8 . 1 入力回路の構成の詳細について

50

図 26 は、第 8 実施形態に係るストローク信号 D Q S 及び / D Q S の入力回路の構成を説明するための回路図である。図 26 は、第 6 実施形態において説明された図 21 に対応する。

【 0 2 5 5 】

図 26 に示すように、コンパレータ C O M P 2 は、トランジスタ T r 5 7、T r 5 8、T r 5 9、及び T r 6 0 を更にも含む。トランジスタ T r 5 7 及び T r 5 8 は、例えば、N 型トランジスタであり、トランジスタ T r 5 9 及び T r 6 0 は、例えば、P 型トランジスタである。

【 0 2 5 6 】

トランジスタ T r 5 7 は、信号 D Q S が供給される第 1 端と、ノード N 2 3 に接続された第 2 端と、電圧 V 1 が供給されるゲートと、を含む。トランジスタ T r 5 8 は、信号 / D Q S が供給される第 1 端と、ノード N 2 4 に接続された第 2 端と、電圧 V 1 が供給されるゲートと、を含む。ノード N 2 3 は、トランジスタ T r 4 1 のゲート、及びトランジスタ T r 4 4 のゲートに共通接続されたノードである。ノード N 2 4 は、トランジスタ T r 4 2 のゲート、及びトランジスタ T r 4 3 のゲートに共通接続されたノードである。電圧 V 1 は、信号 D Q 及び / D Q S の振幅をクランプ可能な程度にトランジスタ T r 5 7 及び T r 5 8 をオン状態にし得る電圧である。

10

【 0 2 5 7 】

トランジスタ T r 5 9 は、ノード N 2 5 に接続された第 1 端と、信号 D Q S が供給される第 2 端と、電圧 V 2 が供給されるゲートと、を含む。トランジスタ T r 5 9 は、ノード N 2 6 に接続された第 1 端と、信号 / D Q S が供給される第 2 端と、電圧 V 2 が供給されるゲートと、を含む。ノード N 2 5 は、トランジスタ T r 4 5 のゲート、及びトランジスタ T r 4 8 のゲートに共通接続されたノードである。ノード N 2 6 は、トランジスタ T r 4 6 のゲート、及びトランジスタ T r 4 7 のゲートに共通接続されたノードである。電圧 V 2 は、信号 D Q 及び / D Q S の振幅をクランプ可能な程度にトランジスタ T r 5 9 及び T r 6 0 をオン状態にし得る電圧である。

20

【 0 2 5 8 】

以上のように構成されることにより、補正回路の過剰な補正能力を抑制しつつ、信号 S i g 1 のエッジのタイミングずれを補正することができる。

【 0 2 5 9 】

8 . 2 入力回路の動作について

図 27 は、第 8 実施形態に係る半導体記憶装置の入力回路の動作を説明するためのタイミングチャートである。図 27 では、トランジスタ T r 5 7 ~ T r 6 0 によってトランジスタ T r 4 1 ~ T r 4 8 の補正能力が抑制される場合が示される。

30

【 0 2 6 0 】

図 27 に示すように、時刻 t 1 4 近傍では、時刻 t 1 4 m から時刻 t 1 4 p までの間、電流源 I 6 からノード N 1 4 への電流パスが形成される。しかしながら、信号 D Q S 及び / D Q S の振幅が大きい場合、トランジスタ T r 4 5 ~ T r 4 8 を介して過剰に電流が流れ得る。これにより、時刻 t 1 4 m から時刻 t 1 4 p までの間、コンパレータ C O M P 2 がノード N 1 8 を “ H ” レベルにする能力が過剰に大きくなり、信号 S i g 1 が立ち上がるまでの遅延時間が期間 L 3 だけ早まる。このため、適正な立ち上がりタイミングである時刻 t 1 6 よりも早い時刻 t 1 5 において、信号 S i g 1 が立ち上がり得る。コンパレータ C O M P 2 は、当該立ち上がりエッジの早まりを抑制し得る。

40

【 0 2 6 1 】

トランジスタ T r 5 9 及び T r 6 0 は、ゲートに電圧 V 2 が供給される。これにより、トランジスタ T r 5 9 からノード N 2 5 に供給される信号 D Q S の振幅、及びトランジスタ T r 6 0 からノード N 2 6 に供給される信号 / D Q S の振幅は、電圧 V 2 によってクランプされる。このため、トランジスタ T r 4 5 ~ T r 4 8 のオン抵抗が増加し、トランジスタ T r 4 5 ~ T r 4 8 を流れる電流量が抑制される。

【 0 2 6 2 】

50

図27の例では、時刻 $t_{14m}$ よりも後で、かつ時刻 $t_{14}$ よりも前の時刻 $t_{14m3}$ において、信号/DQSの立ち上がりが開始する。また、時刻 $t_{14}$ よりも後で、かつ時刻 $t_{14p}$ よりも前の時刻 $t_{14p3}$ において、信号DQSの立ち下がりが終了する。すなわち、時刻 $t_{14m}$ から時刻 $t_{14m3}$ の間において、トランジスタTr46及びTr47のオン抵抗が増加し、トランジスタTr46及びTr47を流れる電流量が抑制される。また、時刻 $t_{14p3}$ から時刻 $t_{14p}$ の間において、トランジスタTr45及びTr48のオン抵抗が増加し、トランジスタTr45及びTr48を流れる電流量が抑制される。このため、コンパレータCOMP2がノードN18を“H”レベルにする能力が抑制され、信号Sig1が立ち上がるまでの遅延時間が期間L1だけ早まる。したがって、コンパレータCOMP2は、適正な立ち上がりタイミングである時刻 $t_{16}$ において立ち上がる信号Sig1を出力することができる。

10

## 【0263】

## 8.3 本実施形態に係る効果

第8実施形態によれば、コンパレータCOMP2は、補正回路に供給される信号の振幅を抑制し得るトランジスタTr57~Tr60を含む。トランジスタTr57及びTr58は、信号DQS及び/DQSの振幅が大きい場合に、ノードN23及びN24に供給される信号の振幅をクランプする。これにより、ノードN12又はN13への過剰な電荷の充放電を抑制することができる。また、トランジスタTr59及びTr60は、信号DQS及び/DQSの振幅が大きい場合に、ノードN25及びN26に供給される信号の振幅をクランプする。これにより、ノードN15又はN16への過剰な電荷の充放電を抑制することができる。このため、信号DQS及び/DQSの交点が電圧VREFからずれたことに起因して発生する信号Sig1の遅延量を補正する際に、遅延量が過剰に低減されることを抑制することができる。

20

## 【0264】

## 9. その他

その他、実施形態は、以下のような変形が適宜適用可能である。

## 【0265】

例えば、上述の第1実施形態及び第2実施形態では、コンパレータCOMP2内のトランジスタのサイズを変更することによって、信号Sig1及びSig2のデューティ比を信号DQS及び/DQSと異ならせる場合について説明したが、これに限られない。上述の第1実施形態及び第2実施形態は、ノードN18及びN20のプルダウン能力とプルアップ能力とを異ならせ得る任意の構成が適用可能である。例えば、ノードN15又はN16に更なる電流を供給可能な電流源を接続することにより、第1実施形態及び第2実施形態と同様の効果を奏することができる。

30

## 【0266】

また、上述の第2実施形態の変形例では、信号Sig1-1、Sig2-1、Sig1-2、及びSig2-2のエッジのタイミングを調整するために、インバータ群INV2-1、INV3-1、INV2-2、及びINV3-2の遅延量を調整する場合について説明したが、これに限られない。上述の第2実施形態の変形例では、信号Sig1-1、Sig2-1、Sig1-2、及びSig2-2のエッジのタイミングを調整可能な任意の構成が適用可能である。例えば、上述の第2実施形態の変形例は、コンパレータCOMP2内のトランジスタ(例えば、トランジスタTr35及びTr39)のサイズを動的に調整することによって信号Sig1及びSig2のデューティ比を変更し、最終的に信号Sig1-1、Sig2-1、Sig1-2、及びSig2-2のエッジのタイミングを調整しても良い。

40

## 【0267】

また、上述の第3実施形態では、入力回路221において、ノードn1及びn3間、並びにノードn2及びn4間がインバータINVg~INVjを介して接続される場合について説明されたが、これに限られない。例えば、入力回路221は、ノードn1及びn4間、並びにノードn2及びn3間がインバータを介することなく直接接続される構成であ

50

ってもよい。また、例えば、入力回路221は、インバータINV<sub>g</sub>～INV<sub>j</sub>を用いず、コンパレータCOMP1-1及びCOMP1-2間を接続することによっても、同等の効果を奏することができる。具体的には、例えば、コンパレータCOMP1-1のノードN7とコンパレータCOMP1-2のノードN7との間を接続し、コンパレータCOMP1-1のノードN8とコンパレータCOMP1-2のノードN8との間を接続することにより、信号D<sub>in</sub>のデューティ比を50%に近づけることができる。なお、当該第3実施形態について説明された上述の変形は、第4実施形態における入力回路223についても同様に適用可能である。

【0268】

また、上述の第5実施形態～第8実施形態では、信号DQS及び/DQSが入力される場合について説明したが、これに限られない。例えば、上述の第5実施形態～第8実施形態は、互いに相補的な関係を有する任意の信号の組（例えば、信号RE及び/RE）に対して適用可能である。

10

【0269】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

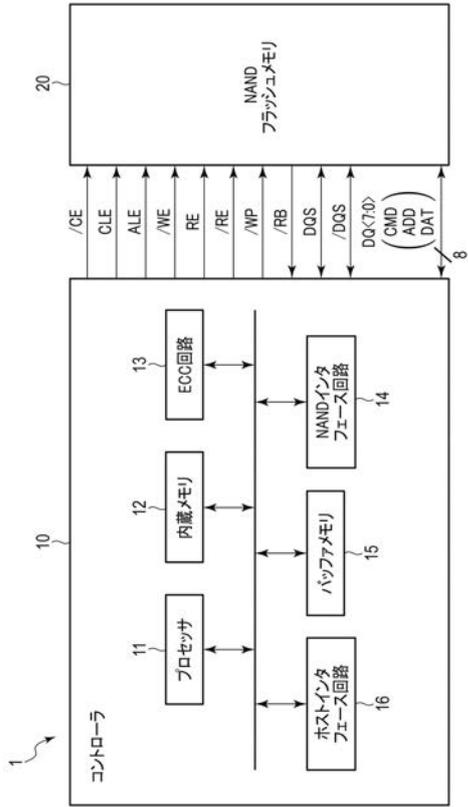
20

【符号の説明】

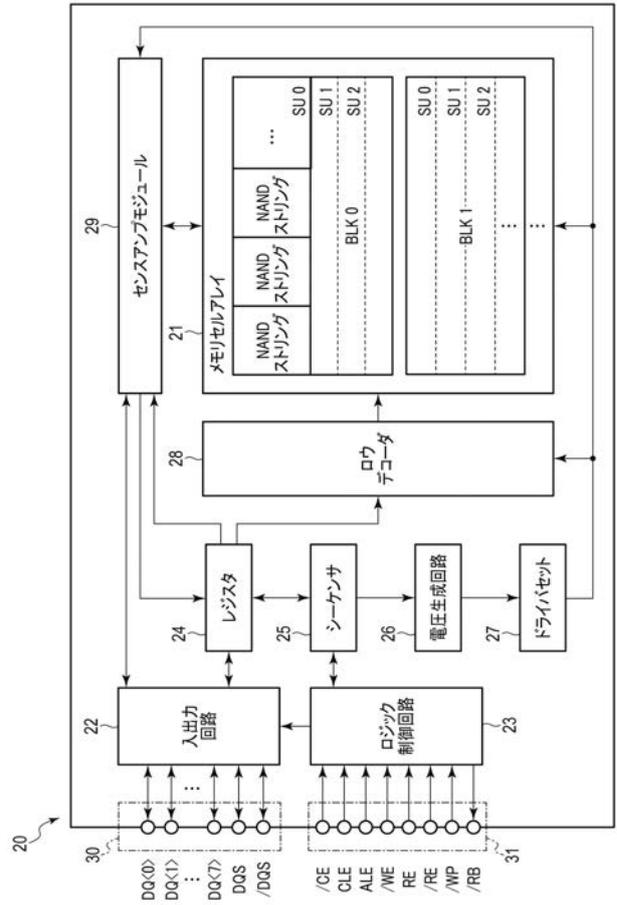
【0270】

1...メモリシステム、10...コントローラ、11...プロセッサ、12...内蔵メモリ、13...ECC回路、14...NANDインタフェース回路、15...バッファメモリ、16...ホストインタフェース回路、20...半導体記憶装置、21...メモリセルアレイ、22...入出力回路、23...ロジック制御回路、24...レジスタ、25...シーケンサ、26...電圧生成回路、27...ドライバセット、28...ロウデコーダ、29...センスアンプ、30...入出力用パッド群、31...ロジック制御用パッド群、221、223...入力回路、222、224...出力回路、225...データラッチ。

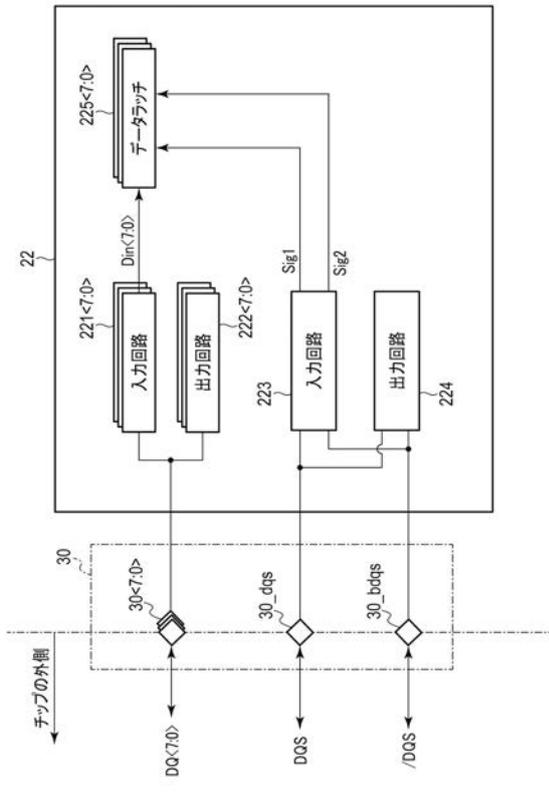
【図 1】



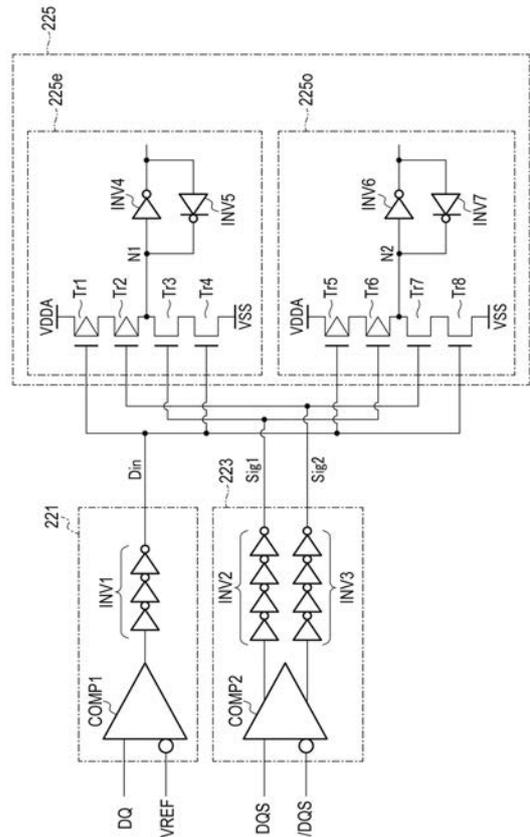
【図 2】



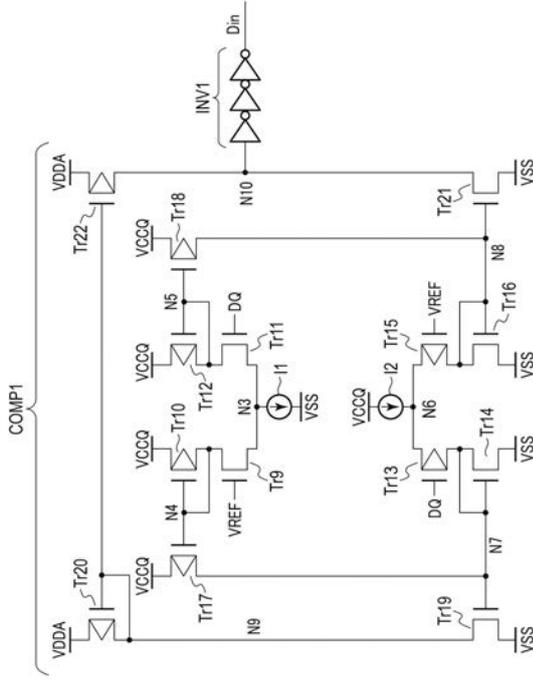
【図 3】



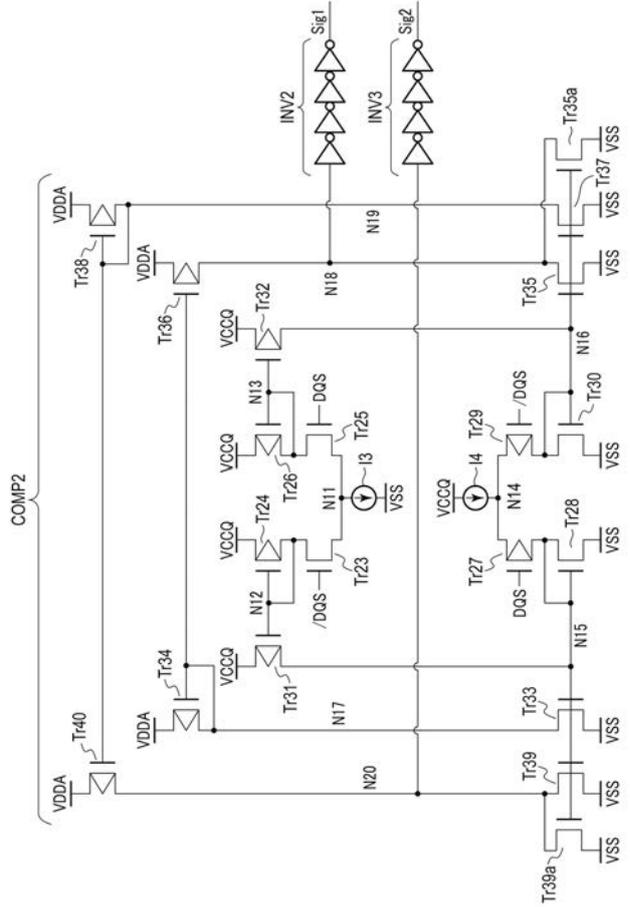
【図 4】



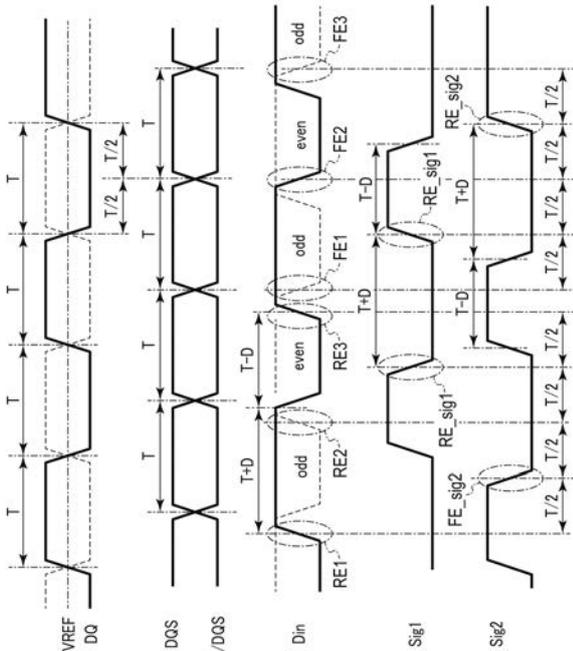
【 図 5 】



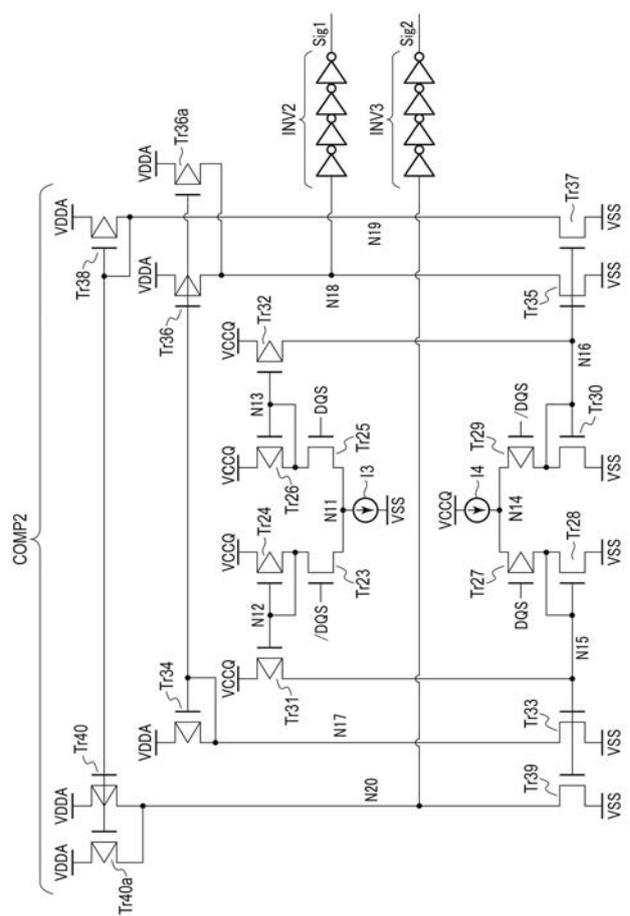
【 図 6 】



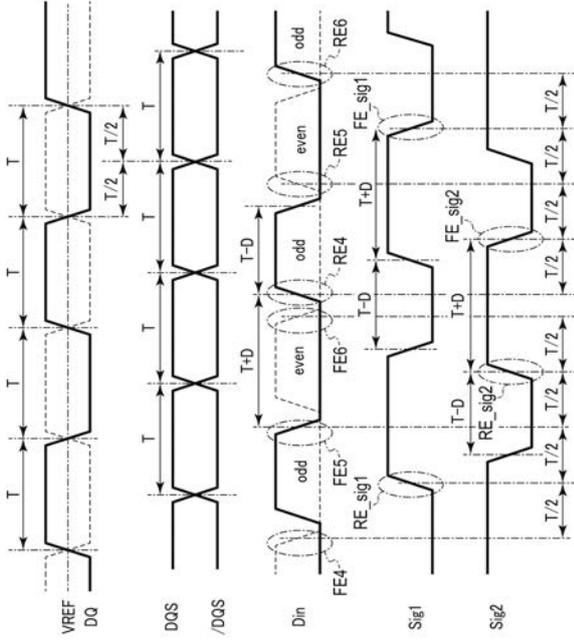
【 図 7 】



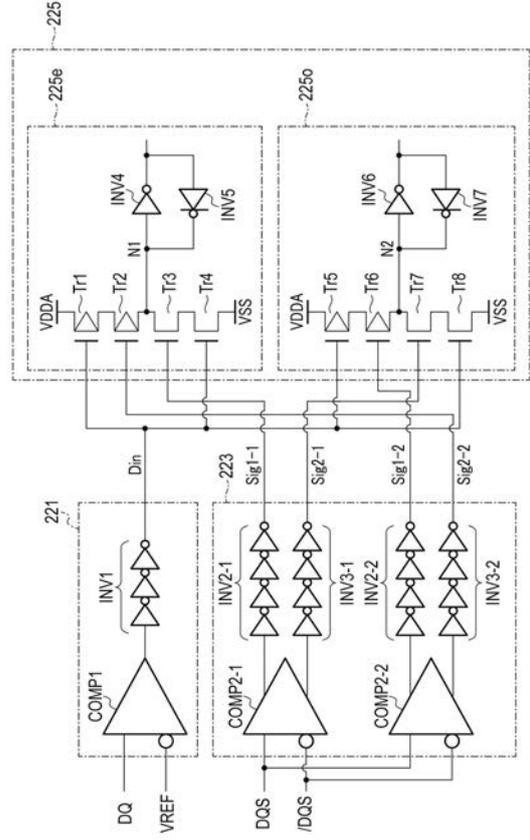
【 図 8 】



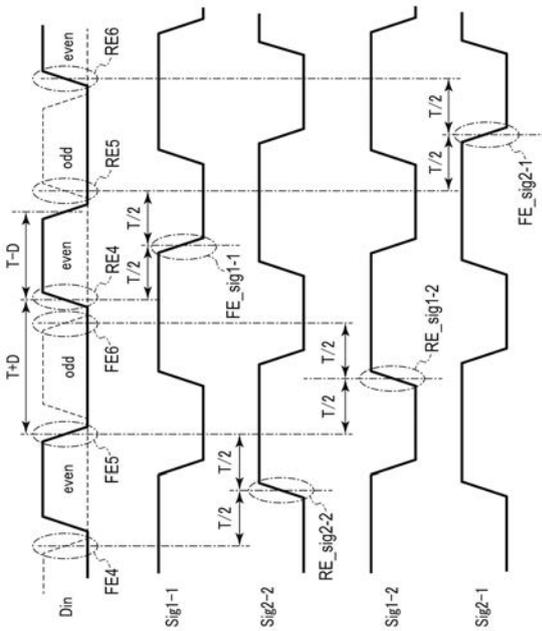
【図 9】



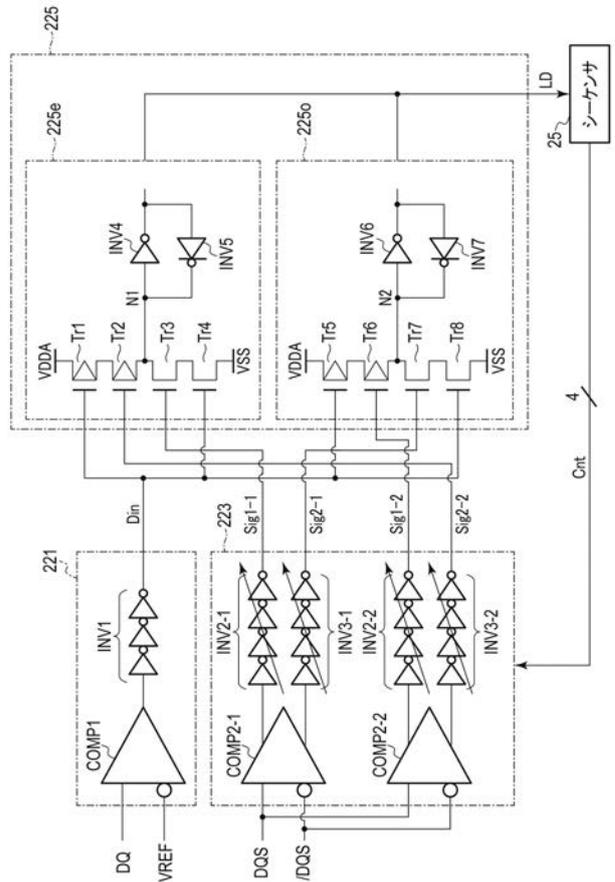
【図 10】



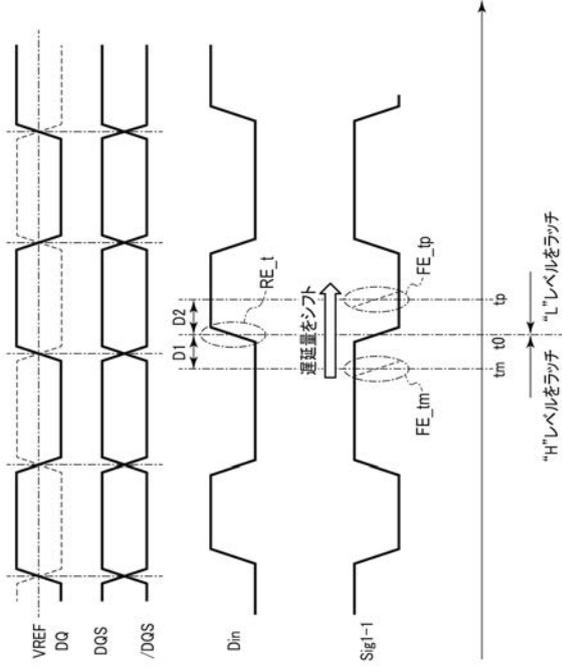
【図 11】



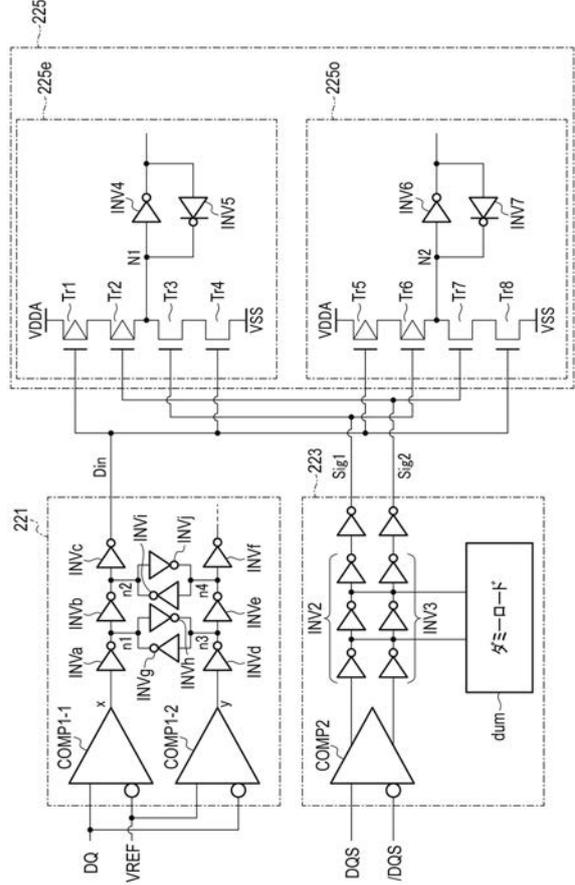
【図 12】



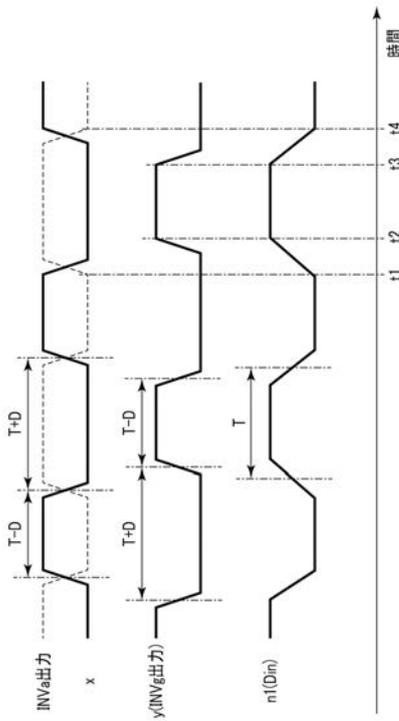
【図 13】



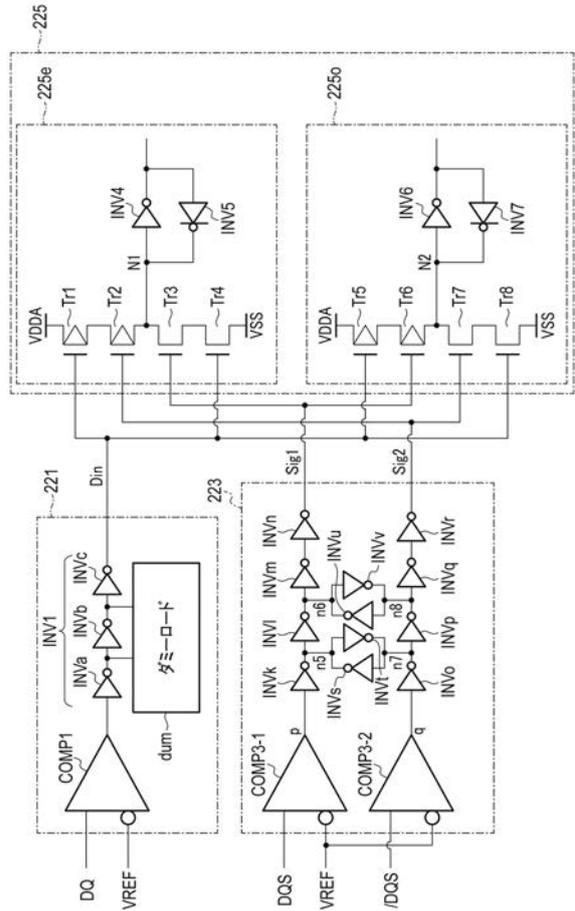
【図 14】



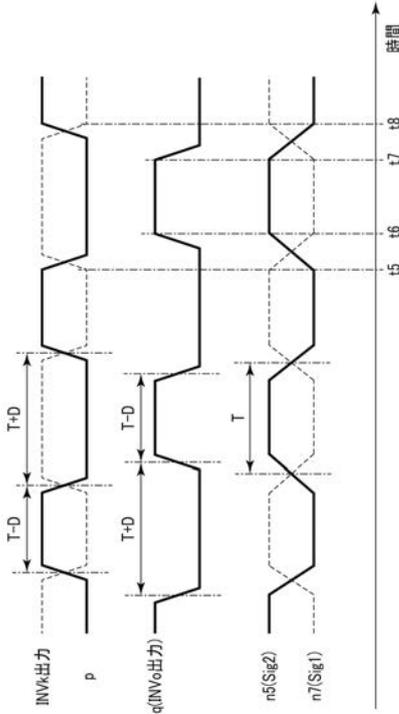
【図 15】



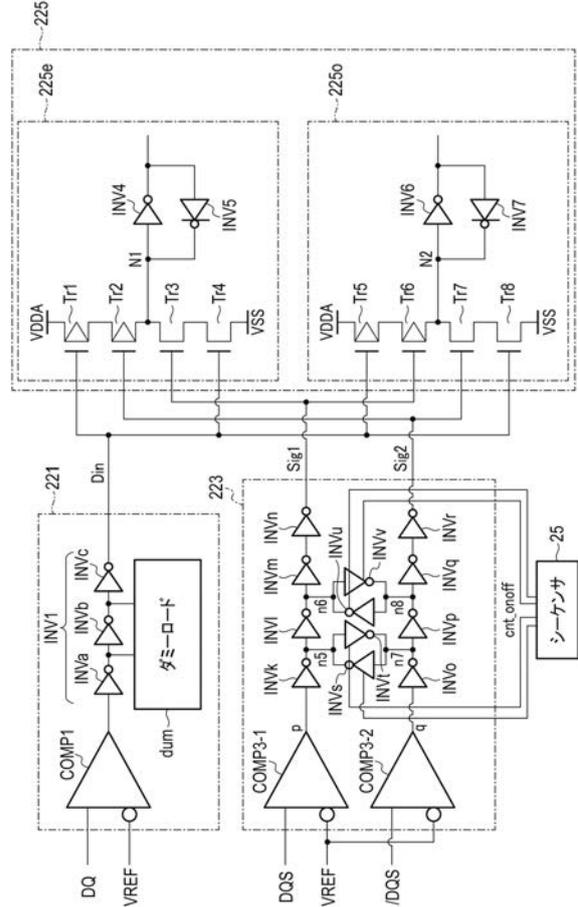
【図 16】



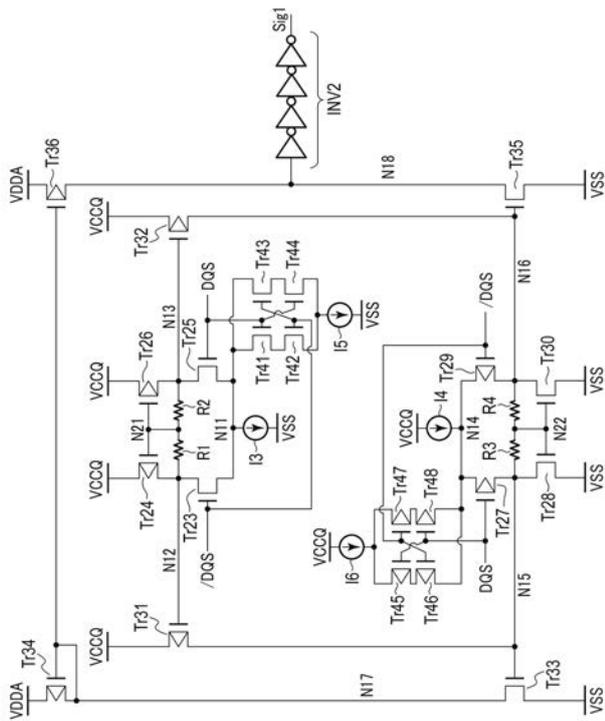
【図 17】



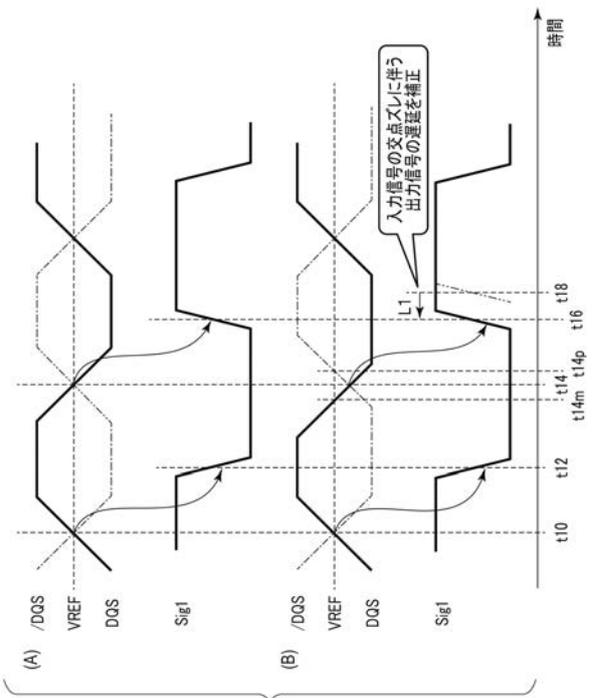
【図 18】



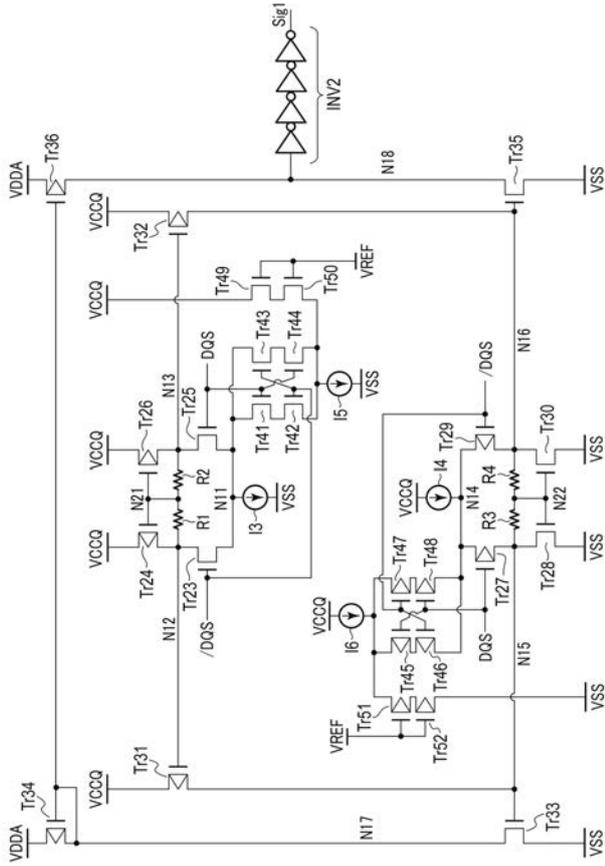
【図 19】



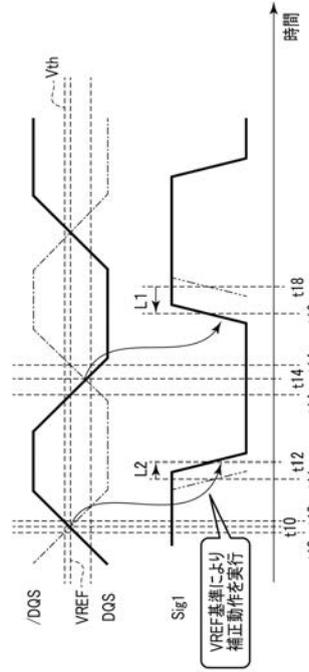
【図 20】



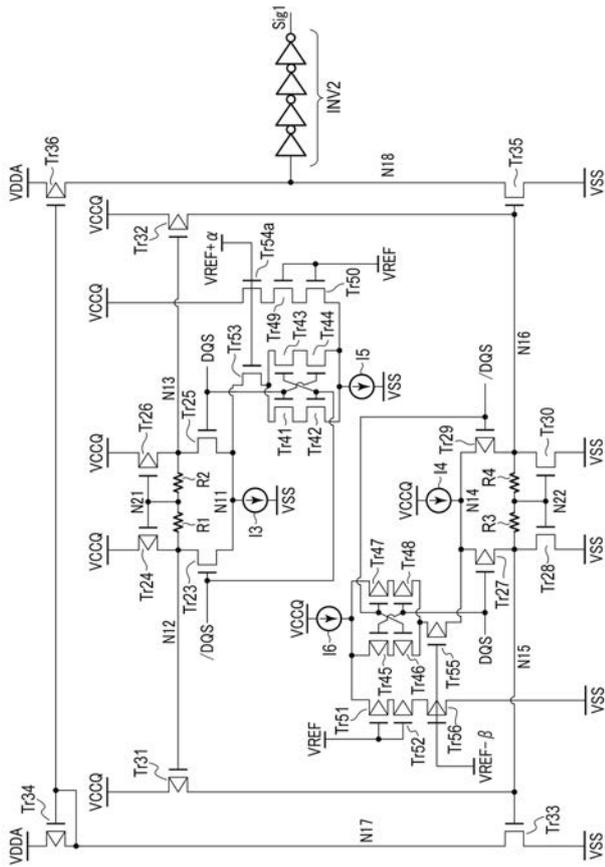
【 図 2 1 】



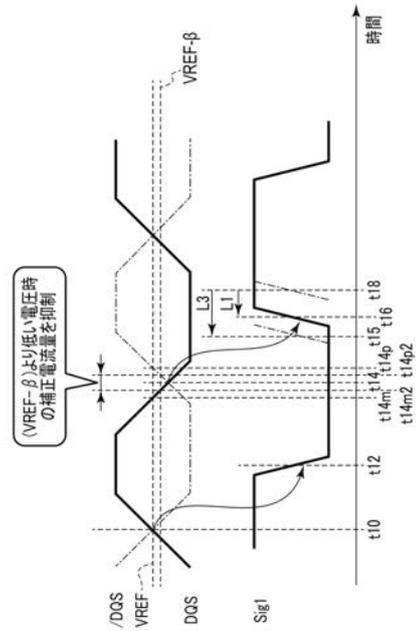
【 図 2 2 】



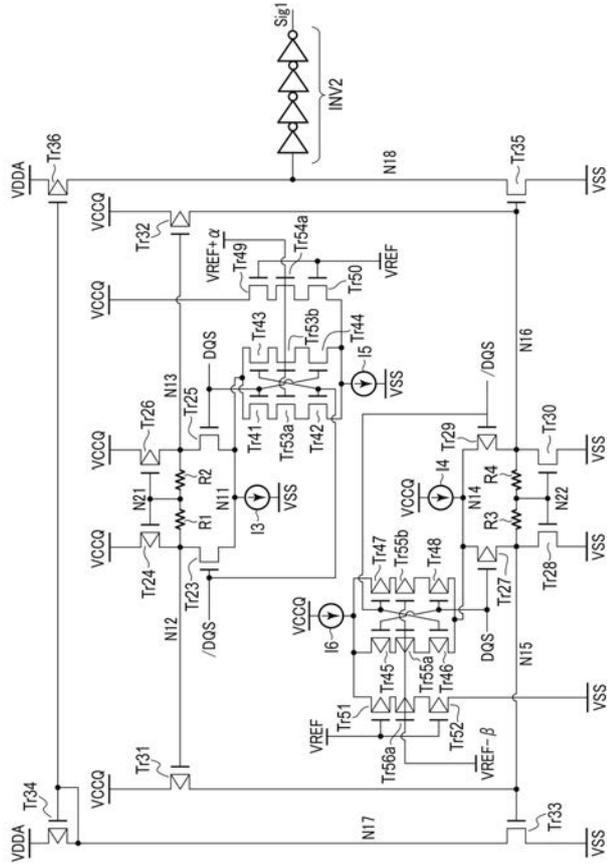
【 図 2 3 】



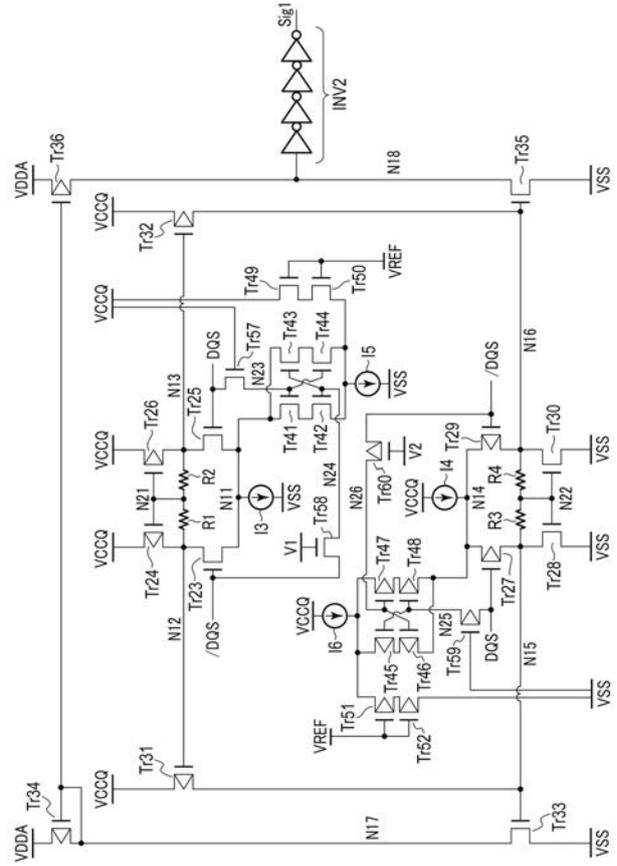
【 図 2 4 】



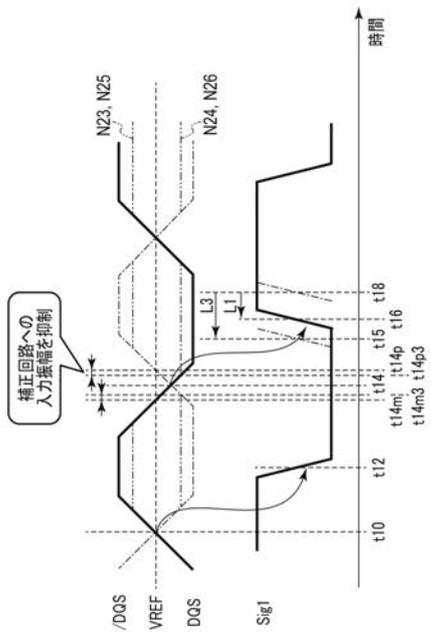
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



---

フロントページの続き

- (72)発明者 平嶋 康伯  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 小柳 勝  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 伊東 幹彦  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 白石 圭  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 渡邊 郁弥  
神奈川県横浜市栄区笠間2-5-1 STEビル内 東芝メモリシステムズ株式会社内
- Fターム(参考) 5B225 BA01 CA21 EA05 EF11 EF25 EJ04  
5J056 AA01 CC02 GG09