



**ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

**(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ**

(21)(22) Заявка: 2013120247/08, 30.04.2013

(24) Дата начала отсчета срока действия патента:  
30.04.2013

Приоритет(ы):

(22) Дата подачи заявки: 30.04.2013

(45) Опубликовано: 27.07.2014 Бюл. № 21

(56) Список документов, цитированных в отчете о  
поиске: US7394420 B2, 01.07.2008.  
US20050030216 A1, 10.02.2005. US20100231430  
A1, 16.09.2010. RU2352061 C1, 10.04.2009

Адрес для переписки:

346500, Ростовская обл., г. Шахты, ул. Шевченко,  
147, ЮРГУЭС, Патентная служба

(72) Автор(ы):

Прокопенко Николай Николаевич (RU),  
Серебряков Александр Игоревич (RU),  
Будяков Петр Сергеевич (RU),  
Бутырлагин Николай Владимирович (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное  
образовательное учреждение высшего  
профессионального образования "Южно-  
Российский государственный университет  
экономики и сервиса" (ФГБОУ ВПО  
"ЮРГУЭС") (RU)

**(54) СВЕРХБЫСТРОДЕЙСТВУЮЩИЙ ПАРАЛЛЕЛЬНЫЙ АНАЛОГО-ЦИФРОВОЙ  
ПРЕОБРАЗОВАТЕЛЬ С ДИФФЕРЕНЦИАЛЬНЫМ ВХОДОМ**

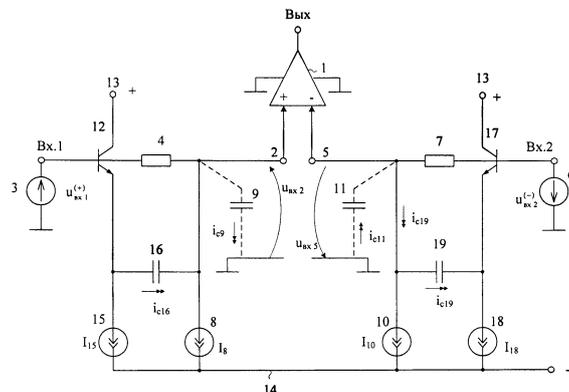
(57) Реферат:

Изобретение относится к области измерительной и вычислительной техники, радиотехники, связи. Техническим результатом является расширение в несколько раз предельного частотного диапазона обрабатываемых сигналов АЦП за счет снижения погрешности передачи входных дифференциальных напряжений ко входам компараторов напряжения. Сверхбыстродействующий параллельный аналого-цифровой преобразователь с дифференциальным входом содержит N идентичных по архитектуре секций. Каждая из секций включает компаратор напряжения (1), первый (2) вход которого соединен с первым (3) источником входного напряжения через первый (4) эталонный резистор, а второй (5) вход компаратора напряжения (1) подключен ко

второму (6) источнику входного противофазного напряжения через второй (7) эталонный резистор, причем первый (2) вход компаратора напряжения (1) связан с первым (8) источником опорного тока и первым (9) паразитным конденсатором, второй (5) вход компаратора напряжения (1) связан со вторым (10) источником опорного тока и вторым (11) паразитным конденсатором. Первый (3) источник входного напряжения подключен к базе первого (12) дополнительного транзистора, коллектор которого соединен с шиной первого (13) источника питания, а эмиттер подключен к шине второго (14) источника питания через первый (15) токостабилизирующий двухполюсник и через первый (16) корректирующий конденсатор связан с первым (2) входом компаратора напряжения 1. 1 з.п., ф-лы, 8 ил.

**RU 2 523 960 C1**

**RU 2 523 960 C1**



Фиг. 4



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: 2013120247/08, 30.04.2013

(24) Effective date for property rights:  
30.04.2013

Priority:

(22) Date of filing: 30.04.2013

(45) Date of publication: 27.07.2014 Bull. № 21

Mail address:

346500, Rostovskaja obl., g. Shakhty, ul. Shevchenko,  
147, JuRGUEhS, Patentnaja sluzhba

(72) Inventor(s):

**Prokopenko Nikolaj Nikolaevich (RU),  
Serebrjakov Aleksandr Igorevich (RU),  
Budjakov Petr Sergeevich (RU),  
Butyrlagin Nikolaj Vladimirovich (RU)**

(73) Proprietor(s):

**Federal'noe gosudarstvennoe bjudzhetnoe  
obrazovatel'noe uchrezhdenie vysshego  
professional'nogo obrazovanija "Juzhno-  
Rossijskij gosudarstvennyj universitet  
ehkonomiki i servisa" (FGBOU VPO  
"JuRGUEhS") (RU)**

(54) **ULTRA-HIGH-SPEED PARALLEL ANALOGUE-TO-DIGITAL CONVERTER WITH DIFFERENTIAL INPUT**

(57) Abstract:

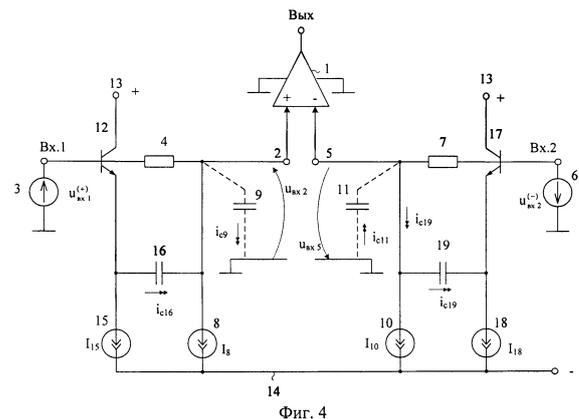
FIELD: radio engineering, communication.

SUBSTANCE: ultra-high-speed parallel analogue-to-digital converter with a differential input has N sections of identical architecture. Each of the sections includes a voltage comparator (1), the first (2) input of which is connected to a first (3) input voltage source through a first (4) reference resistor, and the second (5) input of the voltage comparator (1) is connected to a second (6) input anti-phase voltage source through a second (7) reference resistor. The first (2) input of the voltage comparator (1) is connected to a first (8) reference current source and a first (9) parasitic capacitor, the second (5) input of the voltage comparator (1) is connected to a second (10) reference current source and a second (11) parasitic capacitor. The first (3) input voltage source is connected to the base of a first (12) additional transistor, the collector of which is connected to the bus of a first (13) power supply, and the emitter is connected to the bus of a second (14) power supply through a first (15) current-stabilising two-terminal

device and through a first (16) balancing capacitor to the first (2) input of the voltage comparator (1).

EFFECT: multifold expansion of the frequency range of processed signals of an analogue-to-digital converter by reducing the transmission error of input differential voltages to voltage comparator inputs.

2 cl, 8 dwg



Фиг. 4

RU 2 523 960 C1

RU 2 523 960 C1

Предлагаемое изобретение относится к области измерительной и вычислительной техники, радиотехники, связи и может использоваться в структуре различных устройств обработки аналоговой информации, измерительных приборах, системах телекоммуникаций и т.п.

5 В современной технике широкое применение находят параллельные аналого-цифровые преобразователи (АЦП), обеспечивающие наибольшую скорость преобразования аналоговых сигналов ( $u_{вх}$ ) в цифровые сигналы [1-27]. С повышением частоты входного напряжения  $u_{вх}$  в таких микроселектронных АЦП возникают  
10 существенные погрешности преобразования, обусловленные влиянием паразитных конденсаторов, образуемых емкостями на подложку активных и пассивных компонентов [28-29]. Дальнейшее повышение быстродействия параллельных АЦП - одна из проблем современной информационно-измерительной техники, решение которой позволит осуществить практическую реализацию новых систем связи и телекоммуникаций с более высокими качественными показателями.

15 Наиболее близким по технической сущности к заявляемому устройству является параллельный АЦП, описанный в патенте US 7.394.420, fig.3, fig.4. Анализ его предельного частотного диапазона ( $f_{в,маx}$ ), а также попыткам увеличения  $f_{в,маx}$  за счет оптимизации абсолютных значений  $R$  эталонных резисторов, посвящены статьи [28-29], в том числе соавтора настоящей заявки [29].

20 АЦП-прототип, фиг.1 содержит  $N$  идентичных по архитектуре секций (фиг.2, фиг.3). Каждая из секций включает компаратор напряжения 1, первый 2 вход которого соединен с первым 3 источником входного напряжения через первый 4 эталонный резистор, а второй 5 вход компаратора напряжения 1 подключен ко второму 6 источнику входного  
25 противофазного напряжения через второй 7 эталонный резистор, причем первый 2 вход компаратора напряжения 1 связан с первым 8 источником опорного тока и первым 9 паразитным конденсатором, второй 5 вход компаратора напряжения 1 связан со вторым 10 источником опорного тока и вторым 11 паразитным конденсатором.

30 Существенный недостаток АЦП-прототипа (фиг.1), одна из аналоговых секций которого показана также на чертежах фиг.2 и фиг.3, состоит в том, что его предельный частотный диапазон преобразования входных аналоговых сигналов в цифру (даже при реализации на сверхвысококачественных транзисторах с  $f_{маx}=200$  ГГц техпроцесса SGB25H1, IHP, Германия [28, 29]) ограничен из-за уменьшения на высоких частотах коэффициента передачи от источников входных напряжений 3 и 6 до входов компараторов напряжения  
35 1.

Основная задача предлагаемого изобретения состоит в расширении в несколько раз предельного частотного диапазона обрабатываемых сигналов АЦП за счет снижения погрешности передачи входных дифференциальных напряжений (источники 3, 6) ко входам компараторов напряжения 1.

40 Поставленная задача достигается тем, что в параллельном аналого-цифровом преобразователе с дифференциальным входом (фиг.1, фиг.2, фиг.3), каждая из  $N$ -секций которого (фиг.3) содержит компаратор напряжения 1, первый 2 вход которого соединен с первым 3 источником входного напряжения через первый 4 эталонный резистор, а второй 5 вход компаратора напряжения 1 подключен ко второму 6 источнику входного  
45 противофазного напряжения через второй 7 эталонный резистор, причем первый 2 вход компаратора напряжения 1 связан с первым 8 источником опорного тока и первым 9 паразитным конденсатором, второй 5 вход компаратора напряжения 1 связан со вторым 10 источником опорного тока и вторым 11 паразитным конденсатором,

предусмотрены новые элементы и связи - первый 3 источник входного напряжения подключен к базе первого 12 дополнительного транзистора, коллектор которого соединен с шиной первого 13 источника питания, а эмиттер подключен к шине второго 14 источника питания через первый 15 токостабилизирующий двухполюсник и через  
5 первый 16 корректирующий конденсатор связан с первым 2 входом компаратора напряжения 1.

На чертеже фиг.1 приведена схема АЦП-прототипа, который содержит N-параллельно включенных секций с одинаковой архитектурой, но разными абсолютными значениями сопротивлений эталонных резисторов 4 (7) и токов  $I_8$  ( $I_{10}$ ) источников опорных токов  
10 8 (10).

На чертеже фиг.2 представлена схема фиг.1, в которой в каждой из N идентичных по архитектуре секций показаны выходные транзисторы источников опорного тока 8 и 10, имеющие емкость на подложку ( $C_{п}$ ) и емкость коллектор-база ( $C_{к}$ ). Таким образом, паразитные емкости 9 и 11 в схемах фиг.2 и фиг.3 определяются выходной емкостью  
15 транзисторов источников опорного тока 8 и 10 и входными емкостями компаратора напряжения 1.

На чертеже фиг.3 приведена эквивалентная схема одной из аналоговых секции АЦП-прототипа фиг.2.

На чертеже фиг.4 показана схема аналоговой секции предлагаемого АЦП,  
20 соответствующая пп.1, 2 формулы изобретения.

На чертеже фиг.5 представлена схема заявляемого АЦП в среде Cadence на моделях интегральных транзисторов (транзисторы SiGe: npn 200-п; техпроцесса SG25H1, IHP,  $I_{к.маx}=4$  мА, A high-performance 0.25  $\mu$ m technology with npn-HBTs up to  $f_T/f_{маx}=180/220$   
25 GHz). При этом в схеме фиг.5 учитываются:

- емкость на подложку эталонных резисторов 4 и 7, а также паразитные емкости транзисторов 12, 17;

- паразитные входные емкости компараторов напряжения 1 (реальных дифференциальных каскадов с учетом паразитных емкостей их транзисторов).

30 Паразитные емкости токостабилизирующих двухполюсников 15, 8, 10, 18 в данном эксперименте со схемой фиг.5 не учитываются.

На чертеже фиг.6 показана логарифмическая амплитудно-частотная характеристика коэффициента передачи по напряжению от источников напряжения 3 и 6 АЦП фиг.5 к дифференциальному входу компаратора №2 (каналы: 32, 48) при разных значениях емкости первого 16 (С 16) и второго 19 (С 19) корректирующих конденсаторов ( $C_{16}=C_{19}=C_{к}=0\div 100$  фФ). Из данных графиков следует, что предельная частота (по уровню  
35 -1 дБ) предлагаемой аналоговой секции АЦП повышается с 13,8 ГГц до 84,8 ГГц.

На чертеже фиг.7 приведена схема заявляемого АЦП в среде Cadence на моделях интегральных транзисторов (Транзисторы SiGe: npn 200-n; техпроцесса SG25H1, IHP,  $I_{к.маx}=4$  мА (A high-performance 0.25  $\mu$ m technology with npn-HBTs up to  $f_T/f_{маx}=180/220$   
40 GHz.). При этом в данном эксперименте со схемой фиг.7 учитываются:

- емкости на подложку эталонных резисторов 4 и 7, а также паразитные емкости транзисторов 12, 17;

- паразитные входные емкости компараторов 1 (реальных дифференциальных каскадов с учетом паразитных емкостей их транзисторов).

Кроме этого токостабилизирующие двухполюсники 15, 18 в схеме фиг.7 реализованы на основе резисторов, обеспечивающих ток 1 мА, с учетом паразитных емкостей на подложку. Реальные паразитные емкости токостабилизирующих двухполюсников 8 и

10 в схеме фиг.7 моделировались подключением параллельно этим идеальным двухполосником специальных закрытых n-p-n транзисторов с учетом их паразитных емкостей коллектор-база и емкостей на подложку.

5 На чертеже фиг.8 приведена логарифмическая амплитудно-частотная характеристика коэффициента передачи по напряжению со входов АЦП 3 и 6 (фиг.4, фиг.7) к дифференциальному входу компаратора №2 (каналы: 32, 48) при разных значениях емкости первого 16 (С 16) и второго 19 (С 19) корректирующих конденсаторов  $C_{16}=C_{19}=C_k=0\div 300$  фФ. Из данных графиков следует, что предельная частота аналоговой

10 Сверхбыстродействующий параллельный аналого-цифровой преобразователь с дифференциальным входом содержит N идентичных по архитектуре секций (фиг.4). Каждая из секций включает компаратор напряжения 1, первый 2 вход которого соединен с первым 3 источником входного напряжения через первый 4 эталонный резистор, а второй 5 вход компаратора напряжения 1 подключен ко второму 6 источнику входного

15 противофазного напряжения через второй 7 эталонный резистор, причем первый 2 вход компаратора напряжения 1 связан с первым 8 источником опорного тока и первым 9 паразитным конденсатором, второй 5 вход компаратора напряжения 1 связан со вторым 10 источником опорного тока и вторым 11 паразитным конденсатором. Первый 3 источник входного напряжения подключен к базе первого 12 дополнительного

20 транзистора, коллектор которого соединен с шиной первого 13 источника питания, а эмиттер подключен к шине второго 14 источника питания через первый 15 токостабилизирующий двухполосник и через первый 16 корректирующий конденсатор связан с первым 2 входом компаратора напряжения 1.

На чертеже фиг.4, в соответствии с п.2 формулы изобретения, второй 6 источник

25 входного противофазного напряжения подключен к базе второго 17 дополнительного транзистора, коллектор которого соединен с шиной первого 13 источника питания, а эмиттер подключен к шине второго 14 источника питания через второй 18 токостабилизирующий двухполосник и через второй 19 корректирующий конденсатор связан со вторым 5 входом компаратора напряжения 1.

30 Рассмотрим работу одной из аналоговых секций заявляемого АЦП (фиг.4), включающей эталонные резисторы 4, 7 и источники опорного тока 8, 10.

В АЦП-прототипе фиг.1-фиг.3 быстродействие аналоговой части (ее предельный частотный диапазон  $f_{в,маx}$ ) определяется емкостями паразитных конденсаторов 9 и 11. Практически предельная верхняя граничная частота (по уровню -1 дБ) аналоговой

35 секции АЦП-прототипа не превышает 13-14 ГГц (фиг.6,  $C_{16}=C_{19}=C_k=0$ ), в то время как быстродействие компаратора 1, реализованного на СВЧ SiGe транзисторах [28, 29] с  $f_T=200$  ГГц, позволяет работать в более широком частотном диапазоне (20÷50 ГГц).

В заявляемом устройстве за счет введения корректирующих конденсаторов 16 и 19

40 диапазон рабочих частот аналоговой секции АЦП расширяется в 5-6 раз (фиг.7, фиг.8). Это позволяет обеспечить аналого-цифровое преобразование более высокочастотных сигналов.

Введение последовательно с корректирующими конденсаторами 16 и 19 корректирующих резисторов (фиг.5, фиг.7) позволяет оптимизировать неравномерность

45 амплитудно-частотной характеристики аналоговой секции заявляемого АЦП, что создает условия для дальнейшего расширения предельного частотного диапазона.

Таким образом, заявляемое устройство характеризуется существенными преимуществами в сравнении с прототипом по предельному частотному диапазону

обрабатываемых сигналов.

### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Патент US 6.437.724 fig.4
2. Патент US 6.882.294
- 5 3. Патент US 4.229.729 fig.1
4. Патент US 4.058.806 fig.2a
5. Патент US 4.831.379 fig.8
6. Патент US 5.598.161 fig.9
7. Патентная заявка US 2010/0231430 fig.11
- 10 8. Патент US 4.912.469 fig.5, fig.6
9. Патент US 6.437.724 fig.4
10. Патент US 5.175.550 fig.2
11. Патент US 6.847.320 fig.2
12. Патент US 6.882.294 fig.3
- 15 13. Патент DE 2009/002062 fig.3
14. Патент US 5.307.067 fig.1
15. Патент US 4.745.393 fig.1
16. Патент US 5.204.679 fig.1
17. Патент US 4.719.447 fig.1
- 20 18. Патент US 4.774.498 fig.13
19. Патент US 4.768.016 fig.1
20. Патент US 7.196.649 fig.1
21. Патент US 4.752.766 fig.5
22. Патент DE 2009/002062 fig.1
- 25 23. Патент US 5.231.399 fig.2
24. Патент US 4.578.715 fig.4
25. Патент US 4.831.379 fig.4
26. Патентная заявка US 2008/036536
27. Патент US 4.763.106 fig.1
- 30 28. Y. Borokhovych. 4-bit, 16 GS/s ADC with new Parallel Reference Network / Y. Borokhovych, H. Gustat, C. Scheytt // COMCAS 2009 - 2009 IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems
29. Серебряков А.И. Метод повышения быстродействия параллельных АЦП / А.И. Серебряков, Е.Б. Борохович // Твердотельная электроника. Сложные функциональные
- 35 блоки РЭА: Материалы научно-технической конференции. - М.: МНТОРЭС им. А.С. Попова, 2012. - С.150-155.

### Формула изобретения

1. Сверхбыстродействующий параллельный аналого-цифровой преобразователь с
- 40 дифференциальным входом, каждая из N секций которого содержит компаратор
- напряжения (1), первый (2) вход которого соединен с первым (3) источником входного
- напряжения через первый (4) эталонный резистор, а второй (5) вход компаратора
- напряжения (1) подключен ко второму (6) источнику входного противофазного
- напряжения через второй (7) эталонный резистор, причем первый (2) вход компаратора
- 45 напряжения (1) связан с первым (8) источником опорного тока и первым (9) паразитным
- конденсатором, второй (5) вход компаратора напряжения (1) связан со вторым (10)
- источником опорного тока и вторым (11) паразитным конденсатором, отличающийся
- тем, что первый (3) источник входного напряжения подключен к базе первого (12)

дополнительного транзистора, коллектор которого соединен с шиной первого (13) источника питания, а эмиттер подключен к шине второго (14) источника питания через первый (15) токостабилизирующий двухполюсник и через первый (16) корректирующий конденсатор связан с первым (2) входом компаратора напряжения 1.

- 5 2. Сверхбыстродействующий параллельный аналого-цифровой преобразователь с дифференциальным входом по п.1, отличающийся тем, что второй (6) источник входного противофазного напряжения подключен к базе второго (17) дополнительного транзистора, коллектор которого соединен с шиной первого (13) источника питания, а эмиттер подключен к шине второго (14) источника питания через второй (18)
- 10 токостабилизирующий двухполюсник и через второй (19) корректирующий конденсатор связан со вторым (5) входом компаратора напряжения (1).

15

20

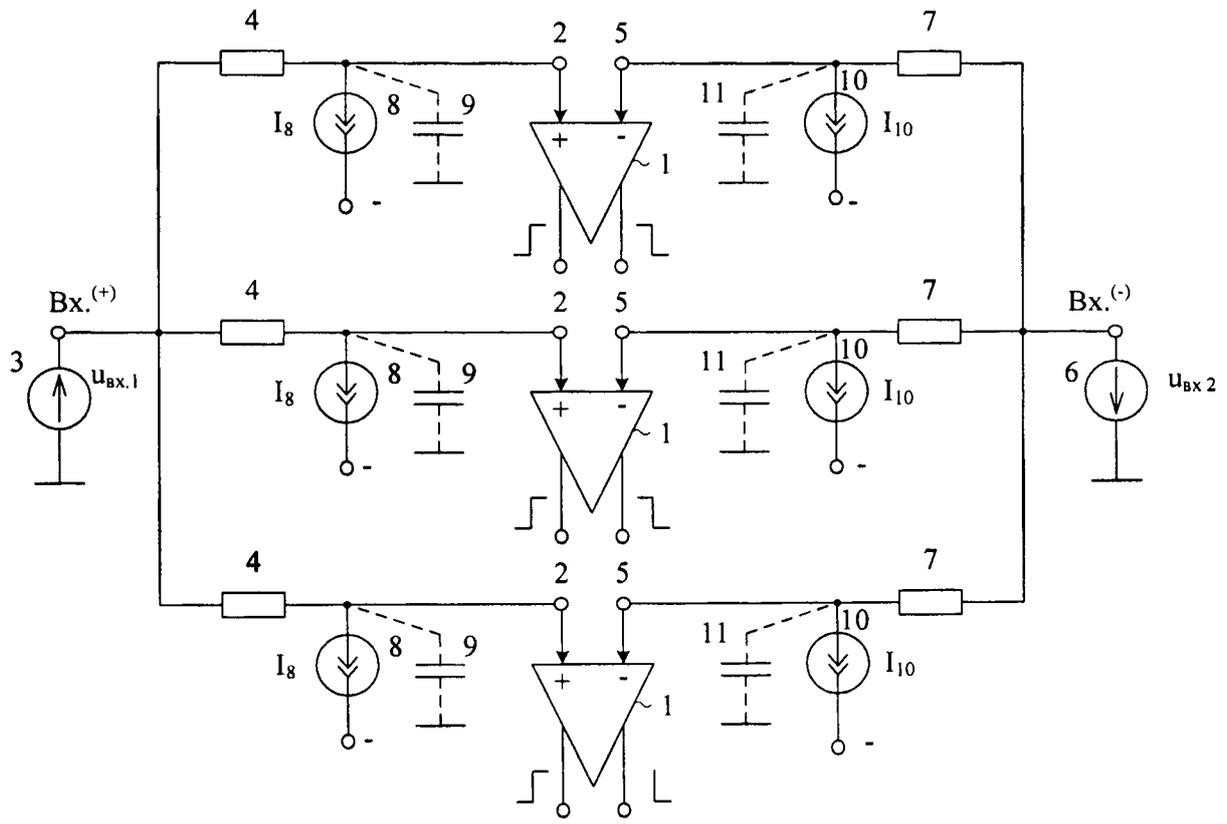
25

30

35

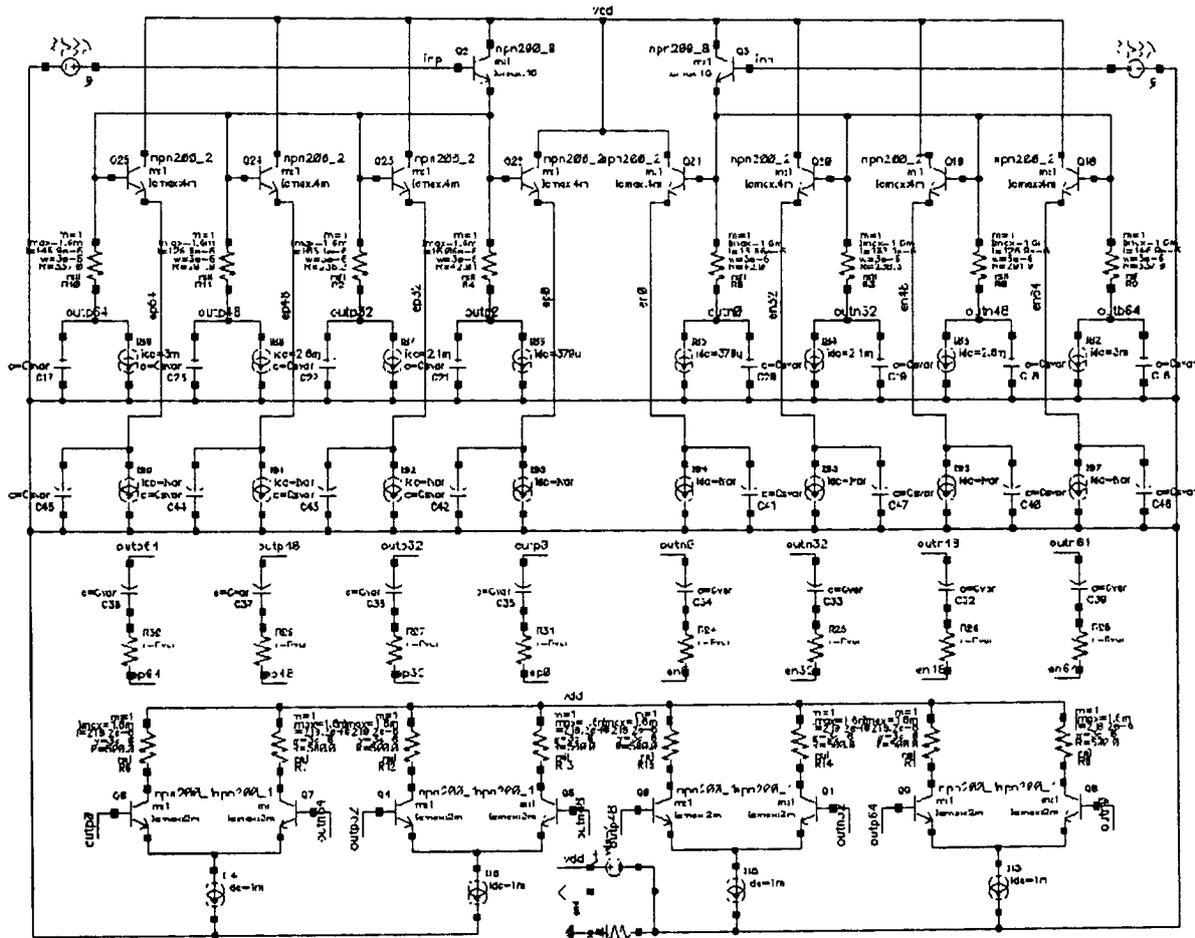
40

45

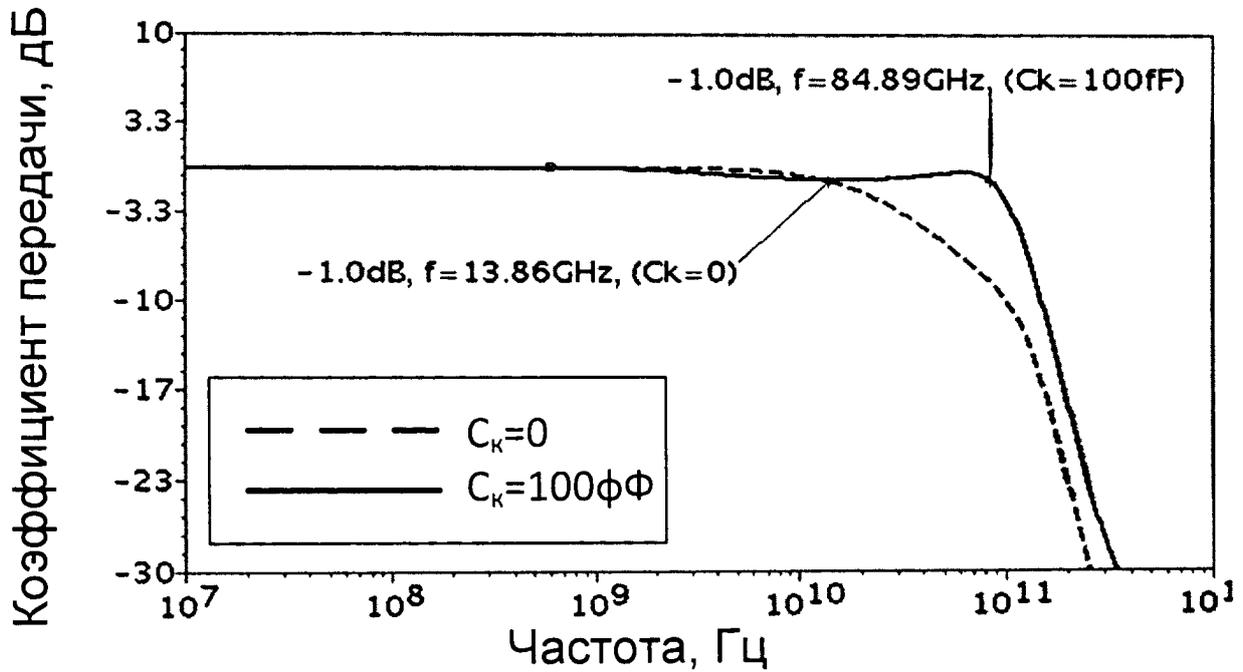


Фиг. 1

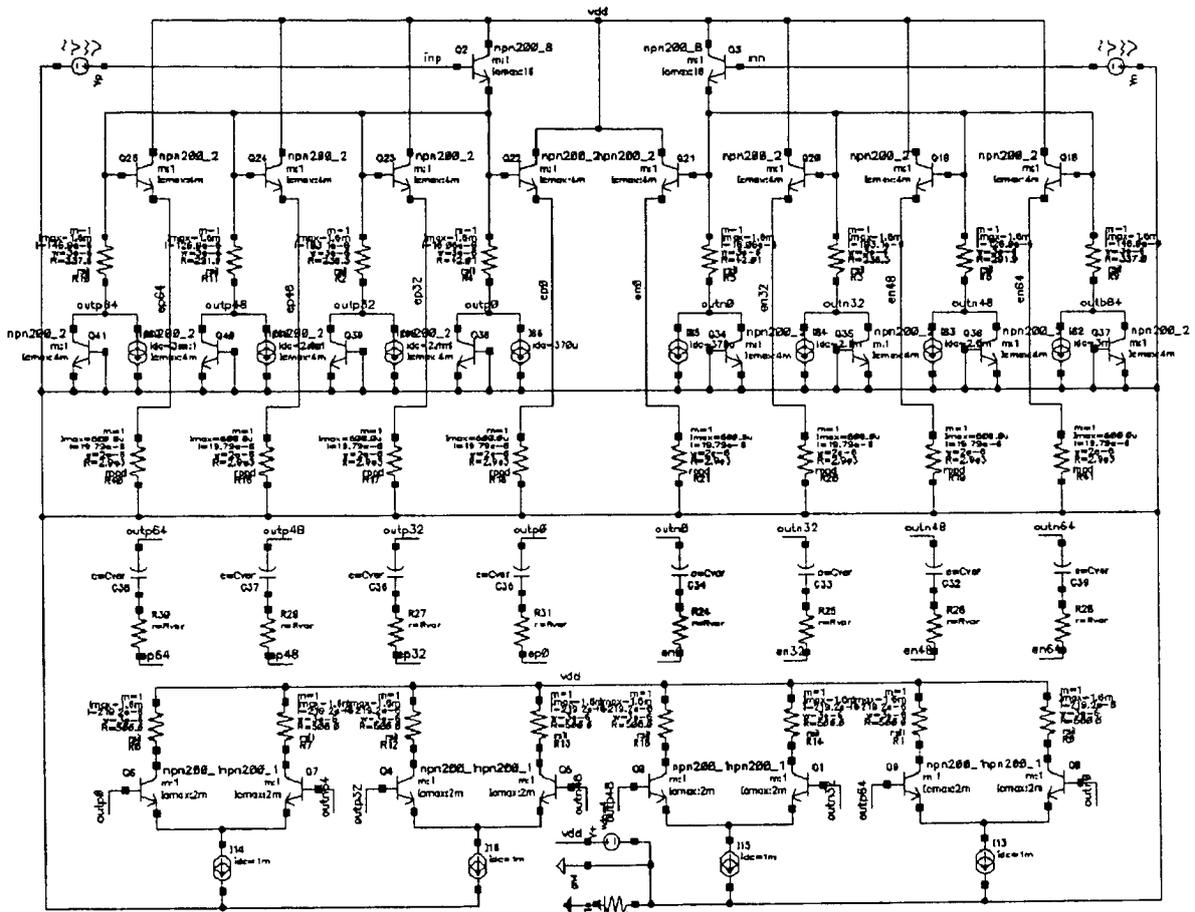




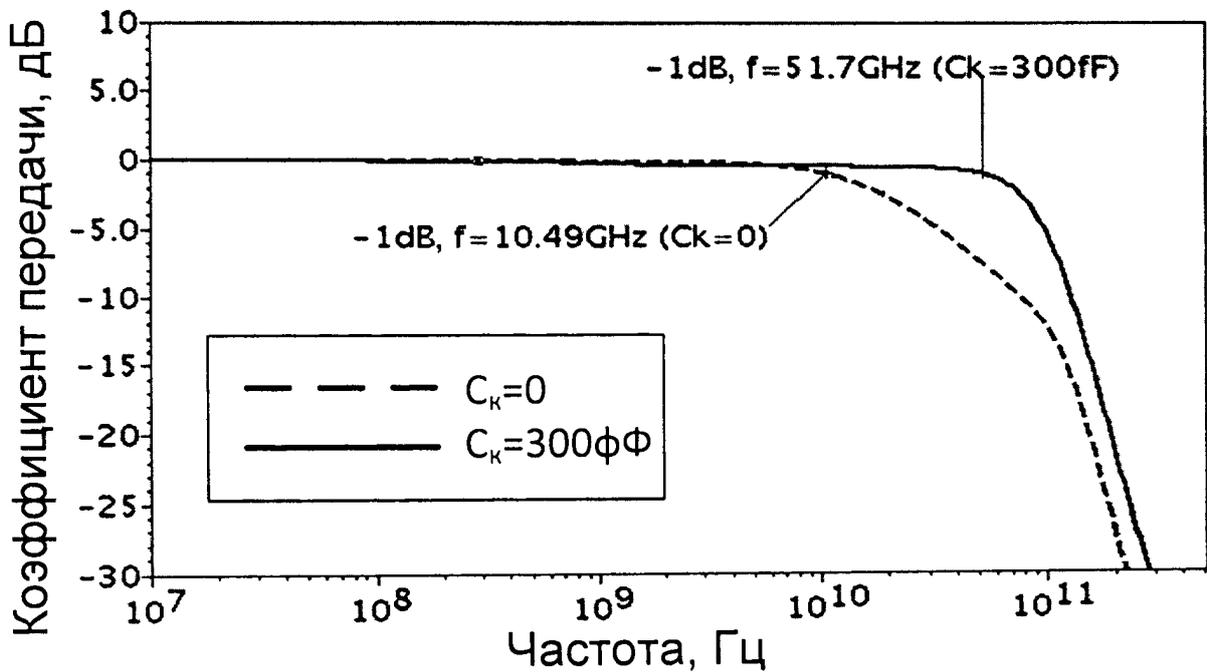
Фиг. 5



Фиг. 6



Фиг. 7



Фиг. 8