

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4967207号
(P4967207)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int.Cl. F I
 HO 1 L 23/532 (2006.01) HO 1 L 21/90 K
 HO 1 L 21/768 (2006.01)

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2001-254459 (P2001-254459)	(73) 特許権者	000002185
(22) 出願日	平成13年8月24日 (2001.8.24)		ソニー株式会社
(65) 公開番号	特開2003-68846 (P2003-68846A)		東京都港区港南1丁目7番1号
(43) 公開日	平成15年3月7日 (2003.3.7)	(74) 代理人	100094053
審査請求日	平成20年7月22日 (2008.7.22)		弁理士 佐藤 隆久
		(72) 発明者	榎本 容幸
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	須賀 亮介
		(56) 参考文献	特開2001-085517 (JP, A)
			米国特許第06214719 (US, B1)

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の導電層上に第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜に、前記第1の導電層に達する孔を形成する工程と、
 前記第1の絶縁膜上の一部と前記孔上に、配線パターンで犠牲膜を形成する工程と、
 前記犠牲膜を被覆して化学気相成長によりフッ素を含有するシリコン酸化膜を形成し、
 隣接する前記犠牲膜間の間隔が相対的に狭い部分で、前記間隔が相対的に広い部分に比較して、
 フッ素を高濃度で含有させて、前記間隔が相対的に狭い部分で、前記間隔が相対的に広い部分に比較して、
 低誘電率である第2の絶縁膜を形成する工程と、
 前記犠牲膜上の前記第2絶縁膜を除去する工程と、
 前記犠牲膜を除去し、前記第2の絶縁膜に配線溝を形成する工程と、
 前記配線溝内に配線を形成する工程とを有する
 半導体装置の製造方法。

10

【請求項2】

前記第2の絶縁膜を形成する工程において、前記間隔が相対的に狭い部分の前記第2の絶縁膜に、前記犠牲膜に接しない第1の空隙を形成する
 請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第2の絶縁膜を形成する工程において、前記間隔が相対的に広い部分の前記第2の絶縁膜に、前記第1の空隙より小さく、かつ前記犠牲膜に接しない第2の空隙を形成する

20

請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 2 の絶縁膜を形成する工程において、前記間隔が相対的に広い部分の前記第 2 の絶縁膜に、空隙を形成しない

請求項 2 に記載の半導体装置の製造方法。

【請求項 5】

前記犠牲膜を形成する前に、前記孔内に導電体からなるプラグを形成する工程をさらに有し、

前記配線を、前記プラグに電氣的に接続するように形成する

請求項 1 ~ 4 のいずれかに記載の半導体装置の製造方法。

10

【請求項 6】

前記配線を形成する工程は、前記配線溝内を埋め込むように、前記第 2 の絶縁膜上に配線材料層を形成する工程と、

前記第 2 の絶縁膜が露出するまで、前記配線材料層の表面に化学的機械研磨を行う工程とを含む

請求項 1 ~ 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】

前記配線材料層を形成する工程において、前記配線溝を介して前記孔内にも配線材料を埋め込む

請求項 6 に記載の半導体装置の製造方法。

20

【請求項 8】

前記配線材料層を形成する工程は、電解めっき工程を含む

請求項 6 に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 の絶縁膜を形成後、前記犠牲膜を形成する前に、前記第 1 の絶縁膜と前記犠牲膜との層間に、前記犠牲膜に対してエッチング速度を十分に遅くすることが可能であるエッチングストッパー層を形成する工程をさらに有する

請求項 1 ~ 8 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

30

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、配線容量が小さく、配線遅延の遅延時間が短い、より高速化された半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

半導体装置の微細化・高集積化に伴い、配線が微細化され、配線ピッチが縮小されている。これにより、配線抵抗および配線容量が増大するため、配線遅延の問題が顕在化している。配線遅延の解決策として、Cu等に代表される低抵抗配線材料や、SiOFやHSQ等に代表される低誘電率材料の開発が進められている。

【0003】

40

ここで、SiOFは高密度プラズマ化学気相成長(HDP-CVD; high density plasma chemical vapor deposition)により成膜されるフッ素ドーパ酸化膜(以下、FSGとする。)を指す。また、HSQは水素化シロキサン(hydrogen silsesquioxane)を指す。

FSG膜の場合、従来のシリコン酸化膜にFを添加するのみで、層間絶縁膜を低誘電率化できる。したがって、従来のプロセスに大幅な変更を加えずに、半導体装置に導入できるという利点がある。

【0004】

一方、Cu配線技術は既に実用化されており、従来、配線材料として広く用いられてきたAlに比較してCuの方がエレクトロマイグレーション耐性が高いという報告もある。

50

但し、Cuの微細配線を形成する場合は、Al配線を形成する場合のように、ドライエッチングによる加工を行うことが難しい。Al配線は、下地となる絶縁膜上にAl層を形成してから、下地の絶縁膜に対してAl層のエッチング選択比が高くなるようなエッチングガスを用いて、Al層にドライエッチングを行うことにより形成される。

【0005】

それに対しCuの場合は、下地の絶縁膜に対してCuが高いエッチング選択比でエッチングされるようなエッチングガスが存在しない。したがって、Cu配線は、一般にダマシン(Damascene)法により形成される。

FSG膜を層間絶縁膜として、ダマシン法によりCuの埋め込み配線を形成する方法は、例えば特開平11-186261号公報に開示されている。

10

【0006】

以下、図18および図19を参照して、この方法を説明する。

まず、図18(a)に示すように、所定の素子等(不図示)が形成されたSi基板201上に、下地酸化膜202、エッチングストッパー層となるSiN層203、および配線層分離酸化膜204を順に堆積する。配線層分離酸化膜204としては、FSG膜が用いられる。

【0007】

次に、図18(b)に示すように、リソグラフィ技術により配線層分離酸化膜204上にレジスト(不図示)を形成し、レジストをマスクとして配線層分離酸化膜204にドライエッチングを行う。このとき、SiN層203がエッチングストッパー層となる。その後、露出したSiN層203を、例えばホットリン酸を用いて除去する。これにより、配線溝205が形成される。その後、レジストを除去する。

20

【0008】

次に、図19(c)に示すように、配線溝205内および配線層分離酸化膜204上に、バリアメタル層となるTaN層206を、例えばスパッタリングにより形成する。TaN層206上にCuシード層207を、例えばスパッタリングにより形成する。Cuシード層207は、バリアメタル層とCu配線との密着性を高める目的で設けられる。

さらに、電解めっき法により配線溝205内を埋め込むように、配線層分離酸化膜204上にTaN層206とCuシード層207を介してCuめっき層208を形成する。

【0009】

次に、図19(d)に示すように、化学的機械研磨(CMP; chemical mechanical polishing)を行い、配線溝205内のみCuめっき層208、Cuシード層207およびTaN層206を残す。これにより、Cuの埋め込み配線209が形成される。その後、アニールを施してCuの埋め込み配線中の不純物を除去したり、Cuのグレインサイズを大きくして、さらに低抵抗化したりする。

30

【0010】

【発明が解決しようとする課題】

配線容量のほとんどは水平方向の配線間容量によって決定される。したがって、半導体装置の配線遅延を抑制するためには、配線間隔(配線スペース)が狭い部分での隣接配線間容量を低減する必要がある。

40

【0011】

上記の従来の半導体装置の製造方法において、隣接配線間容量を低減する方法としては、配線層分離酸化膜204であるFSG膜自体の誘電率を下げる方法がある。しかしながら、FSG膜の誘電率を下げる目的で、FSG膜中のF濃度を高くすると、膜中の不安定なFが増加して、FSG膜の吸湿性が高くなったり、FSG膜と金属層またはSiN層(エッチングストッパー層)との密着性が悪化したりする。

【0012】

前者の吸湿性の問題については、例えばSemiconductor World(1995)12, p.167-169に記載されている。

また、後者の密着性の悪化の問題については、例えば特開平8-321547号公報等に

50

記載されている。特に、FSG膜と金属層またはSiN層との密着性の悪化は、アニール工程後に顕著となる。したがって、FSG膜の密着性の悪化は、FSG膜中の不安定なFが熱処理により拡散し、金属層またはSiN層との界面に偏析するのが一因と推定されている。

【0013】

本発明は上記の問題点に鑑みてなされたものであり、したがって本発明は、絶縁膜の吸湿性の増加や密着性の悪化が防止されながら、配線間の絶縁膜が低誘電率化され、配線遅延が抑制された半導体装置およびその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】

上記の目的を達成するため、本発明の半導体装置は第1の導電層と、前記第1の導電層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜に配線パターンで形成された、前記第1の絶縁膜に達する配線溝と、前記配線溝に埋め込まれた配線と、前記第1の導電層と前記配線とを接続するように、前記第1の絶縁膜に形成された接続孔とを有する半導体装置であって、隣接する前記配線間の間隔が相対的に狭い部分の前記第2の絶縁膜は、前記間隔が相対的に広い部分の前記第2の絶縁膜に比較して低誘電率であることを特徴とする。

【0015】

好適には、前記第2の絶縁膜はフッ素を含有するシリコン酸化膜であり、前記間隔が相対的に狭い部分の前記第2の絶縁膜は、前記間隔が相対的に広い部分の前記第2の絶縁膜に比較して、フッ素を高濃度で含有する。

【0016】

あるいは、好適には、前記間隔が相対的に狭い部分の前記第2の絶縁膜は、前記配線に接しない第1の空隙を有する。さらに好適には、前記間隔が相対的に広い部分の前記第2の絶縁膜は、前記第1の空隙より小さく、かつ前記配線に接しない第2の空隙を有する。あるいは、前記間隔が相対的に広い部分の前記第2の絶縁膜は、空隙をもたない。

【0017】

本発明の半導体装置は、好適には、前記配線溝と前記配線との間に、前記第1の絶縁膜および前記第2の絶縁膜の少なくとも一方と前記配線との反応を防止するバリアメタル層をさらに有する。

好適には、前記第1の導電層は半導体基板の一部を含む。

【0018】

これにより、絶縁膜全体でフッ素濃度を高くしなくても、配線スペースの狭い部分の絶縁膜を選択的に低誘電率化できる。したがって、狭い配線スペースでの配線間容量を低減し、配線遅延を抑制することが可能となる。本発明の半導体装置によれば、絶縁膜全体でフッ素濃度を高くする必要がないことから、絶縁膜の吸湿性の増加や、密着性の悪化が防止される。

【0019】

さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、前記第1の導電層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜に、前記第1の導電層に達する孔を形成する工程と、前記第1の絶縁膜上の一部と前記孔上に、配線パターンで犠牲膜を形成する工程と、前記犠牲膜を被覆する第2の絶縁膜を形成する工程であって、隣接する前記犠牲膜間の間隔が相対的に狭い部分で、前記間隔が相対的に広い部分に比較して、低誘電率となるような前記第2の絶縁膜を形成する工程と、前記犠牲膜上の前記第2絶縁膜を除去する工程と、前記犠牲膜を除去し、前記第2の絶縁膜に配線溝を形成する工程と、前記配線溝内に配線を形成する工程とを有することを特徴とする。

【0020】

本発明の半導体装置の製造方法は、好適には、前記第2の絶縁膜を形成する工程は、化学気相成長によりフッ素を含有するシリコン酸化膜を形成する工程を含み、前記間隔が相対的に狭い部分で、前記間隔が相対的に広い部分に比較して、前記第2の絶縁膜にフッ素を

10

20

30

40

50

高濃度で含有させる。

【0021】

あるいは、好適には、前記第2の絶縁膜を形成する工程において、前記間隔が相対的に狭い部分の前記第2の絶縁膜に、前記犠牲膜に接しない第1の空隙を形成する。

さらに好適には、前記第2の絶縁膜を形成する工程において、前記間隔が相対的に広い部分の前記第2の絶縁膜に、前記第1の空隙より小さく、かつ前記犠牲膜に接しない第2の空隙を形成する。あるいは、前記第2の絶縁膜を形成する工程において、前記間隔が相対的に広い部分の前記第2の絶縁膜に、空隙を形成しない。

【0022】

本発明の半導体装置の製造方法は、好適には、前記犠牲膜を形成する前に、前記孔内に導電体からなるプラグを形成する工程をさらに有し、前記配線を、前記プラグに電氣的に接続するように形成する。

10

好適には、前記配線を形成する工程は、前記配線溝内を埋め込むように、前記第2の絶縁膜上に配線材料層を形成する工程と、前記第2の絶縁膜が露出するまで、前記配線材料層の表面に化学的機械研磨を行う工程とを含む。

好適には、前記配線材料層を形成する工程において、前記配線溝を介して前記孔内にも配線材料を埋め込む。

【0023】

好適には、前記配線材料層を形成する工程は、電解めっき工程を含む。

本発明の半導体装置の製造方法は、好適には、前記第1の絶縁膜を形成後、前記犠牲膜を形成する前に、前記第1の絶縁膜と前記犠牲膜との層間に、前記犠牲膜に対してエッチング速度を十分に遅くすることが可能であるエッチングストッパー層を形成する工程をさらに有する。

20

【0024】

これにより、狭い配線スペースでの配線間容量が低減された半導体装置を製造することが可能となる。本発明の半導体装置の製造方法によれば、配線スペースに応じて、配線間の絶縁膜を低誘電率化することができる。

【0025】

【発明の実施の形態】

以下に、本発明の半導体装置およびその製造方法の実施の形態について、図面を参照して説明する。

30

本発明の半導体装置の製造方法によれば、配線の加工後に、配線を被覆するようにFSG膜を形成した場合、配線スペースに応じて配線間の比誘電率が変化することを利用して、特に配線スペースが狭い部分での配線容量を低減させることができる。

【0026】

図1は、配線容量の配線スペース依存性を示す。従来のA1配線のプロセスにおいて、A1配線の上にHDPによりFSG膜を形成する場合、配線スペースが狭くなるほど、配線間の比誘電率が低下することが確認されている。

配線間のFSG膜の比誘電率を直接的に求めるのは困難であるため、配線間部の配線容量を測定し、実測値を配線スペースに対してプロットした。図1の実線は、実測値のプロットをフィッティングした曲線である。

40

【0027】

一方、点線の曲線は、シミュレーション結果を示し、同一の配線スペースでの配線容量が小さい方から、順に $\epsilon = 3.1$ 、 $\epsilon = 3.3$ 、 $\epsilon = 3.5$ 、 $\epsilon = 3.7$ のときに対応する。配線容量の実測値とシミュレーション結果とを比較することにより、配線間部の比誘電率を間接的に算出した。

【0028】

図1に示すように、配線スペースがほぼ $0.3 \mu\text{m}$ 以上の場合は、配線容量の実測値が、シミュレーションでの 3.5 から 3.7 に対応する配線容量の範囲に分布している。それに対し、配線スペースがほぼ $0.25 \mu\text{m}$ の場合には、配線容量の実測値が、シミュレ

50

ーションでの 3.3 3.5 に対応する配線容量の範囲に概ね分布している。

【0029】

以上のように、配線スペースが狭くなると、配線間の比誘電率は低下する。これは、配線スペースが狭くなるほど、CVDの過程で配線間に入射するイオン、特に O^+ の量が少なくなり、酸化反応が進行しにくくなって、FSG膜中に取り込まれるFの量が増加するためと考えられている。

【0030】

また、埋め込み性の観点からは、配線スペースが狭くなると、図2に示すように、ステップカバレッジが不足して、配線101間の絶縁膜102に空隙(ポイド)103が発生しやすくなる。このようなポイド103の存在によっても、配線間の比誘電率を低下させることができる。ポイド103の大きさや形状は、例えば、絶縁膜102をへき開して走査電子顕微鏡で観察することにより確認できる。なお、図2において、導電層104は配線または半導体基板のいずれでもよい。

10

【0031】

(実施形態1)

本実施形態の半導体装置の製造方法によれば、Cu配線が形成される部分に、予め犠牲膜(以下、ダミー配線とする。)を形成してからFSG膜を形成し、ダミー配線を除去することにより配線溝を形成する。これにより、埋め込み配線を形成する場合にも、配線スペースに応じてFSG膜の比誘電率を変化させることが可能となる。

【0032】

20

図3(a)は、本実施形態の半導体装置のCu配線部分の断面図である。図3(a)に示すように、所定の素子等(不図示)が形成されたSi基板111上に、下地酸化膜112が形成されている。下地酸化膜112上に配線層分離酸化膜113としてFSG膜が形成されている。配線層分離酸化膜113に配線溝114が形成されている。配線溝114内には、Ta_xN_y層115とCuシード層116を介してCu配線117が形成されている。

【0033】

図3(a)に示す半導体装置において、配線スペースA~CではAが最も狭く、Cが最も広い。最も狭い配線スペースAの比誘電率が最も低く、比誘電率はB、Cの順に高くなる。これにより、狭い配線スペースでの配線間容量が選択的に低減され、配線遅延が抑制される。本実施形態の半導体装置によれば、FSG膜全体でフッ素濃度を高くする必要がなく、FSG膜の吸湿性の増加や、密着性の悪化が防止される。

30

【0034】

以下、図3(a)に示す埋め込み配線の形成方法を説明する。

まず、図3(b)に示すように、Si基板111上に、例えばCVDにより下地酸化膜112を形成する。その上層に、ダミー配線となるAl層121を、例えばスパッタリングにより膜厚400nmで形成する。Al層121の上層にTiN層122を、例えばスパッタリングにより膜厚25nmで形成する。その上層に、SiON層123を例えばCVDにより膜厚30nmで形成する。

【0035】

SiON層123はダミー配線を加工するためのエッチングマスクとなるレジストを、リソグラフィ工程により形成する際に、反射防止膜として用いられる。反射防止膜を設けることにより、露光の際の反射光あるいはそれらの干渉によるパターンの歪みやずれが防止される。

40

【0036】

TiN層122は、Al層121とSiON層123との密着性を改善する目的で設けられる。

SiON層123およびTiN層122は、リソグラフィ工程においてパターンの形成を容易とし、またパターンを高精度に形成する目的で設けられるが、必ずしも設ける必要はない。

【0037】

50

次に、図4(c)に示すように、リソグラフィ技術によりSiON層123上にレジスト(不図示)を形成し、レジストをマスクとしてSiON層123、TiN層122およびAl層121にドライエッチングを行う。これにより、ダミー配線124が形成される。その後、レジストを除去する。

【0038】

次に、図4(d)に示すように、ダミー配線124上にHDPにより配線層分離酸化膜113として、FSG膜を形成する。このとき、配線間のFSG膜の膜厚は、ダミー配線124の高さよりも大きくすることが望ましい。本実施形態においては、FSG膜を膜厚500nmで堆積させた。

FSG膜の成膜条件は、圧力を4mTorr、SiF₄流量を26sccm、SiH₄流量を40sccm、O₂流量を120sccm、Arガス流量を65sccm、ICPパワーを4000W、バイアスパワーを2200Wとした。

【0039】

次に、図5(e)に示すように、CMPを行い、ダミー配線124上に形成されたFSG膜を除去し、ダミー配線124の表面を露出させる。ダミー配線124の表面が露出した時点でCMPを終了することにより、平坦な表面が得られる。

【0040】

次に、図5(f)に示すように、ダミー配線124を構成するSiON層123とTiN層122を、プラズマエッチングにより除去する。このエッチングには、エッチングガスとして例えばCF₄とO₂を用いる。さらに、ダミー配線124のAl層121を、リン酸を用いたウェットエッチングにより除去する。以上のようにしてダミー配線124を除去することにより、配線層分離酸化膜113に配線溝114が形成される。

【0041】

次に、図6(g)に示すように、配線溝114内および配線層分離酸化膜113上に、バリアメタル層となるTa₂N層115を、例えばスパッタリングにより膜厚25nmで形成する。Ta₂N層115上にCuシード層116を、例えばスパッタリングにより膜厚100nmで形成する。Cuシード層116は、バリアメタル層とCu配線との密着性を高める目的で設けられる。

【0042】

さらに、電解めっき法により配線溝114内を埋め込むように、配線層分離酸化膜113上にTa₂N層115とCuシード層116を介してCuめっき層125を形成する。Cuめっき層125は、例えば配線層分離酸化膜113上での膜厚が1000nm程度となるように、厚く形成する。

【0043】

その後、図3(a)に示すように、CMPを行い、配線溝114内にはのみCuめっき層125、Cuシード層116およびTa₂N層115を残す。これにより、Cuの埋め込み配線117が形成される。その後、アニールを施してCuの埋め込み配線中の不純物を除去したり、Cuのグレインサイズを大きくして、さらに低抵抗化したりする。

【0044】

上記の本実施形態においては、配線層分離酸化膜113として、最も広い配線スペースCでの比誘電率が3.7のFSG膜を用いたが、図1に示す実験結果と同様に、配線スペースが狭くなるほど、配線間部の比誘電率は低下した。

具体的には、配線スペース0.35μmのとき、配線間部の比誘電率は3.7であったが、配線スペース0.28μmのとき、比誘電率は3.5となった。さらに、配線スペースが0.24μmに縮小されると、比誘電率は3.4となり、配線スペースが0.22μmに縮小されると、比誘電率は3.3となった。

【0045】

なお、上記の本実施形態においては、ダミー配線124としてAlを使用した。ダミー配線は必ずしも金属である必要はない。下地酸化膜112に対して高いエッチング選択比で加工できる材料であれば、金属以外の材料も使用できる。例えば、SOG(spin-on gl

10

20

30

40

50

ass)膜やカーボン膜等を用いてダミー配線を形成することも可能である。

【0046】

ダミー配線としてSOG膜を利用する場合、例えばフッ酸(HF)に対するSOG膜と下地酸化膜112とのエッチング速度の比を利用して、SOG膜を選択的に除去できる。あるいは、O₂プラズマ処理により下地酸化膜112に対してSOG膜のみ選択的に除去することもできる。

また、ダミー配線としてカーボン膜を利用する場合、例えばO₂プラズマ処理により下地酸化膜112に対してカーボン膜のみ選択的に除去できる。

【0047】

但し、SOG膜やカーボン膜を用いる場合は、ダミー配線を加工するためのレジストを除去する際にアッシングを行うと、ダミー配線がO₂プラズマにより損傷を受けることがある。このような場合は、ダミー配線が損傷を受けにくいようなアッシング条件を適宜選択する。例えば、SOG膜を用いてダミー配線を形成した後、レジストを除去する場合は、アッシングを圧力150mTorr、O₂ガス流量60sccm、RFパワー500Wで行う。

【0048】

また、上記の本実施形態においては、Cu配線117のバリアメタル層としてTa₂N層115を用いるが、Ta₂N以外にTa、TiN、WN等を用いることもできる。

なお、上記の本実施形態においては、Si基板111に形成された素子等とCu配線117とを接続する接続孔は図示していないが、このような接続孔は、ダミー配線124を形成する前に下地酸化膜112に形成され、金属層(プラグ)で埋め込まれる。したがって、ダミー配線124を形成する際には、接続孔内のプラグは原則として露出している。

【0049】

(実施形態2)

上記の実施形態1によれば、ダミー配線124を除去する際に、ダミー配線124の下部に形成された接続孔内のプラグも除去される可能性がある。それに対し、本実施形態の半導体装置の製造方法によれば、ダミー配線124のみ選択的に除去され、下地に形成された接続孔内のプラグは除去されない。

【0050】

図7(a)は、本実施形態の半導体装置のCu配線部分の断面図である。図7(a)に示すように、所定の素子等(不図示)が形成されたSi基板111上に、下地酸化膜112が形成されている。下地酸化膜112には、Si基板111上の素子等と上層のCu配線117とを接続する接続孔131が形成されている。接続孔131内には金属等の導体からなるプラグ132が形成されている。

【0051】

下地酸化膜112上に、SiN層133を介して配線層分離酸化膜113が形成されている。SiN層133は、ダミー配線を除去する際のエッチングストッパー層として用いられる。配線層分離酸化膜113としてはFSG膜が用いられる。配線層分離酸化膜113に配線溝114が形成されている。配線溝114内には、Ta₂N層115とCuシード層を介してCu配線117が形成されている。

【0052】

図7(a)に示す半導体装置においても、実施形態1と同様に、最も狭い配線スペースAの比誘電率が最も低く、比誘電率はB、Cの順に高くなる。これにより、狭い配線スペースでの配線間容量が選択的に低減され、配線遅延が抑制される。本実施形態の半導体装置によれば、FSG膜全体でフッ素濃度を高くする必要がなく、FSG膜の吸湿性の増加や、密着性の悪化が防止される。

【0053】

以下、図7(a)に示す埋め込み配線の形成方法を説明する。

まず、図7(b)に示すように、Si基板111上に、例えばCVDにより下地酸化膜112を形成する。リソグラフィー技術により下地酸化膜112上にレジスト(不図示)を

10

20

30

40

50

形成し、レジストをマスクとして下地酸化膜 1 1 2 にドライエッチングを行う。これにより、接続孔 1 3 1 が形成される。その後、レジストを除去する。

さらに、接続孔 1 3 1 内を埋め込むように、下地酸化膜 1 1 2 上に例えばタングステン等の金属層を形成する。その後、例えばCMPを行って、接続孔 1 3 1 内にプラグ 1 3 2 を形成する。プラグ 1 3 2 の材料としてはCuやポリシリコン等を用いることもできる。

【0054】

次に、図 8 (c) に示すように、下地酸化膜 1 1 2 上に、エッチングストッパー層となるSiN層 1 3 3 を、例えばCVDにより膜厚 5 0 n m で形成する。SiN層 1 3 3 の上層に、ダミー配線となるAl層 1 2 1 を、例えばスパッタリングにより膜厚 4 0 0 n m で形成する。

10

【0055】

Al層 1 2 1 の上層にTiN層 1 2 2 を、例えばスパッタリングにより膜厚 2 5 n m で形成する。その上層に、SiON層 1 2 3 を例えばCVDにより膜厚 3 0 n m で形成する。実施形態 1 と同様に、SiON層 1 2 3 は反射防止膜として用いられ、TiN層 1 2 2 はAl層 1 2 1 とSiON層 1 2 3 との密着性を改善する目的で設けられる。

【0056】

次に、図 8 (d) に示すように、リソグラフィー技術によりSiON層 1 2 3 上にレジスト (不図示) を形成し、レジストをマスクとしてSiON層 1 2 3 、TiN層 1 2 2 およびAl層 1 2 1 にドライエッチングを行う。これにより、ダミー配線 1 2 4 が形成される。その後、レジストを除去する。

20

【0057】

次に、図 9 (e) に示すように、実施形態 1 と同様に、ダミー配線 1 2 4 上に配線層分離酸化膜 1 1 3 としてFSG膜を形成してから、CMPを行い、ダミー配線 1 2 4 の表面を露出させる。FSG膜の膜厚や成膜条件は、実施形態 1 と同様としてよい。

【0058】

次に、図 9 (f) に示すように、ダミー配線 1 2 4 を構成するSiON層 1 2 3 、TiN層 1 2 2 およびAl層 1 2 1 を、プラズマエッチングにより除去する。このエッチングには、エッチングガスとして例えばCF₄ とO₂ を用いる。このとき、エッチングストッパー層としてSiN層 1 3 3 が形成されていることにより、接続孔 1 3 1 内のプラグ 1 3 2 はエッチングされない。

30

【0059】

次に、図 1 0 (g) に示すように、露出したSiN層 1 3 3 を、リン酸を用いたウェットエッチングにより除去する。このとき、SiN層 1 3 3 は下地のプラグ 1 3 2 に対して十分に高いエッチング選択比でエッチングされるため、プラグ 1 3 2 はエッチングされない。以上のようにして、配線層分離酸化膜 1 1 3 に配線溝 1 1 4 が形成される。

【0060】

次に、図 1 0 (h) に示すように、実施形態 1 と同様に、配線溝 1 1 4 内および配線層分離酸化膜 1 1 3 上に、バリアメタル層となるTa₂N層 1 1 5 を、例えばスパッタリングにより膜厚 2 5 n m で形成する。続いて、Ta₂N層 1 1 5 上にCuシード層 1 1 6 を、例えばスパッタリングにより膜厚 1 0 0 n m で形成する。

40

【0061】

さらに、電解めっき法により配線溝 1 1 4 内を埋め込むように、配線層分離酸化膜 1 1 3 上にTa₂N層 1 1 5 とCuシード層 1 1 6 を介してCuめっき層 1 2 5 を形成する。Cuめっき層 1 2 5 は、例えば配線層分離酸化膜 1 1 3 上での膜厚が 1 0 0 0 n m 程度となるように、厚く形成する。

【0062】

次に、図 7 (a) に示すように、CMPを行い、配線溝 1 1 4 内にのみCuめっき層 1 2 5 、Cuシード層 1 1 6 およびTa₂N層 1 1 5 を残す。これにより、Cuの埋め込み配線 1 1 7 が形成される。その後、アニールを施してCuの埋め込み配線中の不純物を除去したり、Cuのグレインサイズを大きくして、さらに低抵抗化したりする。

50

上記の本実施形態の半導体装置の製造方法によれば、ダミー配線を除去する際に、下層のプラグがエッチングにより損傷を受けるのを防止できる。

【0063】

(実施形態3)

図11(a)は、本実施形態の半導体装置のCu配線部分の断面図である。図11(a)に示すように、所定の素子等(不図示)が形成されたSi基板111上に、下地酸化膜112が形成されている。下地酸化膜112上に配線層分離酸化膜113としてNSG(non-doped silicate glass)膜が形成されている。配線層分離酸化膜113に配線溝114が形成されている。配線溝114内には、TaN層115とCuシード層を介してCu配線117が形成されている。

10

【0064】

本実施形態の半導体装置においては、配線スペースに応じた大きさのボイド103が、配線層分離酸化膜113に形成される。例えば、配線スペースAは配線スペースBより狭いため、配線スペースAに形成されるボイド103の方が大きい。一方、配線スペースA、Bよりも広い配線スペースCでは、配線層分離酸化膜113にボイドが形成されない。以上のように、配線スペースが狭くなるほど、形成されるボイド103が大きくなり、これに伴って配線層分離酸化膜113の比誘電率が低くなる。したがって、狭い配線スペースでの配線間容量が低減され、配線遅延が抑制される。

【0065】

以下、図11(a)に示す埋め込み配線の形成方法を説明する。

20

まず、実施形態1と同様に、図4(c)に示すように、下地酸化膜112上にダミー配線124を形成する。

次に、図11(b)に示すように、ダミー配線124上にHDPにより配線層分離酸化膜113として、NSG膜を形成する。

【0066】

本実施形態において、配線層分離酸化膜113としてFSG膜を使用することも可能であるが、一般にFSG膜はNSG膜に比較すると埋め込み性が良好であるため、ボイド103が発生しにくい。これは、FSG膜を形成する場合、高密度プラズマ雰囲気中でフッ素ラジカルが生成し、フッ素ラジカルがエッチングに寄与することと関係する。

【0067】

NSG膜等の配線層分離酸化膜113を形成する際には、狭い配線スペースほど大きなボイド103が発生し、広い配線スペースにはボイドが形成されないように、成膜条件を設定する。ボイド103の上端は、ダミー配線124の上端より低い位置となるようにする。また、ボイド103とダミー配線124の側面とが接しないようにする。

30

【0068】

配線間のNSG膜の膜厚は、ダミー配線124の高さよりも大きくすることが望ましい。

本実施形態においては、NSG膜を膜厚500nmで堆積させた。

NSG膜の成膜条件は、圧力を10mTorr、SiH₄流量を170sccm、O₂流量を300sccm、Arガス流量を120sccm、ICPパワーを4000W、バイアスパワーを2500Wとした。

40

【0069】

これにより、例えば配線スペースが0.2μmの箇所で、断面が底辺0.1μm、高さ0.25μm程度の二等辺三角形となるようなボイド103が形成された。ボイド103の頂点(上端)は、ダミー配線124の上端から0.1μm程度、低い位置となった。

【0070】

次に、図12(c)に示すように、CMPを行い、ダミー配線124上に形成されたNSG膜を除去し、ダミー配線124の表面を露出させる。ダミー配線124の表面が露出した時点でCMPを終了することにより、平坦な表面が得られる。

【0071】

次に、図12(d)に示すように、ダミー配線124を構成するSiON層123とTi

50

N層122を、プラズマエッチングにより除去する。このエッチングには、エッチングガスとして例えば CF_4 と O_2 を用いる。さらに、ダミー配線124のA1層121を、例えばリン酸を用いたウエットエッチングにより除去する。以上のようにしてダミー配線124を除去することにより、配線層分離酸化膜113に配線溝114が形成される。

【0072】

次に、図13(e)に示すように、実施形態1と同様に、配線溝114内および配線層分離酸化膜113上に、バリアメタル層となるTaN層115を、例えばスパッタリングにより膜厚25nmで形成する。続いて、TaN層115上にCuシード層116を、例えばスパッタリングにより膜厚100nmで形成する。

【0073】

さらに、電解めっき法により配線溝114内を埋め込むように、配線層分離酸化膜113上にTaN層115とCuシード層116を介してCuめっき層125を形成する。Cuめっき層125は、例えば配線層分離酸化膜113上での膜厚が1000nm程度となるように、厚く形成する。

【0074】

その後、図11(a)に示すように、CMPを行い、配線溝114内にもみCuめっき層125、Cuシード層116およびTaN層115を残す。これにより、Cuの埋め込み配線117が形成される。その後、アニールを施してCuの埋め込み配線中の不純物を除去したり、Cuのグレインサイズを大きくして、さらに低抵抗化したりする。

【0075】

上記の本実施形態において、ボイド103の上端が、ダミー配線124の上端より高い位置となった場合には、図12(c)に示す工程で、ダミー配線124が露出するまでNSG膜にCMPを行う工程で、ボイド103がNSG膜の表面に露出する。したがって、配線溝114にCuめっき層125を埋め込む工程(図13(e)参照)で、ボイド103内にも配線が埋め込まれることになる。

【0076】

また、ボイド103とダミー配線124の側面とが接した場合は、ダミー配線124を除去すると、ボイド103が配線溝114に接続する。したがって、配線溝114にCuめっき層125を埋め込む工程で、ボイド103内にも配線が埋め込まれ、配線が局所的に太くなるという問題が起こる。

【0077】

上記の本実施形態の半導体装置の製造方法によっても、配線スペースに応じて配線層分離酸化膜113の比誘電率を変化させ、狭い配線スペースでの配線間容量を低減させることができる。例えば、配線層分離酸化膜113として、ボイドのない広い配線スペースC(配線スペース $0.4\mu m$)での比誘電率が4.3であるNSG膜を用いた場合には、最も狭い配線スペースA(配線スペース $0.2\mu m$)での比誘電率が3.2となった。これにより、狭い配線スペースでの配線間容量が低減され、配線遅延が抑制される。

【0078】

(実施形態4)

上記の実施形態1~3においては、配線溝114内にもみCu配線117が形成され、下地酸化膜112の接続孔131内には、Cu配線117とは別にプラグ132が形成される。それに対し、本実施形態においては、下地酸化膜112の接続孔131と上層の配線溝114内に、同一の工程で埋め込み配線を形成する。

【0079】

図14(a)は、本実施形態の半導体装置のCu配線部分の断面図である。図14(a)に示すように、所定の素子等(不図示)が形成されたSi基板111上に、下地酸化膜112が形成されている。下地酸化膜112には、Si基板111上の素子等と上層のCu配線117とを接続する接続孔131が形成されている。

【0080】

下地酸化膜112上に配線層分離酸化膜113としてFSG膜が形成されている。配線層

10

20

30

40

50

分離酸化膜 1 1 3 に配線溝 1 1 4 が形成されている。配線溝 1 1 4 およびそれに接続する接続孔 1 3 1 内に、T a N 層 1 1 5 と C u シード層を介して C u 配線 1 1 7 が形成されている。

【 0 0 8 1 】

図 1 4 (a) に示す半導体装置においても、実施形態 1 と同様に、最も狭い配線スペース A の比誘電率が最も低く、比誘電率は B、C の順に高くなる。これにより、狭い配線スペースでの配線間容量が選択的に低減され、配線遅延が抑制される。本実施形態の半導体装置によれば、F S G 膜全体でフッ素濃度を高くする必要がなく、F S G 膜の吸湿性の増加や、密着性の悪化が防止される。

【 0 0 8 2 】

以下、図 1 4 (a) に示す埋め込み配線の形成方法を説明する。

まず、図 1 4 (b) に示すように、S i 基板 1 1 1 上に、例えば C V D により下地酸化膜 1 1 2 を形成する。リソグラフィ技術により下地酸化膜 1 1 2 上にレジスト (不図示) を形成し、レジストをマスクとして下地酸化膜 1 1 2 にドライエッチングを行う。これにより、接続孔 1 3 1 が形成される。その後、レジストを除去する。

【 0 0 8 3 】

次に、図 1 5 (c) に示すように、下地酸化膜 1 1 2 上にダミー配線となる S O G 膜 1 4 1 を形成する。S O G 膜 1 4 1 は所望の C u 配線 1 1 7 の高さと同様の膜厚で形成する。本実施形態においては、下地酸化膜 1 1 2 上での S O G 膜 1 4 1 の膜厚が 4 5 0 n m となるように、シリケートガラスを塗布した。

【 0 0 8 4 】

次に、図 1 5 (d) に示すように、リソグラフィ技術により S O G 膜 1 4 1 上にレジスト (不図示) を形成し、レジストをマスクとして S O G 膜 1 4 1 にドライエッチングを行う。これにより、ダミー配線 1 2 4 が形成される。その後、レジストを除去する。アッシングによりレジストを除去する場合、前述したように、O₂ プラズマによりダミー配線が損傷を受けるのを防ぐため、アッシング条件を適宜選択する。

【 0 0 8 5 】

次に、図 1 6 (e) に示すように、ダミー配線 1 2 4 上に配線層分離酸化膜 1 1 3 として F S G 膜を、例えば膜厚 5 0 0 n m で形成する。F S G 膜の膜厚や成膜条件は、実施形態 1 と同様としてよい。

【 0 0 8 6 】

次に、図 1 6 (f) に示すように、C M P を行い、ダミー配線 1 2 4 上に形成された F S G 膜を除去し、ダミー配線 1 2 4 の表面を露出させる。ダミー配線 1 2 4 の表面が露出した時点で C M P を終了することにより、平坦な表面が得られる。C M P の後処理として H F を用いた洗浄を行うと、ダミー配線 1 2 4 である S O G 膜がある程度エッチングされるが、続く工程でダミー配線 1 2 4 を除去するため、問題はない。

【 0 0 8 7 】

次に、図 1 7 (g) に示すように、ダミー配線 1 2 4 である S O G 膜を、H F を用いたウェットエッチングにより除去する。これにより、接続孔 1 3 1 に接続する配線溝 1 1 4 が形成される。このウェットエッチングにおいて、F S G 膜からなる配線層分離酸化膜 1 1 3 と下地酸化膜 1 1 2 もわずかにエッチングされるが、これらの部分でのエッチング速度は、S O G 膜におけるエッチング速度に比較して十分に小さい。したがって、エッチング時間を適切に制限すれば、配線層分離酸化膜 1 1 3 と下地酸化膜 1 1 2 のエッチング量を最小限に抑え、配線溝 1 1 4 や接続孔 1 3 1 が広がるのを防止することができる。

【 0 0 8 8 】

次に、図 1 7 (h) に示すように、配線溝 1 1 4 内、接続孔 1 3 1 内および配線層分離酸化膜 1 1 3 上に、パリアメタル層となる T a N 層 1 1 5 を、例えばスパッタリングにより膜厚 2 5 n m で形成する。続いて、T a N 層 1 1 5 上に C u シード層 1 1 6 を、例えばスパッタリングにより膜厚 1 0 0 n m で形成する。

【 0 0 8 9 】

10

20

30

40

50

さらに、電解めっき法により配線溝 1 1 4 内および接続孔 1 3 1 内を埋め込むように、配線層分離酸化膜 1 1 3 上に T a N 層 1 1 5 と C u シード層 1 1 6 を介して C u めっき層 1 2 5 を形成する。C u めっき層 1 2 5 は、例えば配線層分離酸化膜 1 1 3 上での膜厚が 1 0 0 0 n m 程度となるように、厚く形成する。

【 0 0 9 0 】

その後、図 1 4 (a) に示すように、配線層分離酸化膜 1 1 3 が露出するまで C M P を行い、配線溝 1 1 4 内および接続孔 1 3 1 内におよび C u めっき層 1 2 5、C u シード層 1 1 6 および T a N 層 1 1 5 を残す。これにより、C u の埋め込み配線 1 1 7 が形成される。その後、アニールを施して C u の埋め込み配線中の不純物を除去したり、C u のグレインサイズを大きくして、さらに低抵抗化したりする。

10

【 0 0 9 1 】

上記の本実施形態の半導体装置の製造方法によれば、実施形態 1 および 2 と同様に、ダミー配線 1 2 4 を形成することにより、相対的に狭い配線スペースで配線層分離酸化膜 1 1 3 の比誘電率 を下げ、配線間容量を低減して、配線遅延を抑制することができる。

【 0 0 9 2 】

なお、上記の本実施形態において、ダミー配線として S O G 膜のかわりに A l 層を用いることもできる。A l 層を用いた場合、ステップカバレッジが不足して接続孔 1 3 1 内を埋め込むことはできないが、ダミー配線は除去され、接続孔 1 3 1 内は最終的に C u 配線 1 1 7 によって埋め込まれるため問題はない。

【 0 0 9 3 】

但し、ダミー配線として A l 層を用いた場合に、ダミー配線を加工するためのリソグラフィ工程で合わせずれが起こると、接続孔 1 3 1 上の一部で A l 層がエッチングされる可能性がある。この場合、接続孔 1 3 1 が露出し、接続孔 1 3 1 がエッチングにより損傷を受ける可能性がある。

20

【 0 0 9 4 】

したがって、接続孔 1 3 1 内を例えば S O G 膜で埋め込んでから、その上層にダミー配線となる A l 層を形成してもよい。これにより、接続孔 1 3 1 がエッチングの間、保護される。接続孔 1 3 1 内の S O G 膜は、配線溝 1 1 4 内および接続孔 1 3 1 内に埋め込み配線を形成する前に、例えば H F を用いて除去すればよい。

【 0 0 9 5 】

上記の本発明の実施形態の半導体装置によれば、配線スペースの狭い箇所で選択的に絶縁膜の比誘電率 が低くなり、配線間容量が低減される。したがって、配線遅延が抑制され、半導体装置が高速化される。

30

上記の本発明の実施形態の半導体装置の製造方法によれば、層間絶縁膜の吸湿性の増加や密着性の悪化を防止しながら、配線スペースの狭い箇所の絶縁膜を選択的に低誘電率化することができる。

【 0 0 9 6 】

本発明の半導体装置およびその製造方法の実施形態は、上記の説明に限定されない。例えば、上記の実施形態においては、S i 基板 1 1 1 上に単層の C u 配線 1 1 7 が形成される例を示したが、S i 基板 1 1 1 は、S i 基板 1 1 1 上に形成された配線層に置き換えることもできる。また、上記の実施形態のプロセスを繰り返すことにより、多層の埋め込み配線を形成することもできる。

40

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【 0 0 9 7 】

【発明の効果】

本発明の半導体装置によれば、絶縁膜の吸湿性の増加や密着性の悪化が防止されながら、配線間の絶縁膜が低誘電率化され、配線遅延が抑制される。

本発明の半導体装置の製造方法によれば、配線スペースの狭い部分で配線間容量を低減させることが可能となる。

【図面の簡単な説明】

50

【図 1】図 1 は本発明の半導体装置の実施形態に係り、配線間に F S G 膜を形成した場合の配線スペースと配線容量との関係を示す図である。

【図 2】図 2 は本発明の半導体装置の配線間に形成されるボイドを表す模式図である。

【図 3】図 3 (a) は本発明の実施形態 1 に係る半導体装置の配線部分の断面図であり、図 3 (b) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 4】図 4 (c) および (d) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 5】図 5 (e) および (f) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

10

【図 6】図 6 (g) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 7】図 7 (a) は本発明の実施形態 2 に係る半導体装置の配線部分の断面図であり、図 7 (b) は本発明の実施形態 2 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 8】図 8 (c) および (d) は本発明の実施形態 2 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 9】図 9 (e) および (f) は本発明の実施形態 2 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 10】図 10 (g) および (h) は本発明の実施形態 2 に係る半導体装置の製造方法の製造工程を示す断面図である。

20

【図 11】図 11 (a) は本発明の実施形態 3 に係る半導体装置の配線部分の断面図であり、図 11 (b) は本発明の実施形態 3 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 12】図 12 (c) および (d) は本発明の実施形態 3 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 13】図 13 (e) は本発明の実施形態 3 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 14】図 14 (a) は本発明の実施形態 4 に係る半導体装置の配線部分の断面図であり、図 14 (b) は本発明の実施形態 4 に係る半導体装置の製造方法の製造工程を示す断面図である。

30

【図 15】図 15 (c) および (d) は本発明の実施形態 4 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 16】図 16 (e) および (f) は本発明の実施形態 4 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 17】図 17 (g) および (h) は本発明の実施形態 4 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 18】図 18 (a) および (b) は従来の半導体装置の製造方法の製造工程を示す断面図である。

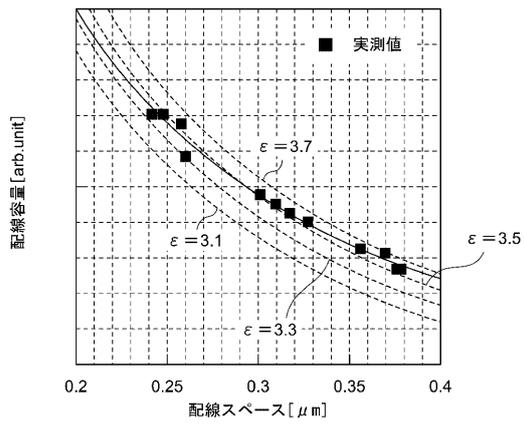
【図 19】図 19 (c) および (d) は従来の半導体装置の製造方法の製造工程を示す断面図である。

40

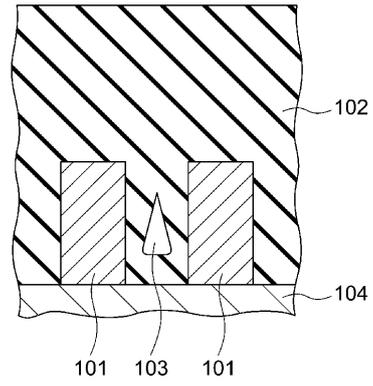
【符号の説明】

1 0 1 ... 配線、1 0 2 ... 絶縁膜、1 0 3 ... ボイド、1 0 4 ... 導電層、1 1 1 ... S i 基板、1 1 2 ... 下地酸化膜、1 1 3 ... 配線層分離酸化膜、1 1 4 ... 配線溝、1 1 5 ... T a N 層、1 1 6 ... C u シード層、1 1 7 ... C u 配線、1 2 1 ... A l 層、1 2 2 ... T i N 層、1 2 3 ... S i O N 層、1 2 4 ... ダミー配線、1 2 5 ... C u めっき層、1 3 1 ... 接続孔、1 3 2 ... プラグ、1 3 3 ... S i N 層、1 4 1 ... S O G 膜、2 0 1 ... S i 基板、2 0 2 ... 下地酸化膜、2 0 3 ... S i N 層、2 0 4 ... 配線層分離酸化膜、2 0 5 ... 配線溝、2 0 6 ... T a N 層、2 0 7 ... C u シード層、2 0 8 ... C u めっき層、2 0 9 ... C u 配線。

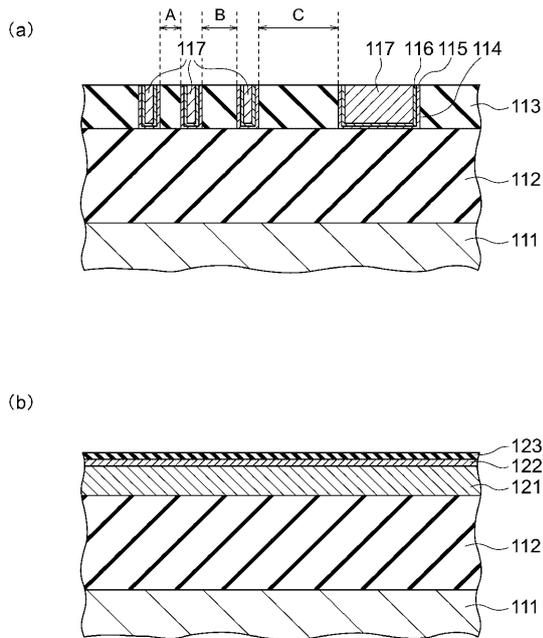
【図1】



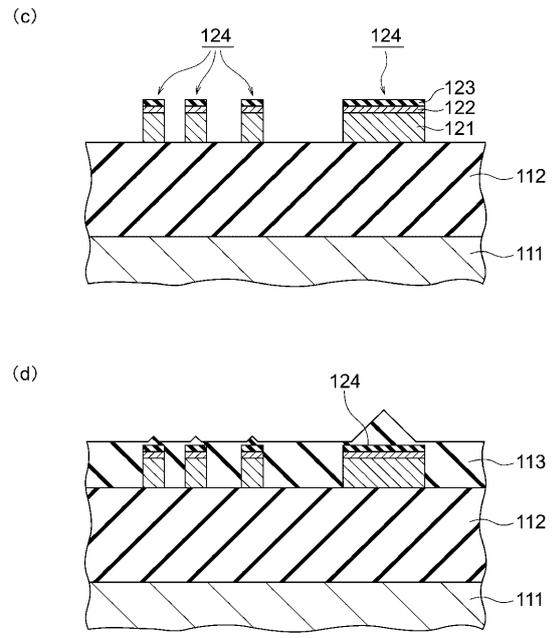
【図2】



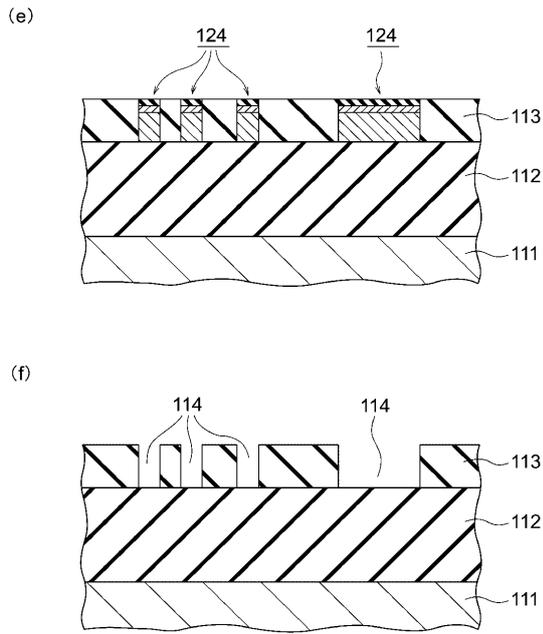
【図3】



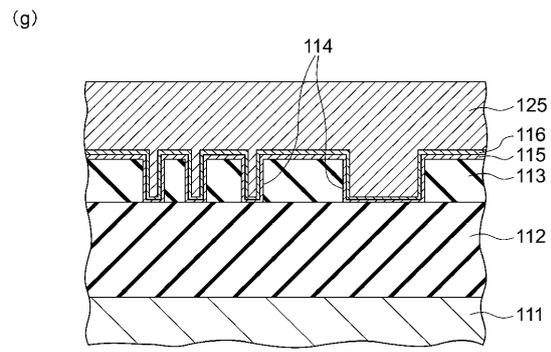
【図4】



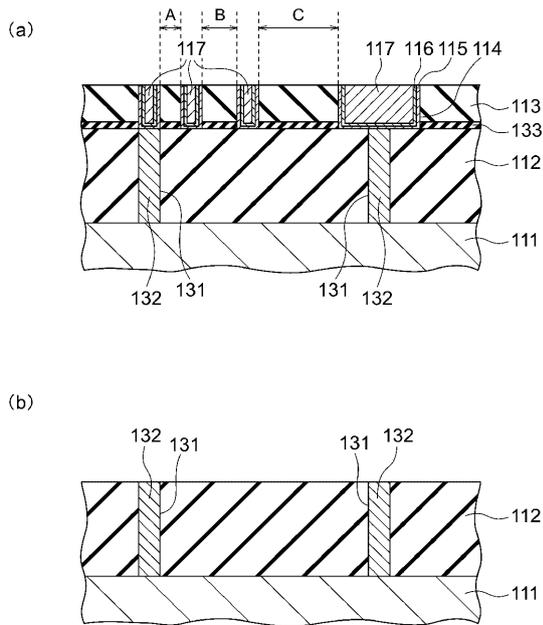
【 図 5 】



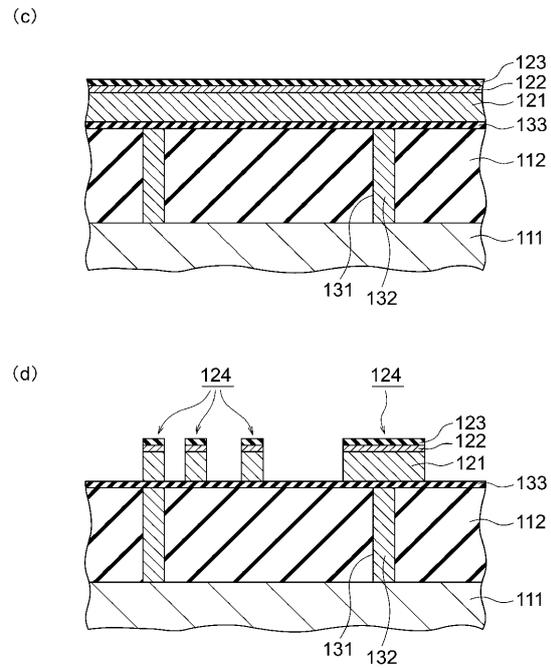
【 図 6 】



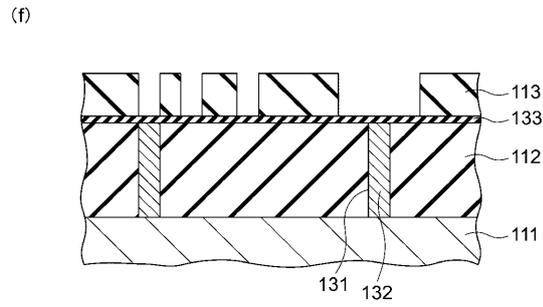
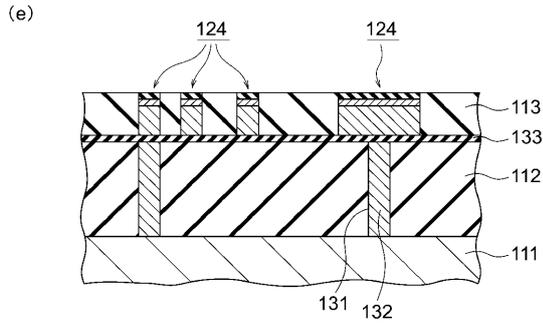
【 図 7 】



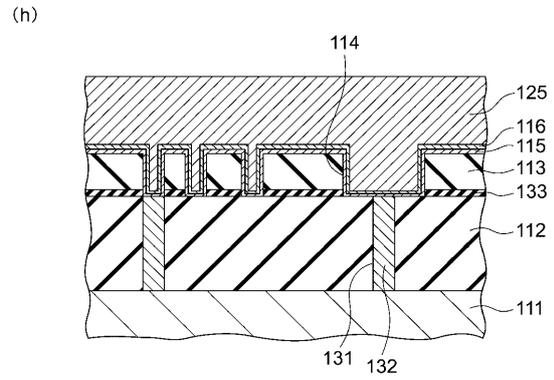
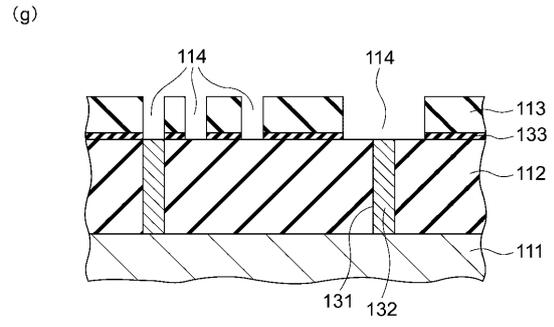
【 図 8 】



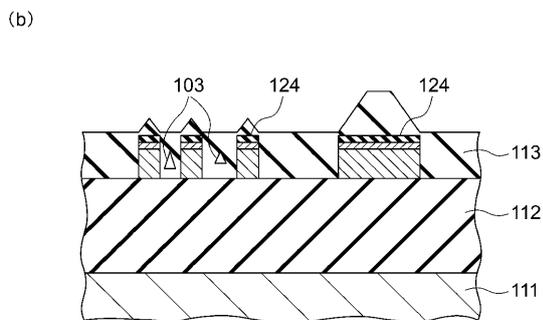
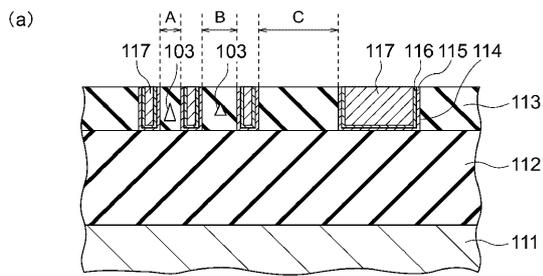
【 図 9 】



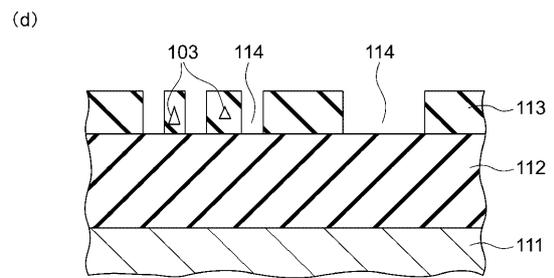
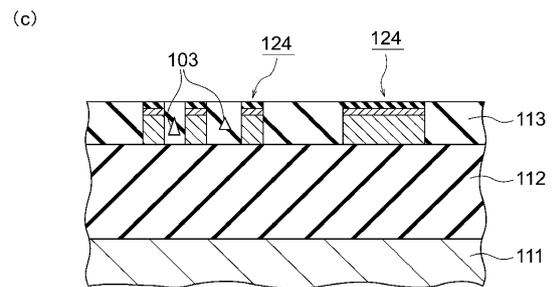
【 図 10 】



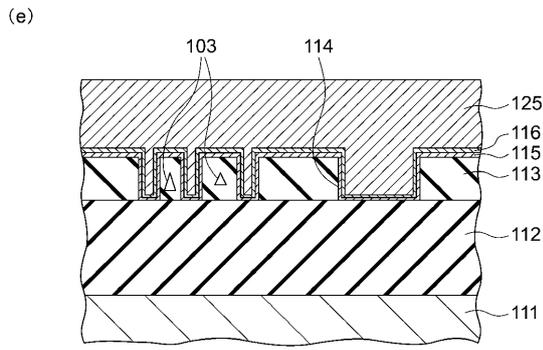
【 図 11 】



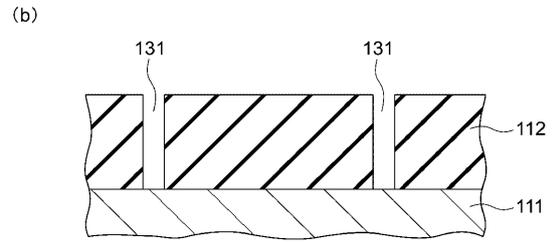
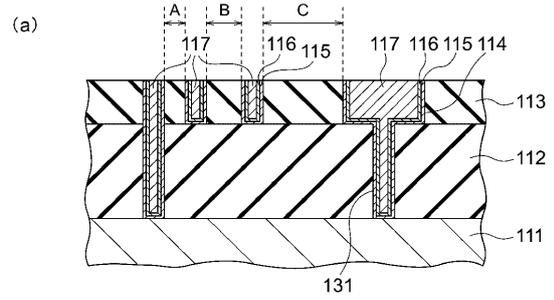
【 図 12 】



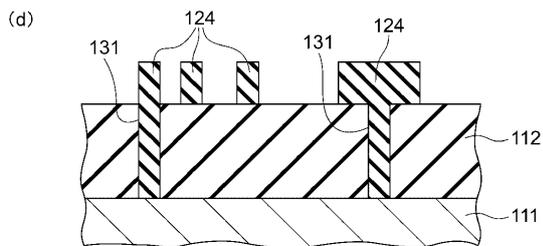
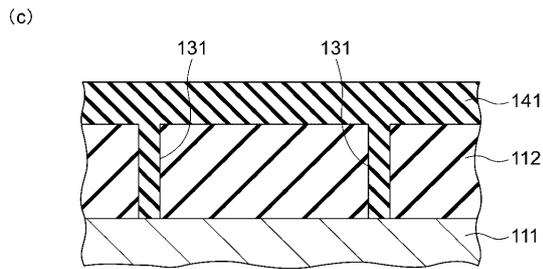
【図 13】



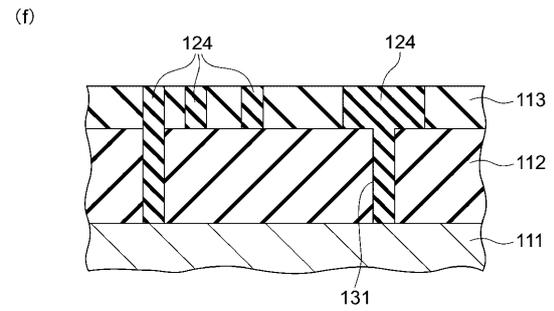
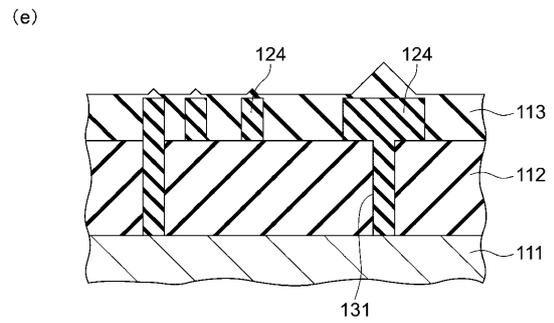
【図 14】



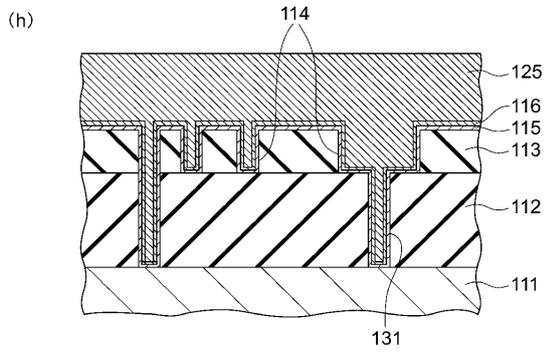
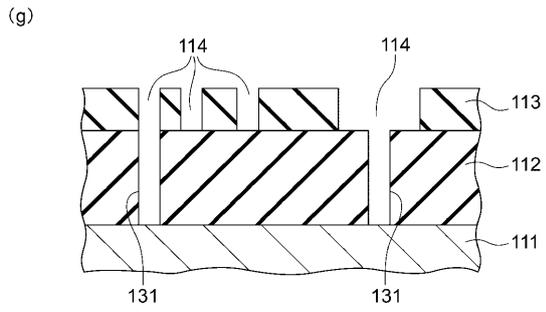
【図 15】



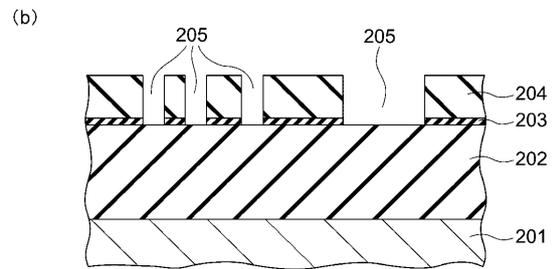
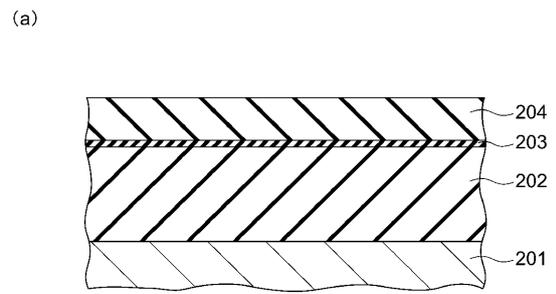
【図 16】



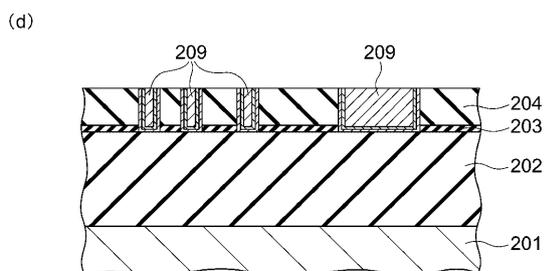
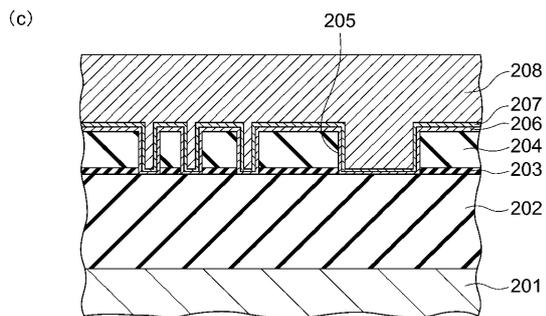
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 21/28-21/288

H01L 21/3205

H01L 21/3213

H01L 21/44-21/445

H01L 21/768

H01L 23/52-23/522

H01L 29/40-29/49

H01L 29/872