



(12) 发明专利

(10) 授权公告号 CN 111564436 B

(45) 授权公告日 2022. 03. 04

(21) 申请号 202010451986.X

H01L 23/31 (2006.01)

(22) 申请日 2020.05.25

H01L 21/56 (2006.01)

(65) 同一申请的已公布的文献号

H01L 23/485 (2006.01)

申请公布号 CN 111564436 A

H01L 21/60 (2006.01)

(43) 申请公布日 2020.08.21

(56) 对比文件

(73) 专利权人 甬矽电子(宁波)股份有限公司

CN 102723306 A, 2012.10.10

地址 315400 浙江省宁波市余姚市中意宁

CN 207199617 U, 2018.04.06

波生态园兴舜路22号

审查员 肖瑶

(72) 发明人 王顺波

(74) 专利代理机构 北京超凡宏宇专利代理事务

所(特殊普通合伙) 11463

代理人 崔熠

(51) Int. Cl.

H01L 25/18 (2006.01)

H01L 23/552 (2006.01)

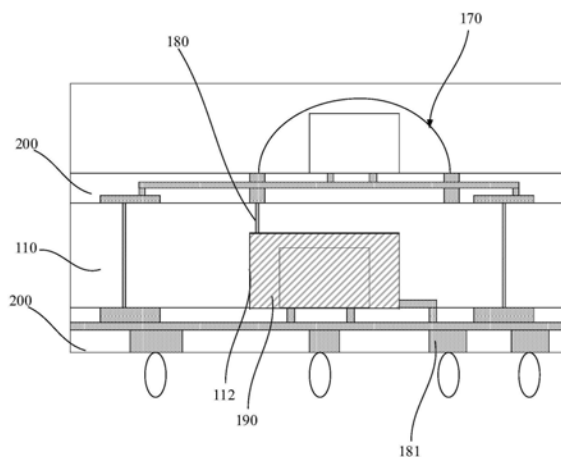
权利要求书1页 说明书7页 附图7页

(54) 发明名称

扇外型封装结构及封装方法

(57) 摘要

本发明提供一种扇外型封装结构及封装方法,属于芯片封装技术领域。扇外型封装结构包括一侧板面上形成有容置槽的板状基材,板状基材的两侧板面上分别形成有第一重布线层和第二重布线层,第一重布线层与第二重布线层通过导电柱连接,导电柱贯穿板状基材,容置槽内容置有第一芯片,第一芯片的线路焊盘位于远离容置槽的底部的一侧且与第一重布线层连接,容置槽内设置有第一屏蔽体,第一屏蔽体罩设于所述第一芯片的外周,第二重布线层远离板状基材的一侧连接有第二芯片,第二重布线层上形成有第二屏蔽体,第二屏蔽体罩设于第二芯片的外周。该封装结构能够屏蔽芯片之间的电磁干扰,以避免芯片间因相互干扰而产生不良,提高封装结构的产品性能。



1. 一种扇外型封装结构,其特征在于,包括:

一侧板面上形成有容置槽的板状基材,所述板状基材的两侧板面上分别形成有第一重布线层和第二重布线层,所述第一重布线层与所述第二重布线层通过导电柱连接,所述导电柱贯穿所述板状基材,所述容置槽内容置有第一芯片,所述第一芯片的线路焊盘位于远离所述容置槽的底部的一侧且与所述第一重布线层连接,所述容置槽内设置有第一屏蔽体,所述第一屏蔽体罩设于所述第一芯片的外周,所述第二重布线层远离所述板状基材的一侧连接有第二芯片,所述第二重布线层上形成有第二屏蔽体,所述第二屏蔽体罩设于所述第二芯片的外周;

所述第一屏蔽体为所述容置槽的内壁上形成的屏蔽层;

所述容置槽内填充有散热胶,所述散热胶覆盖所述第一芯片;

所述第一屏蔽体和所述第二屏蔽体通过连接柱导通,所述连接柱内嵌于所述板状基材内;

所述扇外型封装结构还包括接地端,所述第一屏蔽体与所述接地端连接。

2. 如权利要求1所述的扇外型封装结构,其特征在于,所述第二屏蔽体为所述第二重布线层上形成的多条打线,各所述打线的两端分别位于所述第二芯片的相对两端。

3. 如权利要求1所述的扇外型封装结构,其特征在于,所述接地端为形成于所述第一重布线层上的接地焊盘,所述接地焊盘与所述第一屏蔽体连接。

4. 如权利要求1所述的扇外型封装结构,其特征在于,所述屏蔽层为金属层。

5. 如权利要求1所述的扇外型封装结构,其特征在于,所述扇外型封装结构还包括分别形成于所述板状基材的两个板面上的介电层,所述第一重布线层和所述第二重布线层分别内嵌于对应的介电层内。

6. 一种扇外型封装方法,其特征在于,包括:

在板状基材的一侧板面上形成容置槽;

形成贯穿所述板状基材两侧板面的导电柱;

在所述容置槽的内壁上形成屏蔽层;

形成贯穿所述板状基材两侧板面的连接柱,所述连接柱的一端分别与屏蔽层连接;

设置第一芯片于所述容置槽内,其中,所述第一芯片的线路焊盘位于远离所述容置槽底部的一侧;

在所述板状基材形成所述容置槽的一侧板面上形成第一重布线层,以使所述第一重布线层与所述第一芯片的线路焊盘、以及所述导电柱连接;

在所述板状基材与所述第一重布线层相背的一侧板面上形成第二重布线层,以使所述第二重布线层与所述导电柱和所述连接柱连接;

在所述第二重布线层远离所述板状基材的一侧贴装第二芯片;

在所述第二重布线层上形成第二屏蔽体,以使所述第二屏蔽体罩设于所述第二芯片的外周。

扇外型封装结构及封装方法

技术领域

[0001] 本发明涉及芯片封装技术领域,具体而言,涉及一种扇外型封装结构及封装方法。

背景技术

[0002] 随着半导体行业的快速发展,扇外型晶圆级封装(Fan-out wafer level package,FOWLP)结构被广泛应用于半导体行业中。

[0003] 其中,对于多个芯片进行封装时,一般将不同功能芯片进行双面封装,以实现高密度集成,减小封装产品的尺寸,提高产品性能,以及加快信号传输频率等。

[0004] 但是,目前的扇外型双面封装结构在使用过程中,其内部各芯片之间互相产生的电磁干扰无法被屏蔽,从而导致各芯片之间容易相互干扰产生不良,降低封装后的产品性能。

发明内容

[0005] 本发明的目的在于提供一种扇外型封装结构及封装方法,能够屏蔽芯片之间的电磁干扰,以避免芯片间因相互干扰而产生不良,提高封装结构的产品性能。

[0006] 本发明的实施例是这样实现的:

[0007] 本发明实施例的一方面,提供一种扇外型封装结构,包括:一侧板面上形成有容置槽的板状基材,板状基材的两侧板面上分别形成有第一重布线层和第二重布线层,第一重布线层与第二重布线层通过导电柱连接,导电柱贯穿板状基材,容置槽内容置有第一芯片,第一芯片的线路焊盘位于远离容置槽的底部的一侧且与第一重布线层连接,容置槽内设置有第一屏蔽体,第一屏蔽体罩设于所述第一芯片的外周,第二重布线层远离板状基材的一侧连接有第二芯片,第二重布线层上形成有第二屏蔽体,第二屏蔽体罩设于第二芯片的外周。

[0008] 可选地,第一屏蔽体为容置槽的内壁上形成的屏蔽层。

[0009] 可选地,第二屏蔽体为第二重布线层上形成的多条打线,各打线的两端分别位于第二芯片的相对两端。

[0010] 可选地,第一屏蔽体和第二屏蔽体通过连接柱导通,连接柱内嵌于板状基材内。

[0011] 可选地,扇外型封装结构还包括接地端,第一屏蔽体与接地端连接。

[0012] 可选地,接地端为形成于第一重布线层上的接地焊盘,接地焊盘与第一屏蔽体连接。

[0013] 可选地,屏蔽层为金属层。

[0014] 可选地,容置槽内填充有散热胶,散热胶覆盖第一芯片。

[0015] 可选地,扇外型封装结构还包括分别形成于板状基材的两个板面上的介电层,第一重布线层和第二重布线层分别内嵌于对应的介电层内。

[0016] 本发明实施例的另一方面,提供一种扇外型封装方法,该方法包括:

[0017] 在板状基材的一侧板面上形成容置槽;

[0018] 形成贯穿板状基材两侧板面的导电柱；

[0019] 在容置槽的内壁上形成屏蔽层；

[0020] 设置第一芯片于容置槽内，其中，第一芯片的线路焊盘位于远离容置槽底部的一侧；

[0021] 在板状基材形成容置槽的一侧板面上形成第一重布线层，以使第一重布线层与第一芯片的线路焊盘、以及导电柱连接；

[0022] 在板状基材与第一重布线层相背的一侧板面上形成第二重布线层，以使第二重布线层与导电柱连接；

[0023] 在第二重布线层远离板状基材的一侧贴装第二芯片；

[0024] 在第二重布线层上形成第二屏蔽体，以使第二屏蔽体罩设于第二芯片的外周。

[0025] 本发明实施例的有益效果包括：

[0026] 本发明实施例提供一种扇外型封装结构，包括一侧板面上形成有容置槽的板状基材。在板状基材的两侧板面上分别形成有第一重布线层和第二重布线层，并且第一重布线层和第二重布线层通过导电柱连接，其中，导电柱贯穿板状基材进行设置。在容置槽内容置有第一芯片，并且第一芯片的线路焊盘位于远离容置槽的底部的一侧与第一重布线层连接，容置槽内设置有第一屏蔽体，第一屏蔽体罩设于第一芯片的外周。而第二重布线层远离板状基材的一侧连接有第二芯片，第二重布线层上形成有第二屏蔽体，第二屏蔽体罩设于所述第二芯片的外周。通过该封装结构，能够使第一芯片和第二芯片在工作过程中产生的热量，利用板状基材向外部传导，从而提高对第一芯片和第二芯片的散热效果，减小第一芯片和第二芯片因过热而导致不良的几率。并且，由于该封装结构中，第一芯片设置于板状基材形成的容置槽内，因此，通过容置槽内设置的第一屏蔽体，能够对第一芯片起到电磁屏蔽的效果。从而能够避免第一芯片对第二芯片产生电磁干扰，而第二重布线层上还形成有第二屏蔽体，因此能够对第二芯片起到电磁屏蔽的效果，从而避免第二芯片对第一芯片产生电磁干扰，即该封装结构能够避免芯片之间的电磁干扰，并且能够避免外界环境对芯片产生电磁干扰，进而能够提高该封装结构的产品性能。

[0027] 本发明实施例提供一种扇外型封装方法，可以首先在板状基材的一侧板面上形成容置槽，以及形成贯穿板状基材两侧板面的导电柱。然后在容置槽的内壁上形成屏蔽层，并设置第一芯片于容置槽内，使第一芯片的线路焊盘位于远离容置槽底部的一侧。之后在板状基材形成容置槽的一侧板面上形成第一重布线层，以使第一重布线层与第一芯片的线路焊盘、以及导电柱连接，以及在板状基材与第一重布线层相背的一侧板面上形成第二重布线层，以使第二重布线层与导电柱连接，并在第二重布线层远离板状基材的一侧贴装第二芯片，以及在所述第二重布线层上形成第二屏蔽体，以使所述第二屏蔽体罩设于所述第二芯片的外周，从而形成扇外型封装结构。通过该扇外型封装方法形成扇外型封装结构，能够使第一芯片和第二芯片在工作过程中产生的热量，利用板状基材向外部传导，从而提高对第一芯片和第二芯片的散热效果，减小第一芯片和第二芯片因过热而导致不良的几率。并且，由于第一芯片设置于板状基材形成的容置槽内，且容置槽的内壁上形成有屏蔽层，因此，能够对第一芯片起到电磁屏蔽的效果。从而能够避免第一芯片对第二芯片产生电磁干扰，而第二重布线层上还形成有第二屏蔽体，因此能够对第二芯片起到电磁屏蔽的效果，从而避免第二芯片对第一芯片产生电磁干扰，即能够避免芯片之间的电磁干扰，并且能够避

免外界环境对芯片产生电磁干扰,进而能够提高封装结构的产品性能。

附图说明

[0028] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本发明的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0029] 图1为本发明实施例提供的扇外型封装结构的板状基材的结构示意图;

[0030] 图2为本发明实施例提供的扇外型封装结构的结构示意图之一;

[0031] 图3为本发明实施例提供的扇外型封装结构的结构示意图之二;

[0032] 图4为本发明实施例提供的扇外型封装结构的结构示意图之三;

[0033] 图5为本发明实施例提供的扇外型封装结构的结构示意图之四;

[0034] 图6为本发明实施例提供的扇外型封装结构的结构示意图之五;

[0035] 图7为本发明实施例提供的扇外型封装方法的流程示意图。

[0036] 图标:110-板状基材;111-容置槽;112-第一屏蔽体;120-第一重布线层;130-第二重布线层;140-导电柱;150-第一芯片;160-第二芯片;170-第二屏蔽体;171-打线;180-连接柱;181-接地端;190-散热胶;200-介电层。

具体实施方式

[0037] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本发明实施例的组件可以以各种不同的配置来布置和设计。

[0038] 因此,以下对在附图中提供的本发明的实施例的详细描述并非旨在限制要求保护的本发明的范围,而是仅仅表示本发明的选定实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0039] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。

[0040] 在本发明的描述中,需要说明的是,术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”、“第三”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0041] 此外,术语“水平”、“竖直”等术语并不表示要求部件绝对水平或悬垂,而是可以稍微倾斜。如“水平”仅仅是指其方向相对“竖直”而言更加水平,并不是表示该结构一定要完全水平,而是可以稍微倾斜。

[0042] 在本发明的描述中,还需要说明的是,除非另有明确的规定和限定,术语“设置”、

“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以具体情况理解上述术语在本发明中的具体含义。

[0043] 本发明实施例提供一种扇外型封装结构,如图2所示,包括:一侧板面上形成有容置槽111的板状基材110(如图1所示),板状基材110的两侧板面上分别形成有第一重布线层120(Redistribution layer,RDL)和第二重布线层130,第一重布线层120与第二重布线层130通过导电柱140连接,导电柱140贯穿板状基材110,容置槽111内容置有第一芯片150,第一芯片150的线路焊盘位于远离容置槽111的底部的一侧且与第一重布线层120连接,容置槽111内设置有第一屏蔽体112,第一屏蔽体112罩设于第一芯片150的外周(结合图1和图2所示),第二重布线层130远离板状基材110的一侧连接有第二芯片160,如图3所示,第二重布线层130上形成有第二屏蔽体170,第二屏蔽体170罩设于第二芯片160的外周。

[0044] 其中,板状基材110可以采用硅、二氧化硅、树脂聚合物等介电性较好的材料。示例地,导电柱140可以采用金属、石墨、导电胶等导电材料。

[0045] 需要说明的是,在实际应用中,第一芯片150可以具有多个,相应地,板状基材110对应各第一芯片150分别设置相应的容置槽111。其中,第一重布线层120可以分别对应各第一芯片150进行设置,也可以设置一个第一重布线层120分别与各第一芯片150连接。由于,各第一芯片150分别被其对应的容置槽111内设置的第一屏蔽体112所屏蔽,因此,能够使各第一芯片150之间相互屏蔽,并使各第一芯片150和第二芯片160之间相互屏蔽,从而各第二芯片160和各第一芯片150之间相互电磁屏蔽,避免因相互电磁干扰产生不良,从而提高封装结构性能。

[0046] 还需要说明的是,在实际应用时,本领域技术人员应当知晓,扇外型封装结构还可以设置塑封体,以将第二重布线层130和第二芯片160进行塑封保护;以及,在第一重布线层120远离第一芯片150的一侧形成用于使第一重布线层120与外部器件连接的引脚或锡球等。

[0047] 通常,该扇外型封装结构中,导电柱140分别与所述第一重布线层120和第二重布线层130的扇出区连接,以避免导电柱140对第二芯片160和第一芯片150造成不良影响。

[0048] 其中,第二屏蔽体170可以是覆盖在第二芯片160上的屏蔽胶、罩设在第二芯片160上的金属壳体等,此处不做限制,只要第二屏蔽体170能够对第二芯片160进行电磁屏蔽即可,第一屏蔽体112可以与第二屏蔽体170进行形同形式的设置,当然也可以采用其他方式此处不做限制。

[0049] 通过在第二重布线层130上形成第二屏蔽体170,能够利用第二屏蔽体170对第二芯片160进行电磁屏蔽,从而避免第二芯片160受到电磁干扰,能够增强第一芯片150和第二芯片160之间相互电磁屏蔽的效果。并且,由于第一芯片150和第二芯片160均得到相应的电磁屏蔽,因此,该扇外型封装结构还能够避免外部环境造成的电磁干扰,具有更好的性能。

[0050] 需要说明的是,当第二芯片160被第二屏蔽体170电磁屏蔽时,第二芯片160和第一芯片150均可以设置多个,相应的,第二屏蔽体170分别对应各第二芯片160设置,以避免各芯片之间互相干扰,提高封装结构的性能。

[0051] 本发明实施例提供的一种扇外型封装结构,包括一侧板面上形成有容置槽111的

板状基材110。在板状基材110的两侧板面上分别形成有第一重布线层120和第二重布线层130,并且第一重布线层120和第二重布线层130通过导电柱140连接,其中,导电柱140贯穿板状基材110进行设置。在容置槽111内容置有第一芯片150,并且第一芯片150的线路焊盘位于远离容置槽111的底部的一侧与第一重布线层120连接,容置槽111内设置有第一屏蔽体112,第一屏蔽体112罩设于第一芯片150的外周。而第二重布线层130远离板状基材110的一侧连接有第二芯片160,第二重布线层130上形成有第二屏蔽体170,第二屏蔽体170罩设于所述第二芯片160的外周。通过该封装结构,能够使第一芯片150和第二芯片160在工作过程中产生的热量,利用板状基材110向外部传导,从而提高对第一芯片150和第二芯片160的散热效果,减小第一芯片150和第二芯片160因过热而导致不良的几率。并且,由于该封装结构中,第一芯片150设置于板状基材110形成的容置槽111内,因此,通过容置槽111设置的第一屏蔽体112,能够对第一芯片150起到电磁屏蔽的效果。从而能够避免第一芯片150对第二芯片160产生电磁干扰,而第二重布线层130上还形成有第二屏蔽体170,因此能够对第二芯片160起到电磁屏蔽的效果,从而避免第二芯片160对第一芯片150产生电磁干扰,即该封装结构能够避免芯片之间的电磁干扰,并且能够避免外界环境对芯片产生电磁干扰,进而能够提高该封装结构的产品性能。

[0052] 可选地,结合图2和图1所示,第一屏蔽体112为容置槽的内壁上形成的屏蔽层。

[0053] 容置槽111的内壁上形成的屏蔽层,通常采用导电性材料以起到电磁屏蔽效果。示例地,屏蔽层可以是石墨层、氧化铟锡层、金属层等,例如,屏蔽层为金属层。将屏蔽层设置为金属层,成本相对较低,且便于在容置槽111的内壁上进行设置。

[0054] 可选地,如图3所示,第二屏蔽体170为第二重布线层130上形成的多条打线171,各打线171的两端分别位于第二芯片160的相对两端。

[0055] 其中,各打线171可以按一定间隔沿直线排列设置,当然,各打线171还可以相互交错设置,此处不做限制,只要各打线171构成的第二屏蔽体170能够遮罩第二芯片160,以对第二芯片160起到电磁屏蔽的效果即可。

[0056] 通过在第二重布线层130上形成多条打线171,以构成第二屏蔽体170,成本相对较低,并且便于设置。

[0057] 可选地,结合图4所示,第二屏蔽体170和第一屏蔽体112通过连接柱180导通,连接柱180内嵌于板状基材110内。

[0058] 将第二屏蔽体170和第一屏蔽体112通过连接柱180导通,能够增强对第一芯片150和第二芯片160进行静电屏蔽的效果。其中,连接柱180可以采用金属、石墨、导电胶等导电材料,此处不做限制。

[0059] 需要说明的是,当第二屏蔽体170为第二重布线层130上形成的多条打线171时,示例地,连接柱180可以与第二重布线层130上的打线焊盘连接。

[0060] 可选地,结合图5所示,扇出型封装结构还包括接地端181,第一屏蔽体112与接地端181连接。

[0061] 通过设置接地端181,并将第一屏蔽体112与接地端181连接,能够避免第一屏蔽体112上积累的电荷在第一重布线层120和/或第二重布线层130上形成电流而烧坏芯片或电路,影响该封装结构的性能。

[0062] 当然,该扇出型封装结构还包括用于电磁屏蔽第二芯片160的第二屏蔽体170时,

第二屏蔽体170也可以与接地端181连接,以避免其积累的电荷烧坏器件。若第一屏蔽体112和第二屏蔽体170通过连接柱180连接,则可以选择第一屏蔽体112或第二屏蔽体170之一与接地端181连接即可,例如将第一屏蔽体112与接地端181连接。

[0063] 可选地,接地端181为形成于第一重布线层120上的接地焊盘,接地焊盘与第一屏蔽体112连接。

[0064] 需要说明的是,通常接地焊盘为了能够与外部设备或器件接地连通,接地焊盘可以形成于第一重布线层120背离第一芯片150的一侧。在实际应用中,可以通过在接地焊盘上进行植球或焊接引脚,以便于接地焊盘与外部设备接地连通。

[0065] 可选地,结合图6所示,容置槽111内填充有散热胶190,散热胶190覆盖第一芯片150。

[0066] 通过设置散热胶190,能够使第一芯片150的热量更快、更容易的向板状基材110传导,从而增强第一芯片150的散热效果。

[0067] 在实际应用中,还可以将板状基材110设置为热阻较小的介电材料。从而提高板状基材110向外散热的效率,提高该扇外型封装结构的散热效果。

[0068] 可选地,如图6所示,扇外型封装结构还包括分别形成于板状基材110的两个板面上的介电层200,第一重布线层120和第二重布线层130分别内嵌于对应的介电层200内。

[0069] 通过设置介电层200,能够对第一重布线层120和第二重布线层130进行固定和保护。

[0070] 本发明实施例的另一方面,提供一种扇外型封装方法,能够用于制作生成上述的扇外型封装结构,以避免芯片间因相互干扰而产生不良,提高封装结构的产品性能。

[0071] 如图7所示,该扇外型封装方法可以包括:

[0072] S701:在板状基材的一侧板面上形成容置槽。

[0073] S702:形成贯穿板状基材两侧板面的导电柱。

[0074] S703:在容置槽的内壁上形成屏蔽层。

[0075] S704:设置第一芯片于容置槽内,其中,第一芯片的线路焊盘位于远离容置槽底部的一侧。

[0076] S705:在板状基材形成容置槽的一侧板面上形成第一重布线层,以使第一重布线层与第一芯片的线路焊盘、以及导电柱连接。

[0077] S706:在板状基材与第一重布线层相背的一侧板面上形成第二重布线层,以使第二重布线层与导电柱连接。

[0078] S707:在第二重布线层远离板状基材的一侧贴装第二芯片;

[0079] S708:在第二重布线层上形成第二屏蔽体,以使第二屏蔽体罩设于第二芯片的外周。

[0080] 其中,容置槽可以通过蚀刻工艺形成,在蚀刻过程中可以对容置槽以外的板面区域利用保护膜保护。在容置槽内壁上形成屏蔽层,可以采用化学气相沉积、电镀等工艺。当然,在本发明实施例中,对于形成容置槽以及屏蔽层的具体工艺不做限制。

[0081] 在该方法中,形成导电柱可以采用TSV穿孔(硅穿孔)技术实现。当然,也可以通过形成通孔后填充导电胶等形式实现,此处不做限制。

[0082] 通常,在实际应用中,形成导电柱的步骤和形成屏蔽层的步骤先后顺序可以根据

实际情况设定,此处不做限制。

[0083] 需要说明的是,在对板状基材的一侧板面进行相应加工时,可以将另一侧板面贴合在载板上,以避免板状基材在加工过程中发生翘曲等变形。其中,载板可以采用玻璃、氧化硅、金属等材料。

[0084] 在本发明实施例中,设置第一芯片于容置槽内之后,还可以向容置槽内填充散热胶,以提高第一芯片的热量向板状基材上传导的效率,增强散热效果。

[0085] 在形成第一重布线层之后,还可以通过填充介电层的形式将第一重布线层嵌设于介电层内以进行保护和整平。相应地,在形成第二重布线层之后,还可以通过填充介电层的形式将第二重布线层嵌设于介电层内以进行保护和整平。

[0086] 其中,形成第二屏蔽体具体可以是在第二重布线层上位于第二芯片的相对两端处,分别形成多个打线焊盘并进行打线,以形成两端分别位于第二芯片的相对两端的打线。

[0087] 通过形成第二屏蔽体以对第二芯片进行电磁屏蔽,能够进一步避免第一芯片和第二芯片间相互干扰,并且,能够分别避免外部环境对第一芯片和第二芯片的干扰。

[0088] 在实际应用中,该方法设置第一芯片于容置槽内的步骤之前,还可以在板状基材上形成一端与屏蔽层连通,另一端用于与第二重布线层连通的连接柱,以使第二重布线层上形成的第二屏蔽体能够通过连接柱与屏蔽层连通。其中,形成连接柱的工艺可以与形成导电柱的工艺相同,此处不做赘述。

[0089] 本发明实施例提供的扇外型封装方法,可以首先在板状基材的一侧板面上形成容置槽,以及形成贯穿板状基材两侧板面的导电柱。然后在容置槽的内壁上形成屏蔽层,并设置第一芯片于容置槽内,使第一芯片的线路焊盘位于远离容置槽底部的一侧。之后在板状基材形成容置槽的一侧板面上形成第一重布线层,以使第一重布线层与第一芯片的线路焊盘、以及导电柱连接,以及在板状基材与第一重布线层相背的一侧板面上形成第二重布线层,以使第二重布线层与导电柱连接,并在第二重布线层远离板状基材的一侧贴装第二芯片,以及在所述第二重布线层上形成第二屏蔽体,以使所述第二屏蔽体罩设于所述第二芯片的外周,从而形成扇外型封装结构。通过该扇外型封装方法形成扇外型封装结构,能够使第一芯片和第二芯片在工作过程中产生的热量,利用板状基材向外部传导,从而提高对第一芯片和第二芯片的散热效果,减小第一芯片和第二芯片因过热而导致不良的几率。并且,由于第一芯片设置于板状基材形成的容置槽内,且容置槽的内壁上形成有屏蔽层,因此,能够对第一芯片起到电磁屏蔽的效果。从而能够避免第一芯片对第二芯片产生电磁干扰,而第二重布线层上还形成有第二屏蔽体,因此能够对第二芯片起到电磁屏蔽的效果,从而避免第二芯片对第一芯片产生电磁干扰,即能够避免芯片之间的电磁干扰,并且能够避免外界环境对芯片产生电磁干扰,进而能够提高该封装结构的产品性能。

[0090] 所属领域的技术人员可以清楚地了解到,为描述的方便和简洁,上述描述的扇外型封装方法中涉及的结构等的具体实施方式和效果,可以参考前述扇外型封装结构实施例中的对应描述和解释,本发明中不再赘述。

[0091] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

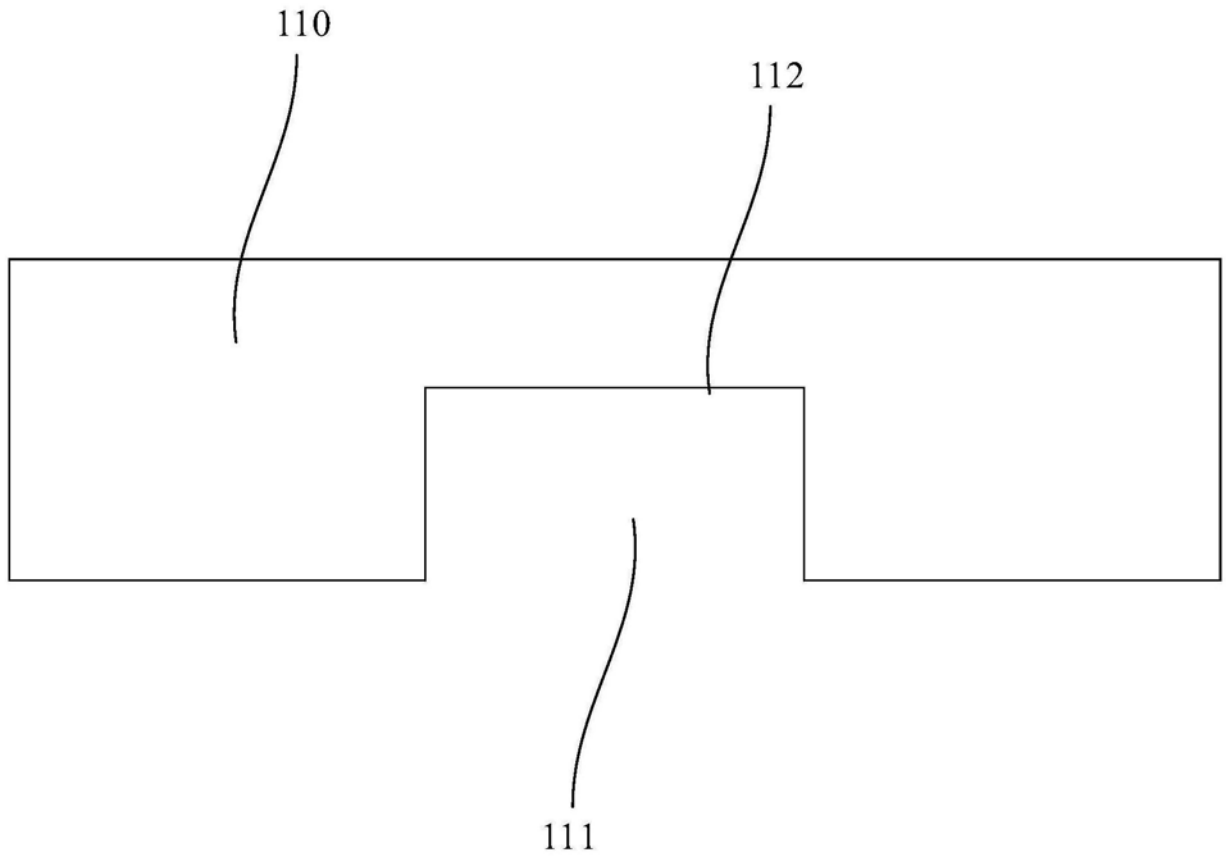


图1

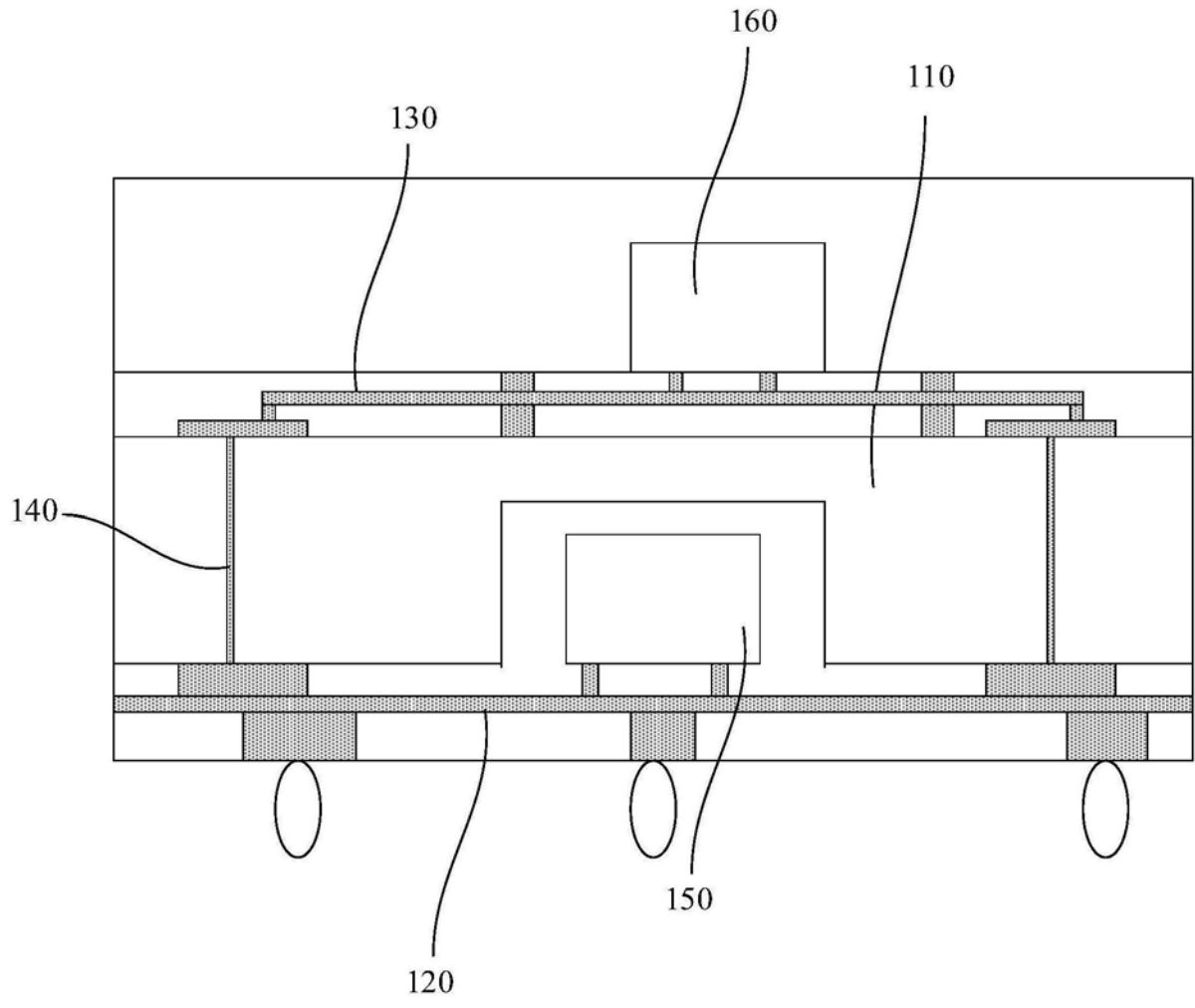


图2

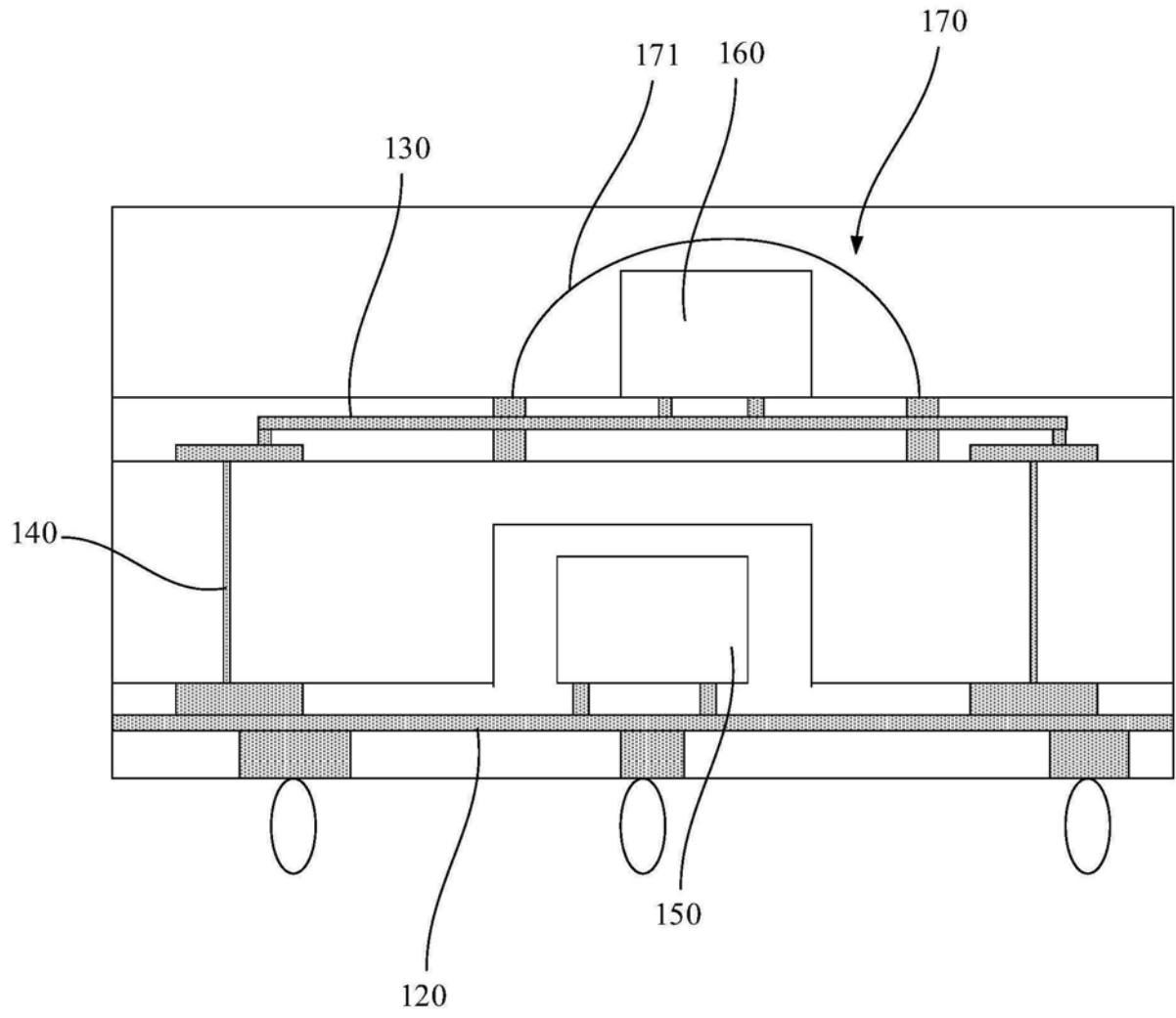


图3

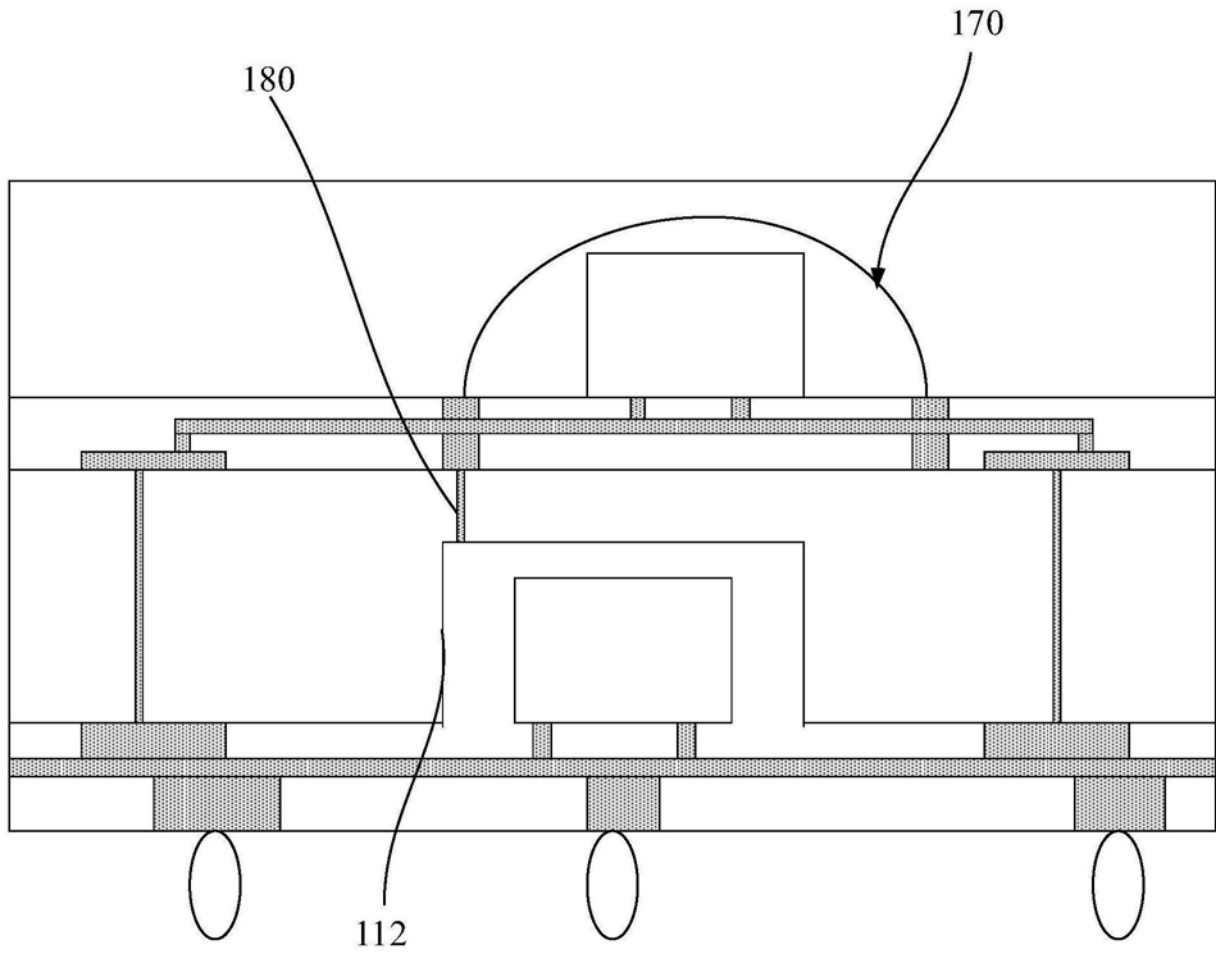


图4

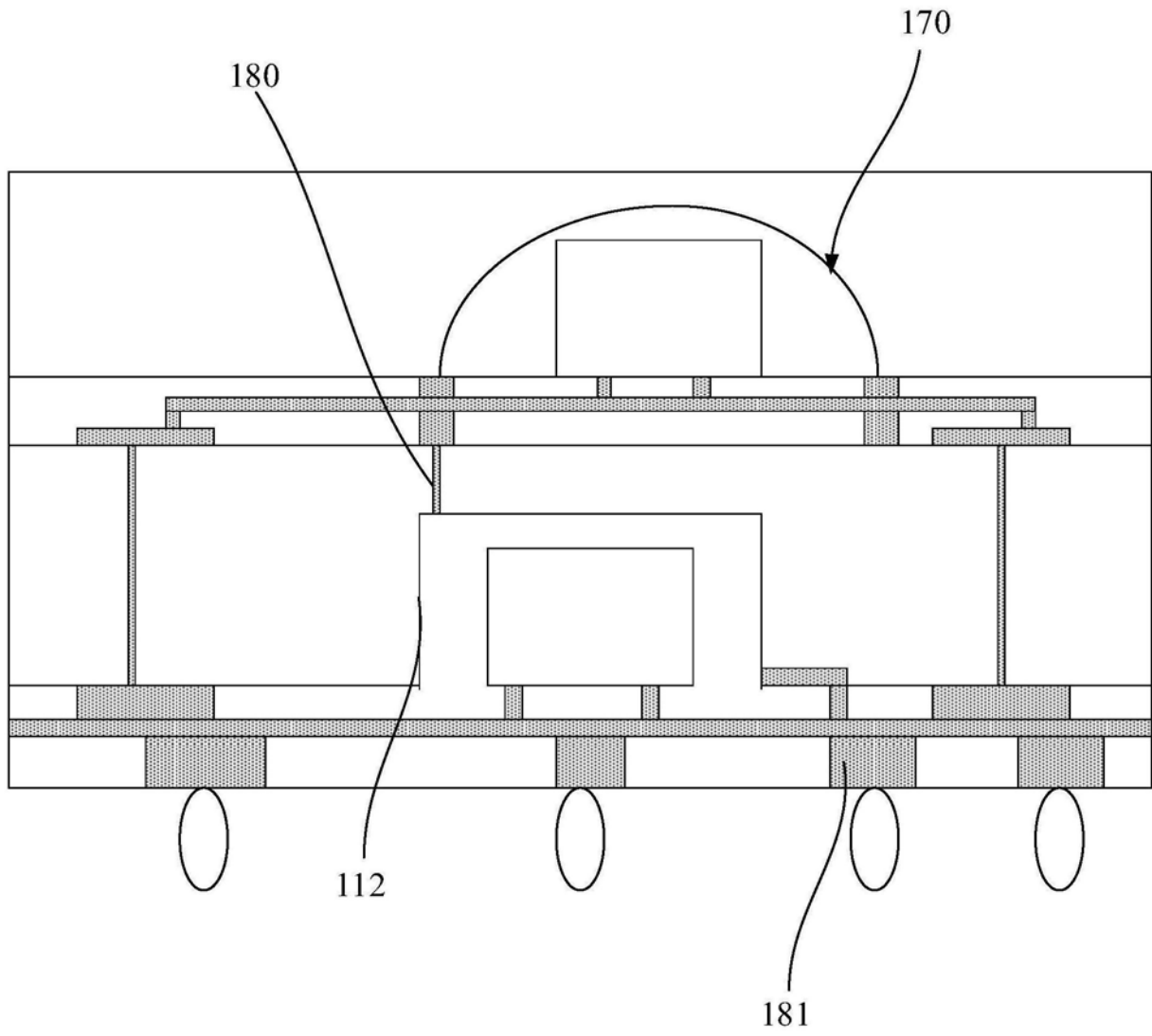


图5

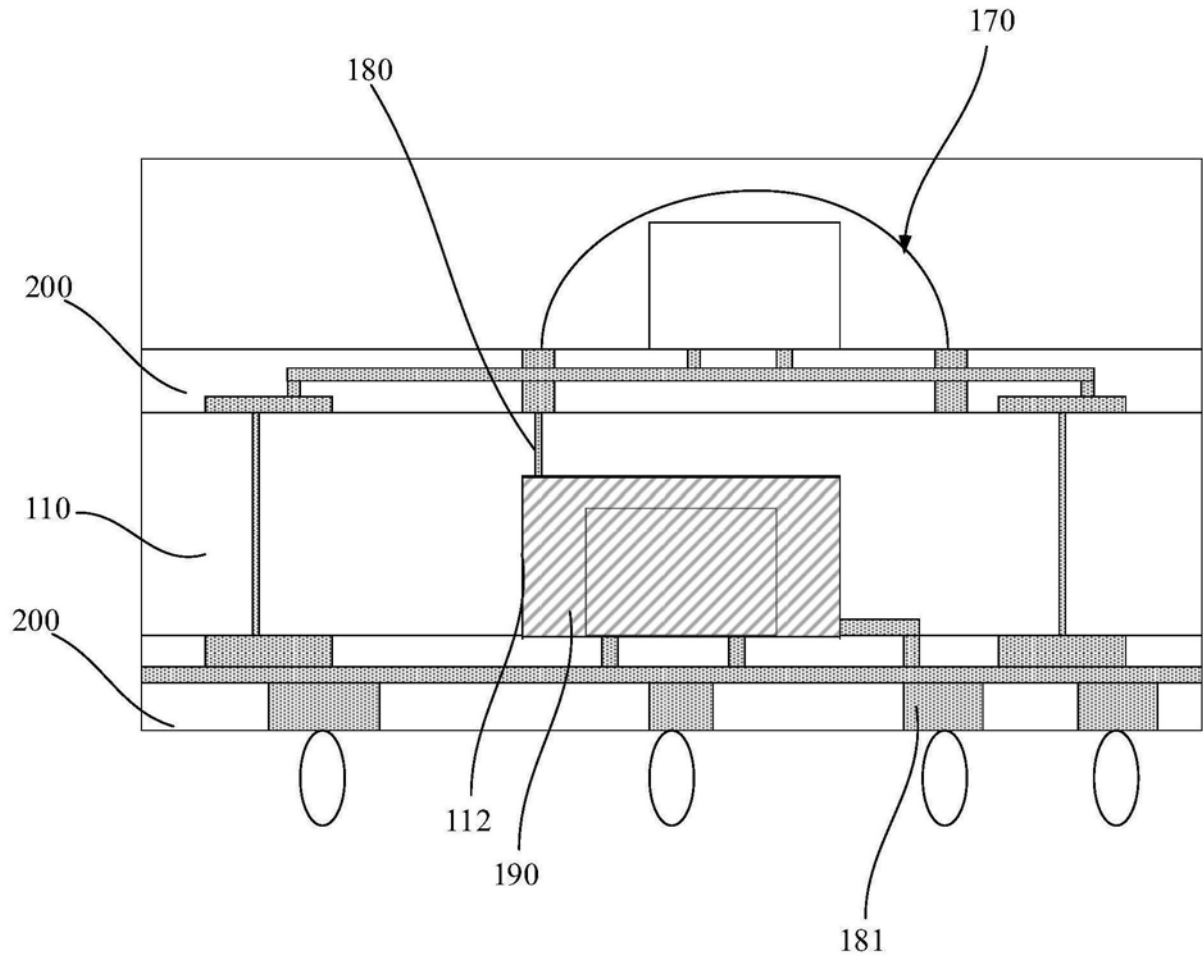


图6

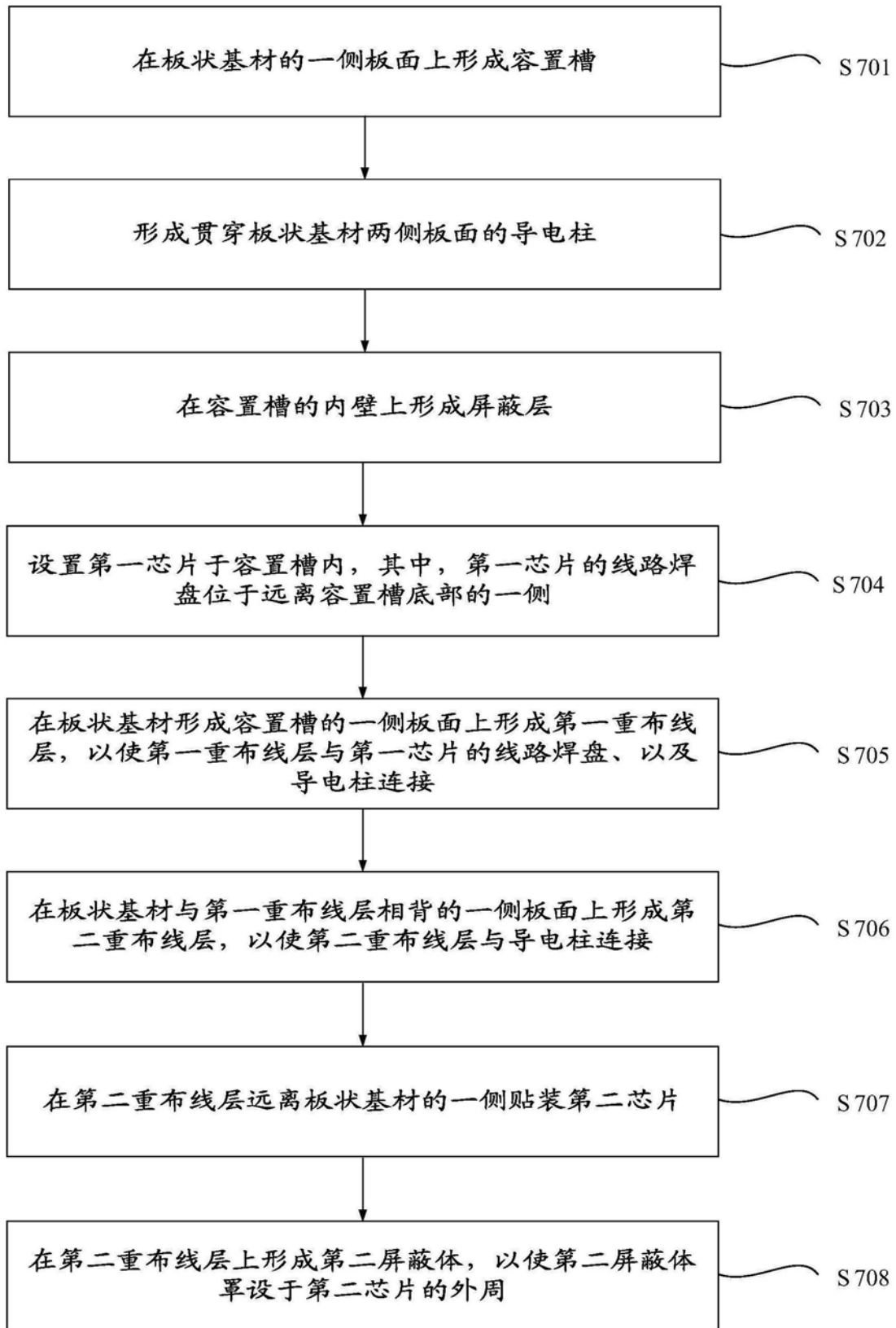


图7