

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶ G09G 3/28	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월25일 10-0517367 2005년09월20일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1998-0052168 1998년12월01일	(65) 공개번호 (43) 공개일자	10-2000-0037551 2000년07월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	엘지전자 주식회사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	강성호 대구광역시 북구 태전동 1066번지 대백1차 103동 1601호
(74) 대리인	이수웅 황의창

심사관 : 정재현

(54) 플라즈마 표시 패널의 오차 확산 처리 회로

요약

본 발명은 n비트의 원 화소 영상신호를 m(= n-1)비트의 출력 영상신호로 변환하고 수평동기 또는 수직동기 신호가 "0"인 구간의 데이터는 제거하며 원 화소 영상신호와 출력 영상신호 사이의 오차량을 인접 화소들에 분배하여 의사 중간조 표시를 행하도록 한 PDP의 오차 확산 처리 회로에 관한 것이다.

이러한 본 발명은, n비트의 원 화소 영상신호가 오차 확산 출력되면 수평동기 신호가 "0"인 구간의 데이터를 제거하는 수평 무효 데이터 제거회로(110)와, 상기 오차 확산 출력에서 수직동기 신호가 "0"인 구간의 데이터를 제거하는 수직 무효 데이터 제거회로(111)와, 상기 무효 데이터가 제거된 영상신호에서 LSB를 검출하는 LSB 검출회로(102)와, 상기 원 화소보다 1 라인 과거에 생긴 LSB 값을 상기 검출된 LSB 값에 가중하는 상위 라인 LSB 지연회로(103)와, 상기 원 화소보다 1 도트 과거에 생긴 LSB 값을 상기 검출된 LSB 값에 가중하는 좌측 도트 LSB 지연회로(104)와, 상기 상위 라인 및 좌측 도트 LSB 지연회로(104)(104)의 출력신호를 논리합 연산하여 오차신호를 출력하는 오어(OR) 게이트(105)와, 상기 오어 게이트(105)의 오차신호를 상기 원 화소에 가산하여 확산하는 가산회로(107)와, 상기 가산회로(107)의 오차 확산 출력신호에서 LSB 값을 제거시켜 m(= n-1)비트로 변환하여 출력하는 LSB 제거회로(108)로 구성된다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래 플라즈마 표시 패널의 오차 확산 처리 회로의 블록 구성도.

도 2는 화소의 좌표 위치 설명도.

도 3은 본 발명에 의한 플라즈마 표시 패널의 오차 확산 처리 회로의 블록 구성도.

도 4는 종래 기술과 본 발명에 의한 오차 확산 처리 상태도.

*** 도면의 주요 부분에 대한 부호의 설명 ***

101 : 영상 입력단자 102 : LSB 검출회로

103 : 상위 라인 LSB 지연회로 104 : 좌측 도트 LSB 지연회로

105 : 오버 게이트 106 : 오버플로우 예상회로

107 : 가산회로 108 : LSB 제거회로

109 : 영상 출력단자 110 : 수평 무효 데이터 제거회로

111 : 수직 무효 데이터 제거회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 표시 패널(이하 "PDP"라 칭함)의 오차 확산 처리 회로에 관한 것으로, 특히 n비트의 원 화소 영상신호를 m(= n-1)비트의 출력 영상신호로 변환하고 수평동기(HSYNC) 신호 또는 수직동기(VSYNC) 신호가 "0"인 구간의 데이터는 제거하며 원 화소 영상신호와 출력 영상신호 사이의 오차량을 아직 처리하지 않은 인접 화소들에 분배하여 의사 중간조 표시를 행하므로써 화질 저하를 보상하도록 한 PDP의 오차 확산 처리 회로에 관한 것이다.

주지와 같이, PDP는 화소를 구성하는 셀의 수직 및 수평 전극 사이에 인가되는 전압 조절을 통하여 방전을 얻으며, 방전된 빛의 양은 셀 내에서의 방전 시간의 길이를 변화시켜서 조절한다.

그리고, 전체화면은 각각의 셀의 수직 및 수평 전극에 디지털 영상신호를 입력시키기 위한 라이트 펄스, 주사를 위한 스캔 펄스, 방전을 유지시켜 주기 위한 서스테인 펄스, 및 방전된 셀의 방전을 중지시키기 위한 이레이스 펄스를 인가하여 매트릭스 형으로 구동시켜서 얻는다.

또한, 영상 표시를 위해 필요한 단계적인 계조(grey level)는 전체 영상을 표시하기 위해 필요한 주어진 시간 내에서 개개의 셀이 방전되는 시간의 길이를 서로 다르게 하여 구현시킨다.

이때, 화면의 휘도는 각각의 셀을 최대로 구동시켰을 때의 밝기에 의해 결정이 되고, 휘도를 증가시켜 주기 위해서는 한 화면을 구성시키기 위한 주어진 시간 내에서 셀의 방전 시간을 최대한 길게 유지시켜야 한다.

아울러, 명암의 차이인 콘트라스트(contrast)는 배경의 밝기와 휘도에 의해 결정이 되고, 이러한 콘트라스트의 증가를 위해서는 배경을 어둡게 하여야 할뿐만 아니라 휘도를 증가시킬 필요가 있다.

일예로, 256 계조의 영상 표시를 위해서 필요한 영상 디지털 신호는 RGB 각각 8 비트 신호가 필요하고, 요구 휘도 및 콘트라스트를 얻기 위해서는 셀의 방전 시간을 최대한 길게 유지시켜 주어야 한다.

한편, 교류 PDP의 계조 구현 방법으로서 현재 가장 주목받고 있는 부 화면(sub-field) 주사 방식은 8 비트 디지털 영상신호를 MSB(최상위 비트)부터 LSB(최하위 비트)까지 같은 웨이트(weight)의 비트 끼리 모은 후, MSB는 시간 T 동안, 하위 비트들은 MSB에 가까운 비트 순으로 각각 T/2, T/4, ... , T/128 동안 주사 시켜서 부 화면을 구성하고, 각각의 부 화면으로부터 방출되는 빛에 대한 눈의 적분 효과를 이용하여 256 계조를 구현시킨다.

여기서, PDP는 매트릭스 방식으로 구동되어야 하므로 주어진 어드레스 전극에 대하여 한번에 1개 이상의 스캔 전극에 라이트 펄스를 인가하지 못하는 제약점이 있고, 이로 인해 스캔 전극들은 서로 다른 시간에 구동이 되어야 한다.

그러므로, 각 부 화면을 구성하기 위해서는 모든 스캔 전극들을 주사하는 시간(어드레스 기간)이 필요하고, 각각의 셀은 평균 부 화면에 할당된 시간에서 주사 시간만큼 감소된 시간(서스테인 기간) 동안만 방전을 유지시킬 수 있다. 어드레스 기간은 스캔 전극의 수가 증가할수록 증가하며, 이 시간 동안은 방전을 유지시킬 수 없기 때문에 상대적으로 서스테인 기간이 감소되어 PDP의 휘도 및 콘트라스트 저하를 발생시키는 요인이 되므로 어드레스 기간은 가능한 줄여 줄 필요가 있다.

이에 따라, 근래에는 n비트로 양자화된 원 화소 영상신호가 입력되더라도 출력 영상신호를 $m(\leq n-1)$ 비트로 변환시켜 모든 비트를 디스플레이하지 않고 PDP에는 m비트 만을 디스플레이하는 구동방법을 이용한다.

그런데, 이러한 비트 변환 구동방법은 취급 신호의 비트수를 감하여 휘도는 증가되지만 계조 표시가 적어지므로 화질의 저하가 초래되는 단점이 있다.

이러한 단점을 보완하기 위하여 일본국 특개평 7-64501호에는 원 화소 영상신호와 출력 영상신호 사이의 오차량을 아직 처리하지 않은 인접 화소들에 분배하여 의사 중간조 표시를 행하므로써 화질 저하를 보상하도록 한 오차 확산 처리 회로가 제안되었다.

이하, 상기 일본국 특개평 7-64501호에 제안된 오차 확산 처리 회로의 동작 및 작용 효과를 첨부된 도면 도 1, 2, 4를 참조하여 설명한다.

PDP의 i번째 라인(행)에서 j번째 열의 화소를 원 화소 $A_{i,j}$ 라 할 때에 $A_{i,j-h}$ 는 원 화소보다 h라인 상위의 화소이고, $A_{i,j-d}$ 는 원 화소보다 d열 좌측의 화소이다.

먼저, 영상 입력단자(1)에 원 화소 $A_{i,j}$ 의 n비트 영상신호가 입력되고, 오차 검출회로(2)는 소정의 가중을 위한 오차량 K_d, K_h 를 검출한다.

그러면, h 라인 지연회로(3)는 원 화소 $A_{i,j}$ 보다 h 라인 과거에 생긴 재현오차 E_{j-h} 를 상기 오차량 K_h 에 가중하여 출력하고, 이 출력 신호를 수직방향 가산회로(4)에서 원 화소 $A_{i,j}$ 에 가산한다.

그리고, d 도트 지연회로(5)는 원 화소 $A_{i,j}$ 보다 d 도트 과거에 생긴 재현오차 E_{i-d} 를 상기 오차량 K_d 에 가중하여 출력하고, 이 출력 신호를 수평방향 가산회로(6)에서 원 화소를 $A_{i,j}$ 에 가산한다.

다음으로, h 라인 지연회로(3)와 d 도트 지연회로(5)에서 오차를 가산하여 확산시킨 n비트의 양자화된 확산 출력신호는 비트 변환회로(7)에서 $m(\leq n-1)$ 비트로 변환되어 영상 출력단자(8)로 출력된다.

따라서, 영상 입력단자(1)로 입력되는 영상신호에 오차를 가중 확산한 후 원 영상신호보다 적은 비트로 계조를 구현하더라도 오차 확산에 의하여 의사 중간조 표시를 행하므로써 화질의 저하가 보상된다.

그러나, 이러한 종래의 오차 확산 처리 회로는 아래와 같은 문제점이 있었다.

첫째; 영상 입력단자(1)로 입력되는 n비트의 원 화소 영상신호와 영상 출력단자(8)로 출력되는 m비트의 출력 영상신호 사이의 비트 차이가 2비트 이상일 경우에는 오차 확산을 통하여 중간조 표시를 행하더라도 화상이 부자연스럽게 디스플레이되고 계조 표시가 적어져 화질이 저하되는 문제점이 있었다.

둘째; 도 1에 도시된 바와 같이 두 개의 가산회로 즉, 수직방향 가산회로(4)와 수평방향 가산회로(6)를 사용함에 따라 회로가 복잡함은 물론이고 계산 속도가 늦었으며 코스트가 높은 문제점이 있었다.

셋째; 영상 입력단자(1)로 입력되는 n비트의 원 화소 영상신호와 영상 출력단자(8)로 출력되는 m비트의 출력 영상신호 사이의 비트 차이가 1비트일 경우에도 원 화소 영상신호가 구현 가능한 계조의 피크치일 경우에 인접한 화소의 오차량이 가중되어 확산 처리되면 비트 오버플로우(Overflow)가 발생하는 문제점이 있었다.

일례로, 256계조(0~255)를 구현하는 PDP에서 도 4 (가)와 같이 인접한 4개의 원 화소 영상신호가 모두 255레벨일 경우에 영상신호 $A_{i,j}$ 에 h 라인 과거에 생긴 재현오차와 d 도트 과거에 생긴 재현오차가 가중되어 254레벨로 구현될 때, 도 4 (나)와 같이 인접한 영상신호 $A_{i,j+h}$ 와 $A_{i+d,j}$ 에 영상신호 $A_{i,j}$ 의 오차량을 가중하면 구현 불가능한 256레벨이 산출되기 때문이다.

넷째; 수평동기(HSYNC) 신호가 "0"인 구간과 수직동기(VSYNC) 신호가 "0"인 구간의 무효 데이터까지 오차 확산되기 때문에 최상위 라인에 위치한 화소의 오차 확산시 화질의 열화가 초래되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안한 것으로서, 원 화소 영상신호와 출력 영상신호 사이의 비트 차이를 1비트로 한정하여 한 개의 가산회로만을 사용하도록 함으로써 회로를 간단하게 함은 물론이고 고속 계산이 가능하게 하며 코스트가 저감되도록 하고, 오버플로우 예측회로를 부가 설치하여 입력 영상신호가 구현 가능한 계조의 피크치일 때에 발생할 수 있는 비트 오버플로우를 방지하며, 수평동기(HSYNC) 신호가 "0"인 구간과 수직동기(VSYNC) 신호가 "0"인 구간의 무효 데이터를 제거하여 화질의 열화를 방지하는데 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 기술적 수단은, n비트의 원 화소 영상신호가 후단의 가산회로를 통하여 오차 확산된 신호에서 수평동기 신호가 "0"인 구간의 데이터를 제거하는 수평 무효 데이터 제거회로; 오차 확산된 신호에서 수직 동기 신호가 "0"인 구간의 데이터를 제거하는 수직 무효 데이터 제거회로; 수평 및 수직 무효 데이터 제거회로를 통하여 무효 데이터가 제거된 영상신호에서 최하위비트(LSB)를 검출하는 LSB 검출회로; n비트의 원 화소 영상신호에 원 화소보다 1 라인 과거에 생긴 LSB 값을 가중하는 상위 라인 LSB 지연회로; n비트의 원 화소 영상신호에 원 화소보다 1 도트 과거에 생긴 LSB 값을 가중하는 좌측 도트 LSB 지연회로; 상위 라인 및 좌측 도트 LSB 지연회로의 출력신호를 논리합 연산하여 오차 신호를 출력하는 논리소자; 이 논리소자의 오차신호를 상기 n비트의 원 화소 영상신호에 가산하여 확산하는 가산회로; 이 가산회로의 오차 확산 출력신호에서 LSB 값을 제거시켜 $m(=n-1)$ 비트로 변환하여 출력하는 LSB 제거회로로 이루어짐을 특징으로 한다.

바람직하게는, 원 화소가 n비트로 표현되는 피크치일 때 비트 오버플로우를 예상하여 논리소자의 오차신호를 차단하는 오버플로우 예상회로를 더 포함하여 이루어짐을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명을 첨부한 도면에 의거하여 설명하면 다음과 같다.

도 3은 본 발명에 의한 오차 확산 처리 회로의 블록 구성도를 나타낸 것으로서, 영상 입력단자(101)로 입력되는 n비트의 원 화소 영상신호를 후단의 가산회로(107)를 통하여 오차 확산되면 수평동기(HSYNC) 신호가 "0"인 구간의 데이터를 제거하는 수평 무효 데이터 제거회로(110)와, 상기 n비트의 원 화소 영상신호를 상기 가산회로(107)를 통하여 입력받아 수직동기(VSYNC) 신호가 "0"인 구간의 데이터를 제거하는 수직 무효 데이터 제거회로(111)와, 상기 수평 및 수직 무효 데이터 제거회로(110)(111)를 통하여 무효 데이터가 제거된 영상신호에서 최하위비트(LSB)를 검출하는 LSB 검출회로(102)와, 상기 n비트의 원 화소 영상신호에 원 화소보다 1 라인 과거에 생긴 LSB 값을 가중하는 상위 라인 LSB 지연회로(103)와, 상기 n비트의 원 화소 영상신호에 원 화소보다 1 도트 과거에 생긴 LSB 값을 가중하는 좌측 도트 LSB 지연회로(104)와, 상기 상위 라인 및 좌측 도트 LSB 지연회로(103)(104)의 출력신호를 논리합 연산하여 오차 신호를 출력하는 오어(OR) 게이트(105)와, 상기 원 화소가 n비트로 표현되는 피크치일 때 비트 오버플로우를 예상하여 상기 오어 게이트(105)의 오차신호를 차단하는 오버플로우 예상회로(106)와, 상기 오어 게이트(105)의 오차신호를 n비트의 원 화소 영상신호에 가산하여 확산하는 가산회로(107)와, 상기 가산회로(107)의 오차 확산 출력신호에서 LSB 값을 제거시켜 $m(=n-1)$ 비트로 변환하여 영상 출력단자(109)로 출력하는 LSB 제거회로(108)로 구성되어 있다.

이와 같이 구성된 본 발명의 동작 및 작용 효과를 첨부한 도면 도 2 내지 도 4를 참조하여 설명하면 다음과 같다.

먼저, 원 화소 $A_{i,j}$ 의 n 비트 영상신호가 영상 입력단자(101)에 입력되어 가산회로(107)를 통하여 오차 확산 출력되면 수평 무효 데이터 제거회로(110)는 수평동기(HSYNC) 신호가 "0"인 구간의 데이터를 제거하고, 수직 무효 데이터 제거회로(111)는 수직동기(VSYNC) 신호가 "0"인 구간의 데이터를 제거한다.

그리고, LSB 검출회로(102)는 상기 수평 및 수직 무효 데이터 제거회로(110)(111)를 통하여 무효 데이터가 제거된 영상 신호에서 소정의 가중을 위하여 LSB를 검출한다.

그러면, 상위 라인 지연회로(103)는 원 화소 $A_{i,j}$ 보다 1 라인 과거에 생긴 LSB 값을 상기 LSB 검출회로(102)에서 검출된 LSB에 가중하여 오어 게이트(105)로 출력하고, 좌측 도트 지연회로(104)는 원 화소 $A_{i,j}$ 보다 1 도트 과거에 생긴 LSB 값을 상기 LSB 검출회로(102)에서 검출된 LSB에 가중하여 오어 게이트(105)로 출력한다.

다음으로, 오어 게이트(105)는 상위 라인 지연회로(103)와 좌측 도트 LSB 지연회로(104)의 출력신호를 논리합 연산하여 과거의 LSB 값에 의한 오차신호를 오버플로우 예측회로(106)로 출력한다.

이때, 오버플로우 예측회로(106)는 영상 입력단자(101)에서 가산회로(107)로 입력되는 원 화소가 n 비트로 표현되는 피크치일 때 비트 오버플로우를 예상하여 오어 게이트(105)의 오차신호를 차단한다.

일 예로, 256계조(0~255)를 구현하는 PDP에서 도 4 (가)와 같이 인접한 4개의 원 화소 영상신호가 모두 255레벨일 경우에 영상신호 $A_{i,j}$ 에 1 라인 과거에 생긴 LSB 값과 1 도트 과거에 생긴 LSB 값이 가중되어 254레벨로 구현될 때, 도 4 (다)와 같이 오버플로우 예측회로(106)는 인접한 영상신호 $A_{i,j+h}$ 와 $A_{i+d,j}$ 에 영상신호 $A_{i,j}$ 의 LSB 값이 가중되지 않게 한다.

즉, 원 화소 영상신호 $A_{i,j+h}$ 와 $A_{i+d,j}$ 가 "255"이고, 오어 게이트(105)에서 출력되는 오차신호가 "1"이면, 가산회로(107)에서 8비트로 구현 불가능한 "256"이 산출되기 때문에 오버플로우 예측회로(106)는 원 화소 영상신호가 "255"이면 오어 게이트(105)에서 출력되는 오차신호를 "0"으로 만들어 비트 오버플로우를 방지하는 것이다.

한편, 가산회로(107)는 오버플로우 예측회로(106)를 통과한 오어 게이트(105)의 오차신호를 원 화소에 가산하여 확산하고, 이 가산회로(107)의 오차 확산 출력신호가 상기 수평 및 수직 무효 데이터 제거회로(110)(111)를 통하여 출력되면 LSB 제거회로(108)는 LSB 값을 제거시켜 $m(=n-1)$ 비트로 변환하여 영상 출력단자(109)로 출력한다.

따라서, 입력되는 n 비트 영상신호에 오차를 가중 확산한 후 원 영상신호보다 적은 $m(=n-1)$ 비트로 계조를 구현하더라도 오차 확산에 의하여 의사 중간조 표시를 행하므로써 화질의 저하가 보상된다.

발명의 효과

이상에서 설명한 바와 같이 본 발명은 원 화소 영상신호와 출력 영상신호 사이의 비트 차이를 1비트로 한정하여 한 개의 가산회로만을 사용하도록 함으로써 회로를 간단하게 함은 물론이고 고속 계산이 가능하게 하며 코스트가 저감되도록 하고, 오버플로우 예측회로를 부가 설치하여 입력 영상신호가 구현 가능한 계조의 피크치일 때에 발생할 수 있는 비트 오버플로우를 방지하며, 수평동기 신호가 "0"인 구간과 수직동기 신호가 "0"인 구간의 무효 데이터를 제거하여 최상위 라인에 위치한 화소의 오차 확산시 유발될 수 있는 화질의 열화를 방지하는 효과가 있다.

(57) 청구의 범위

청구항 1.

n 비트의 원 화소 영상신호가 후단의 가산회로를 통하여 오차 확산된 신호에서 수평동기 신호가 "0"인 구간의 데이터를 제거하는 수평 무효 데이터 제거회로; 상기 오차 확산한 신호에서 수직동기 신호가 "0"인 구간의 데이터를 제거하는 수직 무효 데이터 제거회로; 상기 수평 및 수직 무효 데이터 제거회로를 통하여 무효 데이터가 제거된 영상신호에서 최하위비트 (LSB)를 검출하는 LSB 검출회로; 상기 n 비트의 원 화소 영상신호에 원 화소보다 1 라인 과거에 생긴 LSB 값을 가중하는 상위 라인 LSB 지연회로; 상기 n 비트의 원 화소 영상신호에 원 화소보다 1 도트 과거에 생긴 LSB 값을 가중하는 좌측 도트 LSB 지연회로; 상기 상위 라인 및 좌측 도트 LSB 지연회로의 출력신호를 논리합 연산하여 오차 신호를 출력하는 논리

소자; 상기 논리소자의 오차신호를 상기 n비트의 원 화소 영상신호에 가산하여 확산하는 가산회로; 상기 가산회로의 오차 확산 출력신호에서 LSB 값을 제거시켜 $m(= n-1)$ 비트로 변환하여 출력하는 LSB 제거회로를 포함하여 구성된 것을 특징으로 하는 플라즈마 표시 패널의 오차 확산 처리 회로.

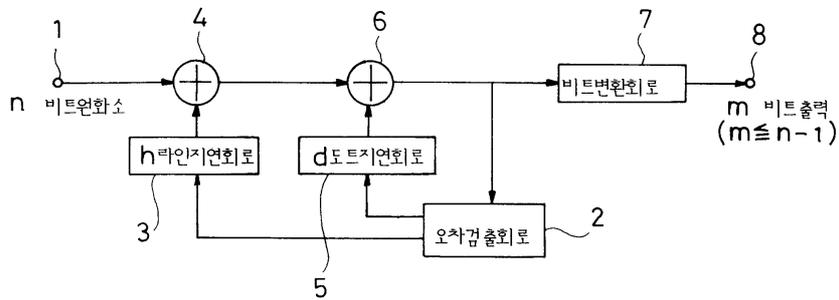
청구항 2.

제 1 항에 있어서,

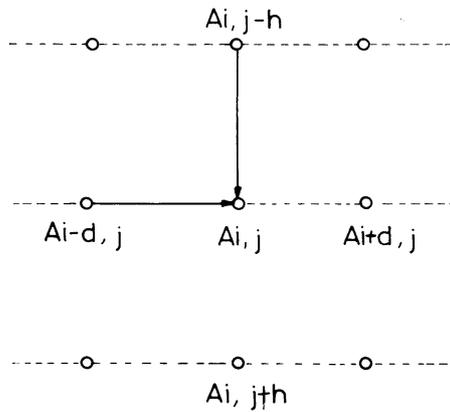
상기 원 화소가 n비트로 표현되는 피크치일 때 비트 오버플로우를 예상하여 상기 논리소자의 오차신호를 차단하는 오버플로우 예상회로를 더 포함하여 구성된 것을 특징으로 하는 플라즈마 표시 패널의 오차 확산 처리 회로.

도면

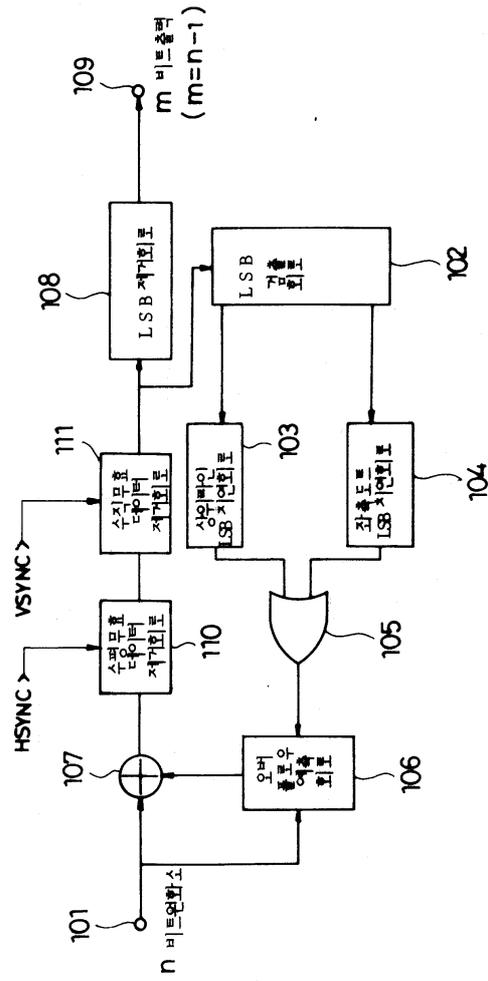
도면1



도면2



도면3



도면4

(가)

255 $A_{i,j}$	255 $A_{i+d,j}$
$A_{i,j+h}$ 255	$A_{i+d,j+h}$ 255

(나)

254 $A_{i,j}$	256 $A_{i+d,j}$
$A_{i,j+h}$ 256	$A_{i+d,j+h}$ 254

(다)

254 $A_{i,j}$	255 $A_{i+d,j}$
$A_{i,j+h}$ 255	$A_{i+d,j+h}$ 255