



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년05월25일  
 (11) 등록번호 10-0898974  
 (24) 등록일자 2009년05월15일

(51) Int. Cl.

H01G 4/33 (2006.01) H01G 4/30 (2006.01)

(21) 출원번호 10-2007-0059482

(22) 출원일자 2007년06월18일

심사청구일자 2007년06월18일

(65) 공개번호 10-2008-0111287

(43) 공개일자 2008년12월23일

(56) 선행기술조사문헌

KR1020060007779 A\*

JP09191087 A\*

KR1020070042754 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

이정원

서울 서초구 방배동 서초 ESA III차 101-107

정율교

경기 용인시 기흥구 언남동 동일하이빌 102동 1301호

(뒷면에 계속)

(74) 대리인

특허법인이지

전체 청구항 수 : 총 9 항

심사관 : 이우식

**(54) 박막 커패시터, 적층구조물 및 그 제조방법**

**(57) 요약**

금속층의 산화를 최소화하는 내장형 커패시터와 이를 포함한 인쇄회로기판이 개시된다. 박막 커패시터는 제1 금속전극막; 상기 제1 금속전극막 상에 형성되고, 전도성 산화물로 이루어진 배리어층; 상기 배리어층 상에 형성되는 유전체막; 및 상기 유전체막 상에 형성되는 제2 금속전극막을 포함한다. 동박 위에 강유전 박막을 형성한 후 열처리시 동박의 산화를 최소화하여 우수한 강유전 박막의 유전특성을 구현할 수 있다.

**대표도** - 도5



(72) 발명자

**이인형**

서울 노원구 월계3동 미성아파트 8-403

**송병익**

경기 수원시 영통구 매탄4동 205-69 1층

**이승은**

경기 성남시 분당구 구미동 무지개마을 대림아파트  
104동 501호

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

폴리머 복합체 기반 기재 상에 형성된 제1 금속전극막;

상기 제1 금속전극막 상에 형성되고, 전도성 산화물로 이루어진 배리어층;

상기 배리어층 상에 형성되는 유전체막; 및

상기 유전체막 상에 형성되는 제2 금속전극막을 포함하되, 상기 배리어층은 ITO, ZnO, LNO 및 RuO<sub>2</sub>으로 구성된 그룹으로부터 선택된 적어도 하나의 전도성 산화물로 이루어진 것을 특징으로 하는 적층구조물.

**청구항 6**

삭제

**청구항 7**

제5항에 있어서,

상기 유전체막은 Pb계 또는 Ba계 금속산화물로 이루어진 것을 특징으로 하는 적층구조물.

**청구항 8**

제5항에 있어서,

제1 및 제2 금속전극막 중 적어도 하나는 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어진 것을 특징으로 하는 적층구조물.

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

폴리머 복합체 기반 기재 상에 제1 금속전극막을 형성하는 단계;

상기 제1 금속전극막 상에 전도성 산화물로 이루어진 배리어층을 형성하는 단계;

상기 배리어층 상에 유전체막을 형성하는 단계; 및

상기 유전체막 상에 제2 금속전극막을 형성하는 단계를 포함하되, 상기 배리어층은 ITO, ZnO, LNO 및 RuO<sub>2</sub>으로 구성된 그룹으로부터 선택된 적어도 하나의 전도성 산화물로 이루어진 것을 특징으로 하는 적층구조물 제조방법.

**청구항 17**

제16항에 있어서,

상기 배리어층을 형성하는 단계는 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법을 이용하여 실시되는 것을 특징으로 하는 적층구조물 제조방법.

**청구항 18**

제16항에 있어서,

상기 유전체막을 형성하는 단계는 550℃ 이상의 열처리를 이용하여 실시되는 것을 특징으로 하는 적층구조물 제조방법.

**청구항 19**

제16항에 있어서,

상기 유전체막을 형성하는 단계는 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법을 이용하여 실시되는 것을 특징으로 하는 적층구조물 제조방법.

**청구항 20**

삭제

**청구항 21**

제16항에 있어서,

상기 유전체막은 Pb계 또는 Ba계 금속산화물로 이루어진 것을 특징으로 하는 적층구조물 제조방법.

**청구항 22**

제16항에 있어서,

제1 및 제2 금속전극막 중 적어도 하나는 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어진 것을 특징으로 하는 적층구조물 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <13> 본 발명은 내장형 커패시터(embedded capacitor)에 관한 것으로, 보다 상세하게는 금속층의 산화를 최소화하는 내장형 커패시터와 이를 포함한 인쇄회로기판에 관한 것이다.
- <14> 적층형 기판에서의 소형화와 고주파화의 진전에 따라 종래 인쇄회로기판 상에 탑재되던 각종 수동소자는 큰 장애요인으로 인식되고 있다. 특히, 반도체 능동소자가 점차 내장화되고, 그 입출력단자수가 증가함에 따라, 그 능동소자 주위에 보다 많은 수동소자의 확보공간이 요구되고 있으나, 이는 간단히 해결될 수 있는 문제가 아니다.
- <15> 대표적인 수동소자로는 커패시터가 있다. 커패시터는 운용주파수의 고주파화에 따라 인덕턴스를 감소시키기 위한 적절한 배치가 요구된다. 예를 들어, 안정적인 전원공급에 사용되는 디커플링용 커패시터는 고주파화에 따른 유도인덕턴스를 저감시키기 위해 입력단자와 최근접 거리에 배치되는 것이 요구된다.
- <16> 이러한 소형화와 고주파화의 요구에 충족시키기 위해, 커패시터를 능동소자 바로 아래에 내장하거나 칩의 인덕턴스 값을 줄이는 등 다양한 형태의 저ESL 적층형 커패시터가 개발되어 왔으나, 종래의 MLCC는 디스크리트 소자로서 상기 문제를 극복하는데 근본적인 한계가 있다. 이 대안으로서, 최근에 내장형 커패시터 구현방안이 활발히 연구되고 있다.
- <17> 내장형 커패시터는 메모리카드, PC 메인보드 및 각종 RF모듈에 사용되는 인쇄회로기판에 내장된 형태로서, 제품의 크기를 획기적으로 감소시킬 수 있다. 또한, 능동소자 아래에 위치한 하나의 층을 유전체 층으로 형성하여 능동소자의 입력단자에서 근접한 거리에 배치할 수 있으므로, 도선길이를 최소화하여 유도인덕턴스를 크게 저감시킬 수 있다는 장점이 있다.
- <18> 인쇄회로기판은 낮은 유전율을 갖는 폴리머 기반 복합체를 포함하므로, 높은 유전율을 갖는 층을 구현하기 어렵다. 인쇄회로기판에 사용되는 FR4와 같은 폴리머층에 BaTiO<sub>3</sub>와 같은 강유전체분말을 분산시켜 유전율을 다소 향상시키는 기술이 있다. 하지만, 이러한 폴리머 기반 복합체 재질을 이용한 디커플링 커패시터를 적용할 경우 정전용량의 한계로 인하여 패키지 수준의 소형 크기에는 내장될 수 없는 문제점이 있다.
- <19> 따라서, 인쇄회로기판에 높은 유전율을 갖는 유전체막과 금속전극막을 포함한 박막 커패시터를 적층구조로서 삽입하는 방안이 있다. 여기서, 유전체막의 재료로 사용하는 물질 중에는 강유전성(ferroelectric) 물질과 상유전성(paraelectric) 물질이 있다.
- <20> 강유전성 물질은 유전상수는 현저히 크지만, 그러한 유전특성을 구현하기 위해서는 550℃ 이상의 온도를 가해야 한다. 하지만, 폴리머 기반의 복합체인 인쇄회로기판은 고온에 약하므로 제조과정 중 550℃의 고온을 가할 수가 없다. 따라서, 폴리머를 포함하지 않는 동박 위에 강유전 박막을 증착한 후 고온의 열처리를 거쳐 박막 커패시터를 구현하고자 하고 있다. 하지만, 고온의 열처리시 동박이 쉽게 산화되어 강유전 박막의 특성을 크게 저하한다. 따라서, 니켈 합금(nickel and nickel based alloy) 등의 배리어층을 이용하거나 열처리시 산소 분압 조절 등의 산화 방지 분위기가 요구된다.

**발명이 이루고자 하는 기술적 과제**

- <21> 따라서, 본 발명은 동박 위에 강유전 박막을 형성한 후 열처리시 동박의 산화를 최소화하여 우수한 강유전 박막의 유전특성을 구현할 수 있는 새로운 산화 배리어층을 포함하는 박막 커패시터 및 그 제조방법을 제공한다.
- <22> 또한, 동박의 산화를 방지하고 계면 특성을 향상시켜 높은 정전용량을 가지는 유전체막을 가지는 박막 커패시터 및 그 제조방법을 제공한다.
- <23> 또한, 동박의 산화를 방지하고 계면 특성을 향상시켜 높은 정전용량을 가지는 박막 커패시터를 포함하는 적층 구조물 및 그 제조방법을 제공한다.
- <24> 본 발명의 이외의 목적들은 하기의 설명을 통해 쉽게 이해될 수 있을 것이다.

**발명의 구성 및 작용**

- <25> 본 발명의 일 측면에 따르면, 제1 금속전극막; 상기 제1 금속전극막 상에 형성되고, 전도성 산화물로 이루어진

배리어층; 상기 배리어층 상에 형성되는 유전체막; 및 상기 유전체막 상에 형성되는 제2 금속전극막을 포함하는 박막 커패시터가 제공된다.

- <26> 여기서, 상기 배리어층은 ITO(indium tin oxide), ZnO(zinc oxide), LNO(lanthanum nickel oxide) 및 RuO<sub>2</sub>(ruthenium oxide)으로 구성된 그룹으로부터 선택된 적어도 하나의 전도성 산화물로 이루어질 수 있다.
- <27> 또한, 상기 유전체막은 Pb계 또는 Ba계 금속산화물로 이루어질 수 있다.
- <28> 그리고 제1 및 제2 금속전극막 중 적어도 하나는 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어질 수 있다.
- <29> 본 발명의 다른 측면에 따르면, 폴리머 복합체 기반 기재 상에 형성된 제1 금속전극막; 상기 제1 금속전극막 상에 형성되고, 전도성 산화물로 이루어진 배리어층; 상기 배리어층 상에 형성되는 유전체막; 및 상기 유전체막 상에 형성되는 제2 금속전극막을 포함하는 적층구조물이 제공된다.
- <30> 여기서, 상기 배리어층은 ITO, ZnO, LNO 및 RuO<sub>2</sub>으로 구성된 그룹으로부터 선택된 적어도 하나의 전도성 산화물로 이루어질 수 있다.
- <31> 또한, 상기 유전체막은 Pb계 또는 Ba계 금속산화물로 이루어질 수 있다.
- <32> 그리고 제1 및 제2 금속전극막 중 적어도 하나는 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어질 수 있다.
- <33> 본 발명의 또 다른 측면에 따르면, 제1 금속전극막 상에 전도성 산화물로 이루어진 배리어층을 형성하는 단계; 상기 배리어층 상에 유전체막을 형성하는 단계; 및 상기 유전체막 상에 제2 금속전극막을 형성하는 단계를 포함하는 박막 커패시터 제조방법이 제공된다.
- <34> 여기서, 상기 배리어층을 형성하는 단계는 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법을 이용하여 실시될 수 있다.
- <35> 그리고 상기 유전체층을 형성하는 단계는 550℃ 이상의 열처리를 이용하여 실시될 수 있다.
- <36> 또한, 상기 유전체층을 형성하는 단계는 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법을 이용하여 실시될 수 있다.
- <37> 여기서, 상기 배리어층은 ITO, ZnO, LNO 및 RuO<sub>2</sub>으로 구성된 그룹으로부터 선택된 적어도 하나의 전도성 산화물로 이루어질 수 있다.
- <38> 또한, 상기 유전체막은 Pb계 또는 Ba계 금속산화물로 이루어질 수 있다.
- <39> 그리고 제1 및 제2 금속전극막 중 적어도 하나는 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어질 수 있다.
- <40> 본 발명의 또 다른 측면에 따르면, 폴리머 복합체 기반 기재 상에 제1 금속전극막을 형성하는 단계; 상기 제1 금속전극막 상에 전도성 산화물로 이루어진 배리어층을 형성하는 단계; 상기 배리어층 상에 유전체막을 형성하는 단계; 및 상기 유전체막 상에 제2 금속전극막을 형성하는 단계를 포함하는 적층구조물 제조방법이 제공된다.
- <41> 여기서, 상기 배리어층을 형성하는 단계는 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법을 이용하여 실시될 수 있다.
- <42> 그리고 상기 유전체층을 형성하는 단계는 550℃ 이상의 열처리를 이용하여 실시될 수 있다.
- <43> 또한, 상기 유전체층을 형성하는 단계는 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법을 이용하여 실시될 수 있다.
- <44> 여기서, 상기 배리어층은 ITO, ZnO, LNO 및 RuO<sub>2</sub>으로 구성된 그룹으로부터 선택된 적어도 하나의 전도성 산화물로 이루어질 수 있다.
- <45> 또한, 상기 유전체막은 Pb계 또는 Ba계 금속산화물로 이루어질 수 있다.
- <46> 그리고 제1 및 제2 금속전극막 중 적어도 하나는 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어질 수 있다.

- <47> 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- <48> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- <49> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <50> 이하, 본 발명의 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다.
- <51> 도 1은 박막 커패시터의 단면도이고, 도 2a 내지 2c는 박막 커패시터의 제조방법을 나타내는 공정 단면도이다.
- <52> 도 1을 참조하면, 박막 커패시터가 도시되어 있다.
- <53> 박막 커패시터(10)는 폴리머 복합체 기반 기재를 포함하는 인쇄회로기판에 내장되는 내장형 커패시터일 수 있다. 폴리머 복합체 기반 기재는 인쇄회로기판에 자주 사용되는 폴리이미드 또는 에폭시일 수 있다. 폴리머 복합체 기반 기재 사이에 도 1에 도시된 박막 커패시터(10)가 위치할 수 있다.
- <54> 박막 커패시터(10)는 제1 및 제2 금속전극막(11a, 11b)과, 그 사이에 산화물(oxide) 세라믹인 유전체막(12)을 포함한다.
- <55> 유전체막(12)은 강유전 특성을 가지는 Pb계 및 Ba계의 금속산화물로 이루어진다. 본 발명의 일 실시예에 따른 유전체막(12)은  $Pb_xZr_yTi_zO_3$ 로 표현되는 Pb계의 금속산화물이지만, 이 외에 Ba계 금속산화물도 가능하다. 유전체막(12)은 인쇄회로기판 등에 내장형 커패시터로 적용되기 위해서 50nm ~ 1 $\mu$ m의 두께를 가질 수 있다. 유전체막(12)은 인쇄회로기판 등에 내장형 커패시터로 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법 등의 공정으로 형성될 수 있다.
- <56> 제1 및 제2 금속전극막(11a, 11b) 중 적어도 하나는 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어질 수 있다. 제1 및 제2 금속전극막(11a, 11b)은 진공 증착법(evaporation) 등을 포함하는 증착법, 스퍼터링 또는 무전해도금공정 등을 통해 형성될 수 있다.
- <57> 박막 커패시터(10)의 제조방법은 다음과 같다.
- <58> 제1 금속전극막(11a)을 마련한다(도 2a 참조). 제1 금속전극막(11a)은 Cu, Ni, Al, Pt, Ta, Ti 및 Ag로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 이루어질 수 있다.
- <59> 제1 금속전극막(11a) 상에 유전체막(12)을 형성한다(도 2b 참조). 유전체막(12)은 Pb계 또는 Ba계 금속산화물로 이루어진다. 본 발명의 일 실시예에서 채용되는 유전체막(12)은  $Pb_xZr_yTi_zO_3$ 로 표현되는 금속산화물이다. 유전체막(12)은 인쇄회로기판 등에 내장형 커패시터로 적용되기 위해서 50nm ~ 1 $\mu$ m의 두께를 가질 수 있다. 유전체막(12)은 인쇄회로기판 등에 내장형 커패시터로 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법 등의 공정으로 형성될 수 있다.
- <60> 이후 유전체막(12) 상에 제2 금속전극막(11b)을 형성한다. 제2 금속전극막(11b)은 제1 금속전극막(11a)와 유사한 물질과 공정으로 형성될 수 있다.
- <61> 여기서, 제2 금속전극막(11b)을 형성하기 이전에, 유전체막(12)의 강유전 특성을 구현하기 위해 550 $^{\circ}$ C 이상 고온의 열처리가 수행되며, 이 경우 도 2c에 도시된 것과 같이 유전체막(12)의 산소가 제1 금속전극막(11a)에 전달되어 제1 금속전극막(11a)을 산화시키게 된다.
- <62> 이를 방지하기 위해 니켈 합금의 배리어층을 이용한 종래 박막 커패시터의 단면과 유전 특성이 도 3과 도 4에 도시되어 있다. 도 3은 니켈 합금의 배리어층을 이용한 종래 박막 커패시터의 단면도이고, 도 4는 도 3에 도시

된 박막 커패시터의 유전 특성을 나타낸 그래프이다.

- <63> 도 3을 참조하면, 제1 금속전극막(31a)과 유전체막(32) 사이에 니켈 합금 배리어층(30)이 형성되어 있다. 니켈 합금 배리어층(30)은 도금 공법을 이용하여 형성된다.
- <64> PbZrTi계 금속산화물로 이루어진 유전체막(32)의 강유전 특성이 가장 잘 나타나도록 제1 금속전극막(31a)이 Pt로 이루어진 경우, 니켈 합금 배리어층(30)과 유전체막(32) 사이의 반응으로 인해 계면층(interfacial layer)이 형성된다. 이로 인해 정전용량은 약 300 nF/cm<sup>2</sup>의 낮은 값을 가진다(도 4의 참조번호 42). 인쇄회로기판에 내장되어 사용되기 위해 필요로 하는 수 μF/cm<sup>2</sup>에 비하면 매우 낮은 정전용량을 가질 뿐이다. 여기서, 도 4의 참조번호 41은 유전 손실을 나타낸다.
- <65> 따라서, 본 발명에서는 금속전극막의 산화를 방지하면서도 높은 정전용량을 가지는 새로운 배리어층을 제공한다. 전도성 산화물의 배리어층을 이용한 박막 커패시터의 단면과 유전 특성이 도 5과 도 6에 도시되어 있다. 도 5는 본 발명의 일 실시예에 따른 전도성 산화물의 배리어층을 이용한 박막 커패시터의 단면도이고, 도 6은 도 5에 도시된 박막 커패시터의 유전 특성을 나타낸 그래프이다.
- <66> 도 5를 참조하면, 제1 금속전극막(51a)과 유전체막(52) 사이에 배리어층(50)이 형성되어 있다. 배리어층(50)은 대략 100nm ~ 3μm 정도의 두께를 가지고 있다.
- <67> 배리어층(50)은 ITO(indium tin oxide), ZnO(zinc oxide), LNO(lanthanum nickel oxide), RuO<sub>2</sub>(ruthenium oxide) 등으로 구성된 그룹으로부터 선택된 적어도 하나의 전도성 산화물로 이루어질 수 있다.
- <68> 배리어층(50)은 제1 금속전극막(51a) 상에 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법 등의 방법으로 형성된다.
- <69> 배리어층(50) 상에 유전체막(52)을 형성한다. 유전체막(52)의 형성시 고온의 열처리를 통해 강유전 특성이 구현될 수 있도록 한다.
- <70> 배리어층(50)은 전도성 산화물로 이루어짐으로 인해 이후 유전체막(52)의 열처리시 제1 금속전극막(51a)의 산화를 효과적으로 방지하게 된다. 그리고 전도성 산화물과 유전체막(52)의 계면 특성 향상에도 영향을 미친다.
- <71> 유전체막(52)은 강유전 특성을 가지는 Pb계 또는 Ba계 금속산화물로 이루어진다. 본 발명의 일 실시예에서 채용되는 유전체막(52)은 Pb<sub>x</sub>Zr<sub>y</sub>Ti<sub>z</sub>O<sub>3</sub>로 표현되는 금속산화물이다. 유전체막(52)은 인쇄회로기판 등에 내장형 커패시터로 적용되기 위해서 50nm ~ 1μm의 두께를 가질 수 있다. 유전체막(52)은 인쇄회로기판 등에 내장형 커패시터로 스퍼터링(sputtering), 물리적 증기 증착법(PVD), 화학적 증기 증착법(CVD) 또는 졸-겔(sol-gel)법 등의 공정으로 형성될 수 있다.
- <72> PbZrTi계 금속산화물로 이루어진 유전체막(52)의 강유전 특성이 가장 잘 나타나도록 제1 금속전극막(51a)이 Pt로 이루어진 경우, 정전용량은 약 2 μF/cm<sup>2</sup>의 매우 높은 값을 가진다(도 6의 참조번호 62 참조). 이는 인쇄회로기판에 내장되어 사용되기에 적합한 정전용량에 해당한다. 여기서, 도 6의 참조번호 61은 유전 손실을 나타낸다.
- <73> 본 발명에서 전도성 산화물로 이루어진 배리어층을 이용함으로써 금속전극막과 유전체막 사이의 산화를 방지하면서도 높은 정전용량을 가지는 박막 커패시터와, 이를 포함한 인쇄회로기판을 실용화하는 것이 가능하다.

**발명의 효과**

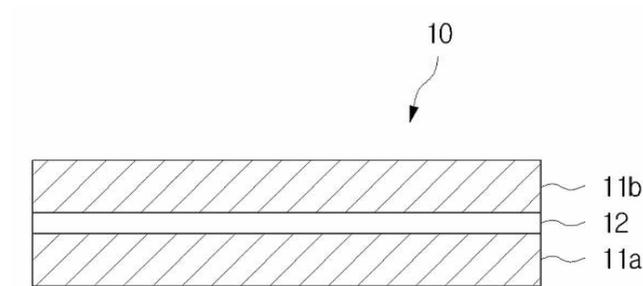
- <74> 상술한 바와 같이, 본 발명에 따른 박막 커패시터와 이를 포함하는 폴리머 복합체 기반 적층구조물(예를 들어, 인쇄회로기판), 그리고 그 제조방법은 동박 위에 강유전 박막을 형성한 후 열처리시 동박의 산화를 최소화하여 우수한 강유전 박막의 유전특성을 구현할 수 있다.
- <75> 또한, 동박의 산화를 방지하고 계면 특성을 향상시켜 높은 정전용량을 가질 수 있다.
- <76> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

- <1> 도 1은 박막 커패시터의 단면도.
- <2> 도 2a 내지 2c는 박막 커패시터의 제조방법을 나타내는 공정 단면도.
- <3> 도 3은 니켈 합금의 배리어층을 이용한 종래 박막 커패시터의 단면도.
- <4> 도 4는 도 3에 도시된 박막 커패시터의 유전 특성을 나타낸 그래프.
- <5> 도 5는 본 발명의 일 실시예에 따른 전도성 산화물의 배리어층을 이용한 박막 커패시터의 단면도.
- <6> 도 6은 도 5에 도시된 박막 커패시터의 유전 특성을 나타낸 그래프.
- <7> <도면의 주요부분에 대한 부호의 설명>
- <8> 10: 박막 커패시터
- <9> 11a, 11b, 31a, 51a: 금속전극막
- <10> 12, 32, 52: 유전체막
- <11> 30: 니켈 합금 배리어층
- <12> 50: 배리어층

**도면**

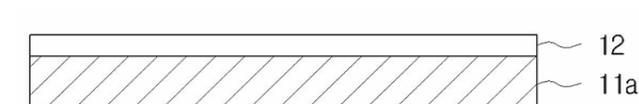
**도면1**



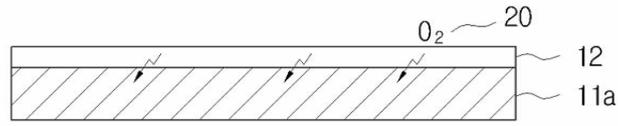
**도면2a**



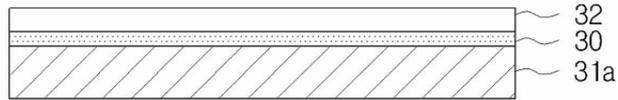
**도면2b**



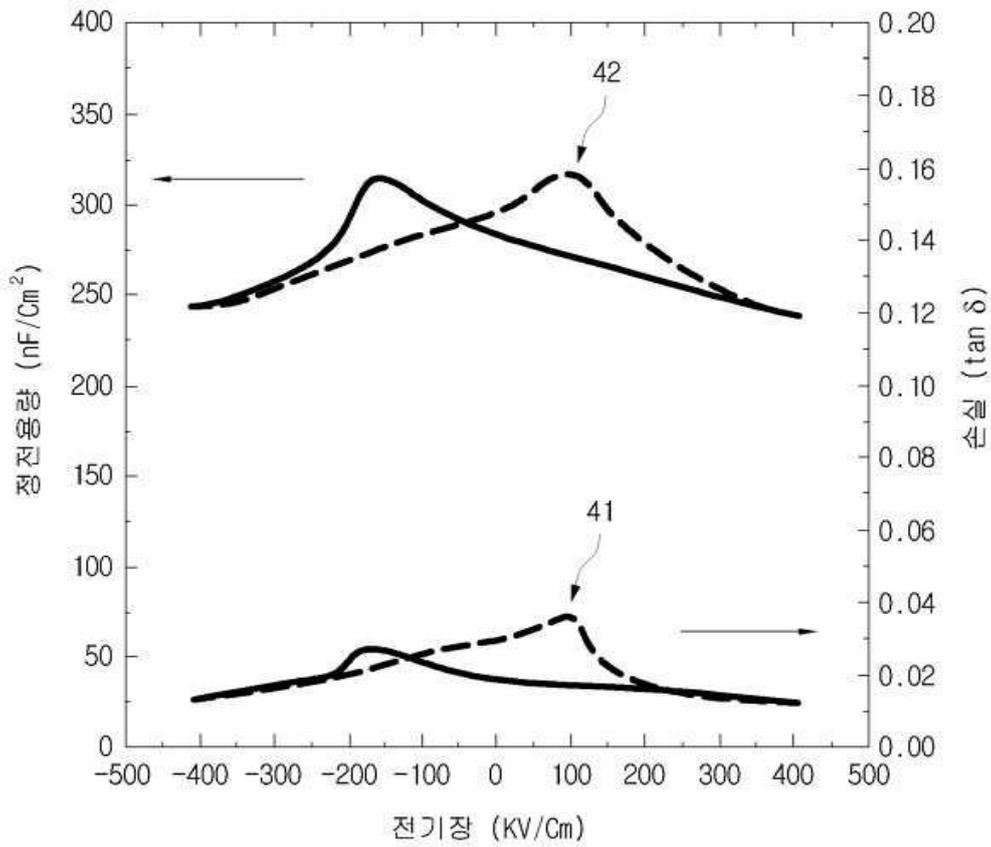
도면2c



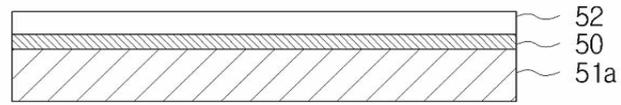
도면3



도면4



도면5



도면6

