



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I691972 B

(45) 公告日：中華民國 109 (2020) 年 04 月 21 日

(21) 申請案號：105103345

(22) 申請日：中華民國 105 (2016) 年 02 月 02 日

(51) Int. Cl. : **G11C8/12 (2006.01)****G11C8/14 (2006.01)****G11C8/08 (2006.01)**

(30) 優先權：2015/02/09 日本

2015-022827

(71) 申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72) 發明人：石津貴彦 ISHIZU, TAKAHIKO (JP) ; 古谷一馬 FURUTANI, KAZUMA (JP) ; 佐藤圭太 SATO, KEITA (JP)

(74) 代理人：林怡芳；童啓哲

(56) 參考文獻：

TW 201348946A

EP 2169546A1

US 5430859

US 5615162

US 2012/0271984A1

US 2013/0163365A1

審查人員：劉耀允

申請專利範圍項數：11 項 圖式數：29 共 115 頁

(54) 名稱

半導體裝置、中央處理裝置及電子裝置

(57) 摘要

本發明提供一種新穎的半導體裝置、功耗低的半導體裝置或能夠長期間地保持資料的半導體裝置。半導體裝置包括與多個第一記憶體電路連接的第一選擇電路、與多個第二記憶體電路連接的第二選擇電路、與多個第三記憶體電路連接的第三選擇電路，由此可以根據每個第一記憶體電路、每個第二記憶體電路或每個第三記憶體電路進行電源閘控。因此，可以維持對不進行資料的讀出或寫入的記憶體電路停止供應電力的狀態，從而可以降低半導體裝置的功耗。

A novel semiconductor device, a semiconductor device with low power consumption, or a semiconductor device capable of retaining data for a long period is provided. The semiconductor device includes a first selection circuit connected to a plurality of first memory circuits, a second selection circuit connected to a plurality of second memory circuits, and a third selection circuit connected to a plurality of third memory circuits, thereby being capable of conducting power gating of each of the first memory circuits, each of the second memory circuits, or each of the third memory circuits separately. Accordingly, the memory circuits to which data is not written or from which data is not read can be kept in a state where power supply thereto is stopped, so that power consumption of the semiconductor device can be reduced.

指定代表圖：

符號簡單說明：

10 . . . 半導體裝置

20 . . . 巨集

30 . . . 子陣列

40 . . . 存儲塊

S1 . . . 選擇電路

S2 . . . 選擇電路

S3 . . . 選擇電路

ADDR . . . 位址信號

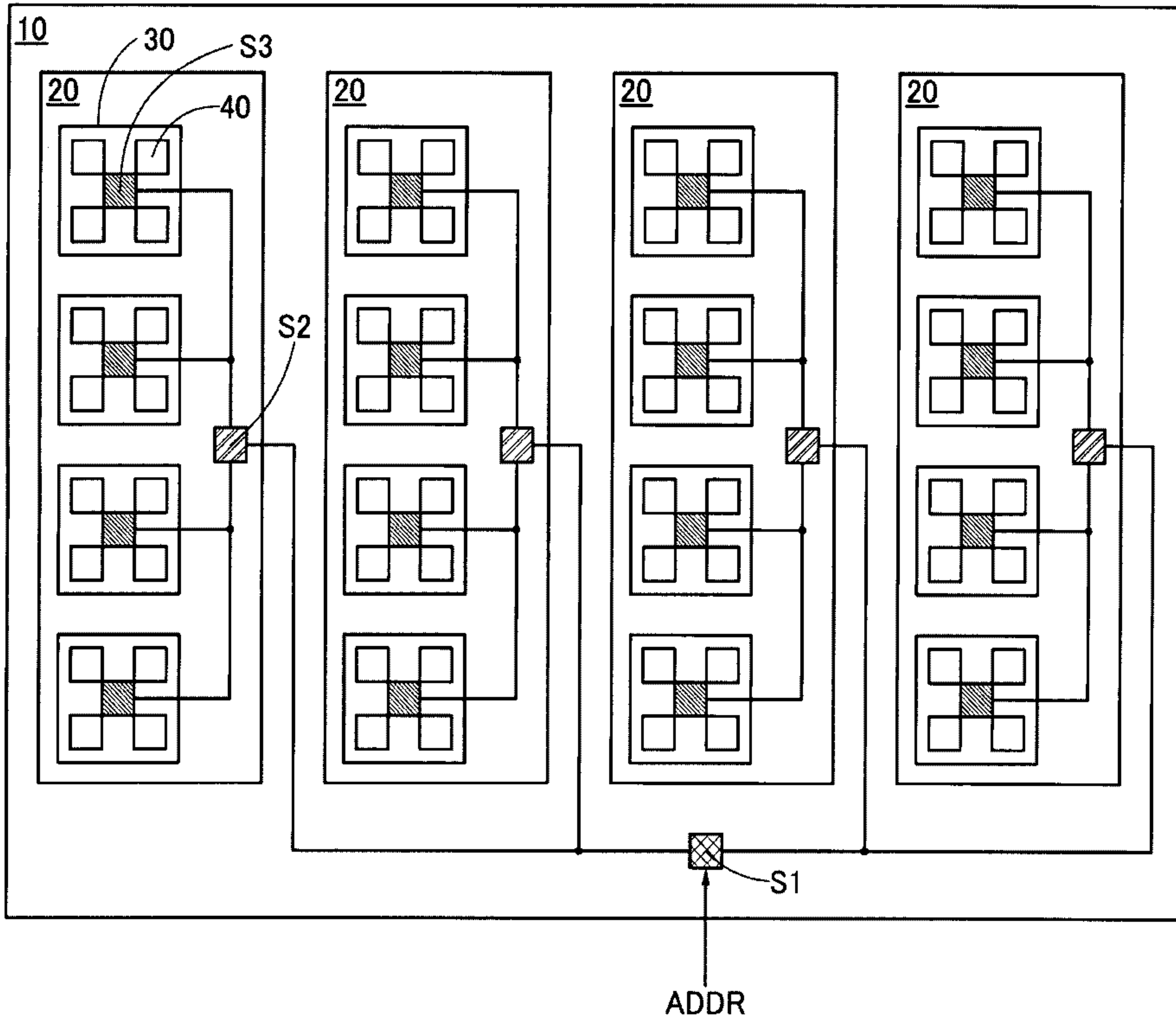


圖 1

I691972

發明摘要

※ 申請案號：105103345

G11C 8/12 (2006.01)

※ 申請日：105年2月2日

※IPC 分類：**G11C 8/14** (2006.01)

G11C 8/08 (2006.01)

【發明名稱】 (中文/英文) 半導體裝置、中央處理裝置及電子裝置
**/SEMICONDUCTOR DEVICE, CENTRAL PROCESSING UNIT, AND
ELECTRONIC DEVICE**

【中文】

本發明提供一種新穎的半導體裝置、功耗低的半導體裝置或能夠長期間地保持資料的半導體裝置。半導體裝置包括與多個第一記憶體電路連接的第一選擇電路、與多個第二記憶體電路連接的第二選擇電路、與多個第三記憶體電路連接的第三選擇電路，由此可以根據每個第一記憶體電路、每個第二記憶體電路或每個第三記憶體電路進行電源閘控。因此，可以維持對不進行資料的讀出或寫入的記憶體電路停止供應電力的狀態，從而可以降低半導體裝置的功耗。

【英文】

A novel semiconductor device, a semiconductor device with low power consumption, or a semiconductor device capable of retaining data for a long period is provided. The semiconductor device includes a first selection circuit connected to a plurality of first memory circuits, a second selection circuit connected to a plurality of second memory circuits, and a third selection circuit connected to a plurality of third memory circuits, thereby being capable of conducting power gating of each of the first memory circuits, each of the second memory circuits, or each of the third memory circuits separately. Accordingly, the memory circuits to which data is not written or from which data is not read can be kept in a state where power supply thereto is stopped, so that power consumption of the semiconductor device can be reduced.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 10 半導體裝置
- 20 巨集
- 30 子陣列
- 40 存儲塊
- S1 選擇電路
- S2 選擇電路
- S3 選擇電路
- ADDR 位址信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】(中文/英文) 半導體裝置、中央處理裝置及電子裝置
/SEMICONDUCTOR DEVICE, CENTRAL PROCESSING UNIT, AND
ELECTRONIC DEVICE**

【技術領域】

[0001]

本發明的一個實施方式係關於一種半導體裝置、中央處理裝置及電子裝置。

[0002]

注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。此外，本發明的一個實施方式係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或組合物 (composition of matter)。另外，本發明的一個實施方式係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、攝像裝置、其驅動方法或其製造方法。

【先前技術】

[0003]

專利文獻 1 公開了由使用氧化物半導體的電晶體及使用單晶矽的電晶體構成的記憶體裝置。並且，還記載有使用氧化物半導體的電晶體的關態電流極小。

[0004]

[專利文獻1]日本專利申請公開第2012-256400號公報

【發明內容】

[0005]

本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。本

發明的一個實施方式的目的之一是提供一種功耗低的半導體裝置。本發明的一個實施方式的目的之一是提供一種能夠長期間地保持資料的半導體裝置。本發明的一個實施方式的目的之一是提供一種能夠實現面積縮小的半導體裝置。本發明的一個實施方式的目的之一是提供一種能夠高速工作的半導體裝置。本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。

[0006]

注意，本發明的一個實施方式並不需要實現所有上述目的，只要可以實現至少一個目的即可。另外，上述目的的記載不妨礙其他目的的存在。此外，除上述目的外的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中衍生。

[0007]

根據本發明的一個實施方式的半導體裝置包括：多個記憶體電路；以及選擇電路，其中，多個記憶體電路都包括單元陣列和驅動電路，選擇電路與多個記憶體電路電連接，選擇電路根據輸入到選擇電路的位址信號從多個記憶體電路選擇特定的記憶體電路，並且，半導體裝置停止對沒有被選擇電路選擇的記憶體電路的每一個中的驅動電路供應電力。

[0008]

另外，根據本發明的一個實施方式的半導體裝置包括：多個第一記憶體電路；以及第一選擇電路，其中，多個第一記憶體電路都包括多個第二記憶體電路和第一選擇電路，多個第二記憶體電路都包括單元陣列和驅動電路，第一選擇電路與多個第一記憶體電路電連接，第二選擇電路與多個第二記憶體電路電連接，第一選擇電路根據輸入到第一選擇電路的位址信號從多個第一記憶體電路選擇特定的第一記憶體電路，第二選擇電路根據輸入到第二選擇電路的位址信號從多個第二記憶體電路選擇特定的第二記憶體電路，並且，半導體裝置停止對沒有被第一選擇電路選擇的多個第一記憶體電路的每一個中的驅動電路供應電力，且停止對沒有被第二選擇電路選擇的多個第二記憶體電路的每一個中的驅動電路供應電力。

[0009]

再者，根據本發明的一個實施方式的半導體裝置還可以包括位於驅動電路與用來供應電源電位的佈線之間的開關，其中藉由使開關成為關閉狀態，停止對驅動電路供應電力。

[0010]

再者，在根據本發明的一個實施方式的半導體裝置中，單元陣列可以包括第一記憶單元和第二記憶單元，驅動電路可以包括第一邏輯電路和第一邏輯電路，第一邏輯電路可以藉由第一佈線與第一記憶單元電連接，第二邏輯電路可以藉由第二佈線與第二記憶單元電連接，並且半導體裝置在第一記憶單元被選擇的期間中停止對第二邏輯電路供應電力。

[0011]

再者，在根據本發明的一個實施方式的半導體裝置中，第一記憶單元和第二記憶單元都可以包括電晶體和電容器，電晶體的源極和汲極中的一個可以與電容器電連接，電晶體的通道形成區域可以包含氧化物半導體。

[0012]

另外，根據本發明的一個實施方式的中央處理裝置包括具有上述半導體裝置的快取記憶體。

[0013]

另外，根據本發明的一個實施方式的電子裝置包括上述半導體裝置或上述中央處理裝置、以及顯示部、麥克風、揚聲器或操作鍵。

[0014]

藉由本發明的一個實施方式，可以提供一種新穎的半導體裝置。藉由本發明的一個實施方式，可以提供一種功耗低的半導體裝置。藉由本發明的一個實施方式，可以提供一種能夠長期間地保持資料的半導體裝置。藉由本發明的一個實施方式，可以提供一種能夠實現面積縮小的半導體裝置。藉由本發明的一個實施方式，可以提供一種能夠高速工作的半導體裝置。藉由本發明的一個實施方式，可以提供一種可靠性高的半導體裝置。

[0015]

注意，上述效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。另外，除上述效果外的效果從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中衍生。

【圖式簡單說明】

[0016]

在圖式中：

圖 1 是說明本發明的一個實施方式的圖；

圖 2 是說明本發明的一個實施方式的工作的圖；

圖 3A 至圖 3D 是說明本發明的一個實施方式的工作的圖；
圖 4A 和圖 4B 是說明本發明的一個實施方式的圖；
圖 5A 至圖 5C 是說明本發明的一個實施方式的電路圖；
圖 6A 至圖 6F 是說明本發明的一個實施方式的電路圖；
圖 7A 和圖 7B 是說明本發明的一個實施方式的電路圖；
圖 8A 和圖 8B 是說明本發明的一個實施方式的電路圖；
圖 9 是說明本發明的一個實施方式的電路圖；
圖 10 是說明本發明的一個實施方式的電路圖；
圖 11A 至圖 11C 是說明本發明的一個實施方式的電路圖；
圖 12A 至圖 12D 是說明本發明的一個實施方式的圖；
圖 13A 和圖 13B 是說明本發明的一個實施方式的電路圖；
圖 14A 至圖 14C 是說明本發明的一個實施方式的電路圖；
圖 15 是說明本發明的一個實施方式的圖；
圖 16A 和圖 16B 是說明本發明的一個實施方式的圖；
圖 17 是說明本發明的一個實施方式的圖；
圖 18A 和圖 18B 是說明本發明的一個實施方式的圖；
圖 19 是說明本發明的一個實施方式的圖；
圖 20 是說明本發明的一個實施方式的圖；
圖 21 是說明本發明的一個實施方式的圖；
圖 22 是說明本發明的一個實施方式的圖；
圖 23 是說明本發明的一個實施方式的圖；
圖 24A 至圖 24D 是說明電晶體的結構的一個例子的圖；
圖 25A 和圖 25B 是說明電晶體的結構的一個例子的圖；
圖 26A 至圖 26C 是說明電晶體的結構的一個例子的圖；
圖 27 是說明中央處理裝置的結構的一個例子的圖；
圖 28A 和圖 28B 是說明電子構件的製造方法的一個例子的圖；
圖 29A 至圖 29F 是說明電子裝置的一個例子的圖。

【實施方式】

[0017]

下面，參照圖式對本發明的實施方式進行詳細說明。注意，本發明不侷限於以下實施方式中的說明，而所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的

情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

[0018]

另外，本發明的一個實施方式在其範疇內包括包含記憶體裝置、RF（Radio Frequency：射頻）標籤、顯示裝置、攝像裝置及積體電路的所有裝置。此外，顯示裝置在其範疇內包括液晶顯示裝置、其每個像素具備以有機發光元件為代表的發光元件的發光裝置、電子紙、DMD（Digital Micromirror Device：數位微鏡裝置）、PDP（Plasma Display Panel；電漿顯示面板）、FED（Field Emission Display；場致發射顯示器）等具有積體電路的顯示裝置。

[0019]

注意，當利用圖式說明發明結構時，有時表示相同物件的元件符號在不同的圖式中共同使用。

[0020]

在本說明書等中，當明確地記載為“X 與 Y 連接”時，如下情況也包括在本說明書等的公開範圍內：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。因此，不侷限於圖式或文中所示的連接關係，例如其他的連接關係也包括在圖式或文中所記載的範圍內。這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

[0021]

作為 X 與 Y 直接連接的情況的一個例子，可以舉出在 X 與 Y 之間沒有連接有能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）的情況；以及 X 與 Y 沒有藉由能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）而連接的情況。

[0022]

作為 X 與 Y 電連接的情況的一個例子，例如可以舉出在 X 與 Y 之間連接有一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）的情況。另外，開關具有控制開啓和關閉的功能。換言之，藉由使開關處於導通狀態（開啓狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0023]

作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接有一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y 在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與 Y 電連接的情況。

[0024]

當明確地記載為“X 與 Y 電連接”時，如下情況也包括在本說明書等中的公開範圍內：X 與 Y 電連接的情況（換言之，以中間夾有其他元件或其他電路的方式連接 X 與 Y 的情況）；X 與 Y 在功能上連接的情況（換言之，以中間夾有其他電路的方式在功能上連接 X 與 Y 的情況）；以及 X 與 Y 直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y 的情況）。換言之，在本說明書中，明確記載為“電連接”與只簡單地記載為“連接”相同。

[0025]

即使在圖式上獨立的組件彼此電連接，也有時一個組件兼有多個組件的功能。例如，在佈線的一部分還被用作電極時，一個導電膜兼有佈線和電極的兩個組件的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個組件的功能的情況。

[0026]

實施方式 1

在本實施方式中，對根據本發明的一個實施方式的半導體裝置的結構實例進行說明。

[0027]

〈半導體裝置的結構實例〉

圖 1 示出根據本發明的一個實施方式的半導體裝置 10 的結構實例。半導體裝置 10 具有記憶體裝置的功能。因此，也可以將半導體裝置 10 稱為記

憶體裝置 10。半導體裝置 10 具有進行以半導體裝置 10、記憶體電路 20、記憶體電路 30 或記憶體電路 40 為空間粒度的細粒電源開控的功能。以下，對這種半導體裝置 10 的結構進行說明。

[0028]

半導體裝置 10 包括多個記憶體電路 20 (以下，也稱為巨集 20)。另外，巨集 20 都包括多個記憶體電路 30 (以下，也稱為子陣列 30)。並且，子陣列 30 都包括多個記憶體電路 40 (以下，也稱為存儲塊 40)。就是說，子陣列 30 是由存儲塊 40 的集合體構成的記憶體電路，巨集 20 是由子陣列 30 的集合體構成的記憶體電路。另外，存儲塊 40 是具有儲存資料的功能的電路。

[0029]

作為一個例子，圖 1 示出半導體裝置 10 包括四個巨集 20，巨集 20 包括四個子陣列 30，子陣列 30 包括四個存儲塊 40 的結構。因此，半導體裝置 10 具有包括 $4 \times 4 \times 4 = 64$ 個存儲塊 40 的記憶體裝置的功能。例如，在存儲塊 40 的容量為 2KB 的情況下，半導體裝置 10 可以用作 128KB 的記憶體裝置。注意，巨集 20、子陣列 30、存儲塊 40 的個數和存儲塊 40 的容量不侷限於上述值，也可以為任意值。

[0030]

另外，在半導體裝置 10 中設置有選擇電路 S1，在巨集 20 中設置有選擇電路 S2，在子陣列 30 中設置有選擇電路 S3。

[0031]

當半導體裝置 10 被存取而從外部被輸入位址信號 ADDR 時，根據該位址信號 ADDR 對規定的存儲塊 40 進行存取。並且，在被存取的存儲塊 40 中進行資料的寫入或讀出。另一方面，在不對半導體裝置 10 輸入位址信號 ADDR 的期間中，可以停止對半導體裝置 10 供應電力。由此，可以降低半導體裝置 10 處於待機狀態時的功耗。另外，如後面在圖 5A 至圖 5C 以及圖 6A 至圖 6F 等中說明那樣，藉由停止供應高電源電位和低電源電位中的一個或兩個等來停止供應電力。

[0032]

多個巨集 20 與選擇電路 S1 連接。選擇電路 S1 具有根據位址信號 ADDR 選擇多個巨集 20 中的被要求存取的特定的巨集 20 的功能。選擇電路 S1 可以由解碼器等構成。例如，如圖 1 所示，在選擇電路 S1 與四個巨集 20 連接的情況下，藉由在選擇電路 S1 中解碼位址信號 ADDR 所包括的 2 位元的

資料，可以選擇特定的巨集 20。

[0033]

半導體裝置 10 具有在對被選擇電路 S1 選擇的巨集 20 供應電力的同時停止對沒有被選擇電路 S1 選擇的巨集 20 供應電力的功能。由此，在被選擇電路 S1 選擇的巨集 20 中進行資料的寫入或讀出等處理的同時，可以降低其他巨集 20 的功耗。

[0034]

巨集 20 所包括的多個子陣列 30 與選擇電路 S2 連接。選擇電路 S2 具有根據位址信號 ADDR 選擇多個子陣列 30 中的被要求存取的特定的子陣列 30 的功能。選擇電路 S2 可以由解碼器等構成。例如，如圖 1 所示，在選擇電路 S2 與四個子陣列 30 連接的情況下，藉由在選擇電路 S2 中解碼位址信號 ADDR 所包括的 2 位元的資料，可以選擇特定的子陣列 30。

[0035]

半導體裝置 10 具有在對被選擇電路 S2 選擇的子陣列 30 供應電力的同時停止對沒有被選擇電路 S2 選擇的子陣列 30 供應電力的功能。由此，在被選擇電路 S2 選擇的子陣列 30 中進行資料的寫入或讀出等處理的同時，可以降低其他子陣列 30 的功耗。

[0036]

子陣列 30 所包括的多個存儲塊 40 與選擇電路 S3 連接。選擇電路 S3 具有根據位址信號 ADDR 選擇多個存儲塊 40 中的被要求存取的特定的存儲塊 40 的功能。選擇電路 S3 可以由解碼器等構成。例如，如圖 1 所示，在選擇電路 S3 與四個存儲塊 40 連接的情況下，藉由在選擇電路 S3 中解碼位址信號 ADDR 所包括的 2 位元的資料，可以選擇特定的存儲塊 40。

[0037]

半導體裝置 10 具有在對被選擇電路 S3 選擇的存儲塊 40 供應電力的同時停止對沒有被選擇電路 S3 選擇的存儲塊 40 供應電力的功能。由此，在被選擇電路 S3 選擇的存儲塊 40 中進行資料的寫入或讀出等處理的同時，可以降低其他存儲塊 40 的功耗。

[0038]

如上所述，半導體裝置 10 可以根據每個巨集 20、每個子陣列 30 或每個存儲塊 40 控制供應電力。

[0039]

圖 2 示出半導體裝置 10 被輸入位址信號 ADDR 時的工作實例。在此，

作為一個例子，對輸入到半導體裝置 10 的位址信號 ADDR 包括用來指定要存取的存儲塊 40 的 6 位元的資料 “011011” 時的工作進行說明。

[0040]

當輸入包括 6 位元的資料 “011011” 的位址信號 ADDR 時，6 位元的資料的高階的 2 位元 “01” 被選擇電路 S1 解碼，選擇被要求存取的巨集 20 (圖式中的從左邊數第二個巨集 20)。

[0041]

在此，可以維持停止對沒有被要求存取的巨集 20 (由高階的 2 位元 “00”、“10”、“11” 指定的巨集 20) 供應電力的狀態。就是說，在選擇巨集 20 時，可以只對選擇電路 S1、被要求存取的巨集 20 所包括的子陣列 30 及選擇電路 S2 供應電力。因此，可以進行以巨集 20 為空間粒度的電源閘控。

[0042]

接著，在被選擇電路 S1 選擇的巨集 20 中，6 位元的資料的中階的 2 位元 “10” 被選擇電路 S2 解碼，選擇被要求存取的子陣列 30 (圖式中的從下面數第二個子陣列 30)。

[0043]

在此，可以維持停止對被選擇電路 S1 選擇的巨集 20 所包括的子陣列 30 中的沒有被要求存取的子陣列 30 (由中階的 2 位元 “00”、“01”、“11” 指定的子陣列 30) 供應電力的狀態。就是說，在選擇子陣列 30 時，可以只對選擇電路 S1、被要求存取的巨集 20 所包括的選擇電路 S2、被要求存取的子陣列 30 所包括的存儲塊 40 及選擇電路 S3 供應電力。因此，可以進行以子陣列 30 為空間粒度的電源閘控。

[0044]

接著，在被選擇電路 S2 選擇的子陣列 30 中，位址資料的低階的 2 位元 “11” 被選擇電路 S3 解碼，選擇被要求存取的存儲塊 40 (圖式中的右下側的存儲塊 40)。

[0045]

在此，可以維持停止對被選擇電路 S2 選擇的子陣列 30 所包括的存儲塊 40 中的沒有被要求存取的存儲塊 40 (由低階的 2 位元 “00”、“01”、“10” 指定的存儲塊 40) 供應電力的狀態。就是說，在選擇存儲塊 40 時，可以只對選擇電路 S1、被要求存取的巨集 20 所包括的選擇電路 S2、被要求存取的子陣列 30 所包括的選擇電路 S3、被要求存取的存儲塊 40 供應電

力。因此，可以進行以存儲塊 40 為空間粒度的電源閘控。

[0046]

如上所述，在本發明的一個實施方式中，位址信號被輸入而被要求存取特定的存儲塊 40 時，可以維持停止對位址信號沒有指定的巨集 20、子陣列 30 或存儲塊 40 供應電力的狀態。注意，可以根據儲存在半導體裝置 10 中的資料的局部性或存取的頻率等改變停止供應電力的物件。

[0047]

明確而言，在使半導體裝置 10 工作時，可以選擇（1）對半導體裝置 10 整體供應電力的模式、（2）對被要求存取的巨集 20 供應電力的模式、（3）對被要求存取的子陣列 30 供應電力的模式、（4）對被要求存取的存儲塊 40 供應電力的模式。就是說，不但可以進行以半導體裝置 10 為空間粒度的細粒電源閘控，而且可以進行以巨集 20、子陣列 30 或存儲塊 40 為空間粒度的細粒電源閘控。

[0048]

下面，對半導體裝置 10 中的細粒電源閘控進行詳細說明。如圖 3A 至圖 3D 所示，在半導體裝置 10 中，可以改變電源閘控的空間粒度。另外，在圖式中，以粗框表示被供應電力的電路。

[0049]

圖 3A 示出對半導體裝置 10 整體供應電力的模式。在對半導體裝置 10 輸入選擇半導體裝置 10 的信號 CE 時，對半導體裝置 10 整體供應電力，對半導體裝置 10 所包括的巨集 20、子陣列 30、存儲塊 40（未圖示）也供應電力。就是說，進行以半導體裝置 10 為空間粒度的電源閘控。另外，在沒有輸入信號 CE 的期間中，可以維持停止對半導體裝置 10 供應電力的狀態。

[0050]

圖 3B 示出對被選擇電路 S1 選擇的特定的巨集 20 供應電力的模式。對選擇電路 S1 輸入選擇特定的巨集 20（在此，圖式中的最左邊的巨集 20）的信號 MA。此時，對被選擇的巨集 20 供應電力，對被選擇的巨集 20 所包括的子陣列 30、存儲塊 40（未圖示）也供應電力。

[0051]

另一方面，對沒有被選擇電路 S1 選擇的巨集 20 沒有供應電力。就是說，維持停止對沒有被選擇的巨集 20 以及沒有被選擇的巨集 20 所包括的子陣列 30、存儲塊 40（未圖示）供應電力的狀態。由此，可以進行以巨集 20 為空間粒度的電源閘控，從而可以降低半導體裝置 10 的功耗。

[0052]

圖 3C 示出對被選擇電路 S2 選擇的特定的子陣列 30 供應電力的模式。對選擇電路 S2 輸入選擇特定的子陣列 30（在此，圖式中的最上面的子陣列 30）的信號 SA。此時，對被選擇的子陣列 30 供應電力，對被選擇的子陣列 30 所包括的存儲塊 40（未圖示）也供應電力。

[0053]

另一方面，對沒有被選擇電路 S2 選擇的子陣列 30 沒有供應電力。就是說，維持停止對沒有被選擇的子陣列 30 以及沒有被選擇的子陣列 30 所包括的存儲塊 40（未圖示）供應電力的狀態。由此，可以進行以子陣列 30 為空間粒度的電源閘控，從而可以降低巨集 20 的功耗。

[0054]

圖 3D 示出對被選擇電路 S3 選擇的特定的存儲塊 40 供應電力的模式。對選擇電路 S3 輸入選擇特定的存儲塊 40（在此，圖式中右上側的存儲塊 40）的信號 BA。此時，對被選擇的存儲塊 40 供應電力。

[0055]

另一方面，對沒有被選擇電路 S3 選擇的存儲塊 40 沒有供應電力。就是說，維持停止對沒有被選擇的存儲塊 40 供應電力的狀態。由此，可以進行以存儲塊 40 為空間粒度的電源閘控，從而可以降低子陣列 30 的功耗。

[0056]

如上所述，在本發明的一個實施方式中，可以從半導體裝置 10、巨集 20、子陣列 30、存儲塊 40 選擇進行電源閘控時的空間粒度。因此，可以根據儲存在半導體裝置 10 中的資料的局部性或存取的頻率等可以進行適當的電源閘控，可以高效地降低半導體裝置 10 的功耗。根據要執行的程式的內容等，可以使用硬體或軟體（系統）選擇空間粒度。

[0057]

另外，細粒電源閘控帶來的低功耗化的效果取決於儲存在半導體裝置 10 中的資料的局部性。因此，藉由將半導體裝置 10 用於快取記憶體等資料的局部性強的記憶體裝置，可以大幅度地降低功耗。在將半導體裝置 10 用於快取記憶體的情況下，可以使用容量不同的多個半導體裝置 10。例如，使用容量不同的三種半導體裝置 10，並且可以將容量最小的半導體裝置 10 用於主快取，將容量中間的半導體裝置 10 用於次要快取，將容量最大的半導體裝置 10 用於三次快取。

[0058]

〈存儲塊的結構實例〉

圖 4A 和圖 4B 示出圖 1 至圖 3D 所示的存儲塊 40 的結構實例。存儲塊 40 包括單元陣列 110、驅動電路 120、驅動電路 130。另外，單元陣列 110 包括多個記憶單元 111。

[0059]

記憶單元 111 是具有儲存資料的功能的電路。在記憶單元 111 中，既可以儲存 2 值（高位準及低位準）的資料，又可以儲存 3 值以上的資料。

[0060]

記憶單元 111 與佈線 WL、佈線 BL 連接。佈線 WL 具有傳送用來選擇規定的行的記憶單元 111 的信號（以下，也稱為選擇信號）的功能。佈線 BL 具有傳送與對被選擇的記憶單元 111 寫入的資料對應的電位（以下，也稱為寫入電位）的功能。另外，佈線 BL 具有與儲存在記憶單元 111 中的資料對應的電位（以下，也稱為讀出電位）的功能。在此，示出在存儲塊 40 中設置有 $n+1$ 個佈線 WL（佈線 WL[n:0]）、 $m+1$ 個佈線 BL（佈線 BL[m:0]）和 $(n+1) \times (m+1)$ 個記憶單元 111 的結構實例（ n 、 m 為 0 以上的整數）。注意，寫入電位和讀出電位既可以輸出到同一佈線 BL，又可以輸出到不同的佈線。

[0061]

作為記憶單元 111，較佳為使用在通道形成區域中包含氧化物半導體的電晶體（以下，也稱為 OS 電晶體）。氧化物半導體的能帶間隙比矽等其他半導體寬，並且其載子密度比矽等其他半導體低。因此，OS 電晶體的關態電流極小。因此，藉由將 OS 電晶體用於記憶單元 111，可以長期間地保持儲存在記憶單元 111 中的資料。另外，在停止對存儲塊 40 供應電力的期間中也可以保持資料。關於使用 OS 電晶體的記憶單元 111，將在實施方式 2 中進行詳細說明。

[0062]

驅動電路 120 具有根據位址信號 ADDR 對佈線 WL 輸出選擇信號的功能。驅動電路 120 可以由解碼器等構成。

[0063]

驅動電路 130 具有對根據位址信號 ADDR 被選擇的記憶單元 111 寫入資料的功能。另外，還具有讀出根據位址信號 ADDR 被選擇的記憶單元 111 所儲存的資料的功能。明確而言，驅動電路 130 具有對佈線 BL 供應寫入電位的功能、從佈線 BL 的電位讀出儲存在記憶單元 111 中的資料的功能。另

外，驅動電路 130 還可以具有將佈線 BL 預充電到規定的電位的功能、放大佈線 BL 的電位的功能等。

[0064]

注意，相鄰的存儲塊 40 也可以共同使用驅動電路 120、130。

[0065]

在單元陣列 110 中沒有進行資料的讀出或寫入的期間中，可以停止對驅動電路 120、驅動電路 130 供應電力。由此，可以降低存儲塊 40 的功耗。

[0066]

另一方面，在根據位址信號 ADDR 被選擇特定的存儲塊 40 時，在該存儲塊 40 中，對驅動電路 120、驅動電路 130 供應電力。明確而言，如圖 4A 所示，將電力供應到驅動電路 120 中的包括藉由佈線 WL 對被選擇的記憶單元 111 供應選擇信號的元件的區域（在圖式中，以斜線表示）和驅動電路 130。圖 4A 示出第一行的記憶單元 111 被選擇，並且驅動電路 120 中的與佈線 WL[0] 連接的邏輯電路供應電力的狀態。如此，在驅動電路 120 中，藉由只對用來選擇特定的行的記憶單元 111 的邏輯電路供應電力，可以降低驅動電路 120 的功耗。另外，可以說，在圖 4A 中進行以空間粒度為記憶單元 111 的一行的電源閘控。

[0067]

此外，如圖 4B 所示，在根據位址信號 ADDR 被選擇特定的存儲塊 40 時，也可以對驅動電路 120 整體供應電力。此時，可以進行以空間粒度為驅動電路 120 的電源閘控。另外，也可以進行以空間粒度為記憶單元 111 的多個行的電源閘控。此外，在驅動電路 130 中，還可以進行以空間粒度為記憶單元 111 的一列或多個列的電源閘控。關於驅動電路 120 的電路結構的具體例子，將在圖 9 中進行說明。

[0068]

〈功率開關電路的結構實例〉

圖 5A 至圖 6F 示出設置有用來控制電力供應的開關（功率開關）的電路的結構實例。

[0069]

在圖 5A 中，電路 210 與用來控制電力供應的功率開關連接。在此，作為功率開關使用電晶體 221。

[0070]

電路 210 是利用高電源電位 VDD 及低電源電位 VSS 而驅動的電路，對

結構和功能沒有特別的限制。例如，電路 210 也可以是算術電路或記憶體電路。在將電路 210 用作算術電路的情況下，例如可以使用由反相器電路、AND 電路、NAND 電路、OR 電路、NOR 電路等組合電路構成的電路。另外，電路 210 也可以是由正反器電路、閃鎖電路等時序電路構成的電路。

[0071]

電路 210 與被供應低電源電位 VSS 的佈線及電晶體 221 的源極和汲極中的一個連接。電晶體 221 的源極和汲極中的另一個與被供應高電源電位 VDD 的佈線連接。電晶體 221 的閘極與被供應信號 EN 的佈線連接。

[0072]

當作爲信號 EN 被輸入低位準信號時，電晶體 221 成爲開啓狀態，對電路 210 供應高電源電位 VDD，電路 210 工作。另一方面，當作爲信號 EN 被輸入高位準信號時，電晶體 221 成爲關閉狀態，停止對電路 210 供應高電源電位 VDD。

[0073]

作爲電路 210，可以使用圖 1 至圖 3D 中的選擇電路 S1 至 S3、圖 4A 和圖 4B 中的單元陣列 110、驅動電路 120、130 等。由此，可以控制對選擇電路 S1 至 S3、單元陣列 110、驅動電路 120、130 供應電力。

[0074]

另外，如圖 5B 所示，也可以在電路 210 與被供應低電源電位 VSS 的佈線之間設置開關。在此，作爲開關使用電晶體 222。當作爲信號 EN 被輸入高位準信號時，電晶體 222 成爲開啓狀態，對電路 210 供應低電源電位 VSS，電路 210 工作。另一方面，當作爲信號 EN 被輸入低位準信號時，電晶體 222 成爲關閉狀態，停止對電路 210 供應低電源電位 VSS。

[0075]

此外，如圖 5C 所示，也可以在電路 210 與被供應高電源電位 VDD 的佈線之間以及電路 210 與被供應低電源電位 VSS 的佈線之間設置開關。在此，信號 ENB 是信號 EN 的反轉信號。當作爲信號 EN 被輸入高位準信號時，對電路 210 供應高電源電位 VDD 及低電源電位 VSS。

[0076]

另外，如圖 6A 所示，也可以對圖 5A 所示的結構附加電晶體 231 的結構。電晶體 231 的閘極與被供應信號 EN 的佈線連接，源極和汲極中的一個與輸出端子 OUT 連接，源極和汲極中的另一個與被供應低電源電位 VSS 的佈線連接。

[0077]

電晶體 231 在作為信號 EN 被輸入高位準信號的期間中成為開啓狀態。由此，在停止對電路 210 供應電力的期間中，可以將輸出端子 OUT 的電位保持為低位準。因此，可以防止電路 210 的輸出成為不定值。

[0078]

另外，如圖 6B 所示，也可以對圖 5B 所示的結構附加電晶體 232 的結構。電晶體 232 的閘極與被供應信號 EN 的佈線連接，源極和汲極中的一個與輸出端子 OUT 連接，源極和汲極中的另一個與被供應高電源電位 VDD 的佈線連接。

[0079]

電晶體 232 在作為信號 EN 被輸入低位準信號的期間中成為開啓狀態。由此，在停止對電路 210 供應電力的期間中，可以將輸出端子 OUT 的電位保持為高位準。因此，可以防止電路 210 的輸出成為不定值。

[0080]

另外，在圖 6A 中，也可以設置邏輯電路代替電晶體 231。圖 6C 示出設置反相器 233、AND 電路 234 代替電晶體 231 的結構。此外，圖 6D 示出設置反相器 233、NAND 電路 235 及反相器 236 代替電晶體 231 的結構。

[0081]

另外，在圖 6B 中，也可以設置邏輯電路代替電晶體 232。圖 6E 示出設置 AND 電路 237 代替電晶體 232 的結構。此外，圖 6F 示出設置 NAND 電路 238 及反相器 239 代替電晶體 232 的結構。

[0082]

在圖 6C 至圖 6F 中，在停止對電路 210 供應電力的期間中，可以將輸出端子 OUT 的電位保持為低位準。因此，可以防止電路 210 的輸出成為不定值。

[0083]

另外，在圖 5A 至圖 6F 中，可以藉由將高電源電位 VDD 切換為低電源電位 VSS 停止供應電力。此時，成為如下狀態：在被供應低電源電位 VSS 的兩個佈線之間連接電路 210，電流不流過電路 210。同樣地，在圖 5A 至圖 6F 中，也可以藉由將低電源電位 VSS 切換為高電源電位 VDD 停止供應電力。

[0084]

對圖 5A 至圖 6F 中的電晶體（電晶體 221、222、231、232、構成反相

器、AND 電路、NAND 電路的電晶體等) 的材料沒有特別的限制，例如可以使用 OS 電晶體。尤其是，藉由作為電晶體 221、222 使用 OS 電晶體，在電晶體 221、222 成為關閉狀態而停止供應電力的期間中可以實現極低的功耗。

[0085]

另外，也可以將 OS 電晶體層疊在其他電晶體上。因此，可以將圖 5A 至圖 6F 中的電晶體層疊在電路 210 所包括的電晶體上，從而可以抑制設置功率開關導致的面積增大。

[0086]

此外，作為圖 5A 至圖 6F 中的電晶體，也可以使用通道形成區域形成在包含單晶半導體的基板的一部分的電晶體（以下，也稱為單晶電晶體）。作為包含單晶半導體的基板，可以舉出單晶矽基板和單晶鍺基板等。因為單晶電晶體可以進行高速的工作，所以在作為電晶體 221、222 使用單晶電晶體的情況下，可以高速地進行供應電力的切換。

[0087]

另外，作為圖 5A 至圖 6F 中的電晶體，也可以使用通道形成區域形成在包含氧化物半導體之外的半導體材料的膜中的電晶體。例如，可以使用在通道形成區域中包含非單晶半導體的電晶體。作為非單晶半導體，可以舉出非晶矽、微晶矽、多晶矽等非單晶矽、非晶鍺、微晶鍺、多晶鍺等非單晶鍺等。

[0088]

〈電路 210 的結構實例〉

接著，圖 7A 至圖 8B 示出電路 210 的具體結構實例。

[0089]

圖 7A 示出圖 5A 中的電路 210 是反相器時的結構。電路 210 包括電晶體 241、242。

[0090]

電晶體 241 的閘極與輸入端子 IN 連接，源極和汲極中的一個與電晶體 221 的源極和汲極中的一個連接，源極和汲極中的另一個與電晶體 242 的源極和汲極中的一個連接。電晶體 242 的閘極與輸入端子 IN 連接，源極和汲極中的另一個與被供應低電源電位 VSS 的佈線連接。注意，雖然在此示出圖 5A 中的電路 210 是反相器的結構，但是也可以採用圖 5B、圖 5C 以及圖 6A 至圖 6F 中的電路 210 是反相器的結構。

[0091]

圖 7B 示出圖 5A 中的電路 210 是 NAND 電路時的結構。電路 210 包括電晶體 251、252、253、254。

[0092]

電晶體 251 的閘極與輸入端子 IN1 連接，源極和汲極中的一個與電晶體 252 的源極和汲極中的一個及電晶體 221 的源極和汲極中的一個連接，源極和汲極中的另一個與電晶體 252 的源極和汲極中的另一個及電晶體 253 的源極和汲極中的一個連接。電晶體 252 的閘極與輸入端子 IN2 連接。電晶體 253 的閘極與輸入端子 IN2 連接，源極和汲極中的另一個與電晶體 254 的源極和汲極中的一個連接。電晶體 254 的閘極與輸入端子 IN1 連接，源極和汲極中的另一個與被供應低電源電位 VSS 的佈線連接。注意，雖然在此示出圖 5A 中的電路 210 是 NAND 電路的結構，但是也可以採用圖 5B、圖 5C 以及圖 6A 至圖 6F 中的電路 210 是 NAND 電路的結構。

[0093]

圖 7A 和圖 7B 所示的電路 210 可以用於圖 1 至圖 3D 中的選擇電路 S1 至 S3、圖 4A 和圖 4B 中的單元陣列 110、驅動電路 120、驅動電路 130 等。另外，也可以組合圖 7A 所示的反相器和圖 7B 所示的 NAND 電路而構成 AND 電路。

[0094]

此外，圖 5A 至圖 6F 中的電路 210 可以由多個邏輯元件構成。圖 8A 和圖 8B 示出圖 5A 中的電路 210 包括多個邏輯電路 211 的結構。

[0095]

圖 8A 中的電路 210 包括 N 個邏輯電路 211 (邏輯電路 211_1 至 211_N) (N 是自然數)。多個邏輯電路 211 都藉由電晶體 221 與被供應高電源電位 VDD 的佈線連接。另外，多個邏輯電路 211 都與被供應低電源電位 VSS 的佈線連接。藉由作為信號 EN 供應低位準信號，高電源電位 VDD 供應到邏輯電路 211_1 至 211_N。由此，可以一同控制對邏輯電路 211_1 至 211_N 供應電力。

[0096]

邏輯電路 211 也可以由組合電路諸如反相器電路、AND 電路、NAND 電路、OR 電路、NOR 電路等或時序電路諸如正反器電路、閃鎖電路等構成。

[0097]

另外，如圖 8B 所示，也可以按每個邏輯電路 211 設置電晶體 221。此

時，可以根據每個邏輯電路 211 控制供應電力。

[0098]

另外，在圖 8A 和圖 8B 的電路 210 中，某個邏輯電路 211 的輸出端子也可以與其他邏輯電路 211 的輸入端子連接。由此，可以構成組合邏輯電路 211 的邏輯電路。

[0099]

另外，圖 8A 和圖 8B 中的電路 210 也可以應用於圖 5B、圖 5C 以及圖 6A 至圖 6F 中的電路 210。

[0100]

〈驅動電路的結構實例〉

對在圖 4A 和圖 4B 的驅動電路 120 中設置有功率開關的結構實例進行說明。

[0101]

圖 9 是如圖 4A 所示的能夠根據與佈線 WL 連接的每個電路進行電源閘控的驅動電路 120 的結構實例。驅動電路 120 包括邏輯電路 310_0 至 310_n，按每個佈線 WL 設置有邏輯電路 310。另外，佈線 WL 與多個記憶單元（未圖示）連接。

[0102]

邏輯電路 310 包括電晶體 321 至 324、電晶體 331 和 332 以及電晶體 341 和 342。另外，電晶體 321 至 324 對應於圖 7B 中的電晶體 251 至 254，構成 NAND 電路。電晶體 331 和 332 對應於圖 7A 中的電晶體 241 和 242，構成反相器。並且，邏輯電路 310 構成 AND 電路。

[0103]

信號 RA 對應於輸出到佈線 WL 的選擇信號。藉由在輸入有信號 RA 的狀態下將信號 WLE 設定為高位準，選擇信號輸出到佈線 WL。

[0104]

電晶體 341 設置在電晶體 331 與被供應高電源電位 VDD 的佈線之間，並具有控制對邏輯電路 310 供應高電源電位 VDD 的功能。電晶體 342 設置在電晶體 324 與被供應低電源電位 VSS 的佈線之間，並具有控制對邏輯電路 310 供應低電源電位 VSS 的功能。電晶體 341、342 分別具有與圖 5A 至圖 5C 中的電晶體 221、222 同樣的功能。

[0105]

如此，藉由在每個邏輯電路 310 中設置電晶體 341、342，可以根據每

個邏輯電路 310 進行電源閘控。因此，可以只對與被選擇的佈線 WL 對應的邏輯電路 310 供應電力，可以進行以空間粒度為記憶單元 111 的一行的細粒電源閘控（參照圖 4A）。

[0106]

另外，如圖 10 所示，在按每個佈線 WL 設置有驅動佈線 WL 的邏輯電路 311 的結構中，邏輯電路 311_1 至 311_n 也可以共同使用被供應高電源電位 VDD 的佈線和被供應低電源電位 VSS 的佈線，且設置與被供應高電源電位 VDD 的佈線連接的電晶體 341 以及與被供應低電源電位 VSS 的佈線連接的電晶體 342。在此情況下，可以一同控制對邏輯電路 311_1 至 311_n 供應電力。因此，如圖 4B 所示，可以對驅動電路 120 整體進行電源閘控。另外，在圖 10 中，藉由在輸入有信號 RA[0]至[n]的狀態下將信號 WLE 設定為高位準，對佈線 WL[0]至[n]輸出選擇信號。

[0107]

作為圖 9 和圖 10 中的驅動電路 120 可以自由地使用圖 5A 至圖 6F 所示的結構。例如，也可以省略電晶體 341 和電晶體 342 中的一個。另外，除了電晶體 341 之外，在電晶體 321、322 與連接到電晶體 321、322 的被供應高電源電位 VDD 的佈線之間還設置電晶體，或者設置電晶體代替電晶體 341，由此進行電源閘控。此外，除了電晶體 342 之外，在電晶體 332 與連接到電晶體 332 的被供應低電源電位 VSS 的佈線之間還設置電晶體，或者在它們之間設置電晶體代替電晶體 342，由此進行電源閘控。

[0108]

〈功率開關賦能生成電路〉

圖 11A 至圖 11C 示出用來對如下功率開關輸出控制信號的電路（功率開關賦能生成電路）的結構實例，上述功率開關是控制對圖 1 至圖 3D 中的選擇電路 S1 至 S3 供應電力的功率開關以及控制對存儲塊 40 中的電路（驅動電路 120、130 等，參照圖 4A 和圖 4B）供應電力的功率開關。注意，設置在選擇電路 S1 至 S3、驅動電路 120、130 中的功率開關的結構可以參照圖 5A 至圖 10。

[0109]

圖 11A 示出生成用來控制功率開關的信號的電路 400 的結構實例。電路 400 由 AO 電路（AND 電路+OR 電路）和 NOR 電路構成。電路 400 具有根據信號 PGD[0]至[3]、信號 PSE、信號 CE、MA、SA、BA 而輸出輸入到功率開關的信號 EN_S1 至 EN_S3、信號 EN_block 的功能。

[0110]

信號 PGD[0]至[3]是用來決定電源閘控的空間粒度的信號。根據要執行的程式的內容，可以使用硬體或軟體（系統）輸入信號 PGD[0]至[3]。

[0111]

如圖 3A 至圖 3D 所示，信號 CE、MA、SA、BA 分別是輸入到半導體裝置 10、選擇電路 S1、選擇電路 S2、選擇電路 S3 的選擇信號。

[0112]

信號 PSE 是對半導體裝置 10 整體供應電力的信號，而與輸入到電路 400 的信號 PGD[3:0]、信號 CE、MA、SA、BA 無關。

[0113]

信號 EN_S1 至 EN_S3 是供應到選擇電路 S1 至 S3 的功率開關的選擇信號，信號 EN_block 是供應到在根據位址信號被選擇的存儲塊 40 中的電路（驅動電路 120、130 等，參照圖 4A 和圖 4B）中設置的功率開關的選擇信號。

[0114]

另外，如圖式所示，從電路 400 所包括的多個 AO 電路的輸出端子分別輸出信號 EN_all、EN_MA、EN_SA，從被輸入信號 BA 的 NOR 電路的輸出端子輸出 EN_block。信號 EN_all、EN_MA、EN_SA、EN_block 分別對應於選擇半導體裝置 10 整體的控制信號、選擇特定的巨集 20 的控制信號、選擇特定的子陣列 30 的控制信號、選擇特定的存儲塊 40 的控制信號。

[0115]

在此，示出設置在選擇電路 S1 至 S3 以及存儲塊 40 內的電路（驅動電路 120、130 等）中的功率開關是如圖 5A 和圖 5C 以及圖 6A、圖 6C 和圖 6D 中的電晶體 221 那樣的 p 通道型電晶體時的結構實例。就是說，當作爲信號 EN_S1 至 EN_S3、信號 EN_block 被輸入低位準信號時，功率開關成爲開啓狀態，進行電力供應。

[0116]

表 1 示出信號 PGD[0]至[3]、信號 PSE 與進行電源閘控的範圍的對應關係。注意，表 1 中的 X 表示不定值，“1”對應於高位準信號，“0”對應於低位準信號。

[0117]

[表 1]

PSE	PGD[3:0]	電源閘控
0	000X	根據每個存儲塊
0	001X	根據每個子陣列
0	01XX	根據每個巨集
0	1XXX	根據每個存取
0	XXX1	選擇電路始終為開啓狀態
1	XXXX	整體為開啓狀態
0	0000	整體為關閉狀態

[0118]

當半導體裝置 10 被選擇時，信號 CE 成爲高位準，分別輸入到根據位址信號 ADDR 被選擇的巨集 20、子陣列 30、存儲塊 40 的信號 MA、SA、BA 成爲高位準。由此，信號 EN_S1 至 EN_S3 成爲低位準，對選擇電路 S1 至 S3 供應電力。

[0119]

並且，在根據每個存儲塊 40 進行電源閘控的情況下，在將信號 PSE 設定爲低位準的狀態下，將信號 PGD[1]至[3]設定爲低位準。此時，信號 EN_all、EN_MA、EN_SA 都成爲低位準。因此，只對被輸入高位準信號 BA 的選擇電路 S3 所選擇的存儲塊 40 輸出低位準信號 EN_block。由此，設置在被選擇的存儲塊 40 中的電路的功率開關成爲開啓狀態，進行電力供應。就是說，可以進行以存儲塊 40 爲空間粒度的電源閘控。

[0120]

在根據每個子陣列 30 進行電源閘控的情況下，在將信號 PSE 設定爲低位準的狀態下，將信號 PGD[1]設定爲高位準，並且將信號 PGD[2]、[3]設定爲低位準。此時，當信號 SA 成爲高位準時，信號 EN_SA 成爲高位準。因此，在被輸入信號 SA 的選擇電路 S2 所選擇的子陣列 30 中，與信號 BA 無關地輸出低位準信號 EN_block。由此，對被選擇電路 S2 選擇的子陣列 30 所包括的所有存儲塊 40 供應電力。就是說，可以進行以子陣列 30 爲空間粒度的電源閘控。

[0121]

在根據每個巨集 20 進行電源閘控的情況下，在將信號 PSE 設定爲低位準的狀態下，將信號 PGD[2]設定爲高位準，並且將信號 PGD[3]設定爲低位準。此時，當信號 MA 成爲高位準時，信號 EN_MA 成爲高位準，EN_SA

也成爲高位準。因此，在被輸入信號 MA 的選擇電路 S1 所選擇的巨集 20 中，與信號 SA、BA 無關地輸出低位準信號 EN_block。由此，對被選擇電路 S1 選擇的巨集 20 所包括的所有存儲塊 40 供應電力。就是說，可以進行以巨集 20 爲空間粒度的電源閘控。

[0122]

另外，在每次半導體裝置 10 被要求存取且被輸入位址信號 ADDR，對半導體裝置 10 所包括的所有存儲塊 40 供應電力的情況下，在將信號 PSE 設定爲低位準的狀態下，將信號 PGD[3] 設定爲高位準。此時，當信號 CE 成爲高位準時，信號 EN_all 成爲高位準，信號 EN_MA、EN_SA 也成爲高位準。因此，當被輸入信號 CE 時，與信號 MA、SA、BA 無關地輸出低位準信號 EN_block。由此，對半導體裝置 10 所包括的所有存儲塊 40 供應電力。就是說，可以進行以半導體裝置 10 爲空間粒度的電源閘控。

[0123]

另外，當將信號 PGD[0] 設定爲高位準時，信號 EN_S1 至 EN_S3 與信號 PGD[1] 至 [3]、信號 CE、MA、SA、BA 無關地成爲低位準，對選擇電路 S1 至 S3 供應電力。就是說，可以將半導體裝置 10 的模式設定爲對選擇電路 S1 至 S3 始終供應電力的模式。不需要按存儲塊 40 中的每個佈線 WL、佈線 BL 設置選擇電路 S1 至 S3，在半導體裝置 10 整體的功耗中選擇電路 S1 至 S3 的功耗所占的比例較小。因此，即使使選擇電路 S1 至 S3 始終處於開啓狀態，功耗的增大也較小。在半導體裝置 10 被要求高速工作的情況下，藉由將其模式設定爲對選擇電路 S1 至 S3 始終供應電力的模式，可以防止對選擇電路 S1 至 S3 供應電力的切換導致的工作速度的下降。

[0124]

另外，藉由將信號 PSE 設定爲高位準，與信號 PGD[0] 至 [3]、信號 CE、MA、SA、BA 無關，可以對半導體裝置 10 所包括的所有存儲塊 40、選擇電路 S1 至 S3 供應電力。這對應於在半導體裝置 10 中不進行電源閘控的模式。在此情況下，不需要對半導體裝置 10 供應電力的切換，可以提高半導體裝置 10 的工作頻率，從而提高工作速度。在執行需要高速處理的程式的情況等下，將信號 PSE 設定爲高位準是有效的。

[0125]

另外，在停止對半導體裝置 10 所包括的所有存儲塊 40、選擇電路 S1 至 S3 供應電力的情況下，將信號 PGD[0] 至 [3] 設定爲低位準即可。

[0126]

此外，雖然在圖 11A 中信號 PGD 為 4 位元的信號，但是也可以為 3 位元以下的信號。例如，在不使用對選擇電路 S1 至 S3 始終供應電力的模式的情況下，如圖 11B 所示，可以省略被輸入信號 PGD[0] 的佈線。另外，在不使用根據每個子陣列 30 進行電源閘控的模式的情況下，如圖 11C 所示，可以省略被輸入信號 PGD[1]、信號 SA 的佈線，而減少 AND 電路、OR 電路、NOR 電路的個數。與此同樣，在不使用根據每個巨集 20 進行電源閘控的模式的情況下，可以省略被輸入信號 PGD[2]、信號 MA 的佈線。另外，在不使用根據每個存儲塊 40 進行電源閘控的模式的情況下，可以省略被輸入信號 PGD[0]、信號 BA 的佈線。

[0127]

如上所述，根據本發明的一個實施方式的半導體裝置 10 包括：與多個記憶體電路 20 連接的選擇電路 S1；與多個記憶體電路 30 連接的選擇電路 S2；以及與多個記憶體電路 40 連接的選擇電路 S3，由此可以根據每個記憶體電路 20、每個記憶體電路 30 或每個記憶體電路 40 進行電源閘控。由此，可以維持停止對不進行資料的讀出或寫入的記憶體電路 40 供應電力的狀態，從而可以降低半導體裝置 10 的功耗。

[0128]

注意，本發明的一個實施方式不侷限於上述結構。就是說，在本實施方式中記載有各種各樣的發明的方式，由此本發明的一個實施方式不侷限於特定的方式。例如，作為本發明的一個實施方式，雖然示出能夠根據每個記憶體電路 20、每個記憶體電路 30 或每個記憶體電路 40 進行電源閘控的半導體裝置的例子，但是根據情況或狀況，本發明的一個實施方式既可以對半導體裝置 10 整體進行電源閘控，又可以不進行電源閘控。

[0129]

本實施方式可以與其他實施方式的記載適當地組合。因此，在本實施方式中描述的內容（也可以是其一部分的內容）可以應用於、組合於或者替換成在該實施方式中描述的其他內容（也可以是其一部分的內容）和/或在一個或多個其他實施方式中描述的內容（也可以是其一部分的內容）。此外，在實施方式中描述的內容是指在各實施方式中利用各種圖式來說明的內容或利用說明書中的文章來說明的內容。另外，藉由使在一個實施方式中示出的圖式（也可以是其一部分）與該圖式的其他部分、在該實施方式中示出的其他圖式（也可以是其一部分）和/或在一個或多個其他實施方式中示出的圖式（也可以是其一部分）組合，可以構成更多圖式。這在下面

的實施方式中也是同樣的。

[0130]

實施方式 2

在本實施方式中，對根據本發明的一個實施方式的記憶單元的結構實例進行說明。在此，尤其是對使用 OS 電晶體構成的記憶單元 111 的結構進行說明。

[0131]

圖 12A 示出存儲塊 40 的結構實例。另外，圖 12A 中的存儲塊 40 對應於圖 4A 和圖 4B 中的存儲塊 40。單元陣列 110 包括 $(n+1) \times (m+1)$ 個記憶單元 111 (記憶單元 $[0, 0]$ 至 $[n, m]$)。

[0132]

在本發明的一個實施方式中，在記憶單元 111 沒有被選擇的期間中，可以停止對單元陣列 110、驅動電路 120、130 供應電力。因此，記憶單元 111 較佳為具有在沒有供應電力的期間中也可以保持資料的結構。

[0133]

在此，OS 電晶體具有極小的關態電流，所以適應於用於記憶單元 111 的電晶體。明確而言，如圖 12B 所示，在記憶單元 111 中設置作為 OS 電晶體的電晶體 112、電容器 113 是較佳的。在圖式中附有“OS”的電晶體是 OS 電晶體。

[0134]

電晶體 112 的源極和汲極中的一個與電容器 113 連接。在此，將與電晶體 112 的源極和汲極中的一個及電容器 113 連接的節點稱為節點 N1。

[0135]

節點 N1 從佈線 BL 等藉由電晶體 112 被供應要保持在記憶單元 111 中的電位。並且，當電晶體 112 成為關閉狀態時，節點 N1 成為浮動狀態，保持節點 N1 的電位。在此，作為 OS 電晶體的電晶體 112 的關態電流極小，所以可以長期間地保持節點 N1 的電位。另外，可以藉由對與電晶體 112 的閘極連接的佈線供應規定的電位，控制電晶體 112 的導通狀態。

[0136]

要保持在節點 N1 中的電位既可以為 2 值 (高位準及低位準) 的電位，又可以為 3 值以上的電位。尤其是，當要保持在節點 N1 中的電位為 3 值以上時，要被保持的電位之間的時間變窄，所以微小的電荷洩漏可能導致資

料變動。但是，OS 電晶體具有極小的關態電流，所以可以實現極小的來自節點 N1 的電荷洩漏。因此，在節點 N1 中要保持 3 值以上的電位的情況下，作為電晶體 112 採用 OS 電晶體是尤其佳的。

[0137]

此外，OS 電晶體的耐壓性比在通道形成區域中包含矽的電晶體（以下，也稱為 Si 電晶體）等高。因此，藉由作為電晶體 112 採用 OS 電晶體，可以擴大要保持在節點 N1 中的電位的範圍。因此，可以增加要保持在記憶單元 111 中的資料的個數。例如，可以在節點 N1 中保持 16 值的電位。此時，可以在記憶單元 111 中保持 4 位元的資料。

[0138]

另外，在 OS 電晶體中，也可以設置背閘極。圖 12C 和圖 12D 示出在電晶體 112 中設置有背閘極的結構的例子。圖 12C 所示的電晶體 112 的背閘極與電晶體 112 的前閘極連接。圖 12D 所示的電晶體 112 的背閘極與被供應規定的電位的佈線連接。

[0139]

如此，藉由作為記憶單元 111 採用 OS 電晶體，可以長期間地保持儲存在記憶單元 111 中的資料，從而可以提供可靠性高的半導體裝置。以下，對記憶單元 111 的具體結構實例進行說明。

[0140]

〈記憶單元的結構實例 1〉

圖 13A 示出記憶單元 111 的結構的一個例子。記憶單元 111 包括電路 510 和電路 520。

[0141]

電路 510 包括電晶體 511 至 516。電晶體 511、512、515、516 是 n 通道型電晶體，電晶體 513、514 是 p 通道型電晶體。另外，電晶體 511、512 都可以是 n 通道型電晶體或 p 通道型電晶體。

[0142]

電晶體 511 的閘極與佈線 WL 連接，源極和汲極中的一個與電晶體 513 的源極和汲極中的一個、電晶體 515 的源極和汲極中的一個、電晶體 514 的閘極、電晶體 516 的閘極連接，源極和汲極中的另一個與佈線 BL 連接。電晶體 512 的閘極與佈線 WL 連接，源極和汲極中的一個與電晶體 514 的源極和汲極中的一個、電晶體 516 的源極和汲極中的一個、電晶體 513 的閘極、電晶體 515 的閘極連接，源極和汲極中的另一個與佈線 BLB 連接。電晶體

513 的源極和汲極中的另一個、電晶體 514 的源極和汲極中的另一個都與高電位電源線 VDD 連接。電晶體 515 的源極和汲極中的另一個、電晶體 516 的源極和汲極中的另一個都與低電位電源線 VSS 連接。此外，將與電晶體 513 的閘極及電晶體 515 的閘極連接的節點稱為節點 N3，將與電晶體 514 的閘極及電晶體 516 的閘極連接的節點稱為節點 N2。

[0143]

佈線 WL 具有傳送選擇信號的功能，佈線 BL 具有傳送寫入電位或讀出電位的功能，佈線 BLB 具有傳送供應到佈線 BL 的信號的反轉信號的功能。佈線 BLB 既可以與驅動電路 130 連接，又可以藉由反相器等與佈線 BL 連接。

[0144]

電路 510 構成作為揮發性記憶單元的 SRAM (Static Random Access Memory) 單元。並且，節點 N2 及節點 N3 對應於保持與寫入到記憶單元 111 中的資料對應的電荷的節點。

[0145]

電路 520 包括電晶體 521、522 及電容器 523、524。在此，電晶體 521、522 是 OS 電晶體。

[0146]

電晶體 521 的閘極與佈線 PG 連接，源極和汲極中的一個與電容器 523 的一個電極連接，源極和汲極中的另一個與節點 N3 連接。電晶體 522 的閘極與佈線 PG 連接，源極和汲極中的一個與電容器 524 的一個電極連接，源極和汲極中的另一個與節點 N2 連接。電容器 523 的另一個電極及電容器 524 的另一個電極都與被供應規定的電位的佈線連接。被供應規定的電位的佈線可以是高電位電源線或低電位電源線（接地線等）。另外，也可以是能夠切換電位的佈線。此外，將與電晶體 521 的源極和汲極中的一個及電容器 523 的一個電極連接的節點稱為節點 N4，將與電晶體 522 的源極和汲極中的一個及電容器 524 的一個電極連接的節點稱為節點 N5。

[0147]

佈線 PG 具有選擇進行資料的備份的記憶單元 111 的功能。另外，關於供應到佈線 WL 的信號和供應到佈線 PG 的信號，一個信號可以取決於另一個信號，或者它們可以彼此獨立。另外，藉由將佈線 PG 連接於驅動電路 120，可以由驅動電路 120 控制佈線 PG 的電位。

[0148]

與在記憶單元 111 中保持資料的節點相當的節點 N2 藉由作為 OS 電晶體的電晶體 522 與節點 N5 連接。另外，與在記憶單元 111 中保持資料的節點相當的節點 N3 藉由作為 OS 電晶體的電晶體 521 與節點 N4 連接。由此，可以將保持在構成 SRAM 單元的電路 510 中的資料備份到節點 N4 及節點 N5。另外，可以將所備份的資料再次恢復到電路 510。

[0149]

明確而言，在電路 510 中沒有進行資料的讀出或寫入的期間中，藉由將佈線 PG 的電位設定為高位準而使電晶體 521、522 成為開啓狀態，可以將保持在節點 N2 中的資料備份到節點 N5，並且將保持在節點 N3 中的資料備份到節點 N4。然後，藉由將佈線 PG 的電位設定為低位準而使電晶體 521、522 成為關閉狀態，可以保持節點 N4、N5 的電位。另外，藉由將佈線 PG 的電位再次設定為高位準而使電晶體 521、522 成為開啓狀態，可以將備份到節點 N4、N5 的資料恢復到節點 N2、N3。

[0150]

在此，電晶體 521、522 是 OS 電晶體，它們的關態電流極小。因此，當電晶體 521、522 處於關閉狀態時，可以長期間地保持節點 N4 的電位和節點 N5 的電位。因此，藉由在即將停止對記憶單元 111 供應電力之前將保持在節點 N2、N3 中的資料備份到節點 N4、N5，即使停止對記憶單元 111 供應電力也可以保持儲存在記憶單元 111 中的資料。並且，在再次開始對記憶單元 111 供應電力之後，可以將保持在節點 N4、N5 中的資料恢復到節點 N2、N3。

[0151]

另外，因為記憶單元 111 構成 SRAM 單元，所以電晶體 511 至 516 被要求高速工作。因此，作為電晶體 511 至 516 較佳為使用 Si 電晶體等。但是，不侷限於此，作為電晶體 511 至 516 也可以使用 OS 電晶體。

[0152]

另外，在記憶單元 111 被供應電力，電路 510 作為 SRAM 單元工作的期間中，使電晶體 521、522 成為關閉狀態是較佳的。由此，可以防止電路 510 的工作速度的下降。

[0153]

注意，雖然在圖 13A 中示出電路 520 包括電晶體 521、522 和電容器 523、524 的例子，但是也可以採用省略電晶體 521 及電容器 523 的結構、或者省略電晶體 522 及電容器 524 的結構。

[0154]

另外，雖然在圖 13A 中作為電路 510 使用作為揮發性記憶單元的包括六個電晶體的 SRAM 單元，但是不侷限於此，作為電路 510 也可以使用其他揮發性記憶單元。即使使用其他揮發性記憶單元，藉由如圖 13A 所示將其連接到 OS 電晶體及電容器，也可以進行資料的備份及恢復。

[0155]

如上所述，在記憶單元 111 中，藉由將儲存在電路 510 中的資料備份到電路 520 而保持該資料，在對記憶單元 111 沒有供應電力的期間中也可以保持資料。另外，在再次開始供應電力之後，可以將保持在電路 520 中的資料恢復到電路 510。因此，可以在資料的保持期間中停止對記憶單元 111 供應電力，從而降低功耗。

[0156]

另外，如下所述，可以將 OS 電晶體層疊在 Si 電晶體上。因此，可以將電路 520 層疊在電路 510 上。因此，可以抑制設置電路 520 導致的記憶單元 111 的面積增大。

[0157]

〈記憶單元的結構實例 2〉

圖 13B 示出記憶單元 111 的其他結構實例。圖 13B 所示的記憶單元 111 包括電晶體 531、電容器 532。在此，電晶體 531 是 n 通道型 OS 電晶體。

[0158]

電晶體 531 的閘極與佈線 WL 連接，源極和汲極中的一個與電容器 532 的一個電極連接，源極和汲極中的另一個與佈線 BL 連接。電容器 532 的另一個電極與被供應規定的電位的佈線連接。在此，將與電晶體 531 的源極和汲極中的一個及電容器 532 的一個電極連接的節點稱為節點 N6。以下，對記憶單元 111 的工作進行說明。

[0159]

首先，在將與電容器 532 的另一個電極連接的佈線的電位維持為恆定電位的狀態下將佈線 WL 的電位設定為使電晶體 531 成為開啓狀態的電位，而使電晶體 531 成為開啓狀態。由此，佈線 BL 的電位被供應到節點 N6（資料的寫入）。

[0160]

接著，將佈線 WL 的電位設定為使電晶體 531 成為非導通狀態的電位，而使電晶體 531 成為非導通狀態。由此，節點 N6 成為浮動狀態，而保持節

點 N6 的電位（資料的保持）。在此，電晶體 531 是 OS 電晶體，其非導通狀態下的關態電流極小，所以能夠長期間地保持節點 N6 的電位。

[0161]

接著，在將與電容器 532 的另一個電極連接的佈線的電位維持為恆定電位的狀態下將佈線 WL 的電位設定為使電晶體 531 成為開啓狀態的電位，而使電晶體 531 成為開啓狀態。由此，節點 N6 的電位被供應到佈線 BL。此時，佈線 BL 的電位根據節點 N6 的電位不同。因此，藉由讀出佈線 BL 的電位，能夠讀出儲存在記憶單元 111 中的資料。在儲存在節點 N6 中的電荷引起的佈線 BL 的電位變動微弱時，將佈線 BL 與感測放大器等連接，放大佈線 BL 的電位而進行讀出即可。

[0162]

另外，資料的改寫可以與上述資料的寫入及保持同樣地進行。明確而言，將佈線 WL 的電位設定為使電晶體 531 成為開啓狀態的電位，而使電晶體 531 成為開啓狀態。由此，對應於要重新改寫的資料的佈線 BL 的電位被供應到節點 N6。然後，將佈線 WL 的電位設定為使電晶體 531 成為關閉狀態的電位，而使電晶體 531 成為關閉狀態，由此節點 N6 成為浮動狀態，在節點 N6 中保持對應於重新改寫的資料的電位。

[0163]

在此，電晶體 531 是 OS 電晶體，其關態電流極小，所以在保持期間中可以長期間地保持節點 N6 的電位。因此，不需要進行在規定週期中重新寫入的工作（更新工作），或者可以實現極低的更新工作的頻率。另外，在停止對記憶單元 111 供應電力的期間中也可以保持資料。

[0164]

〈記憶單元的結構實例 3〉

圖 14A 示出記憶單元 111 的其他結構實例。圖 14A 所示的記憶單元 111 包括電晶體 541、542、電容器 543。注意，電晶體 541 是 OS 電晶體。另外，雖然在此電晶體 542 是 n 通道型電晶體，但是也可以是 p 通道型電晶體。

[0165]

電晶體 541 的閘極與佈線 WWL 連接，源極和汲極中的一個與電晶體 542 的閘極及電容器 543 的一個電極連接，源極和汲極中的另一個與佈線 BL 連接。電晶體 542 的源極和汲極中的一個與佈線 SL 連接，源極和汲極中的另一個與佈線 BL 連接。電容器的另一個電極與佈線 RWL 連接。在此，將與電晶體 541 的源極和汲極中的一個、電晶體 542 的閘極及電容器 543 的

一個電極連接的節點稱為節點 N7。

[0166]

佈線 WWL 具有對進行寫入的記憶單元 111 傳送選擇信號的功能，佈線 RWL 具有對進行讀出的記憶單元 111 傳送選擇信號的功能，佈線 BL 具有傳送寫入電位或讀出電位的功能，佈線 SL 被供應規定的電位。規定的電位可以為固定電位或兩個以上的不同的電位。另外，佈線 WWL 及佈線 RWL 對應於圖 12A 中的佈線 WL，並與驅動電路 120 連接。佈線 SL 既可以與驅動電路 120 或驅動電路 130 連接，又可以與除了驅動電路 120 和驅動電路 130 之外另行設置的電源線連接。

[0167]

藉由將 OS 電晶體用於電晶體 541，當使電晶體 541 成為關閉狀態時，可以極為長期間地保持要保持在節點 N7 中的電位。

[0168]

接著，說明圖 14A 所示的記憶單元 111 的工作。首先，將佈線 WWL 的電位設定為使電晶體 541 成為開啓狀態的電位，而使電晶體 541 成為開啓狀態。由此，佈線 BL 的電位被施加到節點 N7。亦即，對電晶體 542 的閘極電極施加所規定的電荷（資料的寫入）。

[0169]

然後，藉由將佈線 WWL 的電位設定為使電晶體 541 成為關閉狀態的電位，而使電晶體 541 成為關閉狀態，由此，節點 N7 成為浮動狀態，而保持節點 N7 的電位（資料的保持）。

[0170]

接著，當在將佈線 SL 的電位維持為恆定電位的狀態下將佈線 RWL 的電位設定為所規定的電位時，佈線 BL 的電位根據保持在節點 N7 中的電荷量不同。一般而言，這是因為，當電晶體 542 為 n 通道型電晶體時，電晶體 542 的閘極電位為高位準時的外觀上的臨界值 $V_{th,H}$ 比電晶體 542 的閘極電位為低位準時的外觀上的臨界值 $V_{th,L}$ 低。在此，外觀上的臨界電壓是指為了使電晶體 542 成為開啓狀態所需要的佈線 RWL 的電位。因此，藉由將佈線 RWL 的電位設定為 $V_{th,H}$ 與 $V_{th,L}$ 之間的電位 V_0 ，可以辨別節點 N7 的電位。例如，當節點 N7 的電位為高位準時，若佈線 RWL 的電位為 $V_0 (>V_{th,H})$ ，電晶體 542 則處於開啓狀態。另一方面，當節點 N7 的電位為低位準時，即便佈線 RWL 的電位成為 $V_0 (<V_{th,L})$ ，電晶體 542 還保持關閉狀態。因此，藉由讀出佈線 BL 的電位，可以讀出儲存在記憶單元 111 中的資料。

[0171]

當不進行資料的讀出時，與節點 N7 的電位無關地將使電晶體 542 處於關閉狀態的電位，亦即低於 V_{th_H} 的電位施加到佈線 RWL 即可。

[0172]

另外，資料的改寫可以與上述資料的寫入及保持同樣地進行。明確而言，將佈線 WWL 的電位設定為使電晶體 541 成為開啓狀態的電位，而使電晶體 541 成為開啓狀態。由此，對應於要改寫的資料的佈線 BL 的電位供應到節點 N7。然後，將佈線 WWL 的電位設定為使電晶體 541 成為關閉狀態的電位，而使電晶體 541 成為關閉狀態，由此節點 N7 成為浮動狀態，在節點 N7 中保持對應於所寫改的資料的電位。

[0173]

電晶體 541 是 OS 電晶體，其關態電流極小，所以在保持期間中可以長期間地保持節點 N7 的電位。由此，在停止對記憶單元 111 供應電力的期間中也可以保持資料。

[0174]

另外，電晶體 541 的源極和汲極中的一個與電晶體 542 的閘極連接，由此具有與用作非揮發性記憶體的浮動閘極型電晶體的浮動閘極同樣的功能。因此，有時也可以將圖 14A 中的電晶體 541 的源極和汲極中的一個與電晶體 542 的閘極連接的部分稱為浮動閘極部。當電晶體 541 處於非導通狀態時，可認為該浮動閘極部被埋設在絕緣體中，而在浮動閘極部中保持電荷。電晶體 541 的關態電流為 Si 電晶體的關態電流的十萬分之一以下，因此由於電晶體 541 的洩漏電流而使儲存在浮動閘極部中的電荷消失的量極少。或者，可以長期間地不考慮儲存在浮動閘極部中的電荷的消失。因此，藉由使用作為 OS 電晶體的電晶體 541，可以實現即使在停止供應電力的期間中也能夠長期間地保持資料的記憶體裝置。

[0175]

另外，圖 14A 所示的記憶單元 111 可以藉由再次進行資料的寫入而直接改寫資料。由此，不需要閃速記憶體等所需要的擦除工作，以便能夠抑制擦除工作所導致的工作速度的降低。亦即，實現了半導體裝置的高速工作。

[0176]

另外，此時不存在習知的浮動閘極型電晶體被指出的閘極絕緣膜（穿隧絕緣膜）的劣化的問題。亦即，可以解決以往被視為問題的將電子注入

到浮動閘極時發生的閘極絕緣膜劣化的問題。這意味著在原理上不存在寫入次數的限制。另外，不需要在習知的浮動閘極型電晶體中進行寫入或擦除時所需要的高電壓。

[0177]

注意，雖然在此說明在節點 N7 中保持 2 值的電位的情況，但是也可以保持 3 值以上的電位。由此，可以在記憶單元 111 中儲存多值資料。

[0178]

例如，考慮使節點 N7 將 1 位元（2 值）的資料保持 10 年的情況。在電源電壓為 2V 以上且 3.5V 以下，電容器 543 的容量為 21fF，且所允許的保持電位的變動量低於 0.5V 的情況下，為了以 85°C 在 10 年間將保持電位抑制在允許範圍內，從節點 N7 洩漏的電流量需要低於 33×10^{-24} A。在來自其他元件的洩漏電流更小，且電流幾乎只從 OS 電晶體洩漏的情況下，通道寬度為 350nm 的 OS 電晶體的每單位面積的洩漏電流值低於 93×10^{-24} A/ μ m 是較佳的。藉由採用上述結構的記憶單元 111，可以在 85°C 下將資料保持 10 年。

[0179]

另外，考慮使節點 N7 將 4 位元（16 值）的資料保持 10 年的情況。在電源電壓為 2V 以上且 3.5V 以下，電容器 543 的容量為 0.1fF，保持電位的分佈寬度低於 30mV，且所允許的保持電位的變動量低於 80mV 的情況下，為了以 85°C 在 10 年間將保持電位抑制在允許範圍內，從節點 N7 洩漏的電流量需要低於 0.025×10^{-24} A。在來自其他元件的洩漏電流更小，且電流幾乎只從 OS 電晶體洩漏的情況下，通道寬度為 60nm 的 OS 電晶體的每單位面積的洩漏電流值低於 0.423×10^{-24} A/ μ m 是較佳的。藉由採用上述結構的記憶單元 111，可以在 85°C 下將資料保持 10 年。

[0180]

此外，考慮使節點 N7 將 8 位元（256 值）的資料保持 10 年的情況。在電源電壓為 2V 以上且 3.5V 以下，記憶容量為 0.1fF，保持電位的分佈寬度低於 2mV，且所允許的保持電位的變動量低於 5mV 的情況下，為了以 85°C 在 10 年間將保持電位抑制在允許範圍內，從節點 N7 洩漏的電流量需要低於 0.0016×10^{-24} A。在來自其他元件的洩漏電流更小，且電流幾乎只從 OS 電晶體洩漏的情況下，通道寬度為 60nm 的 OS 電晶體的每單位面積的洩漏電流值低於 0.026×10^{-24} A/ μ m 是較佳的。藉由採用上述結構的記憶單元 111，可以在 85°C 下將資料保持 10 年。

[0181]

注意，雖然在圖 14A 中示出使用同一佈線 BL 進行資料的寫入及讀出的結構，但是也可以使用不同的佈線進行資料的寫入及讀出。就是說，電晶體 541 的源極和汲極中的另一個及電晶體 542 的源極和汲極中的另一個可以與不同的佈線連接。此外，電晶體 542 與佈線 BL 也可以藉由其他電晶體連接，電晶體 542 與佈線 SL 也可以藉由其他電晶體連接。圖 14B 示出圖 14A 中的記憶單元 111 的變形實例。

[0182]

圖 14B 所示的記憶單元 111 除了電晶體 541、542、電容器 543 之外還包括電晶體 544。另外，雖然在此電晶體 542、544 是 n 通道型電晶體，但是電晶體 542、544 也可以是 p 通道型電晶體。

[0183]

電晶體 541 的閘極與佈線 WWL 連接，源極和汲極中的一個與電晶體 542 的閘極及電容器 543 的一個電極連接，源極和汲極中的另一個與佈線 WBL 連接。電晶體 542 的源極和汲極中的一個與佈線 SL 連接，源極和汲極中的另一個與電晶體 544 的源極和汲極中的一個連接。電晶體 544 的閘極與佈線 RWL 連接，源極和汲極中的另一個與佈線 RBL 連接。電容器 543 的另一個電極與被供應規定的電位的佈線連接。

[0184]

此外，圖 14B 中的記憶單元 111 作為佈線 BL 包括不同的佈線，亦即佈線 WBL 和佈線 RBL。佈線 WBL 具有傳送寫入電位的功能，佈線 RBL 具有傳送讀出電位的功能。

[0185]

在圖 14B 中，將佈線 RWL 的電位設定為使電晶體 544 成為開啓狀態的電位，而使電晶體 544 成為開啓狀態，由此可以將讀出電位輸出到佈線 RBL。就是說，可以藉由供應到佈線 RBL 的信號控制來自記憶單元 111 的資料的讀出。

[0186]

另外，在圖 14B 中，佈線 WBL 和佈線 RBL 也可以是同一佈線 BL。圖 14C 示出這種記憶單元 111 的結構。在圖 14C 中，電晶體 541 及電晶體 544 與佈線 BL 連接。此外，電容器 543 與佈線 SL 連接。

[0187]

此外，在圖 14A 至圖 14C 中，可以層疊電晶體 541 和電晶體 542（及電晶體 544）。例如，可以在電晶體 542 的上方設置絕緣層，在該絕緣層的上

方設置作為 OS 電晶體的電晶體 541 及電容器 543。由此，可以縮小記憶單元 111 的面積。

[0188]

如上所述，藉由將 OS 電晶體用於記憶單元 111，可以長期間地保持儲存在記憶單元 111 中的資料。另外，即使在停止對記憶單元 111 供應電力的狀態下也可以保持儲存在記憶單元 111 中的資料。

[0189]

注意，在圖 13A 至圖 14C 中，對除了附有“OS”的電晶體之外的電晶體的材料沒有特別的限制。例如，可以使用與圖 5A 至圖 6F 中的電晶體的材料同樣的材料。

[0190]

另外，圖 13A 至圖 14C 所示的電晶體也可以包括其間設置有半導體膜的一對閘極。此外，如此，在某個電晶體 T 包括其間設置有半導體膜的一對閘極（前閘極、背閘極）的情況下，也可以對一個閘極供應信號 A，並且對另一個閘極供應固定電位 Vb。

[0191]

信號 A 例如為用來控制導通狀態/非導通狀態的信號。信號 A 也可以為具有電位 V1 或者電位 V2 ($V1 > V2$) 的兩種電位的數位信號。例如，可以將電位 V1 設定為高電源電位且將電位 V2 設定為低電源電位（接地電位等）。信號 A 也可以為類比信號。

[0192]

固定電位 Vb 例如為用來控制電晶體 T 的臨界電壓 V_{thA} 的電位。固定電位 Vb 可以為電位 V1 或者電位 V2。此時，不需要另行設置用來生成固定電位 Vb 的電位發生電路，所以是較佳的。固定電位 Vb 也可以為與電位 V1 或者電位 V2 不同的電位。藉由降低固定電位 Vb，有時可以提高臨界電壓 V_{thA} 。其結果，有時可以降低閘極與源極之間的電壓 V_{gs} 為 0V 時的汲極電流，而可以降低包括電晶體 T 的電路的洩漏電流。例如，可以使固定電位 Vb 低於低電源電位。藉由提高固定電位 Vb，有時可以降低臨界電壓 V_{thA} 。其結果，有時可以提高閘極與源極之間的電壓 V_{gs} 為 VDD 時的汲極電流，而可以提高包括電晶體 T 的電路的工作速度。例如，可以使固定電位 Vb 高於低電源電位。

[0193]

另外，信號 A 也可以被供應到電晶體 T 的一個閘極，信號 B 也可以被

供應到另一個閘極。信號 B 例如為用來控制電晶體 T 的導通狀態/非導通狀態的信號。信號 B 也可以為具有電位 V_3 或者電位 V_4 ($V_3 > V_4$) 的兩種電位的數位信號。例如，可以將電位 V_3 設定為高電源電位且將電位 V_4 設定為低電源電位。信號 B 也可以為類比信號。

[0194]

在信號 A 與信號 B 都是數位信號的情況下，信號 B 也可以為與信號 A 具有相同數位值的信號。此時，有時可以增加電晶體 T 的通態電流 (on-state current)，而可以提高包括電晶體 T 的電路的工作速度。此時，信號 A 的電位 V_1 也可以與信號 B 的電位 V_3 不同。信號 A 的電位 V_2 也可以與信號 B 的電位 V_4 不同。例如，當對應於被輸入信號 B 的閘極的閘極絕緣層的厚度大於對應於被輸入信號 A 的閘極的閘極絕緣層時，可以使信號 B 的電位振幅 ($V_3 - V_4$) 大於信號 A 的電位振幅 ($V_1 - V_2$)。由此，有時可以使信號 A 及信號 B 對電晶體 T 的導通狀態或非導通狀態造成的影響大致相同。

[0195]

在信號 A 與信號 B 都是數位信號的情況下，信號 B 也可以為與信號 A 具有不同數位值的信號。此時，有時可以分別利用信號 A 及信號 B 控制電晶體 T，而可以實現更高的功能。例如，當電晶體 T 為 n 通道電晶體時，在僅在信號 A 為電位 V_1 且信號 B 為電位 V_3 時該電晶體處於導通狀態的情況下或者在僅在信號 A 為電位 V_2 且信號 B 為電位 V_4 時該電晶體處於非導通狀態的情況下，有時可以由一個電晶體實現 NAND 電路或 NOR 電路等的功能。另外，信號 B 也可以為用來控制臨界電壓 V_{thA} 的信號。例如，信號 B 也可以在包括電晶體 T 的電路工作期間與在該電路不工作期間具有不同電位。信號 B 也可以根據電路的工作模式具有不同電位。此時，信號 B 有可能沒有信號 A 那麼頻繁地切換電位。

[0196]

在信號 A 與信號 B 都是類比信號的情況下，信號 B 也可以為與信號 A 具有相同電位的類比信號、用常數乘以信號 A 的電位而得的類比信號、或者將常數加到信號 A 的電位或從信號 A 的電位減去常數而得的類比信號等。此時，有時可以藉由增加電晶體 T 的通態電流，而提高包括電晶體 T 的電路的工作速度。信號 B 也可以為與信號 A 不同的類比信號。此時，有時可以分別利用信號 A 及信號 B 控制電晶體 T，而可以實現更高的功能。

[0197]

也可以使信號 A 為數位信號且使信號 B 為類比信號。也可以使信號 A

為類比信號且使信號 B 為數位信號。

[0198]

另外，固定電位 Va 也可以被供應到電晶體 T 的一個閘極，固定電位 Vb 也可以被供應到另一個閘極。當對電晶體 T 的兩個閘極供應固定電位時，有時可以將電晶體 T 用作相當於電阻元件的元件。例如，當電晶體 T 為 n 通道電晶體時，藉由提高（降低）固定電位 Va 或固定電位 Vb，有時可以降低（提高）電晶體的有效電阻。藉由提高（降低）固定電位 Va 及固定電位 Vb 的兩者，有時可以獲得比只具有一個閘極的電晶體低（高）的有效電阻。

[0199]

本實施方式可以與其他實施方式的記載適當地組合。

[0200]

實施方式 3

在本實施方式中，對根據本發明的一個實施方式的存儲塊的更具體結構實例進行說明。

[0201]

圖 15 示出存儲塊 40 的結構實例。圖 15 所示的存儲塊 40 可以被用作隨機存取記憶體。

[0202]

存儲塊 40 包括記憶單元陣列 610、週邊電路 620。週邊電路 620 包括控制邏輯電路 630、行驅動器 640、列驅動器 650、輸出驅動器 660，預解碼器 670。存儲塊 40 被輸入高電源電位 VDDD、低電源電位 VSSS。

[0203]

記憶單元陣列 610 是對應於圖 4A 和圖 4B 中的單元陣列 110 的電路，並包括多個記憶單元。在此，將圖 14A 至圖 14C 中的記憶單元 111 用於記憶單元陣列 610。另外，在記憶單元 111 所包括的電晶體 541 中設置有背閘極，背閘極從外部被供應電位 VBG。

[0204]

控制邏輯電路 630 具有根據時脈信號 CLK、晶片賦能信號 CE、全域寫入信號 (global write signal) GW、位元組寫入信號 (byte write signal) BW[3:0] 而生成控制行驅動器 640、列驅動器 650 的信號的功能。

[0205]

行驅動器 640 包括行解碼器 641、讀出字線驅動器 642、寫入字線驅動器 643。行解碼器 641 具有對位址信號 ADDR 進行解碼的功能。讀出字線驅動器 642 具有生成要輸出到佈線 RWL 的信號的功能。寫入字線驅動器 643 具有生成要輸出到佈線 WWL 的信號的功能。行驅動器 640 被輸入高電源電位 VDDH。

[0206]

列驅動器 650 包括源極驅動器 651、寫入驅動器 652、輸出多工器(MUX) 653、感測放大器 654、預充電電路 655。源極驅動器 651 具有驅動佈線 SL 的功能。佈線 SL 被源極驅動器 651 供應電位 VDDM。另外，電位 VDDM 也可以為兩個以上的不同的電位。寫入驅動器 652 具有將與從外部被輸入的寫入資料 WDATA[31:0]對應的寫入電位輸出到佈線 BL 的功能。輸出多工器 653 具有選擇從感測放大器 654 輸出的信號而將其傳送到輸出驅動器 660 的功能。感測放大器 654 具有對佈線 BL 的電位與電位 VREF 進行比較而放大佈線 BL 的電位的功能。預充電電路 655 具有對佈線 BL 進行預充電的功能。列解碼器 661 具有解碼位址信號 ADDR 的功能。

[0207]

輸出驅動器 660 具有對從輸出多工器 653 輸入的資料進行處理，將其作為讀出資料 RDATA[31:0]輸出到外部的功能。

[0208]

預解碼器 670 具有根據位址信號 ADDR 選擇規定的存儲塊 40 的功能。預解碼器 670 對應於圖 1 至圖 3D 中的選擇電路 S3，多個存儲塊 40 共同使用該預解碼器 670。在此，將半導體裝置 10 用作 128KB 的記憶體裝置，對預解碼器 670 輸入位址信號 ADDR[16:2]。

[0209]

本實施方式可以與其他實施方式的記載適當地組合。

[0210]

實施方式 4

在本實施方式中，對根據本發明的一個實施方式的半導體裝置的疊層結構的一個例子進行說明。

[0211]

在上述實施方式中，可以層疊具有 OS 電晶體的層和具有 OS 電晶體之外的電晶體的層。另外，可以層疊包括 OS 電晶體的多個層。由此，可以縮

小記憶單元的面積。以下，參照圖 16A 至圖 21 對層疊 OS 電晶體和 Si 電晶體的半導體裝置的結構實例進行說明。

[0212]

〈剖面結構〉

根據本發明的一個實施方式的半導體裝置所包括的電晶體可以由 Si 電晶體或 OS 電晶體構成。另外，在半導體裝置的剖面結構中，可以層疊具有 Si 電晶體的層和具有 OS 電晶體的層。各層包括由使用同一材料的半導體構成的多個電晶體。

[0213]

在根據本發明的一個實施方式的半導體裝置的一個例子中，如圖 16A 所示，可以依次層疊具有 Si 電晶體的層 61（在圖式中，表示為 Si-FET Layer）、佈線層 62（在圖式中，表示為 Wiring Layer）、具有 OS 電晶體的層 63（在圖式中，表示為 OS-FET Layer）。在圖 16A 所示的剖面結構的示意圖中，具有 Si 電晶體的層 61 例如包括形成在單晶的矽基板上的 Si 電晶體。注意，在 Si 電晶體中，也可以將作為非晶、微晶、多晶或單晶的矽或鍺等的薄膜的半導體用於半導體層。

[0214]

在圖 16A 所示的剖面結構的示意圖中，具有 OS 電晶體的層 63 包括形成在被平坦化的絕緣表面上的 OS 電晶體。

[0215]

在圖 16A 所示的剖面結構的示意圖中，佈線層 62 包括：用來將具有 Si 電晶體的層 61 所包括的電晶體及/或具有 OS 電晶體的層 63 所包括的電晶體彼此電連接的佈線；或者用來對電晶體供應電位的佈線。雖然在圖 16A 中佈線層 62 是單層，但是也可以是疊層。

[0216]

注意，雖然在圖 16A 所示的剖面結構的示意圖中具有 OS 電晶體的層 63 是單層，但是也可以是疊層。在採用疊層的情況下，可以表示為圖 16B 所示的剖面結構的示意圖。

[0217]

圖 16B 例示出層疊有具有 OS 電晶體的層 63_1 及 63_2 的結構。在圖 16B 所示的剖面結構的示意圖中，具有 OS 電晶體的層 63_1 及 63_2 包括形成在被平坦化的絕緣表面上的 OS 電晶體。雖然在圖 16B 中示出層疊兩層的具有 OS 電晶體的層的例子，但是疊層的個數不侷限於此，也可以層疊三層以上

的具有 OS 電晶體的層。另外，也可以在具有 OS 電晶體的層 63_1 與 63_2 之間設置佈線層 62。藉由採用上述結構，可以將 OS 電晶體彼此電連接。

[0218]

例如，圖 5A 至圖 6F 中的電晶體 221、222 可以是 OS 電晶體，其他電晶體和構成電路 210 的電晶體可以是 Si 電晶體。在將圖 16A 所示的結構應用於圖 5A 至圖 5C 所示的電路的情況下，可以採用具有 Si 電晶體的層 61 包括電路 210，並且具有 OS 電晶體的層 63 包括電晶體 221、222 的結構。另外，也可以將圖 12A 至圖 14C 所示的記憶單元 111 中的 OS 電晶體設置在具有 OS 電晶體的層 63 中，將其他電晶體設置在具有 Si 電晶體的層 61 中。

[0219]

如圖 16A 和圖 16B 所示，藉由層疊具有 OS 電晶體的層和具有 Si 電晶體的層，可以縮小半導體裝置的面積，從而實現小型化。

[0220]

〈具有 Si 電晶體的層、佈線層〉

圖 17 示出圖 16A 和圖 16B 所說明的具有 Si 電晶體的層 61 及具有 Si 電晶體的層 61 上的佈線層 62 的剖面結構的一個例子。在圖 17 中，對具有 Si 電晶體的層 61 所包括的電晶體 71 的剖面結構進行說明。圖 17 所示的電晶體 71 的剖面結構例如可以應用於圖 5A 至圖 6F 中的電路 210、圖 12A 至圖 14C 中的 OS 電晶體之外的電晶體。注意，在圖 17 中，以虛線 A1-A2 表示的區域示出電晶體 71 的通道長度方向上的結構，以虛線 A3-A4 表示的區域示出電晶體 71 的通道寬度方向上的結構。

[0221]

在圖 17 中，作為形成有電晶體 71 的基板 700 例如可以使用矽基板、鍺基板、矽鍺基板等。圖 17 示出將單晶矽基板用作基板 700 的例子。

[0222]

另外，電晶體 71 利用元件隔離法被電隔離。作為元件隔離法，可以採用淺溝槽隔離（STI：Shallow Trench Isolation）法等。在圖 17 中示出利用淺溝槽隔離法使電晶體 71 電隔離的例子。明確而言，圖 17 示出利用元件隔離區域 701 使電晶體 71 元件隔離的情況的例子，該元件隔離區域 701 是將含有氧化矽等的絕緣物嵌入藉由蝕刻等形成於基板 700 的溝槽中，然後利用蝕刻等部分去除該絕緣物而形成的。

[0223]

另外，在位於溝槽以外的區域的基板 700 的凸部中設置有電晶體 71 的

雜質區域 702 及雜質區域 703 以及夾在雜質區域 702 與雜質區域 703 之間的通道形成區域 704。再者，電晶體 71 包括覆蓋通道形成區域 704 的絕緣膜 705 以及隔著絕緣膜 705 與通道形成區域 704 重疊的閘極電極 706。

[0224]

在電晶體 71 中，藉由使通道形成區域 704 中的凸部的側部及上部隔著絕緣膜 705 與閘極電極 706 重疊，可以使載子流過包括通道形成區域 704 的側部及上部的較廣的範圍。由此，可以縮小電晶體 71 在基板上所占的面積，並可以增加電晶體 71 中的載子的移動量。其結果，可以在增大電晶體 71 的通態電流的同時提高場效移動率。尤其在將通道形成區域 704 中的凸部的通道寬度方向上的長度（通道寬度）設定為 W 並將通道形成區域 704 中的凸部的膜厚度設定為 T 時，在膜厚 T 與通道寬度 W 的縱橫比較高的情況下，載子流過的範圍變得更廣，因此可以增大電晶體 71 的通態電流並提高場效移動率。

[0225]

另外，當電晶體 71 使用塊狀半導體基板時，縱橫比較佳為 0.5 以上，更佳為 1 以上。

[0226]

在電晶體 71 上設置有絕緣膜 711。在絕緣膜 711 中形成有開口部。並且，在上述開口部中形成有分別與雜質區域 702、雜質區域 703 電連接的導電膜 712、導電膜 713 以及與閘極電極 706 電連接的導電膜 714。

[0227]

並且，導電膜 712 與形成於絕緣膜 711 上的導電膜 716 電連接，導電膜 713 與形成於絕緣膜 711 上的導電膜 717 電連接，導電膜 714 與形成於絕緣膜 711 上的導電膜 718 電連接。

[0228]

另外，圖 16A 和圖 16B 所示的佈線層 62 對應於圖 17 中的導電膜 716、717、718。此外，佈線層 62 可以藉由依次形成絕緣膜、形成在該絕緣膜中的開口部、設置在包括該開口部的區域中的導電膜而層疊。

[0229]

〈具有 OS 電晶體的層〉

下面，圖 18A 和圖 18B 示出圖 16A 和圖 16B 所說明的具有 OS 電晶體的層 63 的剖面結構的一個例子。在圖 18A 中，對具有 OS 電晶體的層 63 所包括的電晶體 72 的剖面結構進行說明。圖 18A 所示的電晶體 72 的剖面結

構例如可以用於圖 5A 至圖 6F 中的電晶體 221、222、圖 12A 至圖 14C 中的 OS 電晶體等。

[0230]

另外，與圖 17 同樣，在圖 18A 和圖 18B 中，以虛線 A1-A2 表示的區域示出電晶體 72 的通道長度方向上的結構，以虛線 A3-A4 所示的區域示出電晶體 72 的通道寬度方向上的結構。

[0231]

在設置於圖 16A 和圖 16B 所說明的佈線層 62 的上方的絕緣膜 720 上設置有具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 721。絕緣膜 721 的密度越高越緻密或者懸空鍵越少在化學上越穩定，阻擋效果則越高。作為具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 721，例如可以採用氧化鋁、氧氮化鋁、氧化鎂、氧氮化鎂、氧化鈮、氧氮化鈮、氧化鉛、氧氮化鉛等。另外，作為具有防止氫、水的擴散的阻擋效果的絕緣膜 721，例如還可以採用氮化矽、氮氧化矽等。

[0232]

在絕緣膜 721 上設置有絕緣膜 722，在絕緣膜 722 上設置有電晶體 72。

[0233]

電晶體 72 在絕緣膜 722 上包括：含有氧化物半導體的半導體膜 730；與半導體膜 730 電連接的用作源極電極或汲極電極的導電膜 732 及導電膜 733；覆蓋半導體膜 730 的閘極絕緣膜 731；以及隔著閘極絕緣膜 731 與半導體膜 730 重疊的閘極電極 734。

[0234]

另外，在圖 18A 中，雖然電晶體 72 在半導體膜 730 的至少一側包括閘極電極 734 即可，但是也可以還包括夾著絕緣膜 722 與半導體膜 730 重疊的閘極電極。

[0235]

在電晶體 72 具有一對閘極電極的情況下，可以對一個閘極電極施加用來控制導通狀態或非導通狀態的信號，並從其他佈線對另一個閘極電極施加電壓。在此情況下，既可以對一對閘極電極施加相同位準的電壓，又可以只對另一個閘極電極施加地電壓等固定電壓。藉由控制對另一個閘極電極施加的電壓，可以控制電晶體的臨界電壓。

[0236]

另外，圖 18A 例示出電晶體 72 具有單閘極結構的情況，亦即包括對應

於一個閘極電極 734 的一個通道形成區域。但是，電晶體 72 也可以具有多閘極結構，其中藉由具有相互電連接的多個閘極電極，在一個活性層中具有多個通道形成區域。

[0237]

另外，圖 18A 示出電晶體 72 中的半導體膜 730 包括依次層疊於絕緣膜 722 上的氧化物半導體膜 730a 至氧化物半導體膜 730c 的例子。但是，在本發明的一個實施方式中，電晶體 72 所具有半導體膜 730 也可以由單層的金屬氧化物膜構成。在此，示出氧化物半導體膜 730c 設置在導電膜 732 及導電膜 733 上的結構。

[0238]

另外，當氧化物半導體膜 730b 是 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 730b 的靶材中的金屬元素的原子個數比為 $\text{In}:\text{M}:\text{Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ 的情況下， x_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。另外，藉由將 z_1/y_1 設定為 1 以上且 6 以下，作為氧化物半導體膜 730b 容易形成 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜。作為靶材的金屬元素的原子個數比的典型例子，有 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 等。將在後面說明 CAAC-OS 膜的詳細內容。

[0239]

另外，當氧化物半導體膜 730a 及氧化物半導體膜 730c 是 In-M-Zn 氧化物（M 為 Ga、Y、Zr、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 730a 及氧化物半導體膜 730c 的靶材中的金屬元素的原子個數比為 $\text{In}:\text{M}:\text{Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 的情況下， $\text{x}_2/\text{y}_2 < \text{x}_1/\text{y}_1$ ， z_2/y_2 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。另外，藉由將 z_2/y_2 設定為 1 以上且 6 以下，作為氧化物半導體膜 730a 及氧化物半導體膜 730c 容易形成 CAAC-OS 膜。作為靶材的金屬元素的原子個數比的典型例子，有 $\text{In}:\text{M}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:6$ 等。

[0240]

絕緣膜 722 較佳為具有藉由加熱將氧供應到氧化物半導體膜 730a 至氧化物半導體膜 730c 的功能。此外，絕緣膜 722 中的缺陷較佳為少，典型的是，藉由 ESR（Electron Spin Resonance）測量所得到的在起因於矽的懸空鍵的 $g=2.001$ 的自旋密度較佳為 1×10^{18} spins/cm³ 以下。

[0241]

由於絕緣膜 722 具有藉由加熱將氧供應到氧化物半導體膜 730a 至氧化物半導體膜 730c 的功能，因此絕緣膜 722 較佳為氧化物，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化銻、氧化釷、氧化鈳、氧化釷、氧化釷、氧化釷及氧化釷等。絕緣膜 722 可以利用電漿 CVD (Chemical Vapor Deposition) 法或濺射法等形式。

[0242]

注意，在本說明書中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。

[0243]

另外，圖 18A 所示的電晶體 72 具有如下結構：形成有通道區域的氧化物半導體膜 730b 的端部中的不與導電膜 732 及導電膜 733 重疊的端部（換言之，位於與導電膜 732 及導電膜 733 所在的區域不同的區域的端部）與閘極電極 734 重疊。在用來形成氧化物半導體膜 730b 的端部的蝕刻中該端部暴露於電漿時，從蝕刻氣體產生的氧自由基、氟自由基等容易與構成氧化物半導體的金屬元素鍵合。因此，在氧化物半導體膜的端部中，與該金屬元素鍵合的氧處於容易脫離的狀態，而形成氧缺陷，所以容易成為 n 型。然而，在圖 18A 所示的電晶體 72 中，由於不與導電膜 732 及導電膜 733 重疊的氧化物半導體膜 730b 的端部與閘極電極 734 重疊，因此藉由控制閘極電極 734 的電壓可以控制施加於該端部的電場。因此，可以由供應到閘極電極 734 的電壓控制經過氧化物半導體膜 730b 的端部流過導電膜 732 與導電膜 733 之間的電流。將這種電晶體 72 的結構稱為 Surrounded Channel (s-channel：圍繞通道) 結構。

[0244]

明確而言，在採用 s-channel 結構的情況下，當將使電晶體 72 關閉的電壓供應到閘極電極 734 時，可以使經過該端部流過導電膜 732 與導電膜 733 之間的關態電流較小。因此，在電晶體 72 中，即使為了得到大通態電流而縮短通道長度，其結果，氧化物半導體膜 730b 的端部的導電膜 732 與導電膜 733 之間的長度變短，也可以降低電晶體 72 的關態電流。因此，在電晶體 72 中，藉由縮短通道長度，在處於導通狀態時可以得到較大的通態電流，在處於非導通狀態時可以降低關態電流。

[0245]

明確而言，在採用 s-channel 結構的情況下，當將使電晶體 72 成為導通

狀態的電壓供應到閘極電極 734 時，可以增大經過氧化物半導體膜 730b 的端部流過導電膜 732 與導電膜 733 之間的電流。該電流有助於電晶體 72 的場效移動率和通態電流的增大。並且，藉由使氧化物半導體膜 730b 的端部與閘極電極 734 重疊，氧化物半導體膜 730b 中的載子不僅在近於閘極絕緣膜 731 的氧化物半導體膜 730b 的介面附近流過，還在氧化物半導體膜 730b 中的較廣的範圍內流過，所以電晶體 72 中的載子的移動量增加。其結果，在電晶體 72 的通態電流增大的同時場效移動率增高，典型的是，場效移動率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上，進一步為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。注意，在此的場效移動率是電晶體的飽和區域中的電流驅動力的指標，亦即外觀上的場效移動率，而不是作為氧化物半導體膜的物性值的移動率的近似值。

[0246]

另外，如圖 18B 所示，氧化物半導體膜 730c 也可以設置在氧化物半導體膜 730b 與導電膜 732 及導電膜 733 之間。

[0247]

〈疊層結構〉

下面，圖 19 至圖 21 示出層疊圖 17 所說明的具有 Si 電晶體的層及佈線層和圖 18A 所說明的具有 OS 電晶體的層時的剖面結構的一個例子。

[0248]

圖 19 是圖 16A 所示的示意圖的剖面結構的一個例子。

[0249]

另外，與圖 17 和圖 18A 同樣，在圖 19 中，以虛線 A1-A2 表示的區域示出電晶體 71、72 的通道長度方向上的結構，以虛線 A3-A4 所示的區域示出電晶體 71、72 的通道寬度方向上的結構。

[0250]

注意，在本發明的一個實施方式中，電晶體 71 的通道長度方向不一定需要與電晶體 72 的通道長度方向一致。

[0251]

電晶體 71 和電晶體 72 可以藉由佈線層 62 所包括的導電膜彼此連接。

[0252]

如圖 16A 所說明，在圖 19 所示的剖面結構中，將在氧化物半導體膜中具有通道形成區域的電晶體 72 形成於在單晶的矽基板中具有通道形成區域的電晶體 71 上。藉由採用圖 19 所示的結構，可以層疊電晶體 72 的半導體膜和電晶體 71 的通道形成區域。因此，在包括採用上述結構的記憶單元的

半導體裝置中，可以實現佈局面積的縮小。

[0253]

另外，在圖 19 中，設置有覆蓋電晶體 72 的絕緣膜 740。絕緣膜 740 較佳為具有阻擋氧、氫、水、鹼金屬、鹼土金屬等的功能。藉由設置絕緣膜 740，可以防止氧從半導體膜 730 擴散到外部以及氫、水等從外部侵入到半導體膜 730。為了實現這種功能，作為絕緣膜 740，例如設置包含氮化矽、氮氧化矽、氮化鋁、氮氧化鋁、氧化鋁、氧氮化鋁、氧化鎂、氧氮化鎂、氧化鈮、氧氮化鈮、氧化鉛、氧氮化鉛等的至少一層絕緣層，即可。

[0254]

另外，在具有 OS 電晶體的層 63 上設置有佈線層 62，該佈線層 62 包括導電膜 741。並且，導電膜 733 藉由導電膜 741 與導電膜 718 連接。由此，可以將電晶體 71 的閘極與電晶體 72 的源極和汲極中的一個連接。這種結構例如可以用於圖 13A 和圖 14A 至圖 14C 中的記憶單元 111 等。

[0255]

注意，在包括多個設置於具有 OS 電晶體的層 63 中的電晶體 72 的情況下，既可以將它們設置在同一層中，又可以將它們設置在不同的層中。

[0256]

例如，在將設置於具有 OS 電晶體的層 63 中的多個電晶體 72 設置在同一層中的情況下，可以採用圖 20 所示的結構。另外，在將設置於具有 OS 電晶體的層 63 中的多個電晶體 72 設置在不同的層中的情況下，可以採用圖 21 所示的結構，亦即以隔著佈線層 62 層疊的方式將具有 OS 電晶體的層分成層 63_1 和層 63_2 的結構。

[0257]

藉由採用圖 20 所示的剖面結構，即使 OS 電晶體的個數增加也設置一層的具有 OS 電晶體的層 63 即可，所以可以降低疊層的個數。在圖 20 中，例如可以同時製造電晶體 72A 和電晶體 72B。因此，可以減少用來製造半導體裝置的製程數。

[0258]

另外，圖 20 示出電晶體 71、72A、72B 的通道長度方向上的結構。通道寬度方向上的結構與圖 19 所示的結構同樣，因此可以參照上述結構。

[0259]

此外，藉由採用圖 21 所示的剖面結構，即使 OS 電晶體的個數增加也可以將它們設置在具有 OS 電晶體的層 63_1、63_2 的多個層中，因此即使

OS 電晶體的個數增加也可以抑制電路面積的增大。由此，可以縮小半導體裝置的晶片面積，從而實現小型化。

[0260]

另外，圖 21 示出電晶體 71、72C、72D 的通道長度方向上的結構。通道寬度方向上的結構與圖 19 所示的結構同樣，因此可以參照上述結構。

[0261]

藉由採用圖 21 所示的剖面結構，可以在位於不同的層中的具有 OS 電晶體的層 63_1、63_2 中製造厚度、膜質等彼此不同的 OS 電晶體。因此，可以分別製造具有不同的特性的電晶體。例如，可以層疊使閘極絕緣膜薄膜化而提高開關特性的電晶體和使閘極絕緣膜厚膜化而提高耐壓性的電晶體。因此，可以實現半導體裝置的高性能化。

[0262]

另外，在圖 21 中，還可以層疊具有 OS 電晶體的層 63。例如，也可以在具有 OS 電晶體的層 63_2 上依次層疊具有 OS 電晶體的層 63_3、63_4。

[0263]

〈結構實例〉

圖 22 示出層疊具有 Si 電晶體的層 61 和具有 OS 電晶體的層 63 時的具體的結構。注意，雖然在此作為一個例子示出圖 14A 至圖 14C 中的記憶單元 111 的結構實例，但是層疊具有 Si 電晶體的層 61 和具有 OS 電晶體的層 63 的結構可以應用於其他電路。

[0264]

在圖 22 中，具有 Si 電晶體的層 61 包括電晶體 71，具有 OS 電晶體的層 63 包括電晶體 72 及電容器 73。另外，在具有 Si 電晶體的層 61 與具有 OS 電晶體的層 63 之間設置有佈線層 62_1。此外，在具有 OS 電晶體的層 63 上設置有佈線層 62_2。注意，在圖 22 中，沒有附加符號及陰影圖案的層表示絕緣層。

[0265]

電晶體 71、電晶體 72、電容器 73 分別對應於圖 14A 至圖 14C 中的電晶體 542、電晶體 541、電容器 543。藉由採用這種結構，可以縮小記憶單元 111 的面積，從而實現半導體裝置的小型化。

[0266]

具有 Si 電晶體的層 61 包括電晶體 71。另外，具有 Si 電晶體的層 61 包括設置在絕緣層的開口部中的多個導電層 751。電晶體 71 的閘極電極和雜

質區域與導電層 751 連接。

[0267]

佈線層 62_1 包括多個導電層 761、設置在絕緣層的開口部中的多個導電層 762。電晶體 71 藉由導電層 761、762 與電晶體 72 和電容器 73 連接。

[0268]

具有 OS 電晶體的層 63 包括電晶體 72、電容器 73。電容器 73 層疊在電晶體 72 上。另外，具有 OS 電晶體的層 63 包括設置在絕緣層的開口部中的多個導電層 772 和多個導電層 773。電晶體 72 的閘極電極、源極電極、汲極電極等與導電層 772 連接。

[0269]

此外，在電晶體 72 上隔著絕緣層層疊有電容器 73。電容器 73 包括導電層 774、絕緣層 775、導電層 776。導電層 774 具有電容器 73 的一個電極的功能，絕緣層 775 具有電容器 73 的介電質的功能，導電層 776 具有電容器 73 的另一個電極的功能。

[0270]

電晶體 72 的源極和汲極中的一個藉由導電層與電晶體 71 的閘極及電容器 73 的一個電極連接。由此，可以構成圖 14A 至圖 14C 所示的記憶單元 111。

[0271]

另外，具有 OS 電晶體的層 63 包括導電層 771。導電層 771 具有電晶體 72 的背閘極的功能。導電層 771 既可以被供應與電晶體 72 的前閘極相同的電位，又可以被供應固定電位。

[0272]

佈線層 62_2 包括設置在絕緣層的開口部中的多個導電層 781 和多個導電層 782。注意，雖然在此示出導電層 782 由導電層 783、784、785 的疊層構成的例子，但是導電層 782 既可以具有單層結構，又可以具有兩層或四層以上的疊層。電晶體 72 和電容器 73 藉由導電層 781、782 與其他元件和佈線連接。

[0273]

由此，可以層疊電晶體 71、電晶體 72、電容器 73 而構成記憶單元。

[0274]

圖 22 所示的導電層都可以使用包含如下材料的層來形成：銅 (Cu)、鎢 (W)、鉬 (Mo)、金 (Au)、鋁 (Al)、錳 (Mn)、鈦 (Ti)、鉭 (Ta)、鎳 (Ni)、鉻 (Cr)、鉛 (Pb)、錫 (Sn)、鐵 (Fe)、鈷 (Co)、鈳 (Ru)、鉑

(Pt)、銥 (Ir)、銦 (Sr) 等材料、包含上述材料的合金、或者包含以上述材料為主要成分的化合物。另外，各導電層的每一個可以具有單層結構或兩層以上的疊層。

[0275]

在此，較佳的是，設置在具有 Si 電晶體的層 61、佈線層 62_1 中的導電層的熔點高於設置在佈線層 62_2 中的導電層的熔點。設置在具有 Si 電晶體的層 61、佈線層 62_1 中的導電層的熔點越高，該導電層中的熱擴散越不容易產生，由此可以增高形成具有 OS 電晶體的層 63 時的處理溫度。因此，在對電晶體 72 所包括的氧化物半導體膜供應氧的製程等中，可以增高處理溫度，從而可以提高電晶體 72 的可靠性。

[0276]

另一方面，較佳的是，設置在佈線層 62_2 中的導電層的電阻率低於設置在具有 Si 電晶體的層 61 和佈線層 62_1 中的導電層的電阻率。由此，可以抑制對設置在佈線層 62_1 中的導電層輸入的信號的延遲，可以提高工作速度。

[0277]

如此，藉由改變設置在具有 OS 電晶體的層 63 的上下導電層的材料，可以同時實現電晶體 72 的可靠性和電路的高速工作。

[0278]

例如，可以將作為高熔點材料的鎢用於導電層 751、761、762，可以將作為低電阻材料的鋁或銅用於導電層 781、782。如圖 22 所示，在由導電層 783、784、785 的疊層構成導電層 782 的情況下，可以將鋁或銅用於導電層 784，可以將其他材料（例如，鈦或氮化鈦等）用於導電層 783、785。由此，可以將形成電晶體 72 時的熱處理的溫度設定為 500°C 以上，可以在提高電晶體 72 的可靠性的同時，提高與導電層 781、782 連接的電路的工作速度。

[0279]

注意，在圖 22 中，雖然電容器 73 是由平行地配置的導電層 774、776 構成的平面型電容器，但是也可以具有其他結構。例如，如圖 23 所示，電容器 73 可以是形成在絕緣層的開口部中的溝槽型電容器。藉由實現溝槽型電容器 73，可以提高電容器 73 的電容值。

[0280]

另外，雖然在圖 22 和圖 23 中示出在具有 Si 電晶體的層 61 上層疊一層的具有 OS 電晶體的層 63 的結構，但是也可以層疊兩層以上的具有 OS 電晶

體的層 63。

[0281]

如上所述，藉由在其他電晶體上層疊 OS 電晶體，可以縮小半導體裝置的面積。

[0282]

本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合。

[0283]

實施方式 5

在本實施方式中，對可用於本發明的一個實施方式的 OS 電晶體的結構實例進行說明。

[0284]

〈結構實例 1〉

圖 24A 至圖 24D 示出 OS 電晶體的結構的一個例子。圖 24A 是示出 OS 電晶體的結構的一個例子的俯視圖。圖 24B 為 y_1 - y_2 之間的剖面圖，圖 24C 為 x_1 - x_2 之間的剖面圖，圖 24D 為 x_3 - x_4 之間的剖面圖。在此，有時將 y_1 - y_2 線的方向稱為通道長度方向，將 x_1 - x_2 線的方向稱為通道寬度方向。也就是說，圖 24B 示出 OS 電晶體的通道長度方向上的剖面結構，圖 24C 及圖 24D 示出 OS 電晶體的通道寬度方向上的剖面結構。注意，為了明確地示出裝置結構，在圖 24A 中省略部分組件。

[0285]

作為 OS 電晶體的電晶體 901 形成在絕緣表面上。在此，電晶體 901 形成在絕緣層 911 上。絕緣層 911 形成在基板 910 表面上。電晶體 901 被絕緣層 916 覆蓋。注意，也可以將絕緣層 916 視為電晶體 901 的組件。電晶體 901 包括絕緣層 912、絕緣層 913、絕緣層 914、絕緣層 915、半導體層 921 至 923、導電層 930、導電層 931、導電層 932 及導電層 933。在此，將半導體層 921 至 923 總稱為半導體區域 920。

[0286]

導電層 930 用作閘極電極，導電層 933 用作背閘極電極。導電層 931、932 用作源極電極或汲極電極。絕緣層 911 具有使基板 910 與導電層 933 電分離的功能。絕緣層 915 用作閘極絕緣層，絕緣層 913、914 用作位於背後通道一側的閘極絕緣層。

[0287]

注意，例如，通道長度是指電晶體的俯視圖中的半導體（或在電晶體處於開啓狀態時，在半導體中電流流過的部分）和閘極電極重疊的區域或者形成通道的區域中的源極（源極區域或源極電極）和汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中都成爲相同的值。也就是說，一個電晶體的通道長度有時不侷限於一個值。因此，在本說明書等中，通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0288]

例如，通道寬度是指半導體（或在電晶體處於開啓狀態時，在半導體中電流流過的部分）和閘極電極重疊的區域或者形成通道的區域中的源極和汲極相對的部分的長度。另外，在一個電晶體中，通道寬度不一定在所有的區域中成爲相同的值。也就是說，一個電晶體的通道寬度有時不侷限於一個值。因此，在本說明書中，通道寬度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0289]

另外，根據電晶體的結構，有時實際上形成通道的區域中的通道寬度（下面稱爲實效的通道寬度）和電晶體的俯視圖所示的通道寬度（下面稱爲外觀上的通道寬度）不同。例如，在具有立體結構的電晶體中，有時因爲實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有微型且立體的結構的電晶體中，有時形成在半導體的頂面上的通道區域的比例變大。在此情況下，實際上形成通道的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0290]

在具有立體結構的電晶體中，有時難以藉由實測估計實效的通道寬度。例如，爲了根據設計值估計實效的通道寬度，需要預先知道半導體的形狀作爲假定。因此，當半導體的形狀不清楚時，難以正確地測量實效的通道寬度。

[0291]

於是，在本說明書中，有時在電晶體的俯視圖中將作爲半導體和閘極電極重疊的區域中的源極和汲極相對的部分的長度的外觀上的通道寬度稱爲“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞通道寬度或外觀上

的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面 TEM 影像等並對其影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0292]

另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度進行計算。在此情況下，有時成爲與使用實效的通道寬度進行計算時不同的值。

[0293]

如圖 24B、圖 24C 所示，半導體區域 920 包括依次層疊有半導體層 921、半導體層 922、半導體層 923 的部分。絕緣層 915 覆蓋上述疊層部分。導電層 930 隔著絕緣層 913 與疊層部分重疊。導電層 931 及導電層 932 設置在半導體層 921 及半導體層 922 所形成的疊層上，並與上述疊層的頂面接觸。半導體層 921、922 以及導電層 931、932 的疊層藉由使用同一遮罩的蝕刻製程而形成。

[0294]

半導體層 923 以覆蓋半導體層 921、922 以及導電層 931、932 的方式形成。絕緣層 915 覆蓋半導體層 923。在此，半導體層 923 和絕緣層 915 使用同一遮罩被蝕刻。

[0295]

以隔著絕緣層 915 在通道寬度方向上圍繞半導體層 921 至 923 的疊層部分的方式形成有導電層 930（參照圖 24C）。因此，垂直方向上的閘極電場及橫向方向上的閘極電場施加到該疊層部分。在電晶體 901 中，閘極電場是指施加到導電層 930（閘極電極層）的電壓所形成的電場。藉由利用閘極電場，可以電圍繞半導體層 921 至 923 的整個疊層部分，因此有時通道形成在半導體層 922 整體（塊內）。因此，電晶體 901 能夠具有高通態電流。另外，藉由採用 s-channel 結構，可以提高電晶體 901 的高頻特性。明確而言，可以提高截止頻率。

[0296]

因爲 s-channel 結構可以獲得高通態電流，所以可以說是適用於 LSI（Large Scale Integration）等被要求微型電晶體的半導體裝置的結構。s-channel 結構可以獲得高通態電流，所以可以說是適用於被要求高頻下的工作的電晶體的結構。包括該電晶體的半導體裝置可以實現能夠在高頻下

工作的半導體裝置。

[0297]

藉由實現 OS 電晶體的微型化，可以提供集成度高或小型的半導體裝置。例如，OS 電晶體包括通道長度較佳為 10nm 以上且小於 1 μ m，更佳為 10nm 以上且小於 100nm，進一步較佳為 10nm 以上且小於 70nm，更進一步較佳為 10nm 以上且小於 60nm，還進一步較佳為 10nm 以上且小於 30nm 的區域。例如，電晶體包括通道寬度較佳為 10nm 以上且小於 1 μ m，更佳為 10nm 以上且小於 100nm，進一步較佳為 10nm 以上且小於 70nm，更進一步較佳為 10nm 以上且小於 60nm，還進一步較佳為 10nm 以上且小於 30nm 的區域。

[0298]

注意，In-Ga-Zn 氧化物等氧化物半導體的導熱性比矽低。因此，當將氧化物半導體用於半導體層 922 時，尤其是在半導體層 922 的通道形成區域的位於汲極一側的端部等容易發熱。但是，在圖 24B 所示的電晶體 901 中，導電層 931、932 包括與導電層 930 重疊的區域，所以導電層 931、932 配置在半導體層 922 的通道形成區域附近。因此，產生在半導體層 922 的通道形成區域的熱傳導到導電層 931、932。就是說，可以使用導電層 931、932 釋放通道形成區域的熱。

[0299]

下面，對圖 24A 至圖 24D 所示的各層進行詳細說明。

[0300]

[基板]

作為基板 910 例如可以使用絕緣體基板、半導體基板或導電體基板。絕緣體基板例如可以為玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板（鈮安定氧化鋯基板等）、樹脂基板等。例如，半導體基板可以為由矽或鍺等構成的單一材料半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銮、氧化鋅或氧化鎵構成的化合物半導體基板等。半導體基板也可以為塊型基板或半導體基板上隔著絕緣區域設置有半導體層的 SOI（Silicon on Insulator：絕緣層上覆矽）型基板等。導電體基板為石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬的氮化物的基板、包含金屬的氧化物的基板等。再者，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。在基板上設置的元件為電容器、電阻元件、切換元件、發光元件、記憶元

件等。

[0301]

基板 910 也可以為撓性基板。作為在撓性基板上設置電晶體的方法，也可以舉出如下方法：在非撓性基板（例如，半導體基板）上形成電晶體，然後將該電晶體剝離並轉置到作為撓性基板的基板 910 上。在此情況下，較佳的是，在非撓性基板與電晶體之間設置剝離層。此外，作為基板 910，也可以使用包含纖維的薄片、薄膜或箔等。另外，基板 910 也可以具有伸縮性。此外，基板 910 可以具有在停止彎曲或拉伸時恢復為原來的形狀的性質。或者，也可以具有不恢復為原來的形狀的性質。基板 910 的厚度例如為 $5\mu\text{m}$ 以上且 $700\mu\text{m}$ 以下，較佳為 $10\mu\text{m}$ 以上且 $500\mu\text{m}$ 以下，更佳為 $15\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。藉由將基板 910 形成為薄，可以實現半導體裝置的輕量化。另外，藉由將基板 910 形成得薄，即便在使用玻璃等的情況下也有時會具有伸縮性或在停止彎曲或拉伸時恢復為原來的形狀的性質。因此，可以緩和因掉落等而基板 910 上的半導體裝置受到的衝擊等。亦即，能夠提供一種耐久性高的半導體裝置。

[0302]

作為撓性基板的基板 910 例如包含金屬、合金、樹脂、玻璃和其纖維等。撓性基板的線性膨脹係數越低，因環境而發生的變形越得到抑制，所以是較佳的。作為撓性基板，例如較佳為使用線性膨脹係數為 $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下或 $1\times 10^{-5}/\text{K}$ 以下的材質。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸樹脂、聚四氟乙烯（PTFE）等。尤其是芳族聚醯胺具有較低的線性膨脹係數，因此適用於撓性基板的材料。

[0303]

[絕緣層]

絕緣層 911 至 916 使用具有單層結構或疊層結構的絕緣層形成。作為構成絕緣層的材料，例如有氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鋳、氧化釷、氧化鉛、氧化鋇等。

[0304]

注意，在本說明書中，氧氮化物是指氧含量大於氮含量的化合物，氮氧化物是指氮含量大於氧含量的化合物。在本說明書等中，用於絕緣材料的氧化物還包括氮濃度低於 1atomic% 的氧化物。

[0305]

絕緣層 914 及絕緣層 915 與半導體區域 920 接觸，所以較佳為包含氧化物，尤其是，較佳為包含藉由加熱使氧脫離的氧化物材料。較佳為使用其氧含量超過化學計量組成的氧化物。在其氧含量超過化學計量組成的氧化物膜中，藉由加熱使一部分氧脫離。從絕緣層 914、絕緣層 915 脫離的氧被供應到為氧化物半導體的半導體區域 920，由此可以減少氧化物半導體中的氧缺陷。其結果是，可以抑制電晶體的電特性變動，而可以提高可靠性。

[0306]

例如在 TDS (Thermal Desorption Spectroscopy: 熱脫附譜) 分析中，其氧含量超過化學計量組成的氧化物膜的換算為氧原子的氧的脫離量為 1.0×10^{18} atoms/cm³ 以上，較佳為 3.0×10^{20} atoms/cm³ 以上。注意，上述 TDS 分析時的膜的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

[0307]

絕緣層 913 具有防止包含在絕緣層 914 中的氧與包含在導電層 933 中的金屬結合而導致包含在絕緣層 914 中的氧減少的鈍化功能。絕緣層 916 具有防止包含在絕緣層 915 中的氧減少的鈍化功能。

[0308]

絕緣層 911、913、916 較佳為具有阻擋氧、氫、水、鹼金屬、鹼土金屬等的功能。藉由設置絕緣層 911、913、916，可以防止氧從半導體區域 920 擴散到外部以及氫、水等從外部侵入到半導體區域 920 中。為了實現這種功能，在絕緣層 911、913、916 中例如設置包含氮化矽、氮氧化矽、氮化鋁、氮氧化鋁、氧化鋁、氧氮化鋁、氧化鎳、氧氮化鎳、氧化鈮、氧氮化鈮、氧化鈣、氧氮化鈣等的至少一層絕緣層，即可。

[0309]

另外，絕緣層 911 對應於圖 18A 和圖 18B 中的絕緣膜 721 等。

[0310]

[導電層]

導電層 931 及導電層 932 較佳為具有包含如下材料的導電膜的單層或疊層：銅 (Cu)、鎢 (W)、鉬 (Mo)、金 (Au)、鋁 (Al)、錳 (Mn)、鈦 (Ti)、鉭 (Ta)、鎳 (Ni)、鉻 (Cr)、鉛 (Pb)、錫 (Sn)、鐵 (Fe)、鈷 (Co)、鈳 (Ru)、鉑 (Pt)、銱 (Ir)、銦 (Sr) 等低電阻材料、上述低電阻材料的合金、或者包含以上述材料為主要成分的化合物。尤其是，較佳為使用同時實現

耐熱性和導電性的鎢和鉬等高熔點材料。另外，較佳為使用鋁或銅等低電阻導電材料形成導電層 931 及導電層 932。並且，當使用 Cu-Mn 合金時，在與包含氧的絕緣體的介面形成氧化錳以抑制 Cu 的擴散，所以是較佳的。

[0311]

導電層 931 及導電層 932 使用用來形成半導體層 921 及半導體層 922 的疊層的硬遮罩形成。因此，導電層 931 及導電層 932 不具有與半導體層 921 及半導體層 922 的側面接觸的區域。例如，可以藉由如下製程形成半導體層 921、922、導電層 931、932：形成構成半導體層 921、922 的兩層的氧化物半導體膜。在氧化物半導體膜上形成單層或者疊層的導電膜。藉由對該導電膜進行蝕刻形成硬遮罩。藉由使用該硬遮罩對兩層的氧化物半導體膜進行蝕刻，形成半導體層 921 和半導體層 922 的疊層。接著，藉由對硬遮罩進行蝕刻，形成導電層 931 及導電層 932。

[0312]

作為導電層 930 及導電層 933，可以使用與導電層 931 及導電層 932 同樣的材料。

[0313]

[半導體層]

半導體層 922 例如是包含銦 (In) 的氧化物半導體。例如，在半導體層 922 包含銦時，其載子移動率 (電子移動率) 得到提高。此外，半導體層 922 較佳為包含元素 M。較佳的是，元素 M 為鋁 (Al)、鎵 (Ga)、釷 (Y) 或錫 (Sn) 等。作為可用作元素 M 的其他元素，有硼 (B)、矽 (Si)、鈦 (Ti)、鐵 (Fe)、鎳 (Ni)、鍺 (Ge)、鋯 (Zr)、鉬 (Mo)、釷 (La)、鈰 (Ce)、釹 (Nd)、鈪 (Hf)、鉭 (Ta)、鎢 (W) 等。注意，作為元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，半導體層 922 較佳為包含鋅 (Zn)。當氧化物半導體包含鋅時，有時容易晶化。

[0314]

注意，半導體層 922 不侷限於包含銦的氧化物半導體。半導體層 922 例如也可以是鋅錫氧化物或鎵錫氧化物等不包含銦且包含鋅、鎵或錫的氧化物半導體等。作為半導體層 922 例如使用能隙大的氧化物。半導體層 922 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。半導體區域 920 較佳為使用後面說明的

CAAC-OS 形成。或者，半導體層 922 至少使用 CAAC-OS 形成是較佳的。

[0315]

例如，半導體層 921 及半導體層 923 是包含一種以上或兩種以上構成半導體層 922 的除了氧之外的元素的氧化物半導體。因為半導體層 921 及半導體層 923 包含一種以上或兩種以上構成半導體層 922 的除了氧之外的元素，所以不容易在半導體層 921 與半導體層 922 的介面以及半導體層 922 與半導體層 923 的介面處形成介面能階。

[0316]

另外，在半導體層 921 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic% 時，較佳的是：In 低於 50atomic%，M 高於 50atomic%，更佳的是：In 低於 25atomic%，M 高於 75atomic%。在利用濺射法形成半導體層 921 的情況下，較佳為使用滿足上述組成的濺射靶材。例如，較佳為滿足 In:M:Zn=1:3:2。

[0317]

此外，在半導體層 922 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic% 時，較佳的是：In 高於 25atomic%，M 低於 75atomic%，更佳的是：In 高於 34atomic%，M 低於 66atomic%。在利用濺射法形成半導體層 922 的情況下，較佳為使用滿足上述組成的濺射靶材。例如，較佳為滿足 In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:4.1。尤其是，在作為濺射靶材使用原子個數比為 In:Ga:Zn=4:2:4.1 的靶材的情況下，所形成的半導體層 922 的原子個數比有時為 In:Ga:Zn=4:2:3 附近。

[0318]

此外，在半導體層 923 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic% 時，較佳的是：In 低於 50atomic%，M 高於 50atomic%，更佳的是：In 低於 25atomic%，M 高於 75atomic%。另外，半導體層 923 也可以使用與半導體層 921 相同的種類的氧化物。注意，半導體層 921 或/及半導體層 923 有時也可以不包含銦。例如，半導體層 921 或/及半導體層 923 也可以包含氧化鎵。

[0319]

參照圖 25A 和圖 25B 對由半導體層 921、半導體層 922 及半導體層 923 的疊層構成的半導體區域 920 的功能及效果進行說明。圖 25A 是圖 24B 的部分放大圖，亦即放大電晶體 901 的活性層（通道部分）的圖。圖 25B 是

電晶體 901 的活性層的能帶結構，並示出圖 25A 中的以虛線 Z1-Z2 表示的部分的能帶結構。

[0320]

圖 25B 的 Ec914、Ec921、Ec922、Ec923、Ec915 分別示出絕緣層 914、半導體層 921、半導體層 922、半導體層 923、絕緣層 915 的導帶底端的能量。

[0321]

這裡，真空能階與導帶底之間的能量差（也稱為電子親和力）是真空能階與價帶頂之間的能量差（也稱為游離電位）減去能隙而得到的值。另外，可以利用光譜橢圓偏光計測量能隙。此外，真空能階與價帶頂之間的能量差可以利用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）裝置來測量。

[0322]

因為絕緣層 914 和絕緣層 915 是絕緣體，所以 Ec914 及 Ec915 比 Ec921、Ec922 及 Ec923 更接近於真空能階（電子親和力小）。

[0323]

作為半導體層 922 使用其電子親和力大於半導體層 921 及半導體層 923 的氧化物。例如，作為半導體層 922 使用如下氧化物，該氧化物的電子親和力比半導體層 921 及半導體層 923 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下。注意，電子親和力是真空能階和導帶底之間的能量差。

[0324]

注意，銦鎵氧化物的電子親和力小，其氧阻擋性高。因此，半導體層 923 較佳為包含銦鎵氧化物。鎵原子的比率 $[Ga/(In+Ga)]$ 例如為 70% 以上，較佳為 80% 以上，更佳為 90% 以上。此時，若施加閘極電壓，通道則形成在半導體層 921、半導體層 922 和半導體層 923 當中的電子親和力最大的半導體層 922 中。

[0325]

在此，有時在半導體層 921 與半導體層 922 之間具有半導體層 921 和半導體層 922 的混合區域。另外，有時在半導體層 922 與半導體層 923 之間具有半導體層 922 和半導體層 923 的混合區域。混合區域的介面態密度較低。因此，在半導體層 921、半導體層 922 和半導體層 923 的疊層體的能帶結構中，各層之間的介面及介面附近的能量連續地變化（也稱為連續接合）。

[0326]

此時，電子不是在半導體層 921 及半導體層 923 中而主要在半導體層 922 中移動。如上所述，藉由降低半導體層 921 與半導體層 922 的介面處的介面態密度、半導體層 922 與半導體層 923 的介面處的介面態密度，在半導體層 922 中妨礙電子移動的情況減少，從而可以提高電晶體的通態電流。

[0327]

越減少妨礙電子移動的原因，越能夠提高電晶體的通態電流。例如，在沒有妨礙電子移動的原因的情況下，估計為電子高效率地移動。例如，在通道形成區域中的物理性凹凸較大的情況下也會發生電子移動的妨礙。或者，例如，在形成有通道的區域中的缺陷能階密度高的情況下電子移動也會受到妨礙。

[0328]

爲了提高電晶體 901 的通態電流，例如，半導體層 922 的頂面或底面（被形成面，在此爲半導體層 921 的頂面）的 $1\mu\text{m}\times 1\mu\text{m}$ 的範圍內的均方根（RMS：Root-Mean-Square）粗糙度低於 1nm，較佳爲低於 0.6nm，更佳爲低於 0.5nm，進一步較佳爲低於 0.4nm，即可。另外，其 $1\mu\text{m}\times 1\mu\text{m}$ 的範圍內的平均表面粗糙度（也稱爲 Ra）低於 1nm，較佳爲低於 0.6nm，更佳爲低於 0.5nm，進一步較佳爲低於 0.4nm，即可。其 $1\mu\text{m}\times 1\mu\text{m}$ 的範圍內的最大高低差（也稱爲 P-V）低於 10nm，較佳爲低於 9nm，更佳爲低於 8nm，進一步較佳爲低於 7nm。RMS 粗糙度、Ra 以及 P-V 可以藉由使用掃描探針顯微鏡測定。

[0329]

例如，在半導體層 922 具有氧缺陷（也記爲“ V_o ”）的情況下，有時因爲氫進入該氧缺陷位點而形成施體能階。下面，有時將氫進入該氧缺陷位點的狀態記爲“ V_oH ”。由於 V_oH 使電子散射，所以會成爲降低電晶體的通態電流的原因。另外，氧缺陷位點會在氧進入的情況比氫進入的情況下更加穩定。因此，藉由降低半導體層 922 中的氧缺陷，有時能夠提高電晶體的通態電流。

[0330]

例如，在半導體層 922 的某個深度上或者半導體層 922 的某個區域中，利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測定的氫濃度爲 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 以上且 $2\times 10^{20}\text{atoms}/\text{cm}^3$ 以下，較佳爲 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 以上且 $5\times 10^{19}\text{atoms}/\text{cm}^3$ 以下，更佳爲 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 以上且 $1\times 10^{19}\text{atoms}/\text{cm}^3$ 以下，進一步較佳爲 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 以上且 $5\times 10^{18}\text{atoms}/\text{cm}^3$

以下。

[0331]

爲了減少半導體層 922 的氧缺陷，例如採用將包含於絕緣層 915 中的過量氧經過半導體層 921 移動到半導體層 922 的方法等。此時，半導體層 921 較佳爲具有氧透過性的層（使氧經過或透過的層）。

[0332]

當電晶體 901 具有 s-channel 結構時，在整個半導體層 922 中形成通道。因此，半導體層 922 的厚度越大，通道區域越大。亦即，半導體層 922 越厚，越能夠提高電晶體 901 的通態電流。

[0333]

此外，爲了提高電晶體 901 的通態電流，半導體層 923 的厚度越小越佳。例如，半導體層 923 具有其厚度小於 10nm，較佳爲 5nm 以下，更佳爲 3nm 以下的區域即可。另一方面，半導體層 923 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體層 922 中的功能。因此，半導體層 923 較佳爲具有一定厚度的厚度。例如，半導體層 923 具有其厚度爲 0.3nm 以上，較佳爲 1nm 以上，更佳爲 2nm 以上的區域即可。另外，爲了抑制從絕緣層 915 等釋放的氧向外擴散，半導體層 923 較佳爲具有阻擋氧的性質。

[0334]

此外，爲了提高電晶體 901 的可靠性，使半導體層 921 變厚並使半導體層 923 變薄是較佳的。例如，半導體層 921 具有其厚度爲 10nm 以上，較佳爲 20nm 以上，更佳爲 40nm 以上，進一步較佳爲 60nm 以上的區域即可。藉由將半導體層 921 形成爲厚，可以拉開從相鄰的絕緣體與半導體層 921 的介面到形成有通道的半導體層 922 的距離。注意，因爲半導體裝置的生產率可能會下降，所以半導體層 921 具有其厚度例如爲 200nm 以下，較佳爲 120nm 以下，更佳爲 80nm 以下的區域即可。

[0335]

爲了對電晶體 901 賦予穩定的電特性，藉由降低半導體區域 920 中的雜質濃度，來使半導體層 922 成爲本質或實質上本質是有效的。注意，在本說明書等中，“氧化物半導體爲實質上本質”是指氧化物半導體的載子密度低於 8×10^{11} 個/cm³，較佳爲低於 1×10^{11} 個/cm³，更佳爲低於 1×10^{10} 個/cm³，並且爲 1×10^9 個/cm³ 以上的情況。

[0336]

對氧化物半導體來說，氫、氮、碳、矽以及主要成分以外的金屬元素是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽引起氧化物半導體中的雜質能階的形成。該雜質能階成爲陷阱，有可能使電晶體的電特性劣化。因此，較佳爲降低半導體層 921、半導體層 922 及半導體層 923 中或各介面的雜質濃度。

[0337]

例如，在半導體層 922 與半導體層 921 之間包括矽濃度爲 1×10^{16} atoms/cm³ 以上且低於 1×10^{19} atoms/cm³ 的區域。矽濃度較佳爲 1×10^{16} atoms/cm³ 以上且低於 5×10^{18} atoms/cm³，更佳爲 1×10^{16} atoms/cm³ 以上且低於 2×10^{18} atoms/cm³。另外，在半導體層 922 與半導體層 923 之間包括矽濃度爲 1×10^{16} atoms/cm³ 以上且低於 1×10^{19} atoms/cm³ 的區域。矽濃度較佳爲 1×10^{16} atoms/cm³ 以上且低於 5×10^{18} atoms/cm³，更佳爲 1×10^{16} atoms/cm³ 以上且低於 2×10^{18} atoms/cm³。矽濃度例如可以藉由 SIMS 來測量。

[0338]

另外，爲了降低半導體層 922 的氫濃度，較佳爲降低半導體層 921 及半導體層 923 的氫濃度。半導體層 921 及半導體層 923 包括氫濃度爲 1×10^{16} atoms/cm³ 以上且 2×10^{20} atoms/cm³ 以下的區域。氫濃度較佳爲 1×10^{16} atoms/cm³ 以上且 5×10^{19} atoms/cm³ 以下，更佳爲 1×10^{16} atoms/cm³ 以上且 1×10^{19} atoms/cm³ 以下，進一步較佳爲 1×10^{16} atoms/cm³ 以上且 5×10^{18} atoms/cm³ 以下。氫濃度例如可以藉由 SIMS 來測量。

[0339]

爲了降低半導體層 922 的氮濃度，較佳爲降低半導體層 921 及半導體層 923 的氮濃度。半導體層 921 及半導體層 923 包括氮濃度爲 1×10^{16} atoms/cm³ 以上且低於 5×10^{19} atoms/cm³ 的區域。氮濃度較佳爲 1×10^{16} atoms/cm³ 以上且 5×10^{18} atoms/cm³ 以下，更佳爲 1×10^{16} atoms/cm³ 以上且 1×10^{18} atoms/cm³ 以下，進一步較佳爲 1×10^{16} atoms/cm³ 以上且 5×10^{17} atoms/cm³ 以下。氮濃度可以藉由 SIMS 來測量。

[0340]

此外，將如上述那樣的被高度純化了的氧化物半導體用於通道形成區域的電晶體的關態電流極小。例如，可以使源極與汲極之間的電壓爲 0.1 (V)、5 (V) 或 10 (V) 左右時的以電晶體的通道寬度正規化的關態電流降低到幾 yA/μm 至幾 zA/μm。

[0341]

導電層 935 及導電層 936 也可以具有使可見光線透過的性質。或者，導電層 935 及導電層 936 也可以具有藉由將可見光線、紫外線、紅外線或 X 射線反射或吸收而不使其透過的性質。藉由具有上述性質，有時可以抑制雜散光導致的電晶體 903 的電特性變動。

[0348]

作為導電層 935 及導電層 936，有時較佳為使用不在與半導層 922 之間形成肖特基能障的層。由此，可以提高電晶體 903 的導通特性。

[0349]

導電層 935 及導電層 936 有時較佳為使用電阻高於導電層 931 及導電層 932 的膜。另外，有時較佳的是，導電層 935 及導電層 936 的電阻低於電晶體 903 的通道（明確而言，半導層 922）的電阻。例如，可以將導電層 935 及導電層 936 的電阻率設定為 $0.1\Omega\text{cm}$ 以上且 $100\Omega\text{cm}$ 以下、 $0.5\Omega\text{cm}$ 以上且 $50\Omega\text{cm}$ 以下或 $1\Omega\text{cm}$ 以上且 $10\Omega\text{cm}$ 以下。藉由將導電層 935 及導電層 936 的電阻率設定在上述範圍內，可以緩和通道與汲極之間的邊界部的電場集中。因此，可以降低電晶體 903 的電特性變動。另外，也可以降低起因於從汲極產生的電場的衝穿電流。因此，在通道長度短的電晶體中也能夠實現良好的飽和特性。注意，在不調換源極與汲極的電路結構中，有時只配置導電層 935 及導電層 936 中的一個（例如，位於汲極一側的導電體）是較佳的。

[0350]

〈結構實例 4〉

在圖 24A 至圖 24D 所示的電晶體 901 中，導電層 931 及導電層 932 可以與半導層 921 及半導層 922 的側面接觸。圖 26C 示出這種情況的結構實例。圖 26C 所示的電晶體 904 的導電層 931 及導電層 932 與半導層 921 的側面及半導層 922 的側面接觸。

[0351]

〈氧化物半導體膜的晶體結構〉

下面，對構成半導體區域 920 的氧化物半導體膜進行說明。在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0352]

氧化物半導體膜可以大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜是指 CAAC-OS 膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導體膜等。

[0353]

在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。另外，“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。此外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。另外，“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

[0354]

[CAAC-OS 膜]

CAAC-OS 膜是包含呈 c 軸配向的多個結晶部的氧化物半導體膜之一。

[0355]

根據利用穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察 CAAC-OS 膜的明視野影像及繞射圖案的複合分析影像(也稱為高解析度 TEM 影像)，可以觀察到多個結晶部。但是，在高解析度 TEM 影像中觀察不到結晶部與結晶部之間的明確的邊界，亦即晶界 (grain boundary)。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0356]

根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的高解析度剖面 TEM 影像可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映了形成有 CAAC-OS 膜的面(也稱為被形成面)或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的方式排列。

[0357]

另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的高解析度平面 TEM 影像可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0358]

使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時會出現峰值。由於該峰值來源於 InGaZnO_4 結晶的 (009) 面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0359]

當利用 out-of-plane 法分析包括 InGaZnO₄ 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不呈 c 軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0360]

CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，矽等元素因為其與氧的結合力比構成氧化物半導體膜的金屬元素與氧的結合力更強而成為因從氧化物半導體膜奪取氧而打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。此外，鐵或鎳等重金屬、氫、二氧化碳等因為其原子半徑（分子半徑）大而在包含在氧化物半導體膜內部時成為打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。注意，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0361]

此外，CAAC-OS 膜是缺陷能階密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0362]

將雜質濃度低且缺陷能階密度低（氧缺損少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為高可靠性的電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷能階密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0363]

此外，在使用 CAAC-OS 膜的 OS 電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0364]

[微晶氧化物半導體膜]

在微晶氧化物半導體膜的高解析度 TEM 影像中有觀察到結晶部的區域及觀察不到明確的結晶部的區域。包含在微晶氧化物半導體膜中的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）膜。另外，例如在 nc-OS 膜的高解析度 TEM 影像中，有時觀察不到明確的晶界。

[0365]

nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小的電子射線的奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0366]

nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷能階密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷能階密度比 CAAC-OS 膜高。

[0367]

[非晶氧化物半導體膜]

非晶氧化物半導體膜是具有無序的原子排列並不具有結晶部的氧化物半導體膜。其一個例子為具有如石英那樣的無定形態的氧化物半導體膜。

[0368]

在非晶氧化物半導體膜的高解析度 TEM 影像中，觀察不到結晶部。使用 XRD 裝置對非晶氧化物半導體膜進行結構分析。當利用 out-of-plane 法

分析時，檢測不到表示結晶面的峰值。另外，在非晶氧化物半導體膜的電子繞射圖案中，觀察到光暈圖案。另外，在非晶氧化物半導體膜的奈米束電子繞射圖案中，觀察不到斑點，而觀察到光暈圖案。

[0369]

氧化物半導體膜有時具有呈現 nc-OS 膜與非晶氧化物半導體膜之間物性的結構。將具有這種結構的氧化物半導體膜特別稱爲 amorphous-like 氧化物半導體 (a-like OS : amorphous-like Oxide Semiconductor) 膜。

[0370]

在 a-like OS 膜的高解析度 TEM 影像中，有時觀察到空洞（也稱爲空隙）。此外，在 a-like OS 膜的高解析度 TEM 影像中，有明確地確認到結晶部的區域及確認不到結晶部的區域。a-like OS 膜有時因 TEM 觀察時的微量的電子照射而產生晶化，由此觀察到結晶部的生長。另一方面，在良好的 nc-OS 膜中，幾乎觀察不到因 TEM 觀察時的微量的電子照射而產生的晶化。

[0371]

此外，a-like OS 膜及 nc-OS 膜的結晶部的尺寸的測量可以使用高解析度 TEM 影像進行。例如， InGaZnO_4 結晶具有層狀結構，在 In-O 層之間具有兩個 Ga-Zn-O 層。 InGaZnO_4 結晶的單位晶格具有三個 In-O 層和六個 Ga-Zn-O 層的一共九個層在 c 軸方向上重疊爲層狀的結構。因此，這些彼此相鄰的層之間的間隔與 (009) 面的晶格表面間隔（也稱爲 d 值）大致相等，從晶體結構分析求出其值，亦即 0.29nm。因此，著眼於高解析度 TEM 影像的晶格條紋，在晶格條紋的間隔爲 0.28nm 以上且 0.30nm 以下的區域中，每個晶格條紋都對應於 InGaZnO_4 結晶的 a-b 面。

[0372]

有時氧化物半導體膜的膜密度因結構而不同。例如，當知道某個氧化物半導體膜的組成時，藉由與具有相同組成的單晶氧化物半導體膜的膜密度進行比較，可以推測出該氧化物半導體膜的結構。例如，a-like OS 膜的密度爲單晶氧化物半導體膜的膜密度的 78.6% 以上且小於 92.3%。例如，nc-OS 膜的膜密度和 CAAC-OS 膜的膜密度爲單晶氧化物半導體膜的膜密度的 92.3% 以上且小於 100%。注意，形成其密度小於單晶氧化物半導體膜的膜密度的 78% 的氧化物半導體膜是很困難的。

[0373]

使用具體例子對上述內容進行說明。例如，在原子個數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體膜中，具有菱方晶系結構的單晶 InGaZnO_4

的膜密度為 6.357g/cm^3 。因此，例如，在原子個數比滿足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半導體膜中，a-like OS 膜的膜密度為 5.0g/cm^3 以上且小於 5.9g/cm^3 。另外，例如，在原子個數比滿足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半導體膜中，nc-OS 膜的膜密度和 CAAC-OS 膜的膜密度為 5.9g/cm^3 以上且小於 6.3g/cm^3 。

[0374]

注意，有時不存在相同組成的單晶氧化物半導體膜。此時，藉由以任意比例組合組成不同的單晶氧化物半導體膜，可以算出相當於所希望的組成的單晶氧化物半導體膜的密度。例如，藉由考慮組成不同的單晶氧化物半導體膜的組合比例算出加權平均，可以獲得所希望的組成的單晶氧化物半導體膜的密度。注意，較佳的是，儘可能以少的所組合的單晶氧化物半導體膜的種類來計算膜密度。

[0375]

注意，氧化物半導體膜例如可以是包括非晶氧化物半導體膜、a-like OS 膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0376]

〈成膜方法〉

作為構成半導體裝置的絕緣層、導電層及半導體層等的成膜方法的典型例子，有濺射法、電漿 CVD 法。也可以使用其他方法，例如熱 CVD 法。作為熱 CVD 法，例如可以使用 MOCVD (Metal Organic Chemical Vapor Deposition: 有機金屬化學氣相沉積) 法或 ALD (Atomic Layer Deposition: 原子層沉積) 法。

[0377]

由於熱 CVD 法是不使用電漿的成膜方法，因此具有不產生因電漿損傷所引起的缺陷的優點。在熱 CVD 法中，將處理室內的壓力設定為大氣壓或減壓，將源氣體及氧化劑同時供應到處理室內，使其在基板附近或在基板上發生反應而沉積在基板上。

[0378]

另外，可以利用 ALD 法進行成膜，其中將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室，並且按該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內，為了防止多種源氣體混合，在引入第一源氣體的同時或之後引入惰性氣體（氬或氮等）等，然後引入第二源氣體。注意，

當同時引入第一源氣體及惰性氣體時，惰性氣體被用作載子氣體，另外，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以不引入惰性氣體而藉由真空抽氣將第一源氣體排出，然後引入第二源氣體。第一源氣體附著到基板表面以形成第一單原子層，之後引入的第二源氣體與該第一單原子層起反應，由此第二單原子層層疊在第一單原子層上以形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步驟覆蓋性良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來進行調節，因此，ALD 法可以準確地調節厚度而適用於形成微型 FET。

[0379]

利用 MOCVD 法或 ALD 法等熱 CVD 法可以形成以上所示的實施方式所公開的導電膜或半導體膜，例如，當形成 InGaZnO_x ($X>0$) 膜時，使用三甲基銦、三甲基鎵及二甲基鋅。另外，三甲基銦的化學式為 $(\text{CH}_3)_3\text{In}$ 。另外，三甲基鎵的化學式為 $(\text{CH}_3)_3\text{Ga}$ 。另外，二甲基鋅的化學式為 $(\text{CH}_3)_2\text{Zn}$ 。另外，不侷限於上述組合，也可以使用三乙基鎵（化學式為 $(\text{C}_2\text{H}_5)_3\text{Ga}$ ）來代替三甲基鎵，使用二乙基鋅（化學式為 $(\text{C}_2\text{H}_5)_2\text{Zn}$ ）來代替二甲基鋅。

[0380]

例如，在使用利用 ALD 法的沉積裝置形成鎢膜時，依次反復引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢膜，然後依次反復引入 WF_6 氣體和 H_2 氣體形成鎢膜。注意，也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

[0381]

例如，在使用利用 ALD 的沉積裝置形成氧化物半導體膜如 InGaZnO_x ($X>0$) 膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 InO_2 層，然後依次反復引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之後依次反復引入 $\text{Zn}(\text{CH}_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如 InGaO_2 層、 InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層等。注意，雖然也可以使用利用 Ar 等惰性氣體進行起泡而得來的 H_2O 氣體來代替 O_3 氣體，但較佳為使用不含有 H 的 O_3 氣體。還可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。還可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。另外，也可以使用 $\text{Zn}(\text{CH}_3)_2$ 氣體。

[0382]

本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合。

[0383]

實施方式 6

在本實施方式中，對將根據本發明的一個實施方式的半導體裝置用作記憶體裝置的中央處理裝置的結構實例進行說明。

[0384]

圖 27 示出中央處理裝置(CPU)1000 的結構實例。圖 27 所示的 CPU1000 包括 CPU 核 1001、電源管理單元 (PMU) 1021 及週邊電路 1022。PMU1021 包括功率控制器 1002 及功率開關 1003。週邊電路 1022 包括具有快取記憶體的快取 1004、匯流排介面 (BUS I/F) 1005 及除錯介面 (Debug I/F) 1006。CPU 核 1001 包括資料匯流排 1023、控制裝置 1007、程式計數器 (PC) 1008、管線暫存器 1009、管線暫存器 1010、算術邏輯單元 (ALU: Arithmetic logic unit) 1011 及暫存器檔案 1012。經過資料匯流排 1023 進行 CPU 核 1001 與週邊電路 1022 之間的資料的發送和接收。

[0385]

上述實施方式所示的半導體裝置例如可以應用於快取 1004，而用作快取記憶體。由此，可以在快取 1004 中進行細粒電源閘控，從而降低 CPU1000 的功耗。

[0386]

控制裝置 1007 藉由對 PC1008、管線暫存器 1009、管線暫存器 1010、ALU1011、暫存器檔案 1012、快取 1004、匯流排介面 1005、除錯介面 1006 及功率控制器 1002 的工作進行整體控制，能夠將被輸入的應用軟體等程式所包含的指令解碼並執行。

[0387]

ALU1011 能夠進行四則運算及邏輯運算等各種運算處理。快取 1004 能夠暫時儲存使用次數多的資料。PC1008 是能夠儲存接下來執行的指令的位址的暫存器。另外，雖然在圖 27 中沒有進行圖示，但是快取 1004 還設置有控制快取記憶體的工作的快取控制器。

[0388]

管線暫存器 1009 是能夠暫時儲存指令的暫存器。暫存器檔案 1012 具有包括常用暫存器的多個暫存器，而可以儲存從主記憶體讀出的資料或者由 ALU1011 的運算處理的結果得出的資料等。管線暫存器 1010 是能夠暫時儲存用於 ALU1011 的運算處理的資料或者由 ALU1011 的運算處理結果得出的

資料等的暫存器。

[0389]

匯流排介面 1005 被用作 CPU1000 與位於 CPU1000 外部的各種裝置之間的資料的路徑。除錯介面 1006 被用作用來將控制調試的指令輸入到 CPU1000 的信號的路徑。

[0390]

功率開關 1003 能夠控制對 CPU1000 所包括的功率控制器 1002 以外的各種電路供應電源電壓。上述各種電路分別屬於幾個電源定域，屬於同一電源定域的各種電路被功率開關 1003 控制是否供應電源電壓。另外，功率控制器 1002 能夠控制功率開關 1003 的工作。藉由具有上述結構，CPU1000 能夠進行電源閘控。對電源閘控的流程的一個例子進行說明。

[0391]

首先，CPU 核 1001 將停止供應電源電壓的時機設定在功率控制器 1002 的暫存器中。接著，從 CPU 核 1001 對功率控制器 1002 發送開始進行電源閘控的指令。接著，根據需要，CPU1000 內的各種暫存器及快取 1004 開始進行資料的備份。接著，利用功率開關 1003 停止對 CPU1000 所包括的功率控制器 1002 以外的各種電路供應電源電壓。接著，藉由對功率控制器 1002 輸入中斷信號，開始對 CPU1000 所包括的各種電路供應電源電壓。此外，也可以在功率控制器 1002 中設置計數器，不依靠輸入中斷信號而利用該計數器來決定開始供應電源電壓的時機。接著，在暫存器及快取 1004 中進行資料的備份的情況下，進行資料的恢復。接著，再次開始執行控制裝置 1007 中的指令。

[0392]

這種電源閘控在處理器整體或者構成處理器的一個或多個邏輯電路中能夠進行。另外，也可以在較短的時間內也停止供應電力。因此，可以以空間上或時間上微細的細微性能夠進行電源閘控。

[0393]

實施方式 7

在本實施方式中，作為半導體裝置的一個例子，對電子構件及具備該電子構件的電子裝置等進行說明。

[0394]

〈電子構件的製造方法實例〉

圖 28A 和圖 28B 是示出電子構件的製造方法實例的流程圖。電子構件也被稱為半導體封裝、IC 用封裝或封裝。該電子構件根據端子取出方向或端子的形狀具有多個不同規格和名稱。在本實施方式中，說明其一個例子。

[0395]

藉由組裝製程（後製程），並且藉由在印刷電路板上組合多個能夠裝卸的構件，完成使用電晶體構成的半導體裝置。後製程可以藉由進行圖 28A 所示的各製程完成。明確而言，在由前製程得到的元件基板完成（Step1）之後，將基板分成多個晶片的切割（dicing）製程（Step2）。在將基板分成多個晶片之前使基板薄膜化，減少在前製程中產生的基板的翹曲等，而實現構件的小型化。

[0396]

進行如下晶片接合（die bonding）製程（Step3）：拾取晶片，並將其安裝且接合於引線框架上。該晶片接合製程中的晶片與引線框架的接合可以利用樹脂或膠帶進行即可。接合方法可以適當地選擇適合於產品的方法。另外，在晶片接合製程中，也可以將各晶片安裝於插入物（interposer）上而實現接合。在打線接合（wire bonding）製程中，將引線框架的引線與晶片上的電極藉由金屬細線（wire）電連接（Step4）。作為金屬細線可以使用銀線或金線。打線接合可以使用球焊（ball bonding）或楔焊（wedge bonding）。

[0397]

實施由環氧樹脂等密封進行了打線接合的晶片的模塑（molding）製程（Step5）。對引線框架的引線進行電鍍處理。並且對引線進行切斷及成型加工（Step6）。藉由該電鍍處理可以防止引線生鏽，而在之後將引線安裝於印刷電路板時，可以更加確實地進行銲接。對封裝表面實施印字處理（marking）（Step7）。藉由檢驗步驟（Step8）完成電子構件（Step9）。藉由安裝有上面說明的實施方式的半導體裝置，可以提供功耗低且小型的電子構件。

[0398]

圖 28B 是完成的電子構件的透視示意圖。在圖 28B 中，作為一個例子，示出 QFP（Quad Flat Package：四面扁平封裝）。圖 28B 所示的電子構件 1500 包括引線 1501 及電路部 1503。在電路部 1503 中，例如包括上述實施方式所示的半導體裝置和記憶體裝置、其他邏輯電路。電子構件 1500 例如安裝於印刷電路板 1502。藉由組合多個這種電子構件 1500 並使其在印刷電路板 1502 上彼此電連接，可以安裝於電子裝置。完成的電路基板 1504 設置於電子裝置等的內部。例如，電子構件 1500 能夠用於儲存資料的隨機存取記憶

體、進行各種處理的處理單元如 CPU、MCU、FPGA 或無線 IC 等。藉由安裝有電子構件 1500，可以減少電子裝置的功耗。或者，可以容易實現電子裝置的小型化。

[0399]

因此，電子構件 1500 能夠用於如下各種領域的電子裝置的電子構件(IC 晶片)：數位信號處理、軟體無線電 (software-defined radio systems)、航空電子 (如通信設備、導航系統、自動駕駛系統 (autopilot systems)、飛行管理系統等與航空有關的電子裝置)、ASIC 原型 (ASIC prototyping)、醫學影像處理、語音辨識、暗號、生物資訊學 (bioinformatics)、機械裝置的仿真器及射電天文學中的電波望遠鏡等。作為這種電子裝置，可以舉出顯示裝置、個人電腦 (PC) 或具備儲存媒體的影像再現裝置 (再現儲存媒體如數位影音光碟 (DVD)、藍光光碟 (Blu-ray Disc)、快閃記憶體、HDD 等的裝置以及具有用來顯示影像的顯示部的裝置) 中。另外，作為可以使用本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資訊終端、電子書閱讀器終端、拍攝裝置 (視頻攝影機、數位相機等)、可穿戴顯示裝置 (頭戴式、護目鏡型、眼鏡型、袖章型、手鐲型、項鍊型等)、導航系統、音頻再生裝置 (汽車音響系統、數位聲訊播放機等)、影印機、傳真機、印表機、多功能印表機、自動櫃員機(ATM) 以及自動販賣機等。圖 29A 至圖 29F 示出這些電子裝置的具體例子。

[0400]

圖 29A 所示的可攜式遊戲機 2000 包括外殼 2001、外殼 2002、顯示部 2003、顯示部 2004、麥克風 2005、揚聲器 2006、操作鍵 2007 等以及觸控筆 2008 等。

[0401]

圖 29B 所示的可攜式資訊終端 2010 包括外殼 2011、外殼 2012、顯示部 2013、顯示部 2014、連接部 2015 及操作鍵 2016 等。顯示部 2013 設置在外殼 2011 中，顯示部 2014 設置在外殼 2012 中。並且，外殼 2011 與外殼 2012 藉由連接部 2015 連接，外殼 2011 與外殼 2012 所形成的角度可以藉由連接部 2015 改變。由此，也可以根據連接部 2015 所形成的外殼 2011 和外殼 2012 之間的角度切換顯示在顯示部 2013 上的影像。另外，也可以作為顯示部 2013 及/或顯示部 2014 使用設置有觸控感測器的顯示裝置。

[0402]

圖 29C 所示的膝上型個人電腦 2020 包括外殼 2021、顯示部 2022、鍵盤

2023 及指向裝置 2024 等。

[0403]

圖 29D 所示的電冷藏冷凍箱 2030 包括外殼 2031、冷藏室門 2032 及冷凍室門 2033 等。

[0404]

圖 29E 所示的視頻攝影機 2040 包括外殼 2041、外殼 2042、顯示部 2043、操作鍵 2044、透鏡 2045 以及連接部 2046 等。操作鍵 2044 及透鏡 2045 設置在外殼 2041 中，顯示部 2043 設置在外殼 2042 中。而且，外殼 2041 和外殼 2042 由連接部 2046 連接，由連接部 2046 可以改變外殼 2041 與外殼 2042 之間的角度。可以根據外殼 2042 和外殼 2041 所形成的角度而改變顯示在顯示部 2043 中的影像的方向並切換影像的顯示/非顯示等。

[0405]

圖 29F 所示的汽車 2050 包括車體 2051、車輪 2052、儀表板 2053 及燈 2054 等。

[0406]

本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合。

[0407]

實施例

在本實施例中，說明對使用 OS 電晶體的記憶體裝置的特性進行測量的結果。

[0408]

作為可能在記憶體中發生的誤差，可以舉出因輻射入射而產生的軟錯誤。軟錯誤是如下現象：從構成記憶體或封裝的材料等釋放的 α 線或從宇宙入射到大氣的一次宇宙射線與存在於大氣中的原子的原子核產生核反應而產生的二次宇宙射線中性子等照射到電晶體以生成電子電洞對，由此產生保持在記憶體中的資料反轉等的故障。在本實施例中，藉由對使用 OS 電晶體的記憶體照射輻射，對軟錯誤耐性進行評價。

[0409]

在測量中，使用具備 8192 個圖 13A 和圖 14C 所示的記憶單元 111 的 8k 位元的記憶體。在圖 13A 所示的記憶單元 111 中，電容器 523、524 的容量為 30fF，電晶體 511 至 516 是通道長度為 0.35 μ m 的 Si 電晶體，電晶體 521、

522 是通道長度為 $0.8\mu\text{m}$ 的 OS 電晶體。另外，在圖 14C 所示的記憶單元 111 中，電容器 543 的容量為 6.7fF ，電晶體 542、544 是通道長度為 $0.35\mu\text{m}$ 的 Si 電晶體，電晶體 541 是通道長度為 $0.8\mu\text{m}$ 的 OS 電晶體。另外，在各記憶單元中，作為 Si 電晶體的基板都使用 SOI 基板。

[0410]

在軟錯誤耐性的評價中，對具有上述記憶單元的 8k 位元的記憶體 1 至 3 照射輻射，測量此時的資料的保持特性。記憶體 1 是在圖 14C 所示的記憶單元 111 的節點 N7 中保持有資料的狀態下的記憶體。記憶體 2 是在圖 13A 所示的記憶單元 111 中，在具有 OS 電晶體的電路 520 的節點 N4、N5 中保持有資料的狀態下的記憶體。記憶體 3 是在圖 13A 所示的記憶單元 111 中，在對應於 SRAM 單元的電路 510 的節點 N2、N3 中保持有資料的狀態下的記憶體。對記憶體 1 至 3 的每一個測量兩個樣本（樣本 A、B）。另外，作為照射到記憶體 1 至 3 的輻射的輻射源，使用用作 α 線源的質量數為 241 的銻（Am），將輻射源與樣本之間的距離設定為 1mm。並且，藉由計算所保持的資料因輻射的照射而變動的記憶單元 111 的個數作為軟錯誤的個數，來進行測試。表 2 示出測試結果。

[0411]

[表 2]

測試 No.		1	2	3
測試條件	電源電壓	2V	最低工作電壓	最低工作電壓
	與輻射源之間的距離	1mm	1mm	1mm
	保持時間	5 分鐘	5 分鐘	20 分鐘
記憶體 1	軟錯誤的個數 (A)	0	0	-
	軟錯誤的個數 (B)	0	0	-
記憶體 2	軟錯誤的個數 (A)	0	0	0
	軟錯誤的個數 (B)	0	0	0
記憶體 3	軟錯誤的個數 (A)	0	1	5
	軟錯誤的個數 (B)	0	1	2

[
041
2]
在
三
種
條
件
下
進
行
測

試（測試 1 至 3）。在將記憶體的電源電壓設定為 2V 且被照射輻射的狀態下保持資料 5 分鐘的測試 1 中，各樣本都沒有產生軟錯誤。

[0413]

接著，將工作電壓變換為在小於 2V 下記憶體工作的最小的電壓（最低工作電壓）進行測試 2。其結果，在記憶體 3 中，在樣本 A、B 都確認到軟錯誤。就是說，在圖 13A 中的對應於 SRAM 單元的電路 510 中產生軟錯誤。另一方面，在使用 OS 電晶體保持資料的記憶體 1、2 中沒有確認到軟錯誤。

[0414]

接著，在將工作電壓保持為最低工作電壓的狀態下，將資料的保持時間延長到 20 分鐘進行測試 3。其結果，在記憶體 3 中確認到軟錯誤的個數增加。另一方面，在使用 OS 電晶體保持資料的記憶體 2 中，保持時間變長而被照射的輻射量增加也沒有確認到軟錯誤，保持正確的資料。

[0415]

從測試 1 至 3 的結果可知，圖 14C 所示的記憶單元 111 的軟錯誤耐性高。另外，在圖 13A 所示的記憶單元 111 中，藉由將儲存在對應於 SRAM 單元的電路 510 中的資料備份到包括 OS 電晶體的電路 520，可以抑制軟錯誤的產生。就是說，藉由在 SRAM 單元中進行使用 OS 電晶體的備份，可以提高軟錯誤耐性。

[0416]

如上所述，藉由使用 OS 電晶體構成記憶單元，可以構成軟錯誤耐性高且可靠性高的記憶體裝置。

【符號說明】

[0417]

- 10 半導體裝置
- 20 巨集
- 30 子陣列
- 40 存儲塊
- 61 層
- 62 佈線層
- 63 層
- 71 電晶體
- 72 電晶體
- 73 電容器
- 110 單元陣列
- 111 記憶單元

-
- 112 電晶體
 - 113 電容器
 - 120 驅動電路
 - 122 絕緣膜
 - 130 驅動電路
 - 210 電路
 - 211 邏輯電路
 - 221 電晶體
 - 222 電晶體
 - 231 電晶體
 - 232 電晶體
 - 233 反相器
 - 234 AND 電路
 - 235 NAND 電路
 - 236 反相器
 - 237 AND 電路
 - 238 NAND 電路
 - 239 反相器
 - 241 電晶體
 - 242 電晶體
 - 251 電晶體
 - 252 電晶體
 - 253 電晶體
 - 254 電晶體
 - 310 邏輯電路
 - 311 邏輯電路
 - 321 電晶體
 - 322 電晶體
 - 323 電晶體
 - 324 電晶體
 - 331 電晶體
 - 332 電晶體
 - 341 電晶體

- 342 電晶體
- 400 電路
- 510 電路
- 511 電晶體
- 512 電晶體
- 513 電晶體
- 514 電晶體
- 515 電晶體
- 516 電晶體
- 520 電路
- 521 電晶體
- 522 電晶體
- 523 電容器
- 524 電容器
- 531 電晶體
- 532 電容器
- 541 電晶體
- 542 電晶體
- 543 電容器
- 544 電晶體
- 610 記憶單元陣列
- 620 週邊電路
- 630 控制邏輯電路
- 640 行驅動器
- 641 行解碼器
- 642 讀出字線驅動器
- 643 寫入字線驅動器
- 650 列驅動器
- 651 源極驅動器
- 652 寫入驅動器
- 653 輸出多工器
- 654 感測放大器
- 655 預充電電路

- 660 輸出驅動器
- 661 列解碼器
- 670 預解碼器
- 700 基板
- 701 元件隔離區域
- 702 雜質區域
- 703 雜質區域
- 704 通道形成區域
- 705 絕緣膜
- 706 閘極電極
- 711 絕緣膜
- 712 導電膜
- 713 導電膜
- 714 導電膜
- 716 導電膜
- 717 導電膜
- 718 導電膜
- 720 絕緣膜
- 721 絕緣膜
- 722 絕緣膜
- 730 半導體膜
- 730a 氧化物半導體膜
- 730b 氧化物半導體膜
- 730c 氧化物半導體膜
- 731 閘極絕緣膜
- 732 導電膜
- 733 導電膜
- 734 閘極電極
- 740 絕緣膜
- 741 導電膜
- 751 導電層
- 761 導電層
- 762 導電層

771 導電層
772 導電層
773 導電層
774 導電層
775 絕緣層
776 導電層
781 導電層
782 導電層
783 導電層
784 導電層
785 導電層
901 電晶體
902 電晶體
903 電晶體
904 電晶體
910 基板
911 絕緣層
912 絕緣層
913 絕緣層
914 絕緣層
915 絕緣層
916 絕緣層
920 半導體區域
921 半導體層
922 半導體層
923 半導體層
930 導電層
931 導電層
932 導電層
933 導電層
935 導電層
936 導電層
1000 CPU

- 1001 CPU 核
- 1002 功率控制器
- 1003 功率開關
- 1004 快取
- 1005 匯流排介面
- 1006 除錯介面
- 1007 控制裝置
- 1008 PC
- 1009 管線暫存器
- 1010 管線暫存器
- 1011 ALU
- 1012 暫存器檔案
- 1021 PMU
- 1022 週邊電路
- 1023 資料匯流排
- 1500 電子構件
- 1501 引線
- 1502 印刷電路板
- 1503 電路部
- 1504 電路基板
- 2000 可攜式遊戲機
- 2001 外殼
- 2002 外殼
- 2003 顯示部
- 2004 顯示部
- 2005 麥克風
- 2006 揚聲器
- 2007 操作鍵
- 2008 觸控筆
- 2010 可攜式資訊終端
- 2011 外殼
- 2012 外殼
- 2013 顯示部

- 2014 顯示部
- 2015 連接部
- 2016 操作鍵
- 2021 外殼
- 2022 顯示部
- 2023 鍵盤
- 2024 指向裝置
- 2030 電冷藏冷凍箱
- 2031 外殼
- 2032 冷藏室門
- 2033 冷凍室門
- 2040 視頻攝影機
- 2041 外殼
- 2042 外殼
- 2043 顯示部
- 2044 操作鍵
- 2045 透鏡
- 2046 連接部
- 2050 汽車
- 2051 車體
- 2052 車輪
- 2053 儀表板
- 2054 燈

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種半導體裝置，包括：

第一選擇電路；以及

第一記憶體電路及第二記憶體電路，各包括：

多個第三記憶體電路；以及

與該多個第三記憶體電路電連接的第二選擇電路，

其中，該第一選擇電路與該第一記憶體電路及該第二記憶體電路電連接，

在第一模式，該第一選擇電路根據第一位址信號選擇該第一記憶體電路和該第二記憶體電路中的一個，

在該第一模式，該第二選擇電路根據該第一位址信號從根據該第一位址信號選擇的該第一記憶體電路和該第二記憶體電路中的該一個的該多個第三記憶體電路選擇特定的第三記憶體電路，

在該第一模式，該半導體裝置停止對根據該第一位址信號沒有被選擇的該第一記憶體電路和該第二記憶體電路中的另一個供應電力，且停止對根據該第一位址信號沒有被選擇的該多個第三記憶體電路的每一個供應電力，

在第二模式，該第一選擇電路根據第二位址信號選擇該第一記憶體電路和該第二記憶體電路中的一個，

並且，在該第二模式，該半導體裝置停止對根據該第二位址信號沒有被選擇的該第一記憶體電路和該第二記憶體電路中的另一個供應電力，且不停止對根據該第二位址信號被選擇的該第一記憶體電路和該第二記憶體電路中的該一個的該多個第三記憶體電路供應電力。

2. 一種半導體裝置，包括：

第一選擇電路；以及

多個第一記憶體電路，各包括：

多個第二記憶體電路；以及

與該多個第二記憶體電路電連接的第二選擇電路，

其中，該第一選擇電路與該多個第一記憶體電路電連接，

該第一選擇電路根據位址信號從該多個第一記憶體電路選擇特定的第一記憶體電路，

該第二選擇電路根據該位址信號從該多個第二記憶體電路選擇特定的

第二記憶體電路，

該半導體裝置停止對沒有被該第一選擇電路選擇的該多個第一記憶體電路的每一個中的驅動電路供應電力，且停止對沒有被該第二選擇電路選擇的該多個第二記憶體電路的每一個中的驅動電路供應電力，

並且，該半導體裝置改變電源閘控的空間粒度。

3. 根據申請專利範圍第2項之半導體裝置，還包括位於該第一記憶體電路的驅動電路與用來供應電源電位的佈線之間的開關，

其中藉由使該開關成為關閉狀態停止對該第一記憶體電路的驅動電路供應電力。

4. 根據申請專利範圍第1項之半導體裝置，

其中該多個第三記憶體電路都包括驅動電路和單元陣列，

該單元陣列包括第一記憶單元和第二記憶單元，

該驅動電路包括第一邏輯電路和第二邏輯電路，

該第一邏輯電路藉由第一佈線與該第一記憶單元電連接，

該第二邏輯電路藉由第二佈線與該第二記憶單元電連接，

並且該半導體裝置在該第一記憶單元被選擇的期間中停止對該第二邏輯電路供應電力。

5. 一種半導體裝置，包括：

用來供應電源電位的佈線；

都包括具有第一記憶單元和第二記憶單元的單元陣列的多個記憶體電路；

位於該用來供應電源電位的佈線與該多個記憶體電路之間的開關；以

及

位於該用來供應電源電位的佈線與該多個記憶體電路之間的選擇電

路，

其中，該選擇電路從該多個記憶體電路選擇特定的記憶體電路，

並且，與該特定的記憶體電路之外的該多個記憶體電路的每一個連接的開關成為關閉狀態，

該第一記憶單元和該第二記憶單元都包括電晶體和電容器，

該電晶體的源極和汲極中的一個與該電容器電連接，

該電晶體的通道形成區域包含氧化物半導體，

並且該電晶體包括第一閘極和第二閘極。

6. 根據申請專利範圍第5項之半導體裝置，

其中該多個記憶體電路都包括驅動電路，
該驅動電路包括第一邏輯電路和第二邏輯電路，
該第一邏輯電路藉由第一佈線與該第一記憶單元電連接，
該第二邏輯電路藉由第二佈線與該第二記憶單元電連接，
並且該半導體裝置在該第一記憶單元被選擇的期間中停止對該第二邏輯電路供應電力。

7. 一種包括具有申請專利範圍第1、2及5項中任一項之半導體裝置的快速存取記憶體的中央處理裝置。

8. 一種電子裝置，包括：

申請專利範圍第1、2及5項中任一項之半導體裝置；以及
顯示部、麥克風、揚聲器或操作鍵。

9. 根據申請專利範圍第5項之半導體裝置，

其中該第一閘極與該第二閘極連接。

10. 根據申請專利範圍第1項之半導體裝置，

其中該多個第三記憶體電路都包括記憶單元，

該記憶單元包括電晶體和與該電晶體的源極和汲極中的一個電連接的電容器，

並且，該電晶體的通道形成區域包含氧化物半導體。

11. 根據申請專利範圍第10項之半導體裝置，

其中，該電晶體包括第一閘極和第二閘極。

圖式

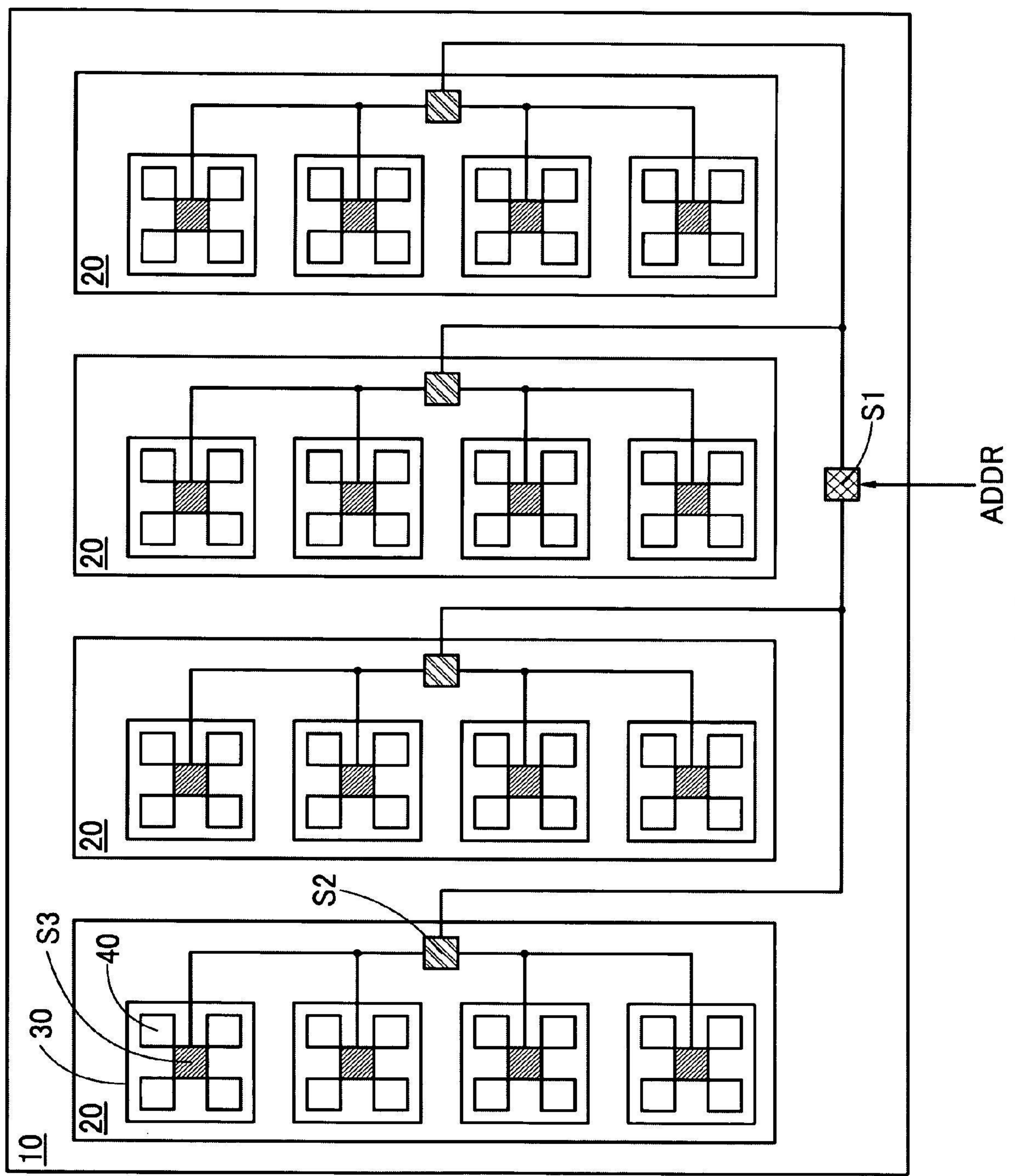
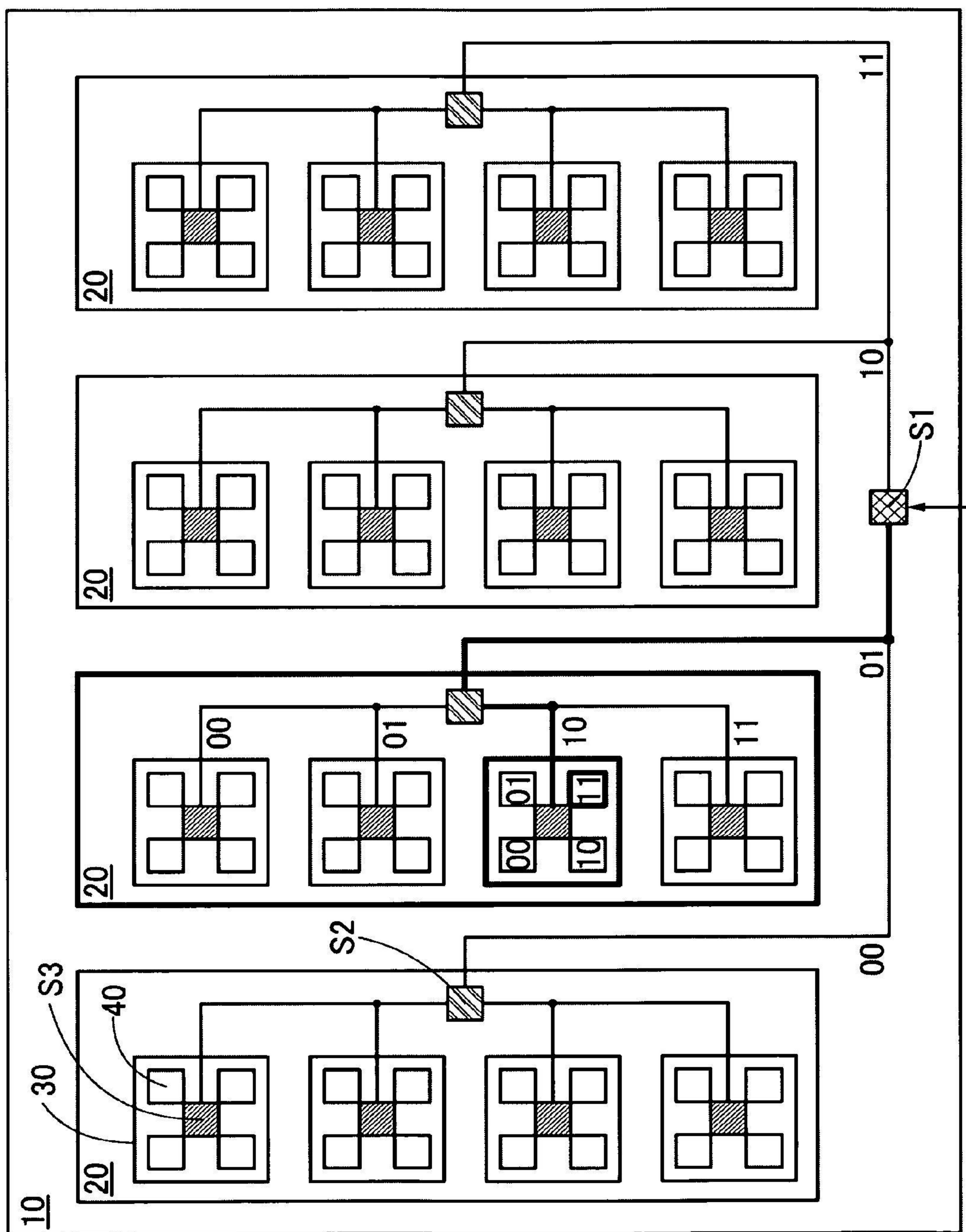


圖 1



ADDR
"011011"

圖 2



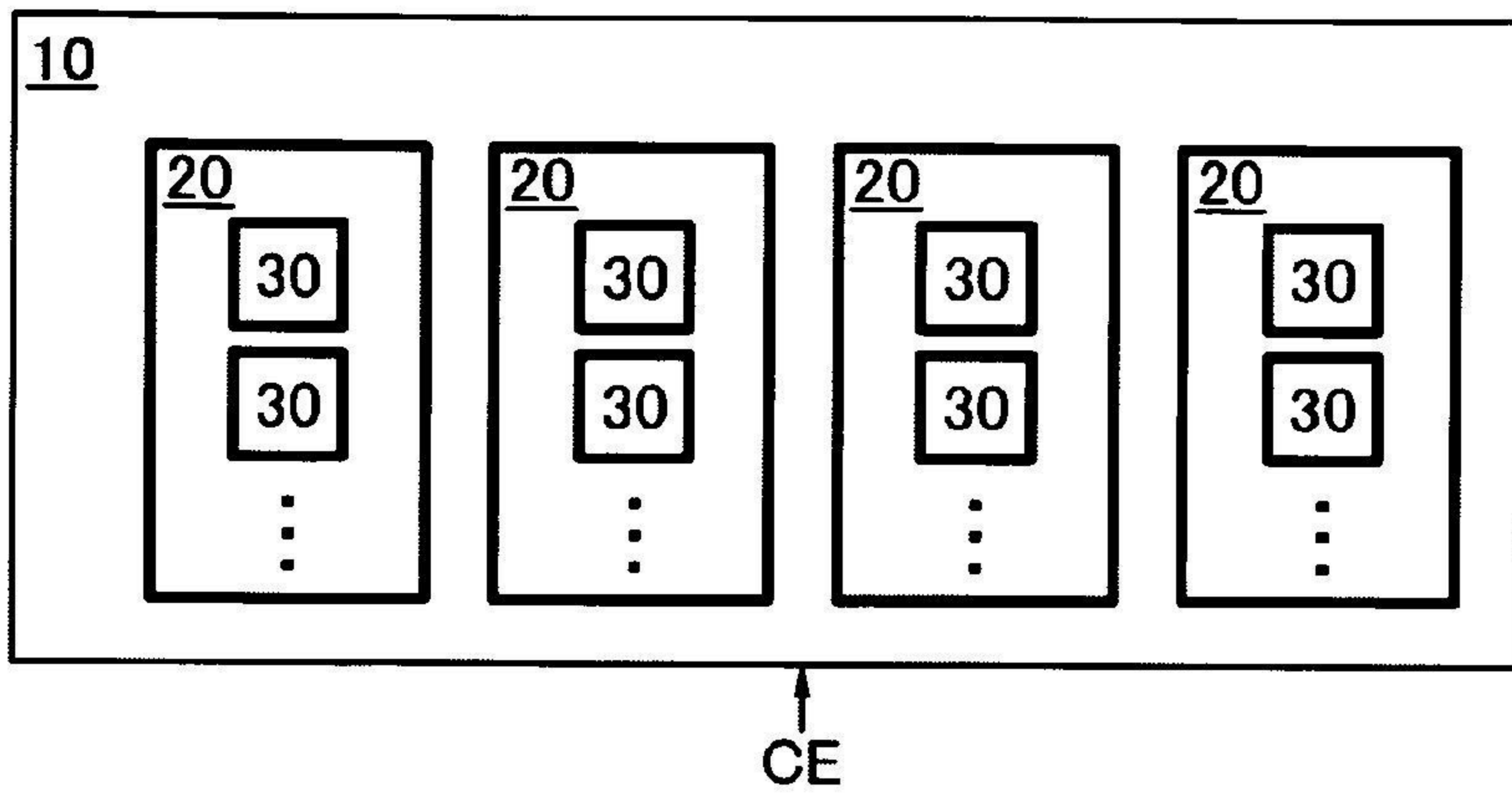


圖 3A

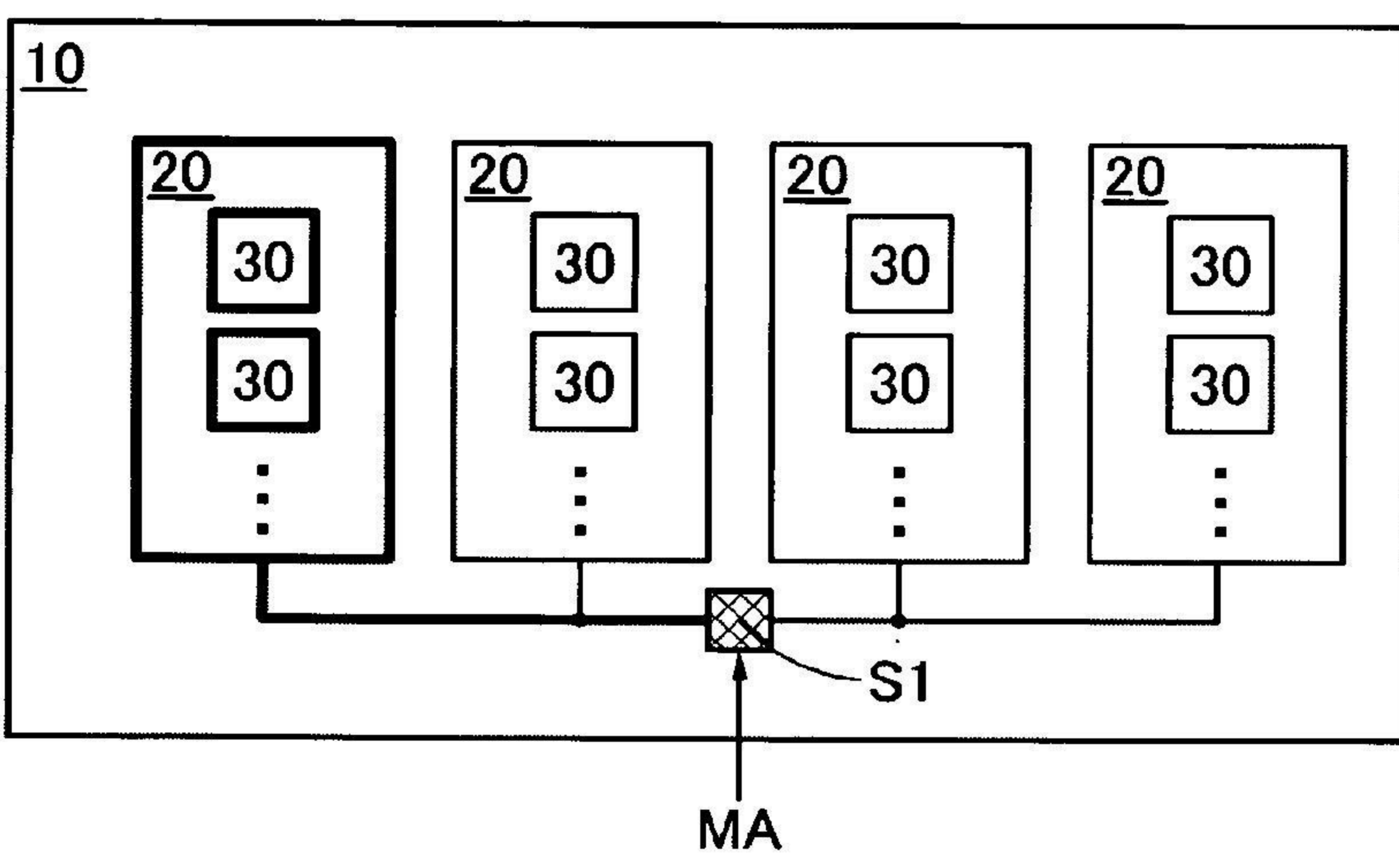


圖 3B

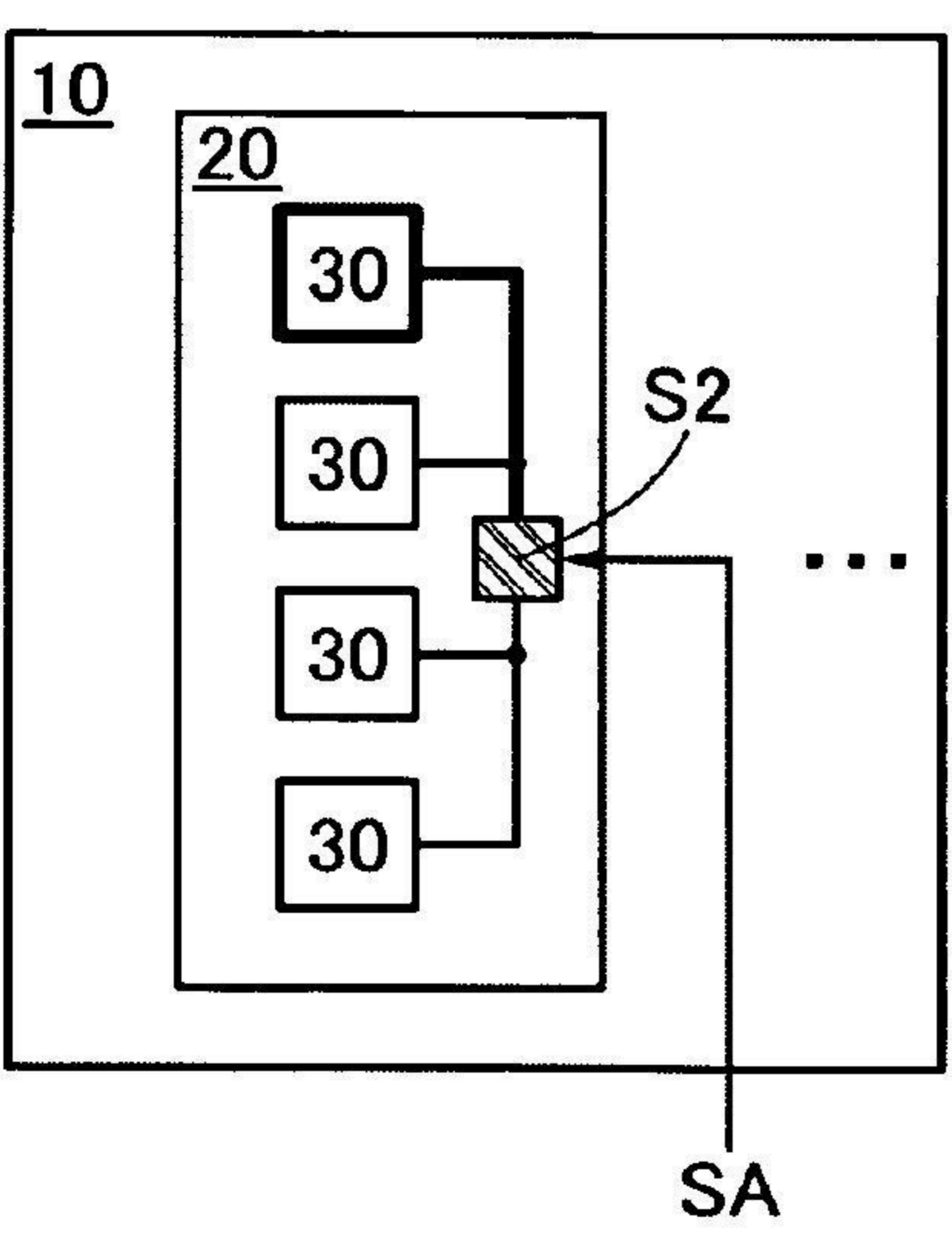


圖 3C

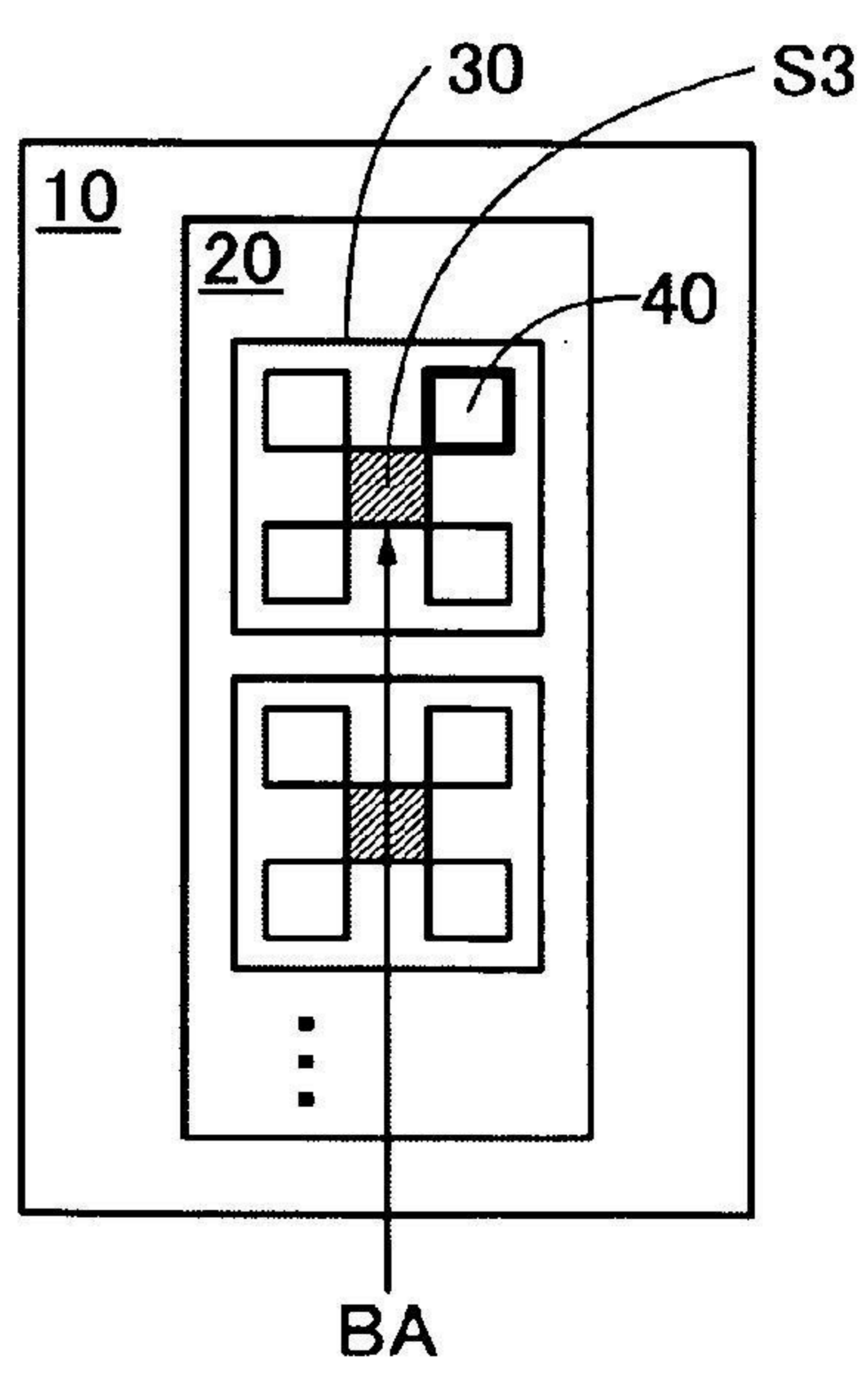


圖 3D

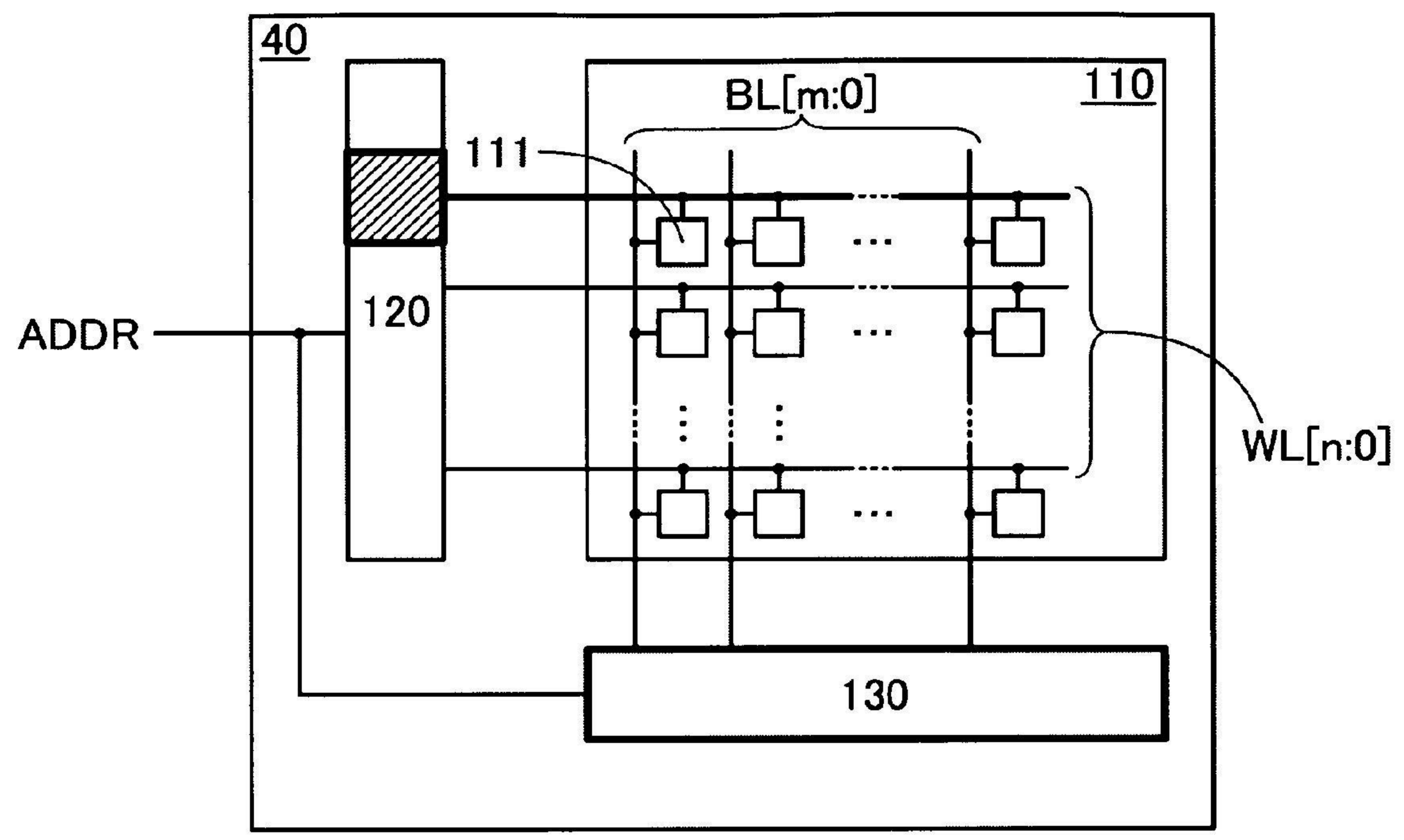


圖 4A

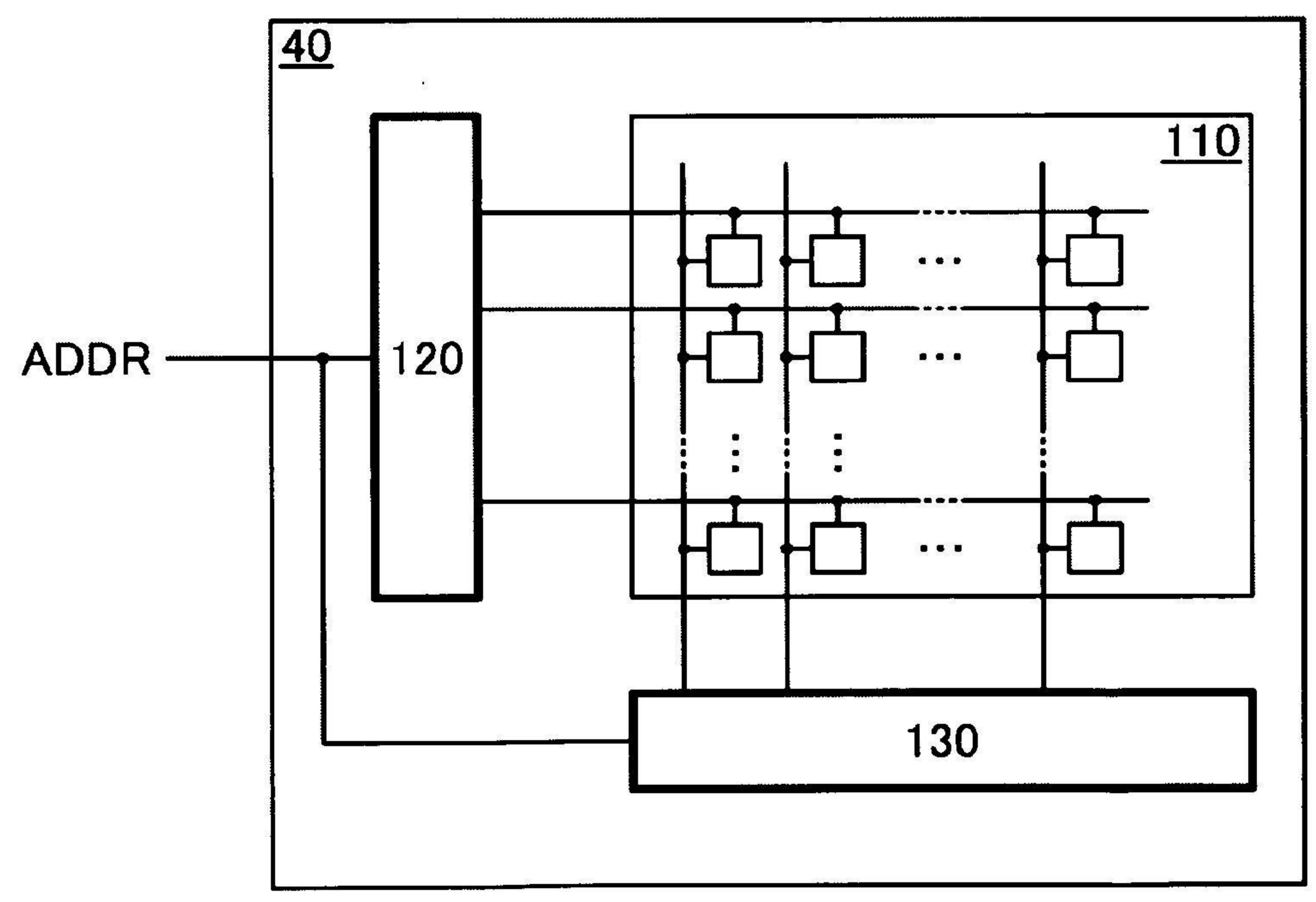


圖 4B



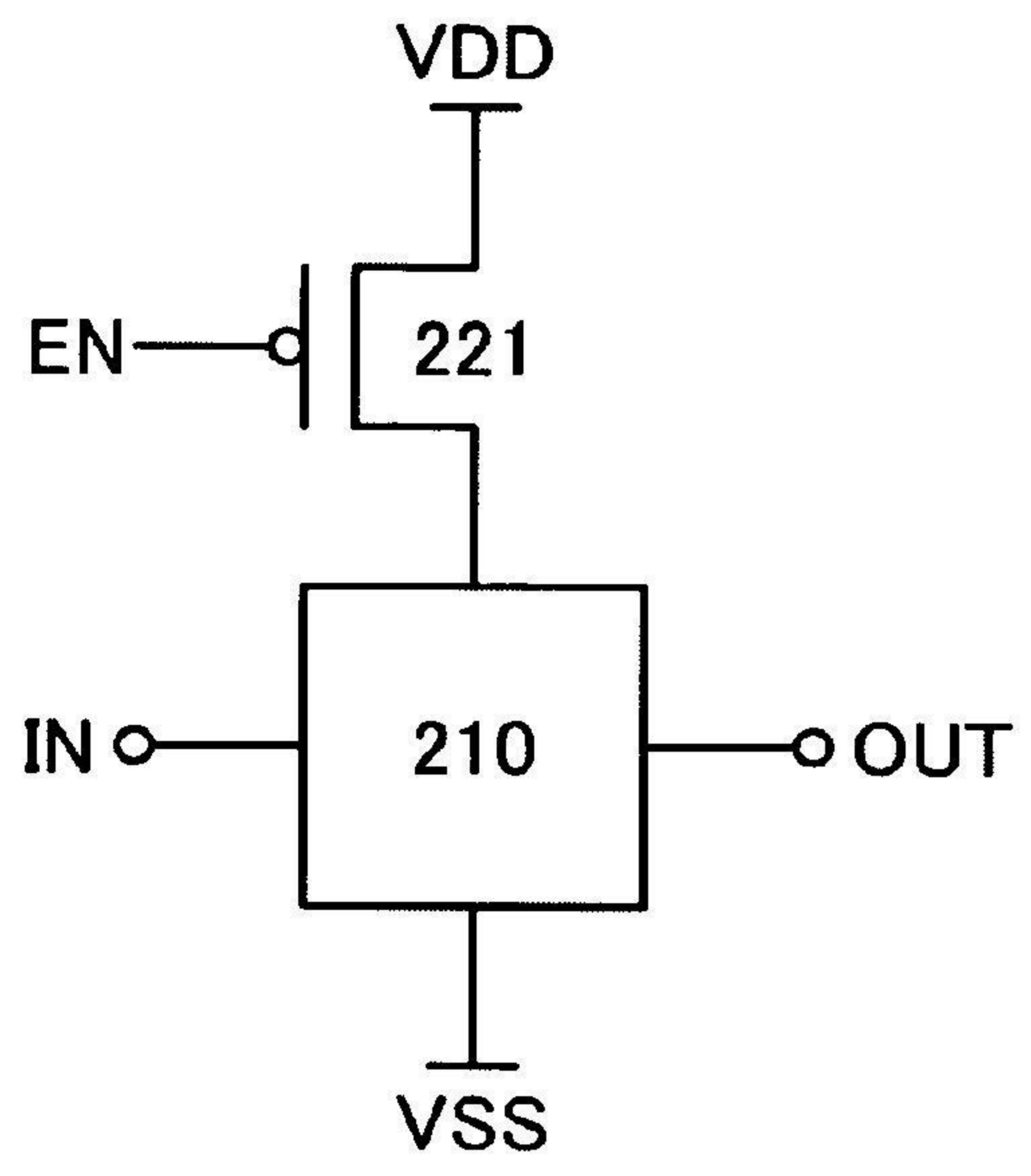


圖 5A

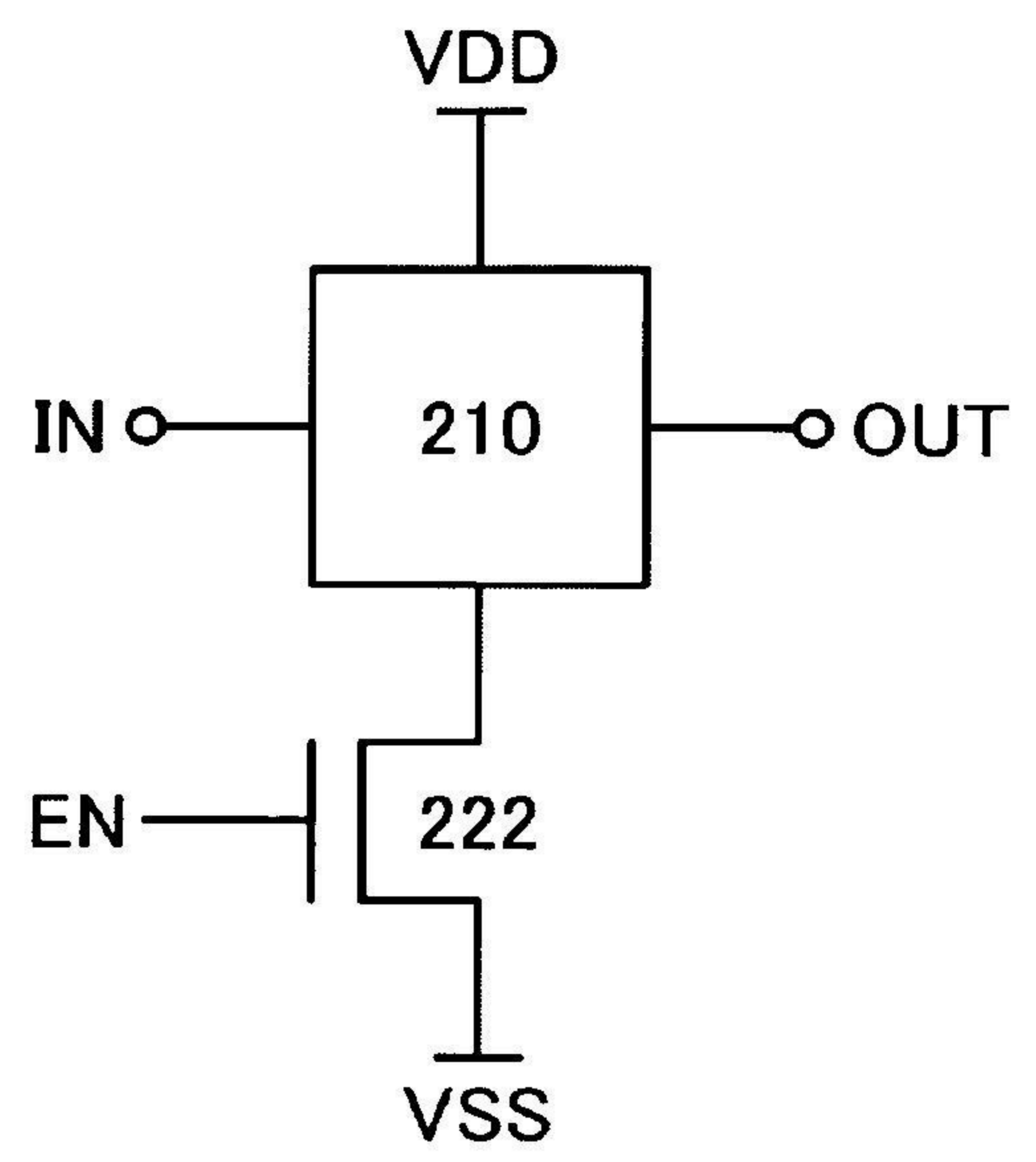


圖 5B

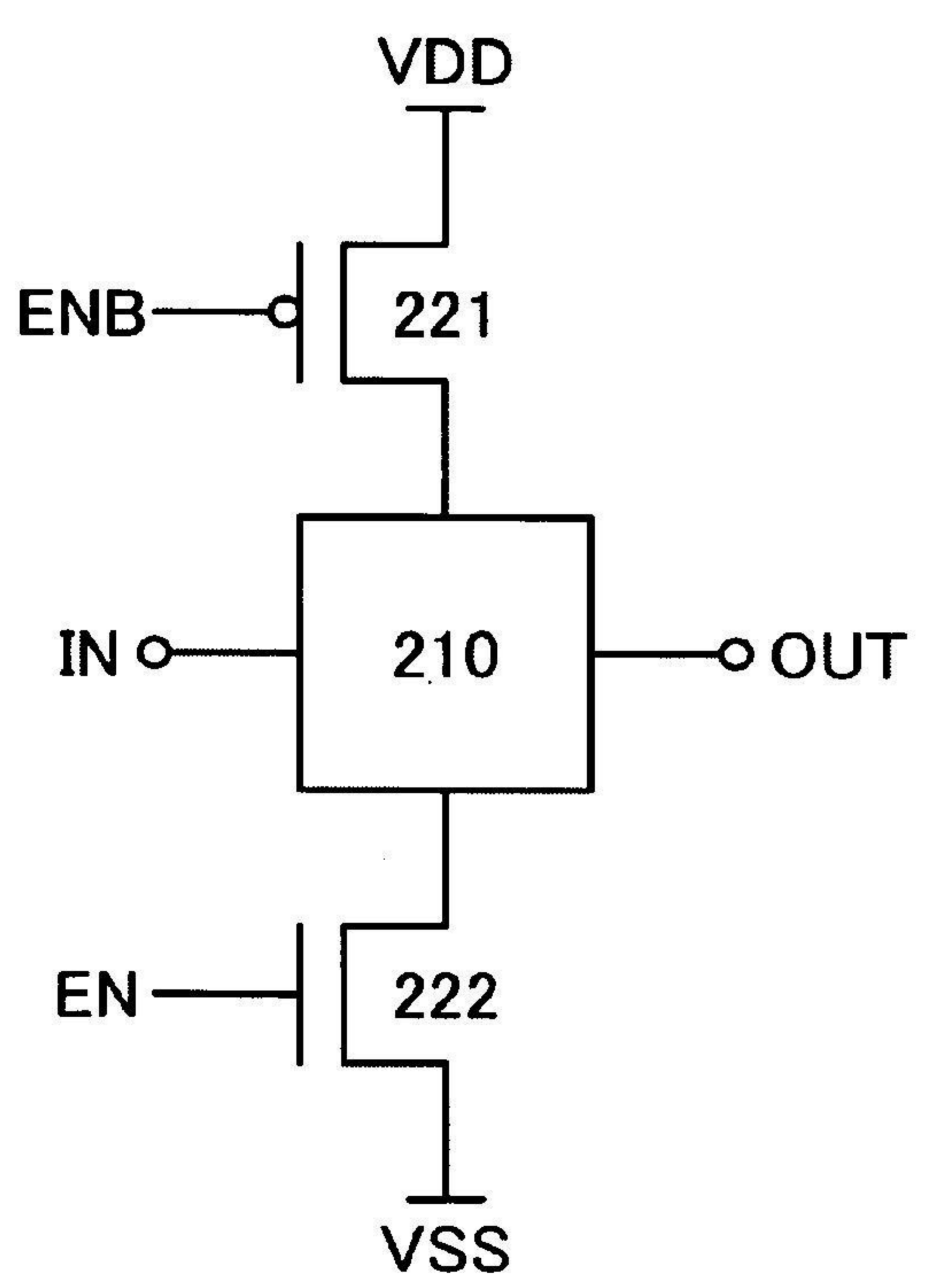


圖 5C

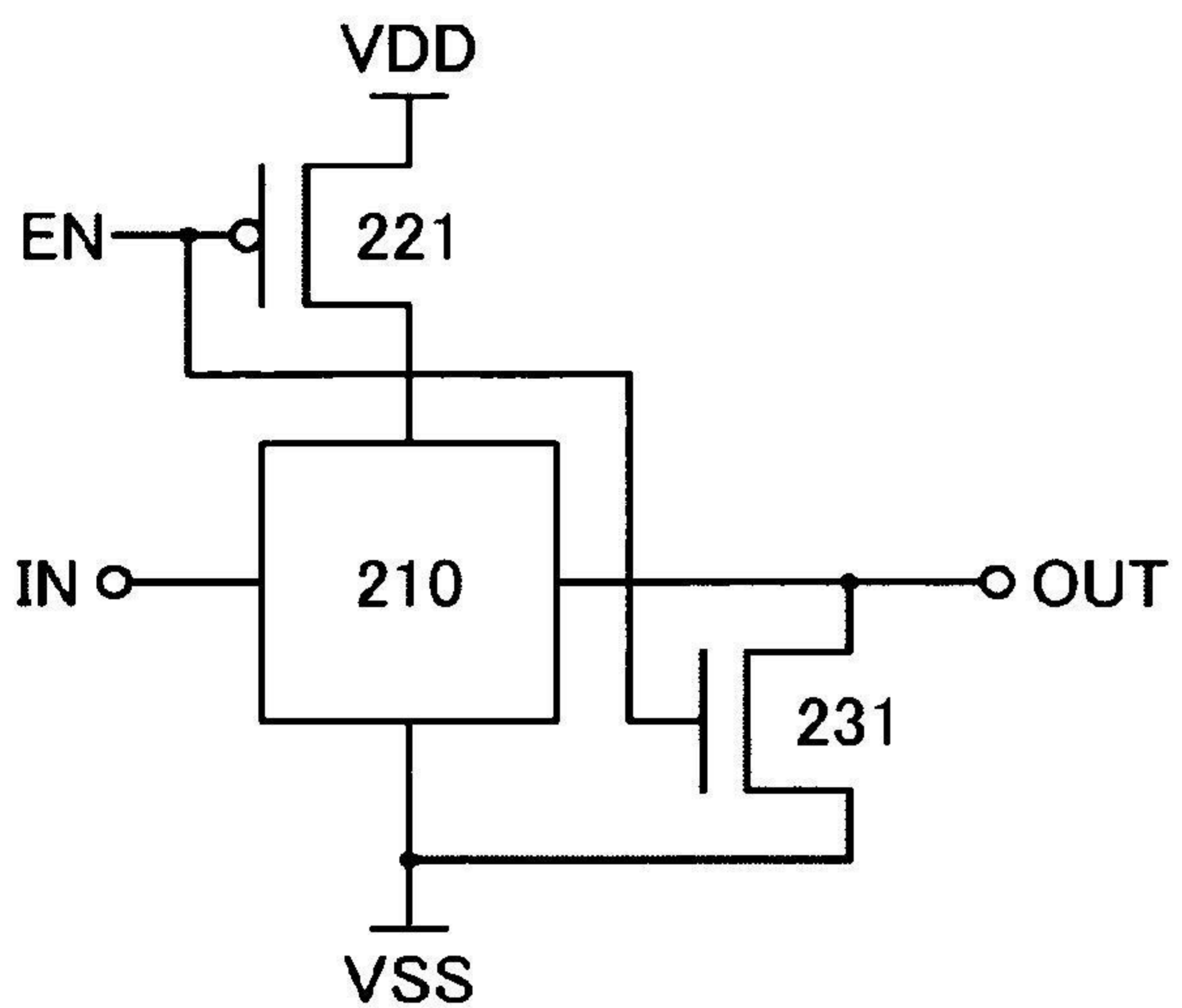


圖 6A

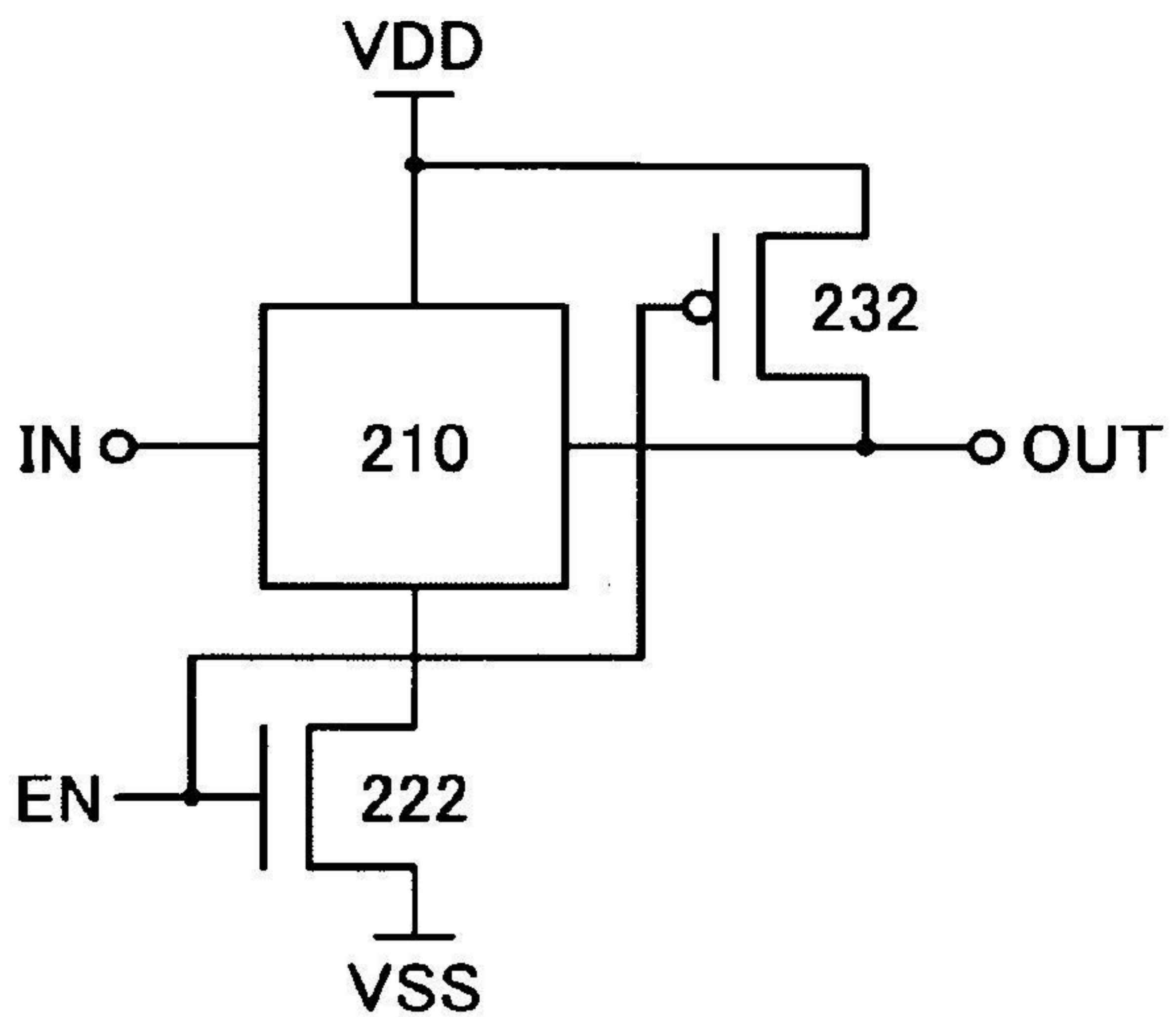


圖 6B

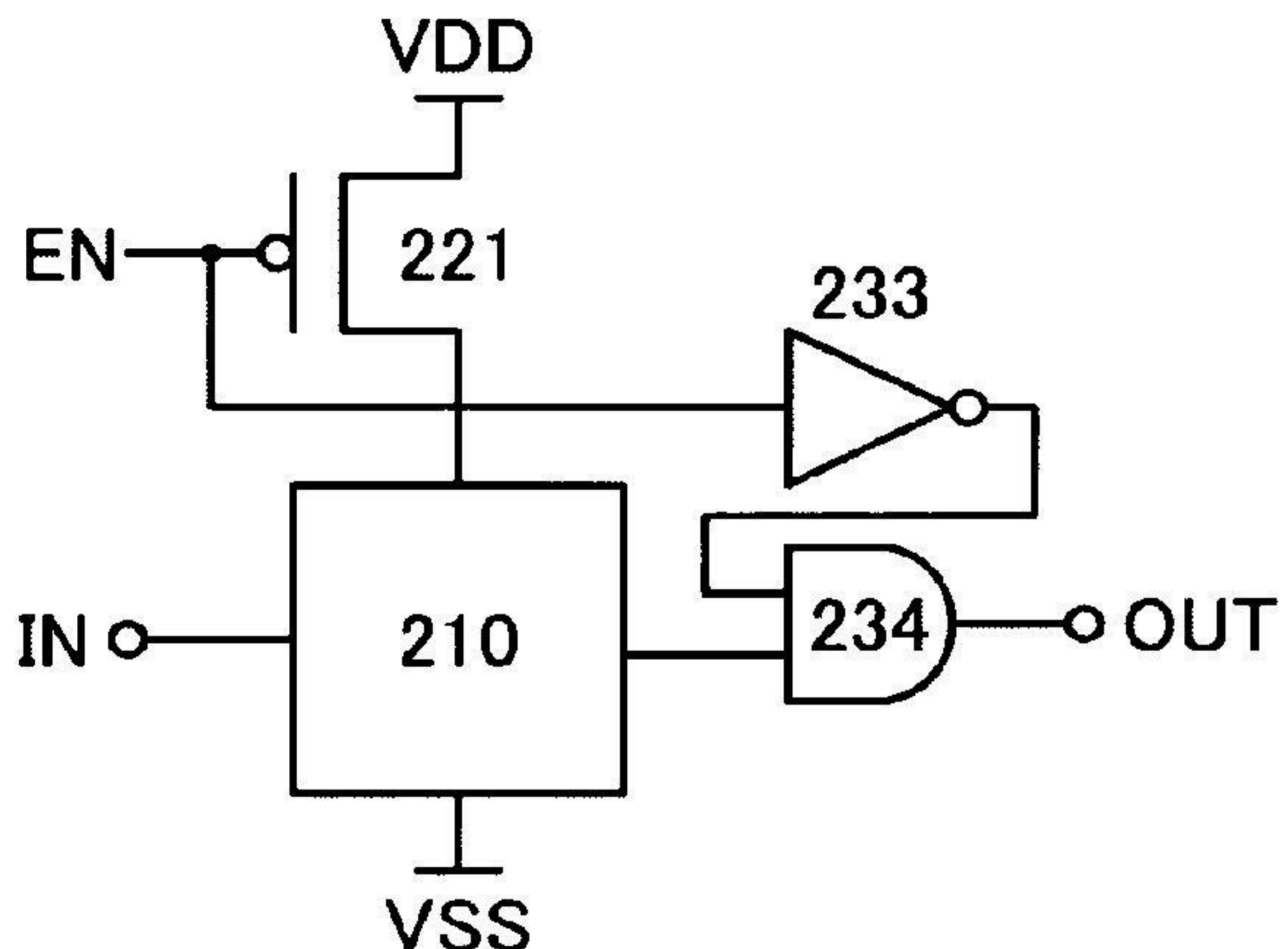


圖 6C

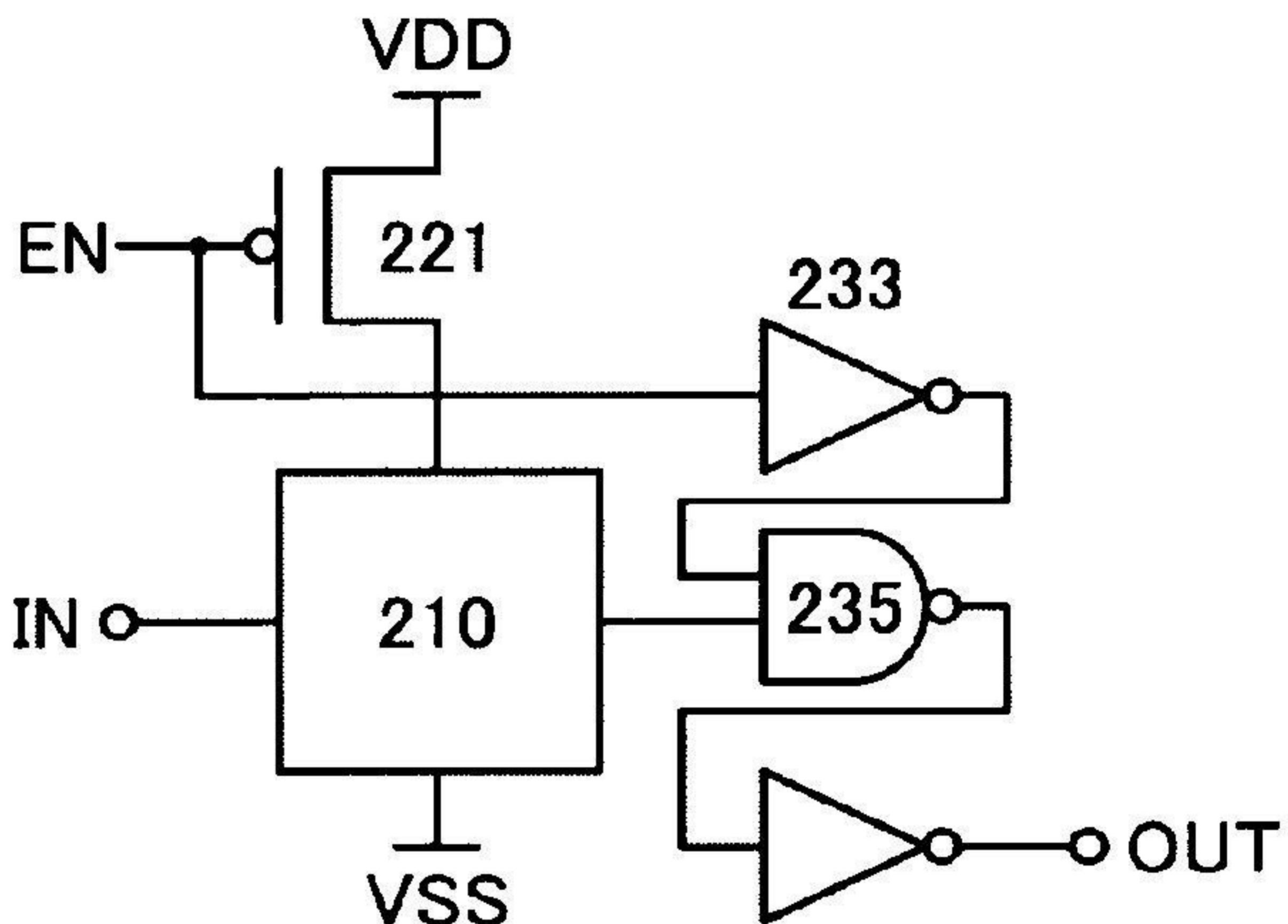


圖 6D

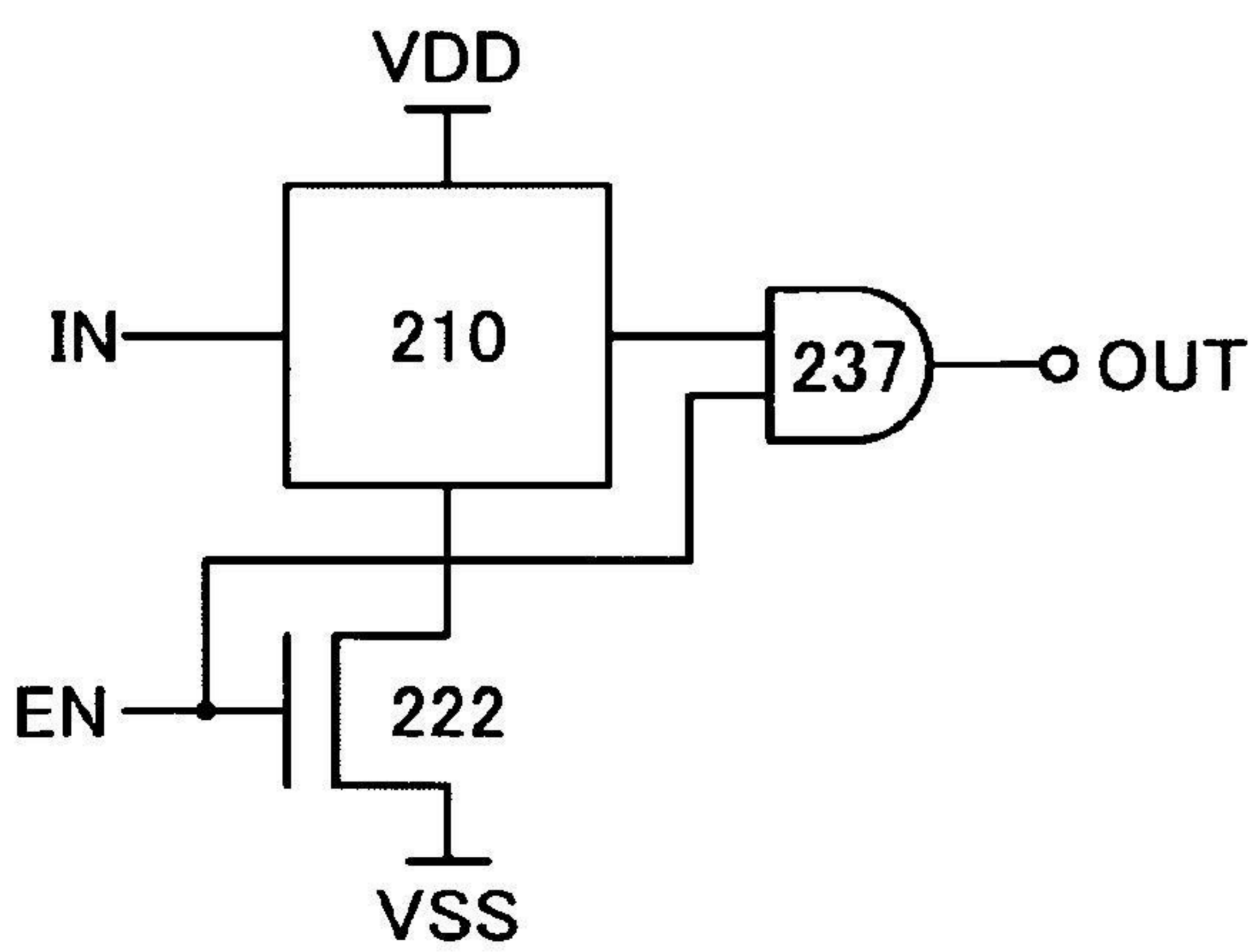


圖 6E

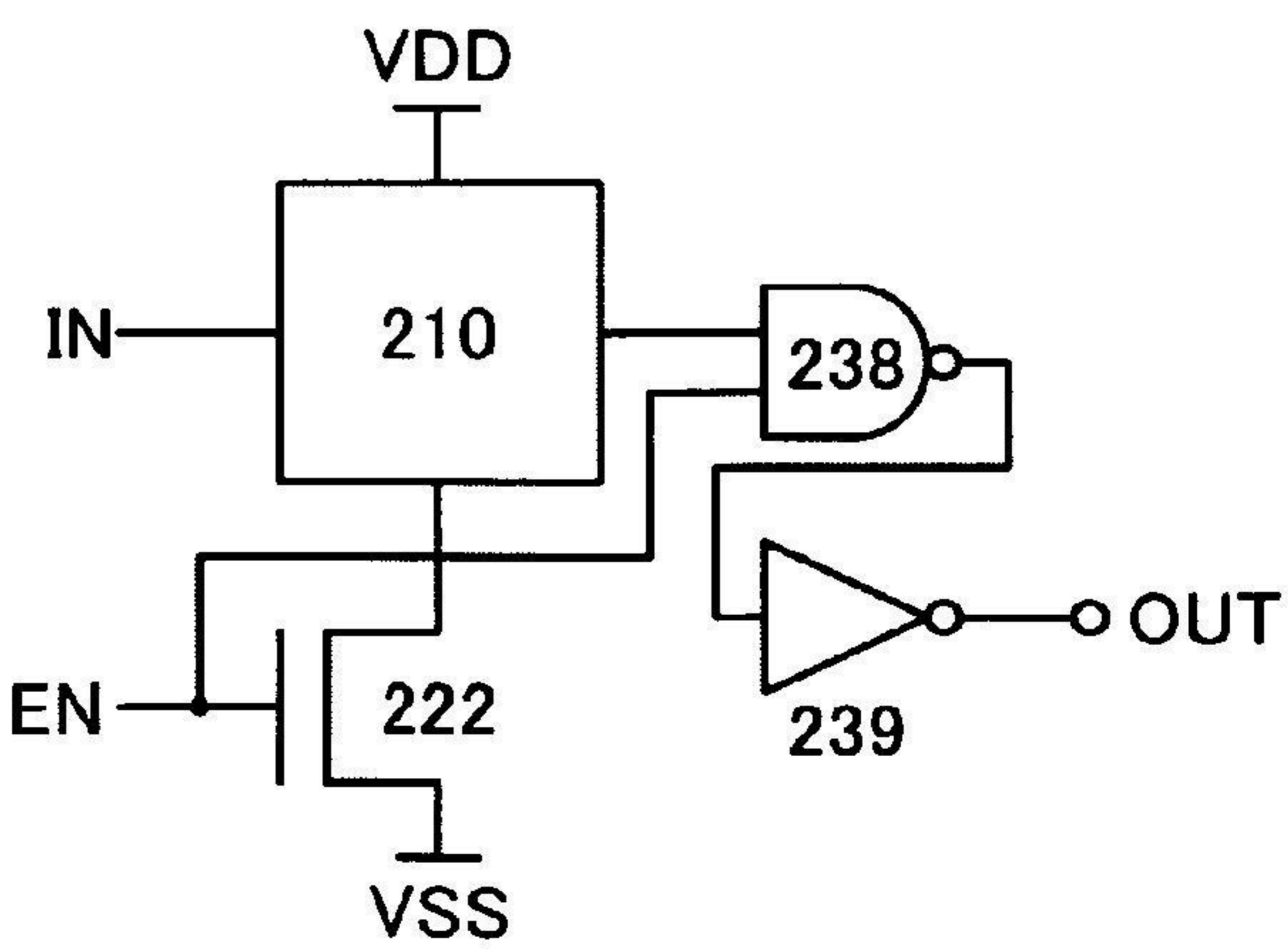


圖 6F



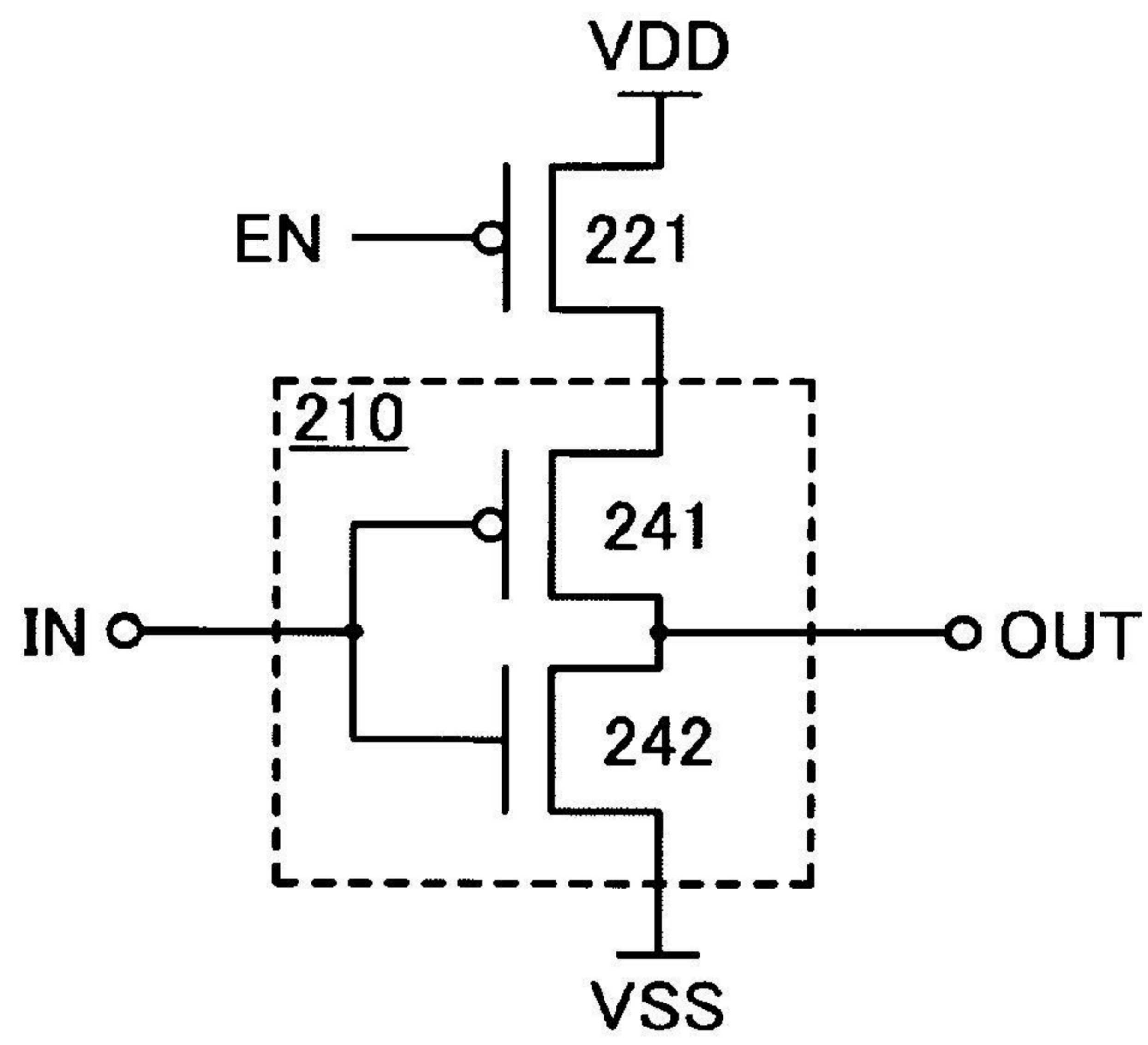


圖 7A

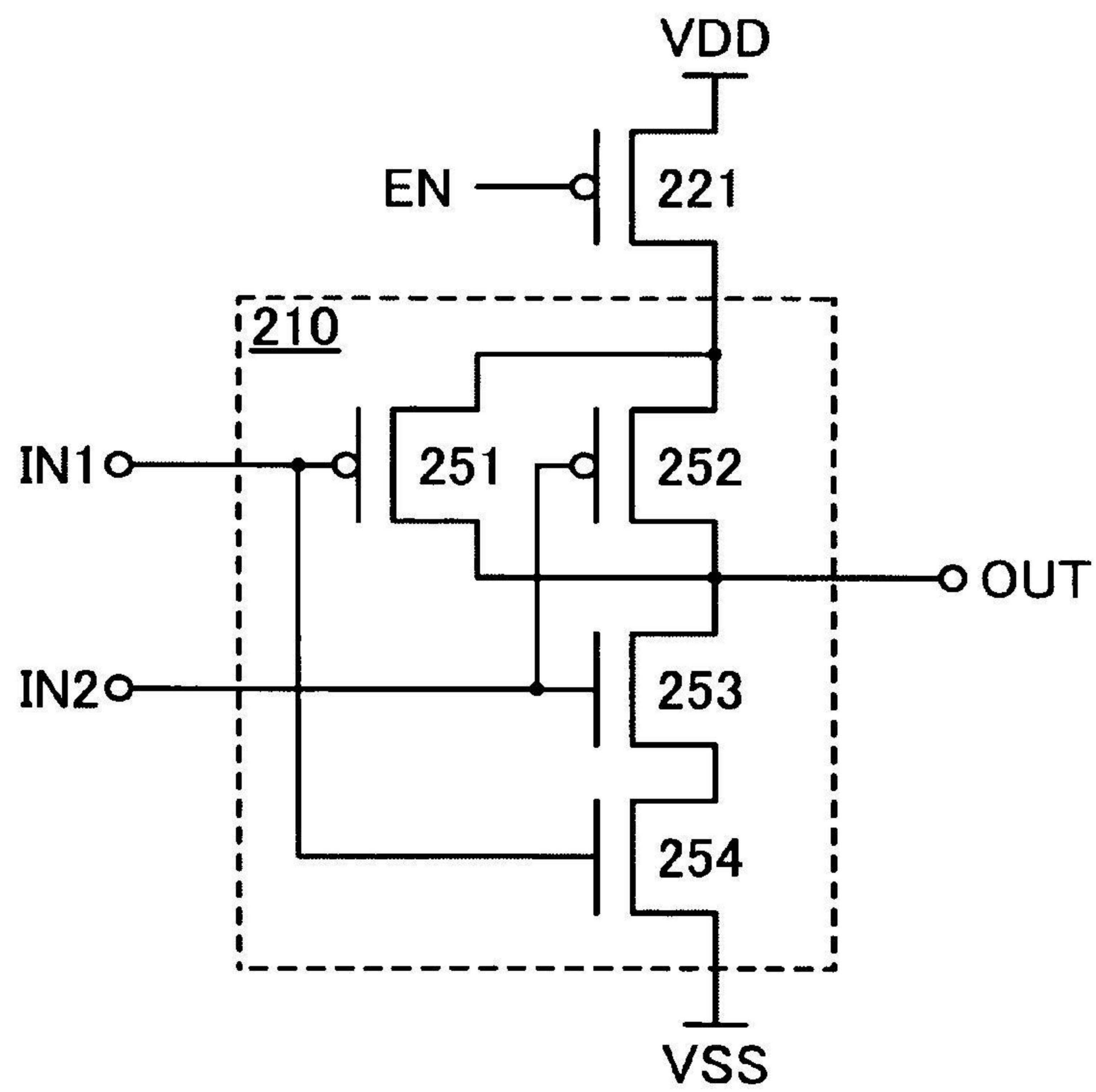


圖 7B

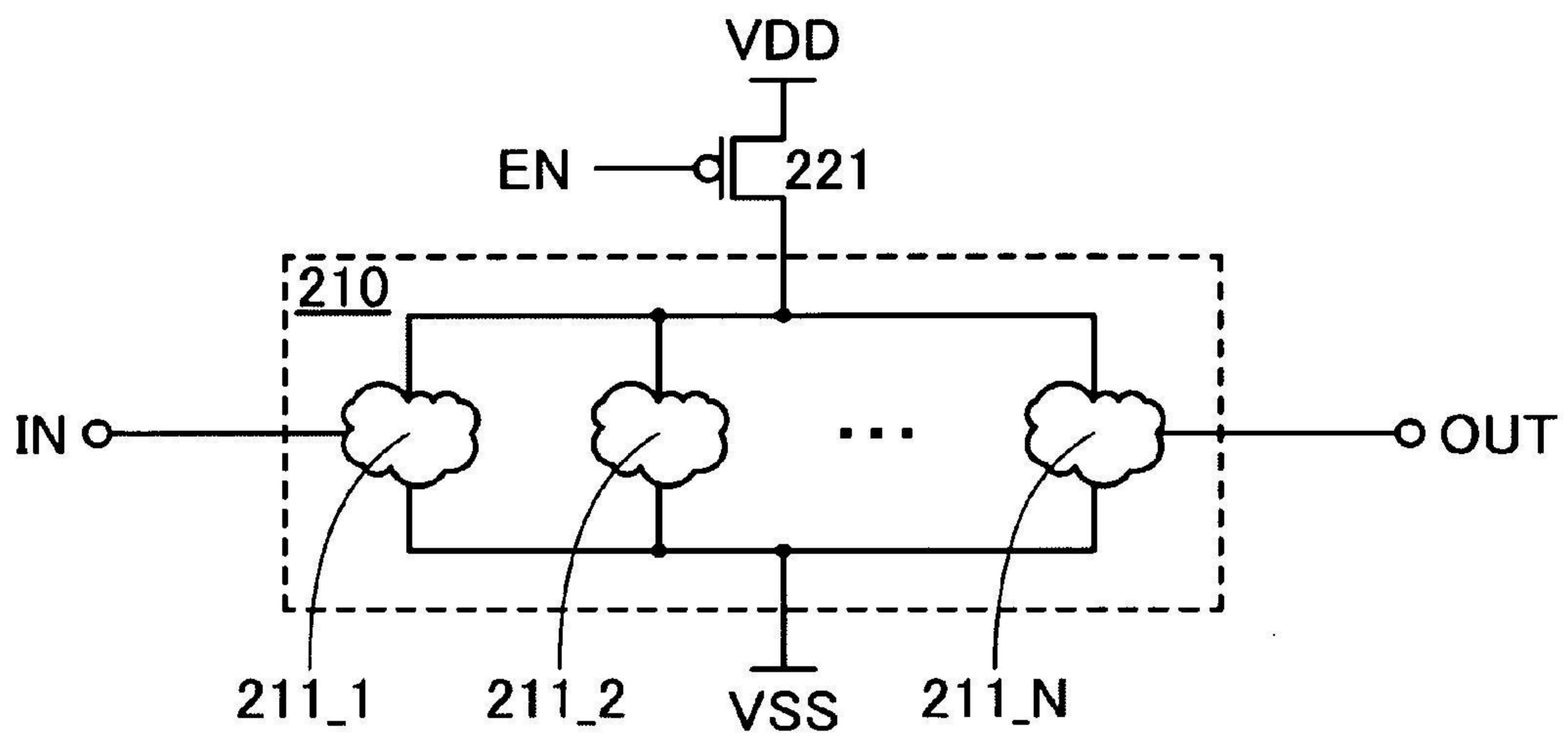


圖 8A

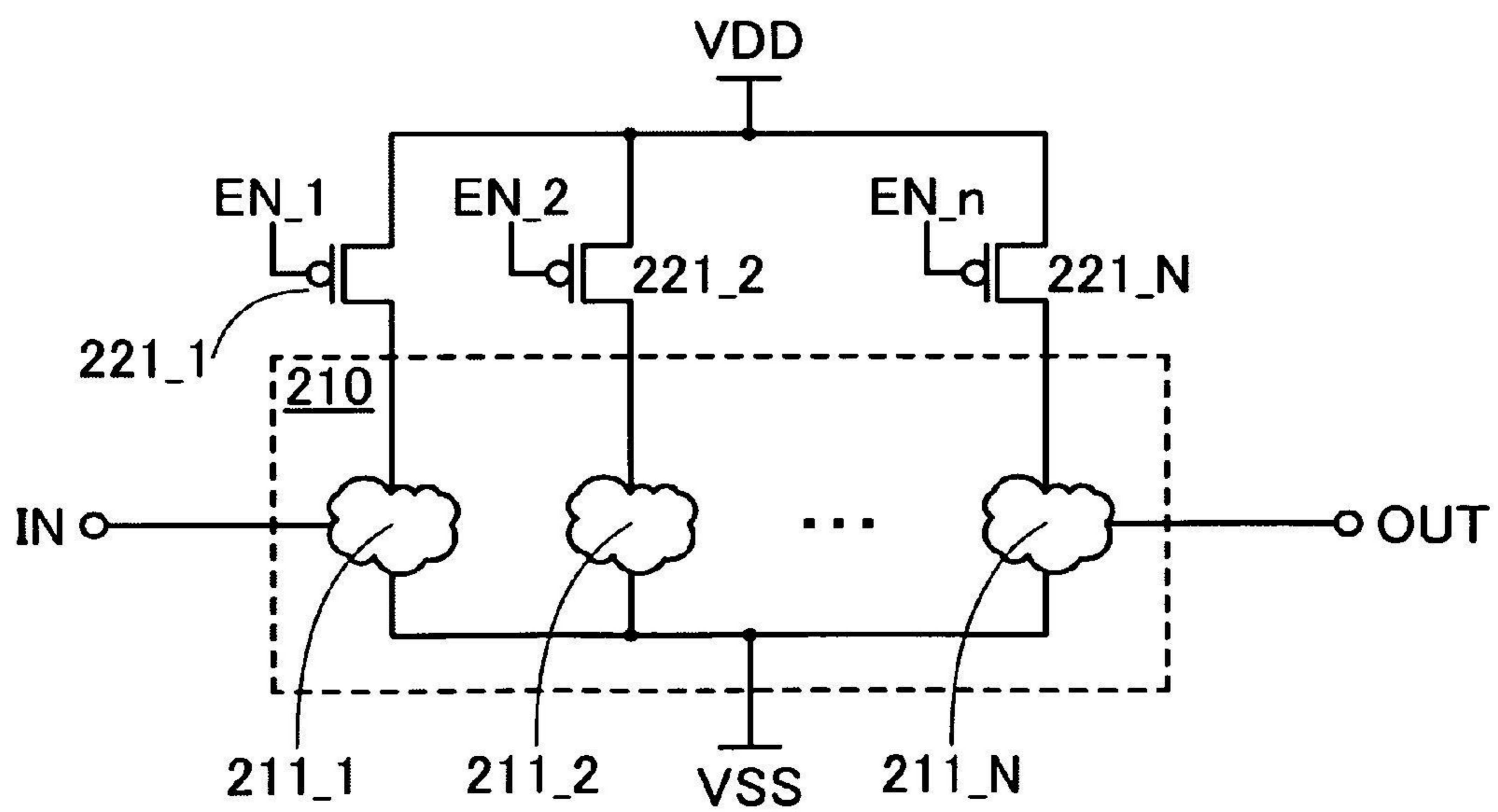


圖 8B

120

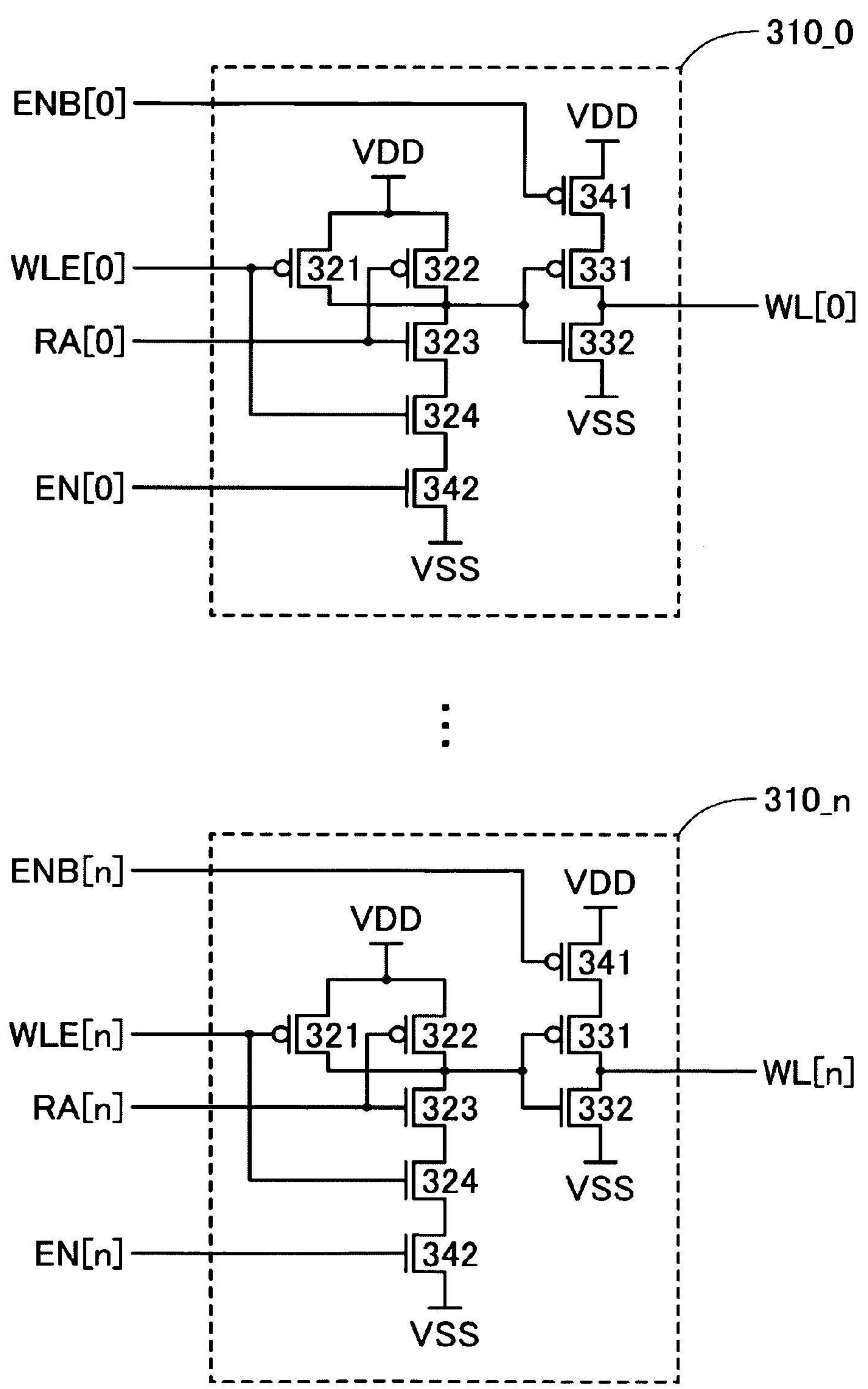


圖 9

120

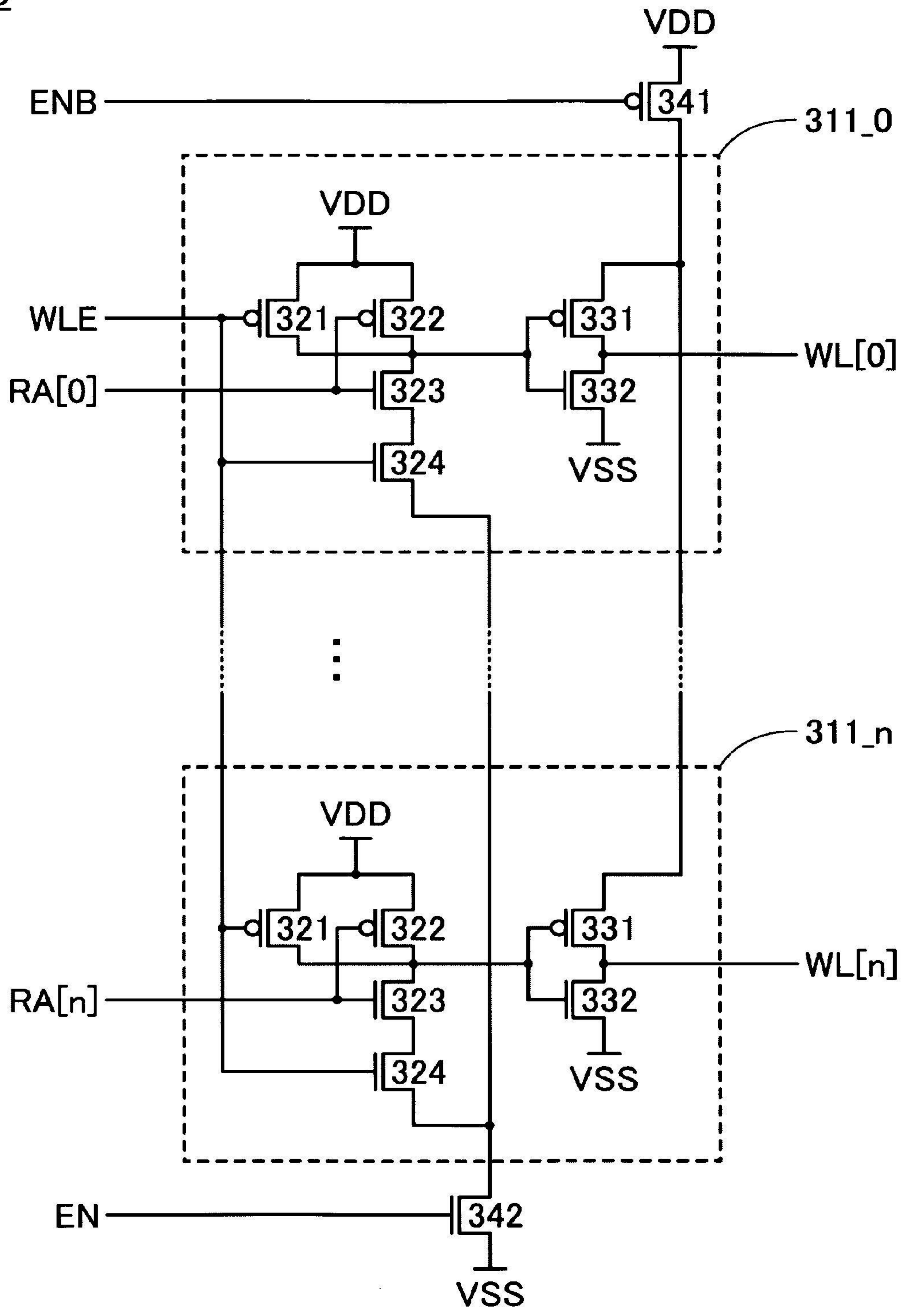


圖 10



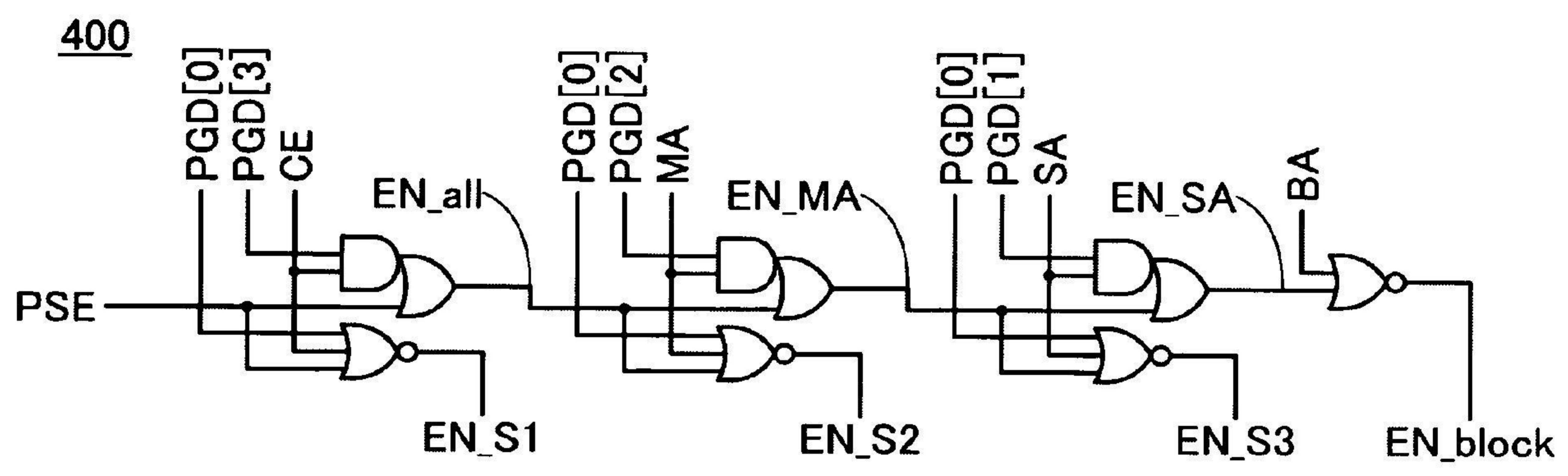


圖 11A

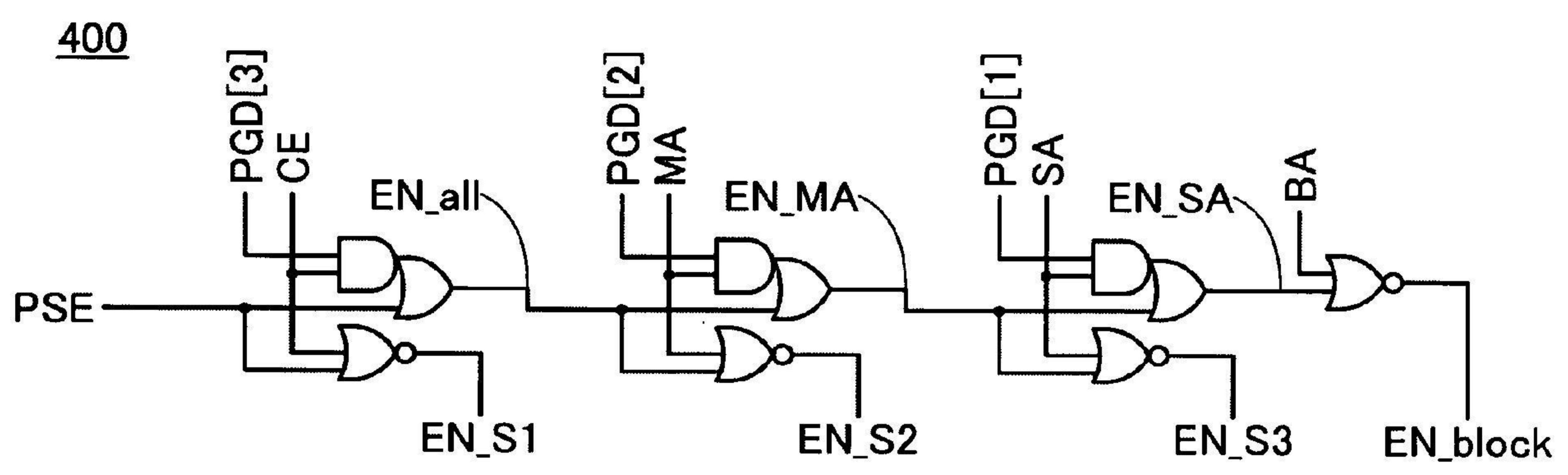


圖 11B

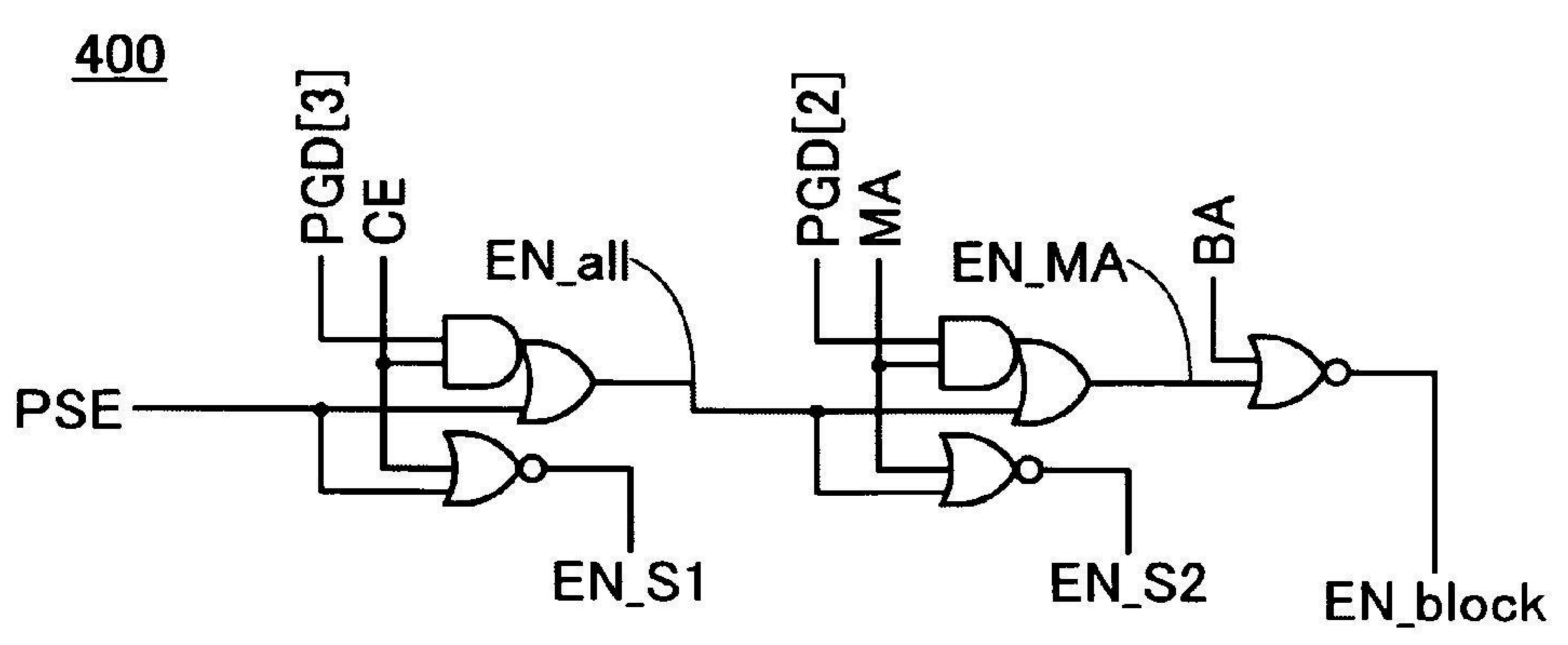


圖 11C

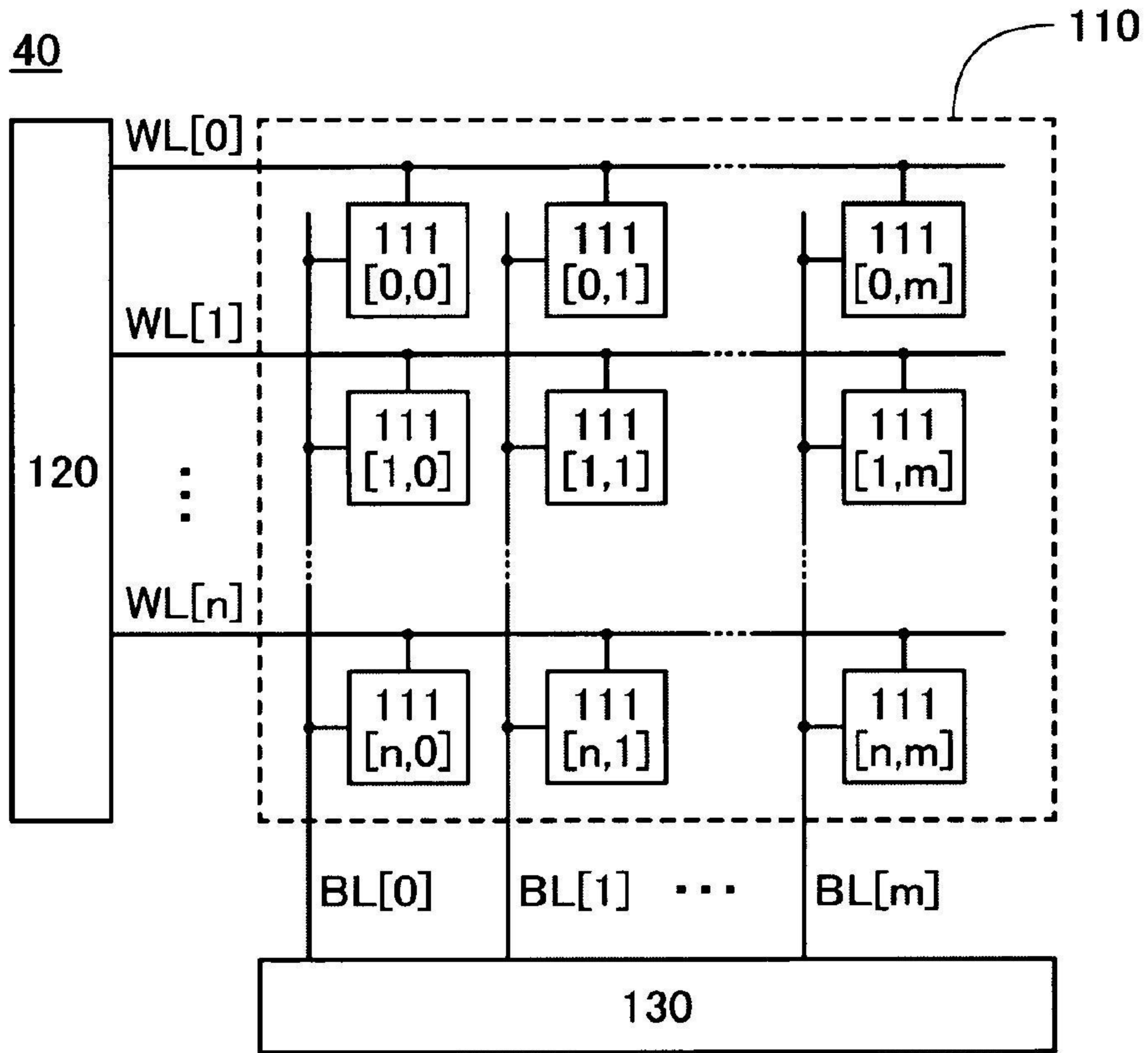


圖 12A

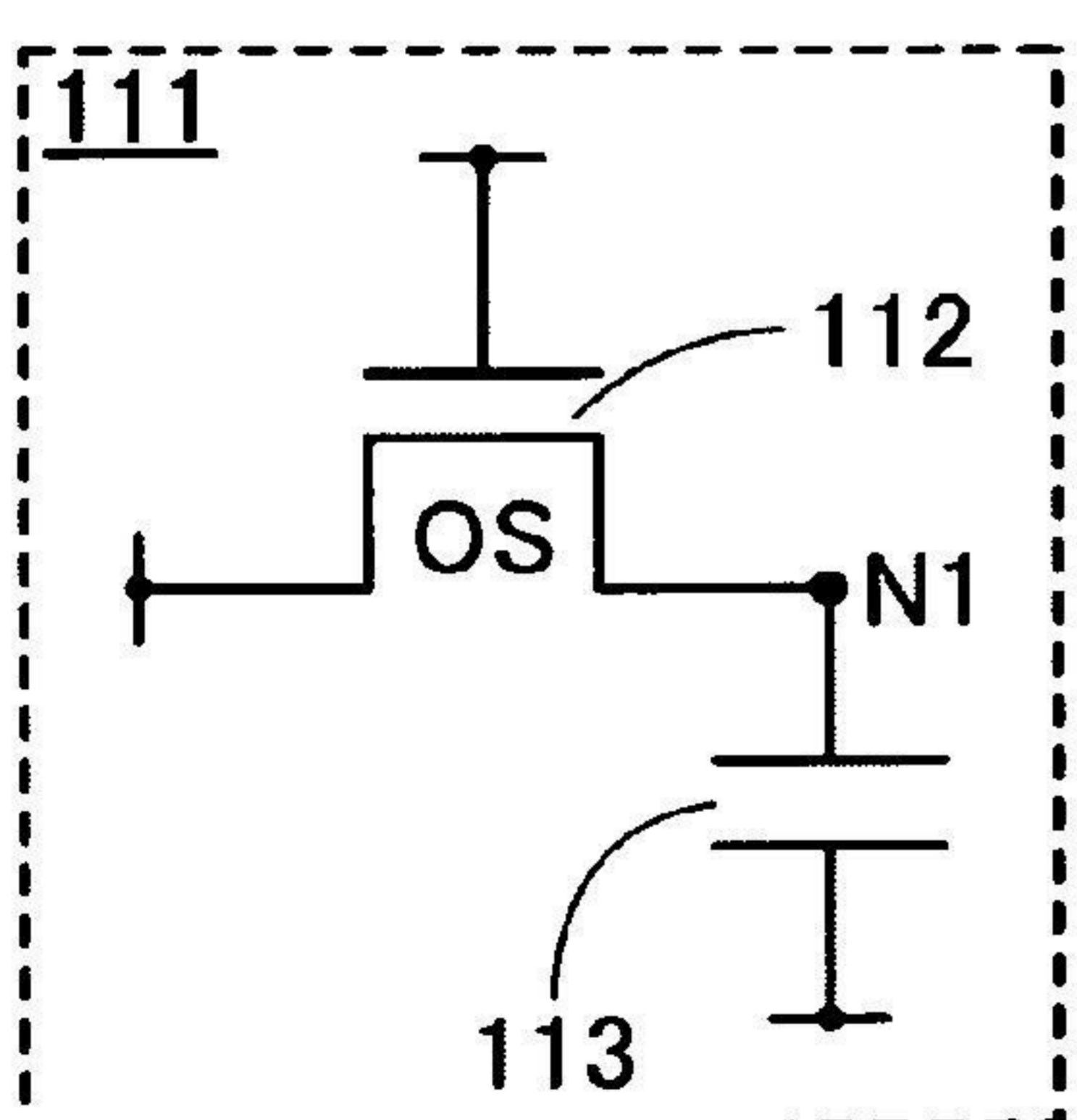


圖 12B

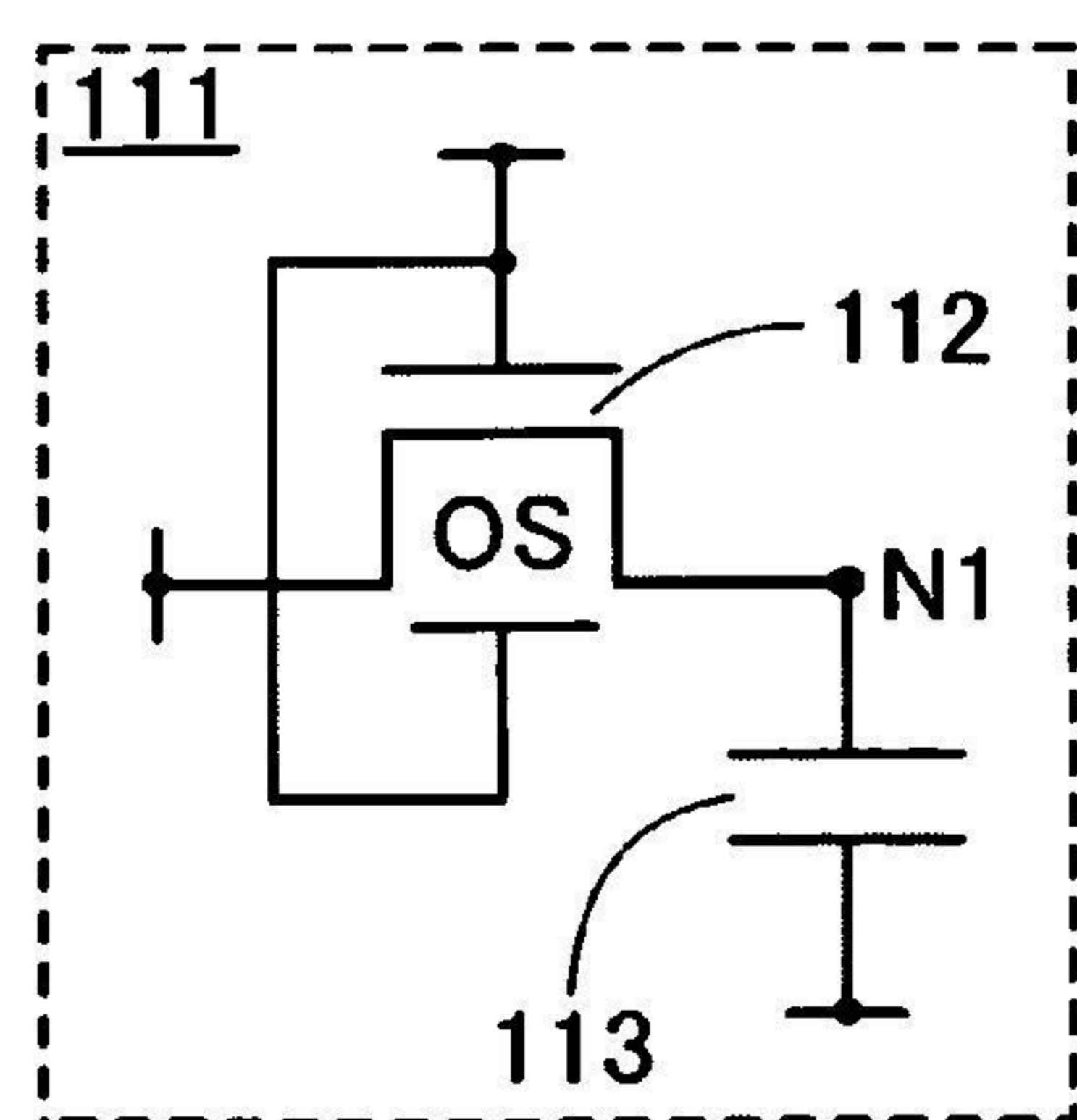


圖 12C

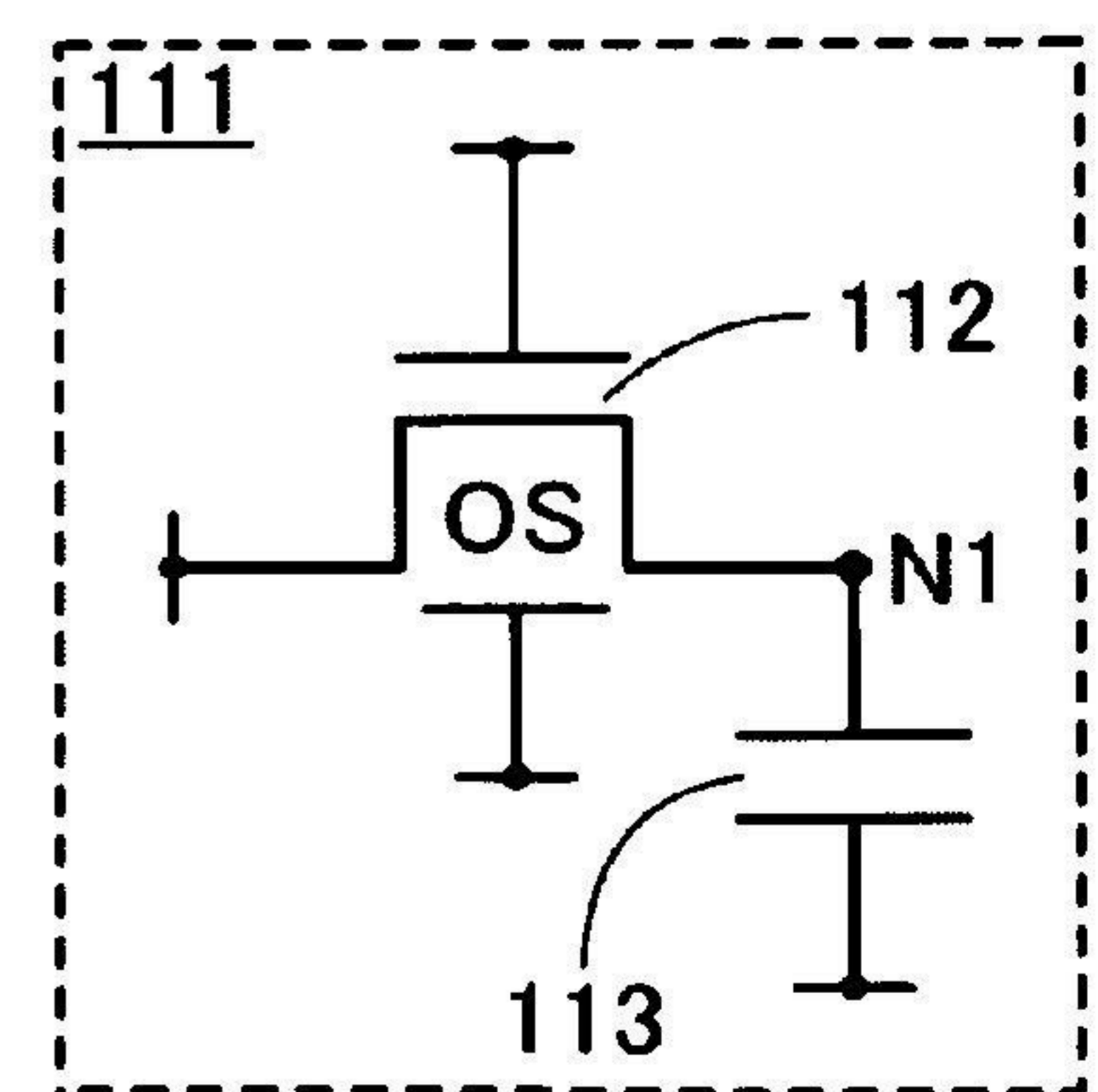


圖 12D

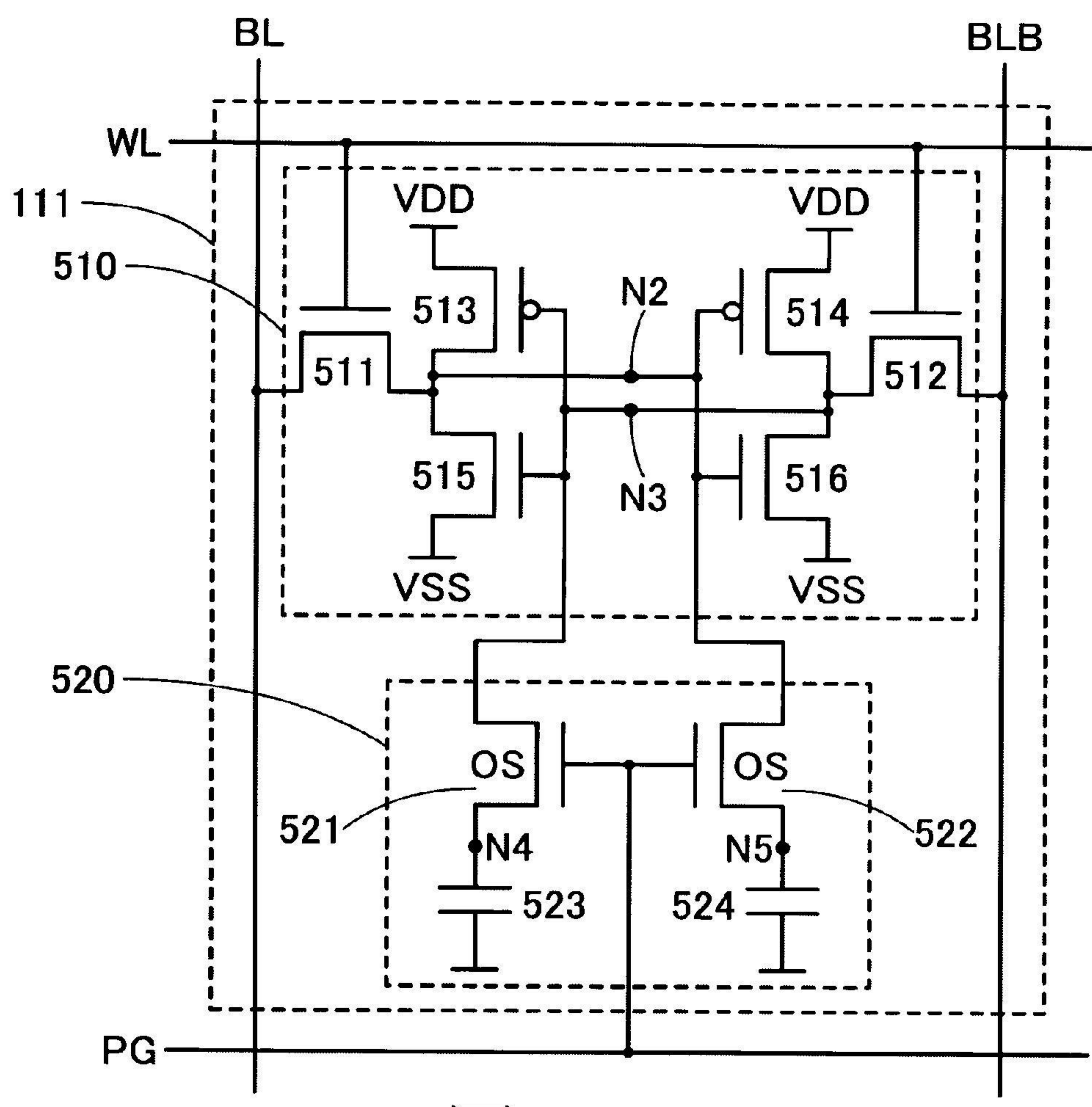


圖 13A

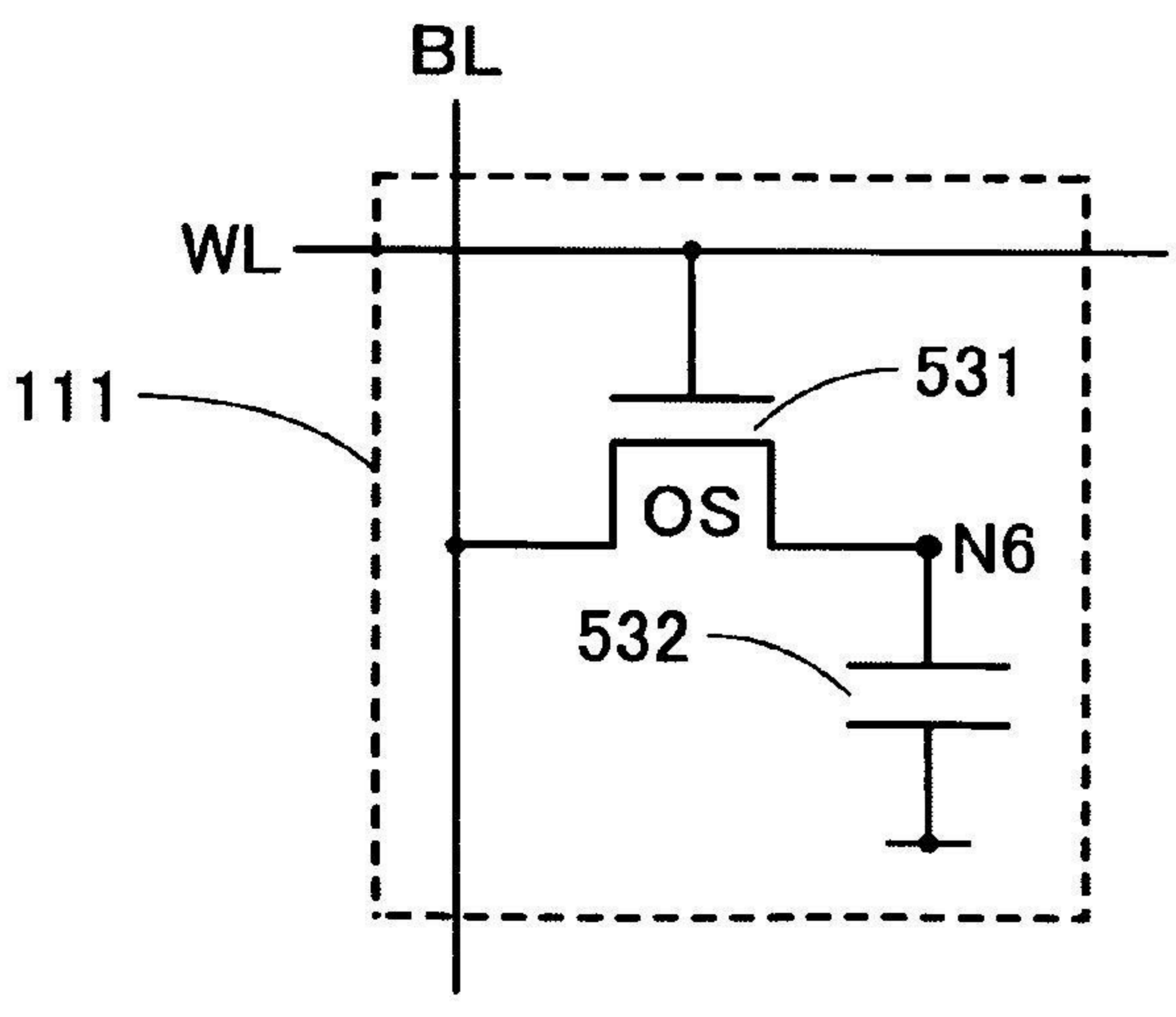


圖 13B

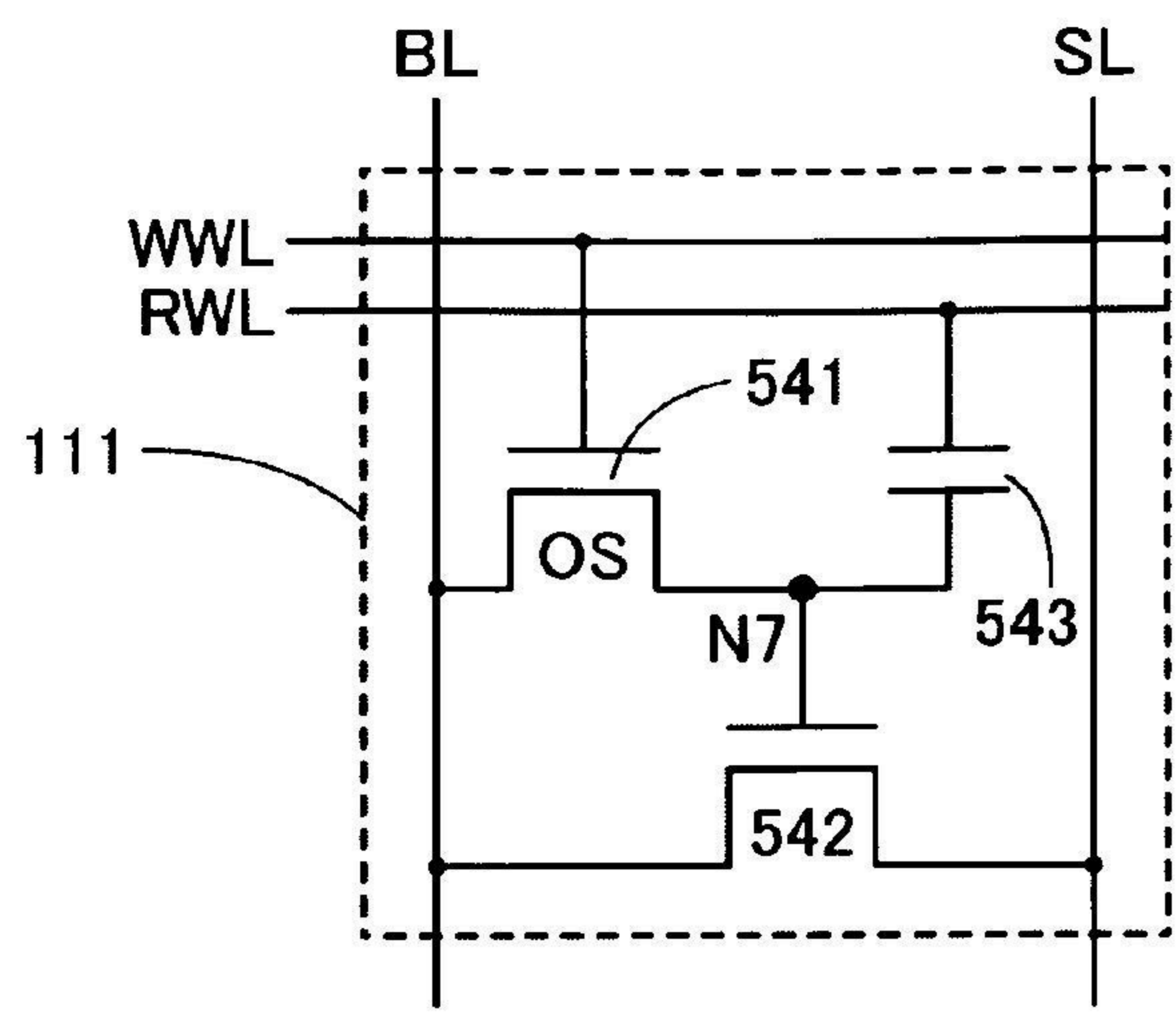


圖 14A

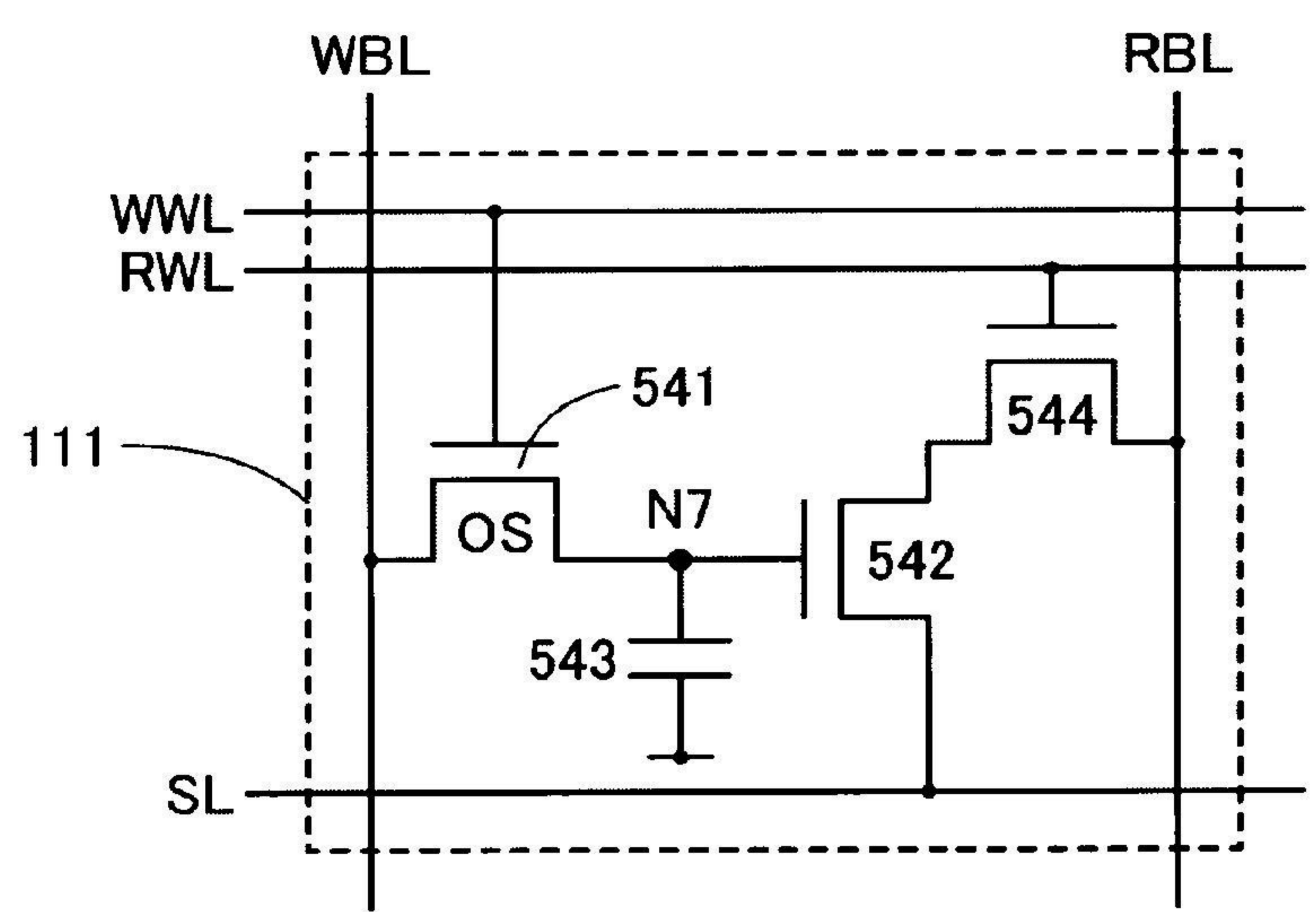


圖 14B

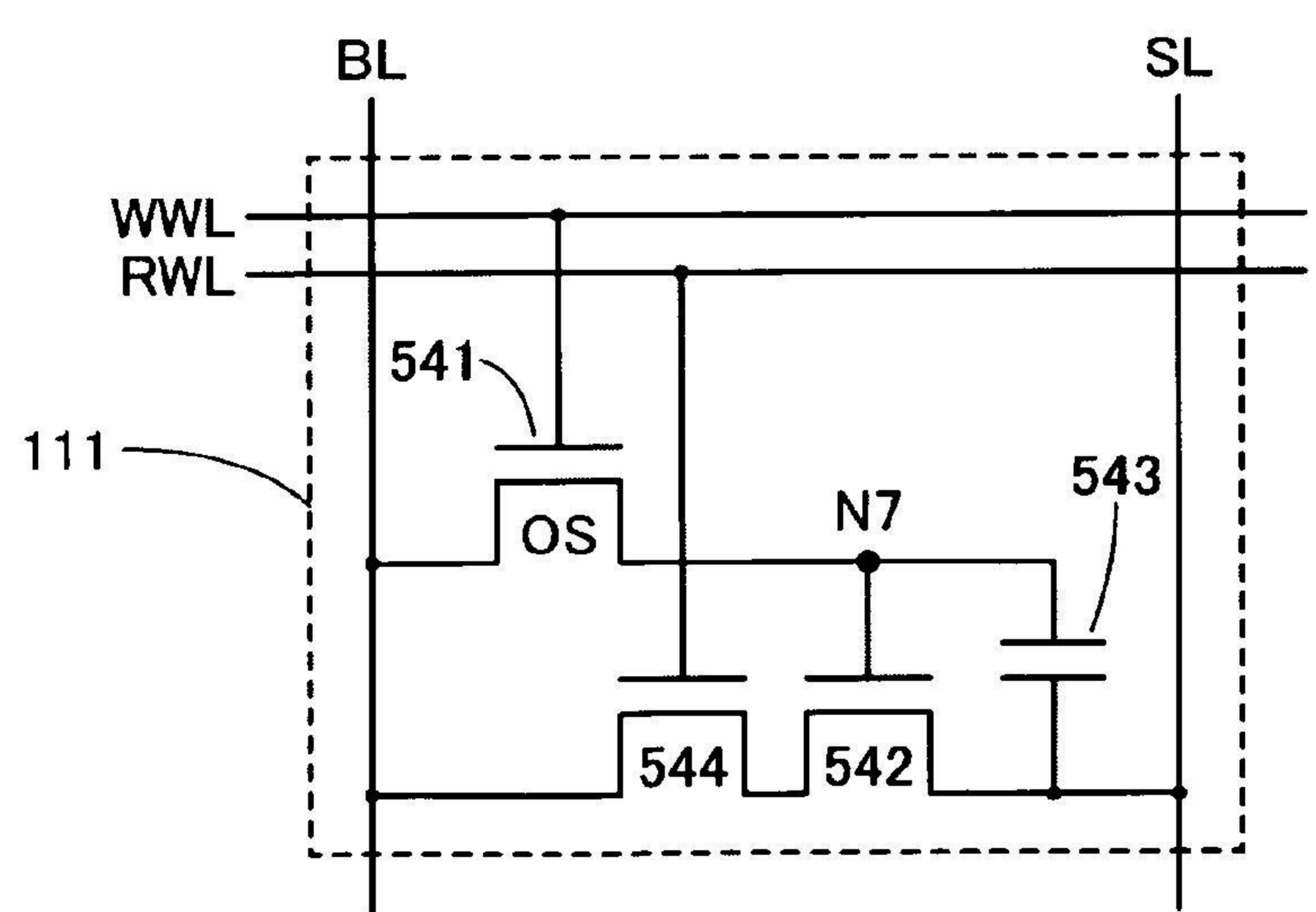


圖 14C



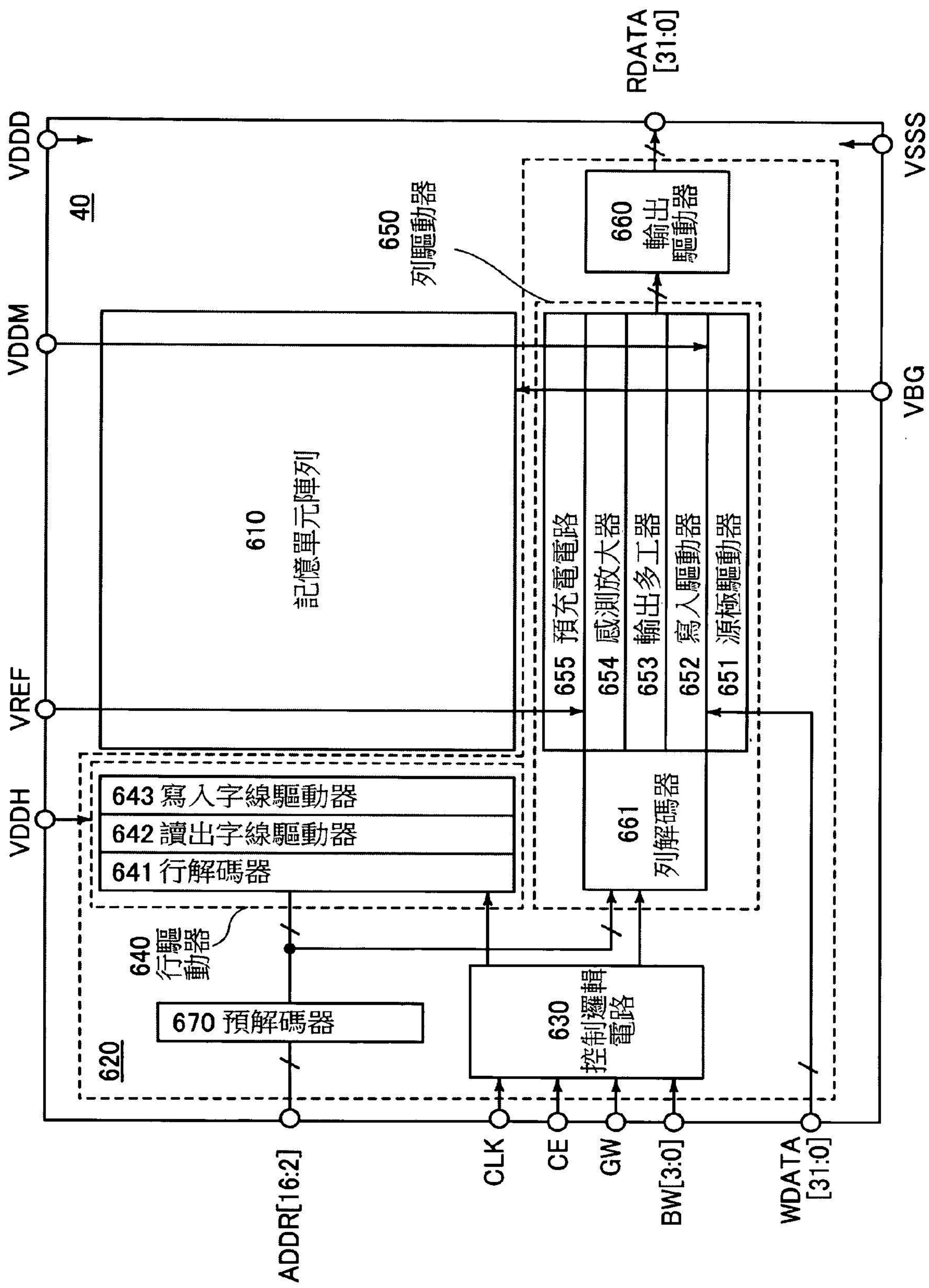


圖 15

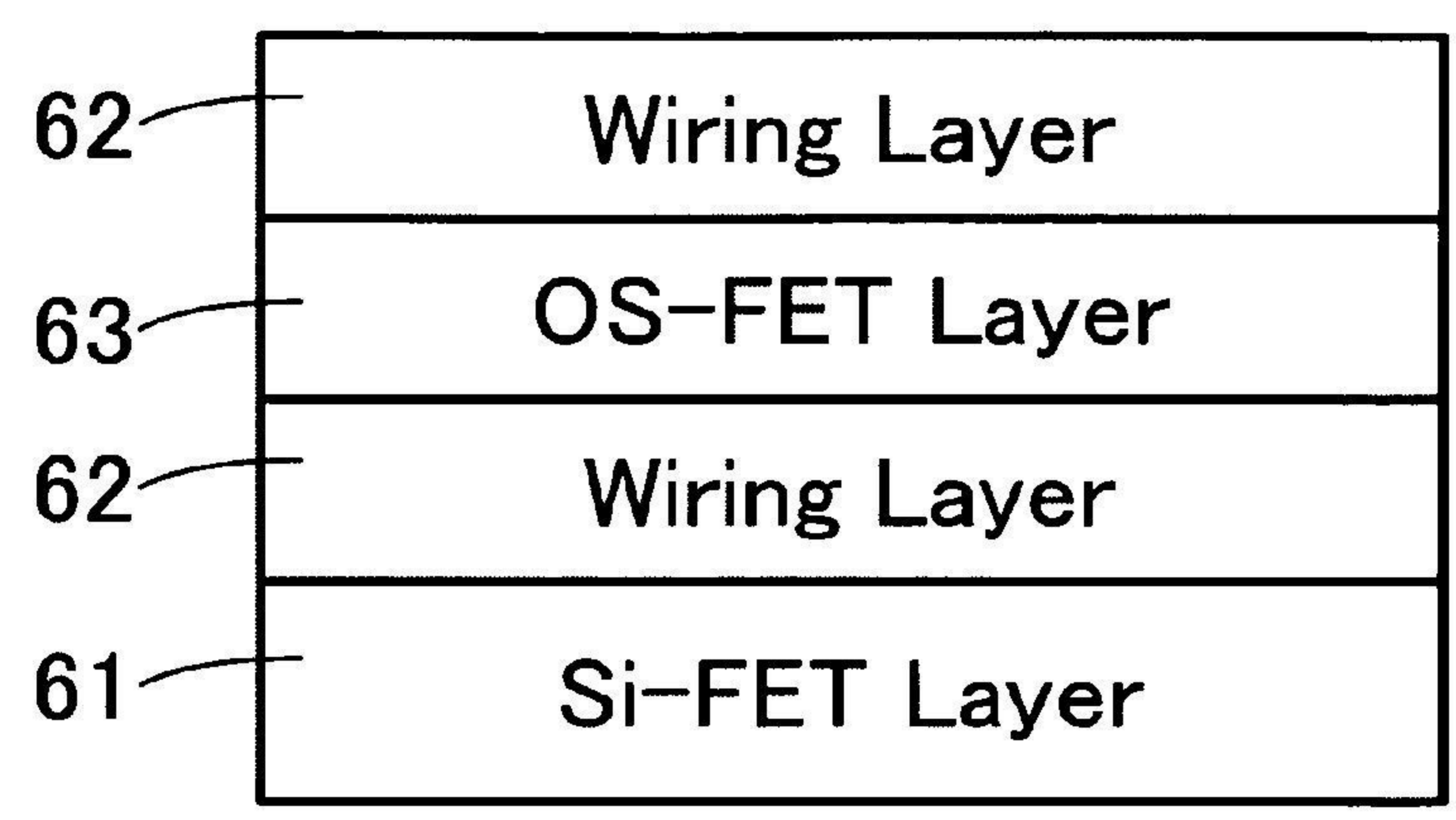


圖 16A

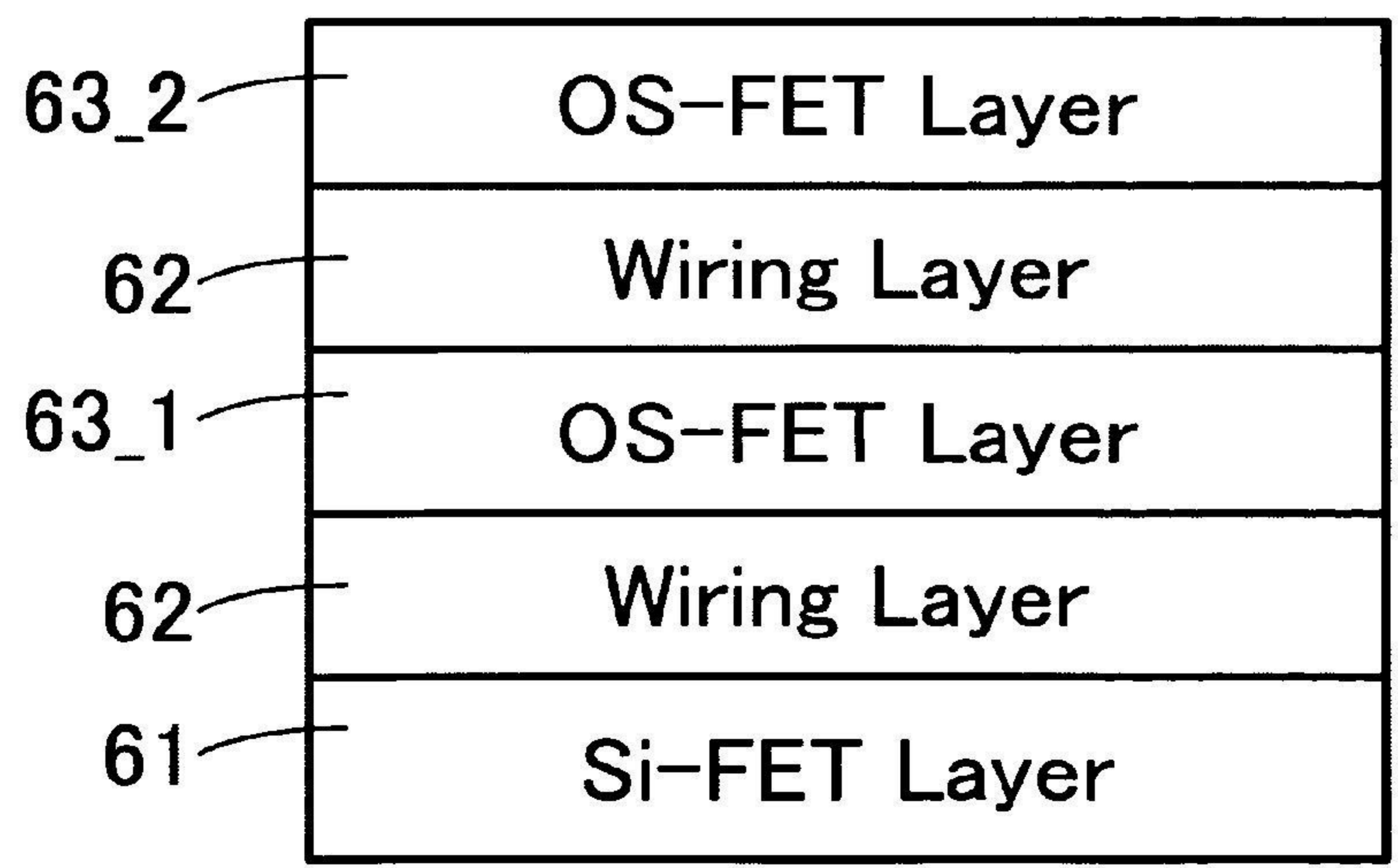


圖 16B

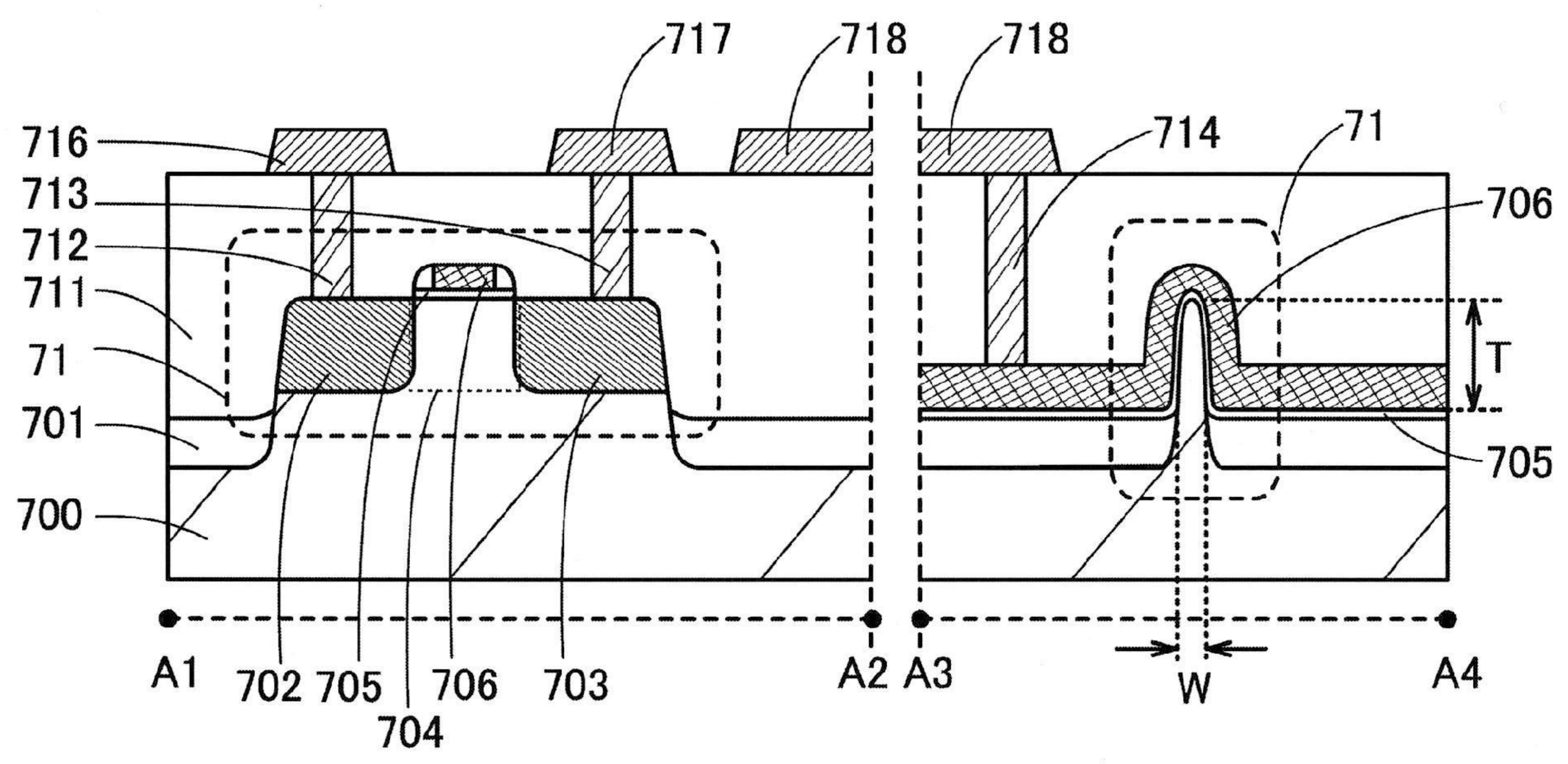


圖 17

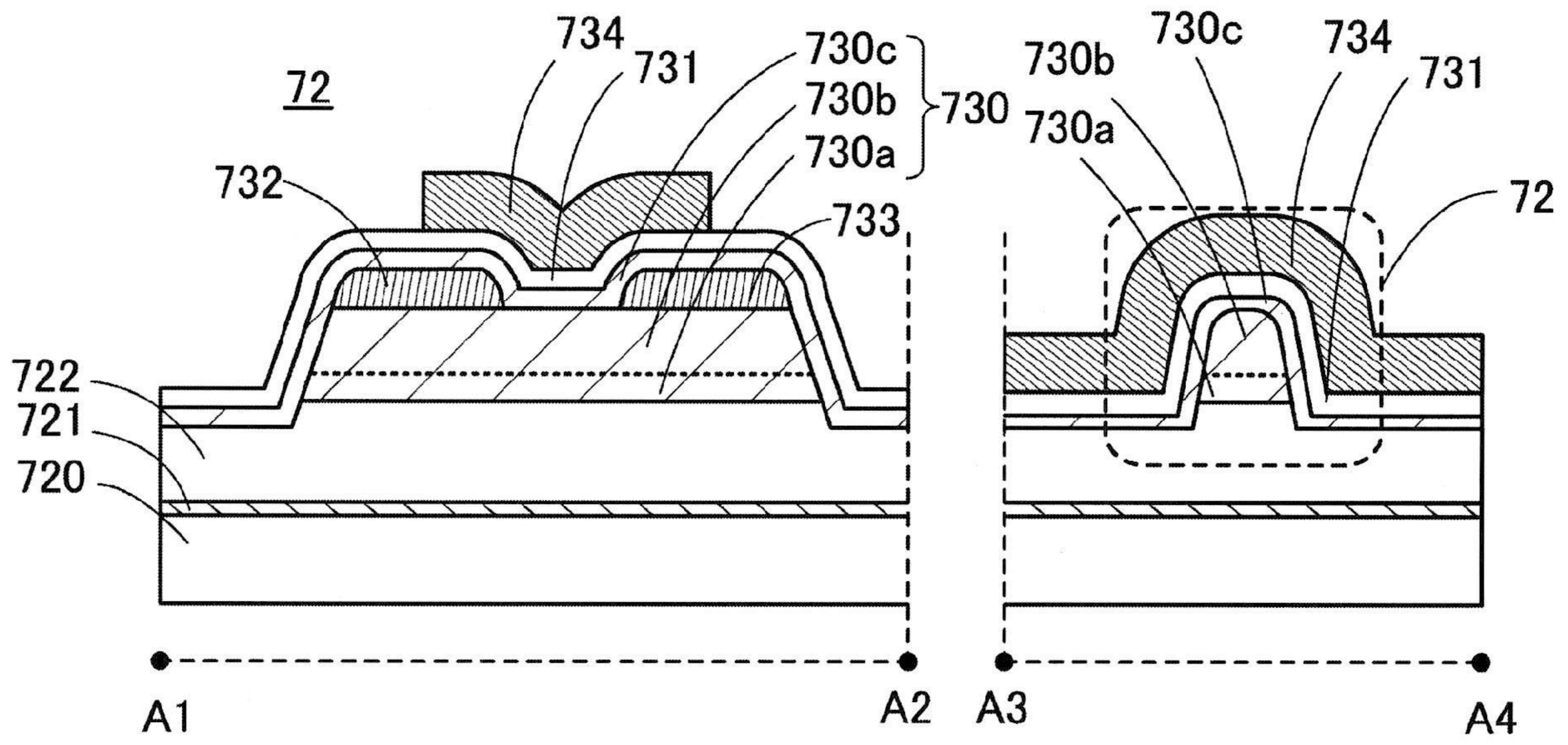


圖 18A

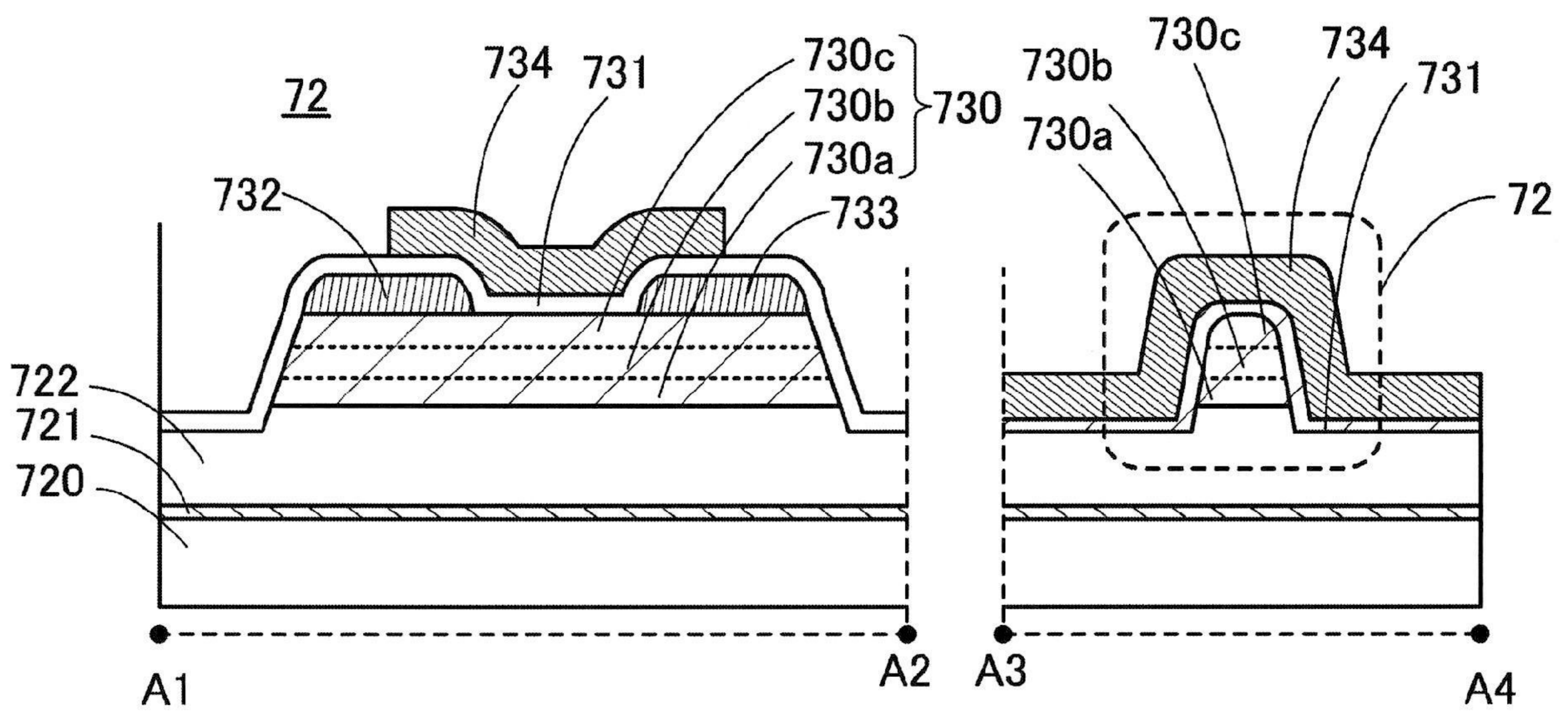


圖 18B

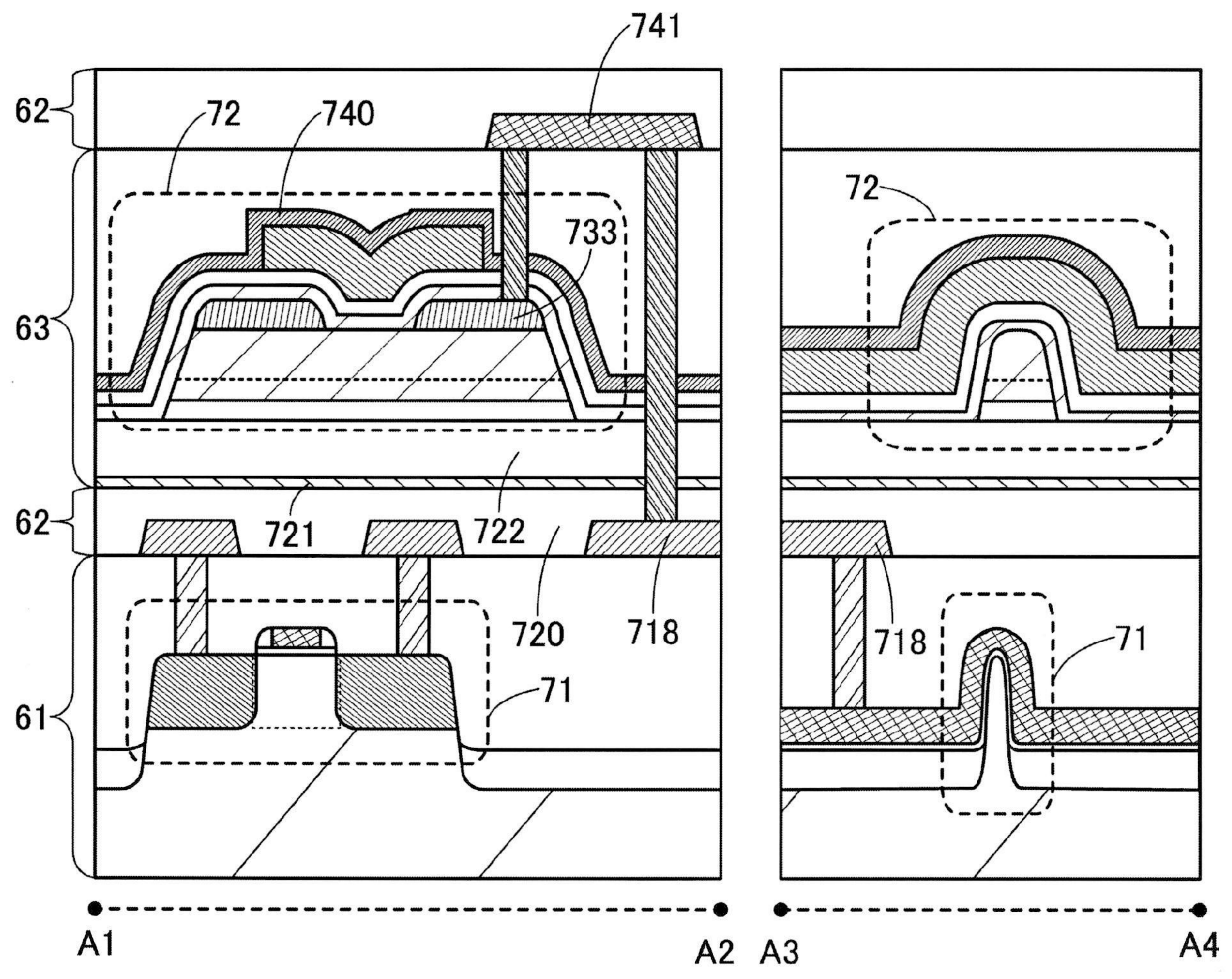


圖 19

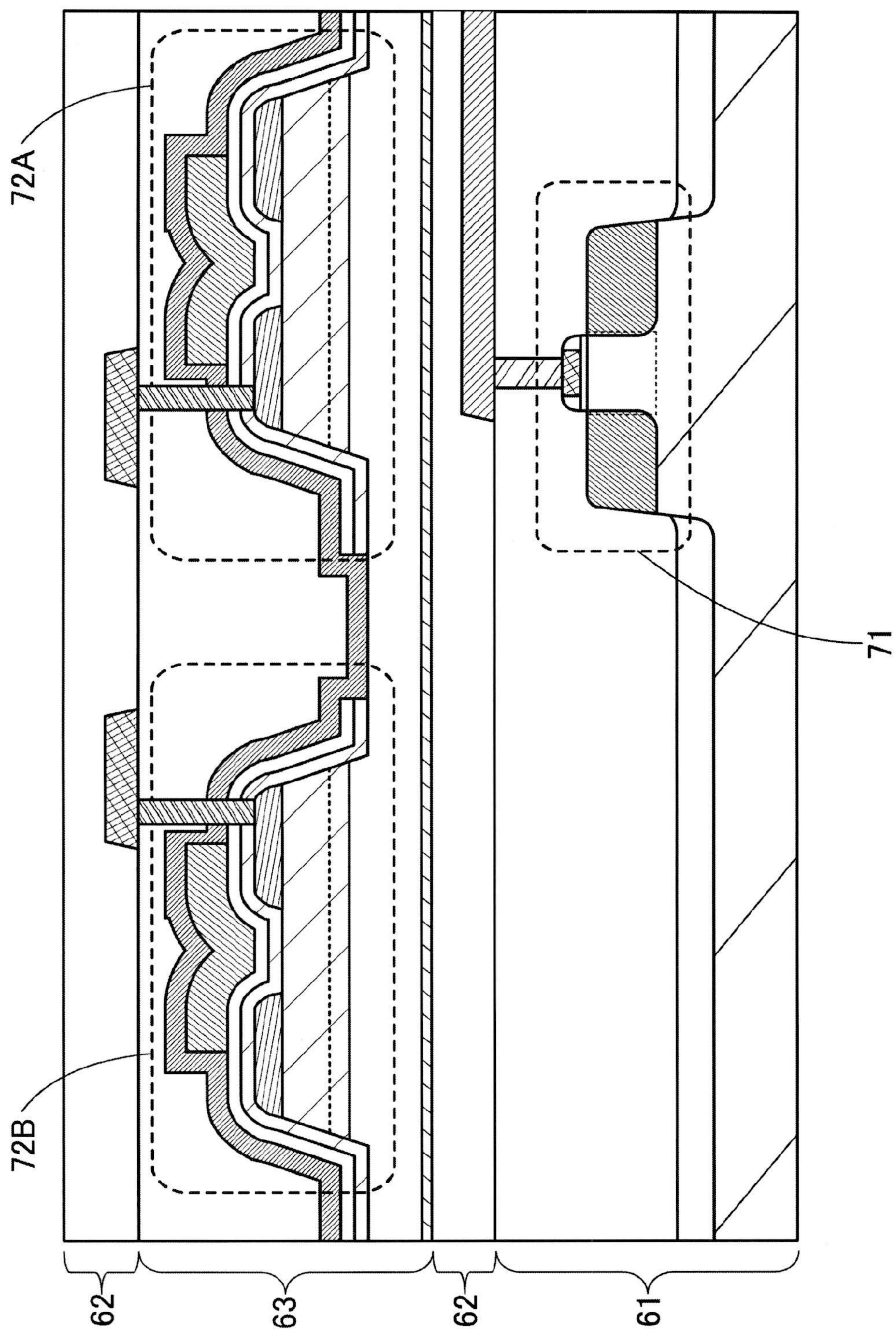


圖 20

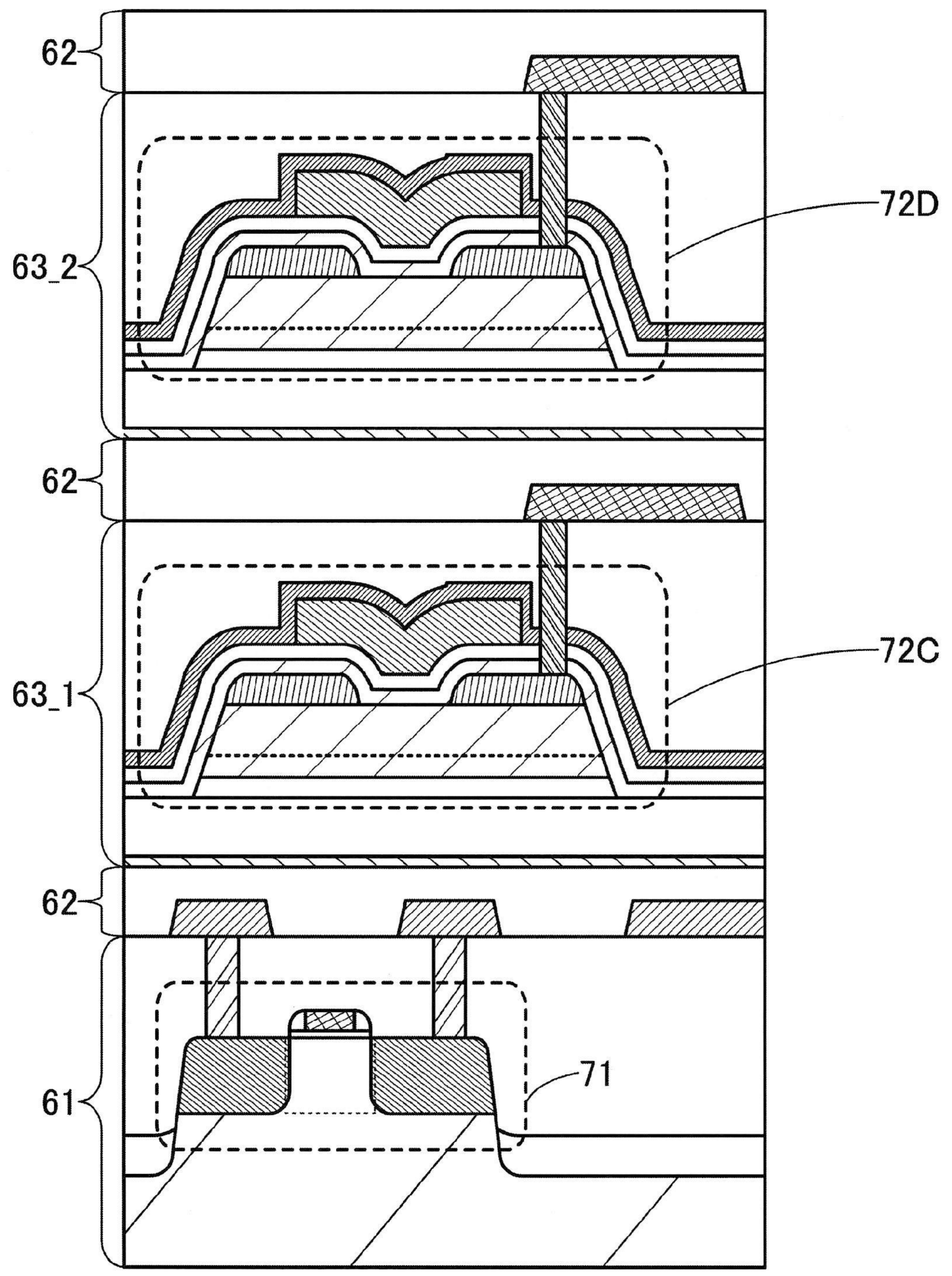


圖 21

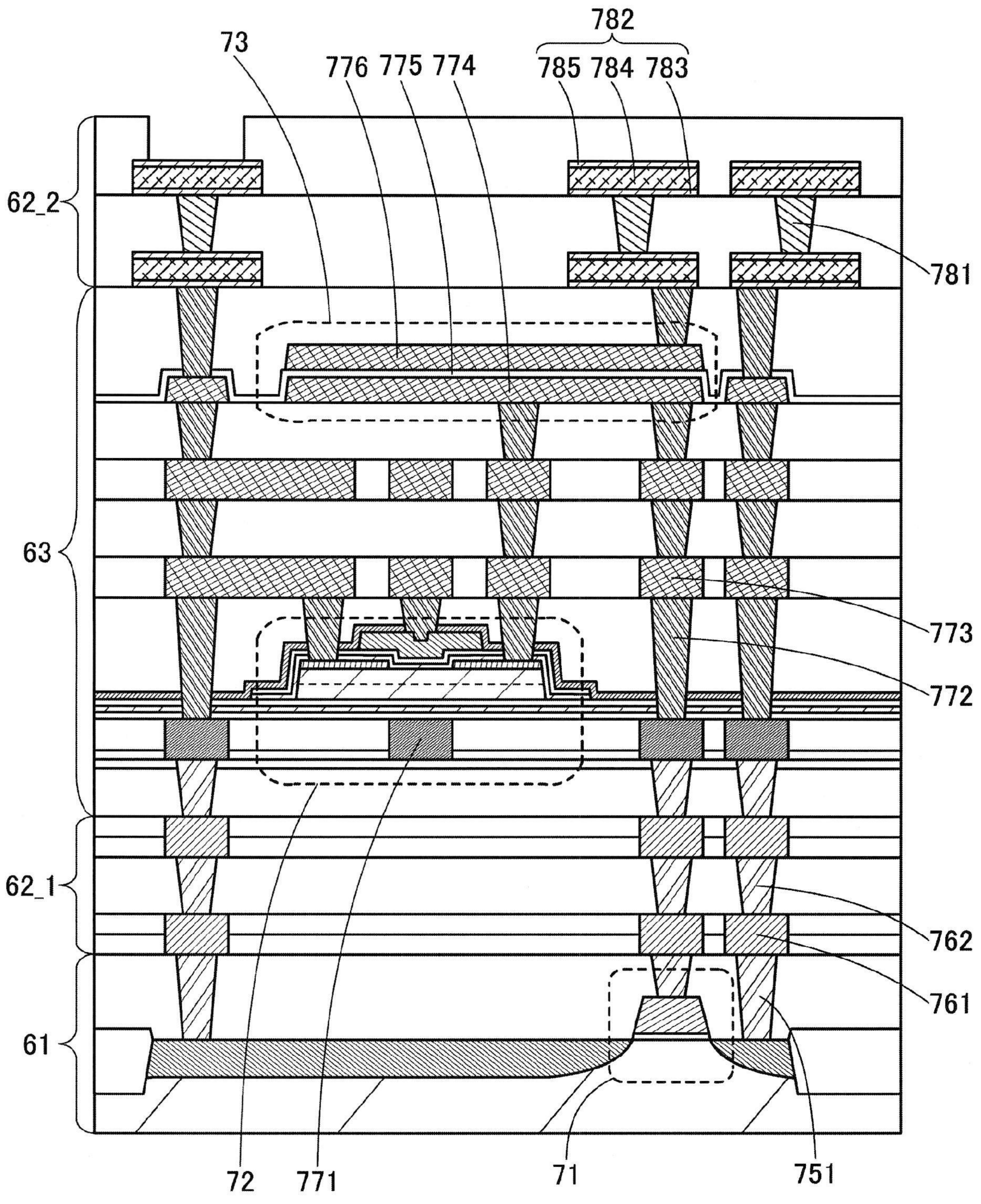


圖 22

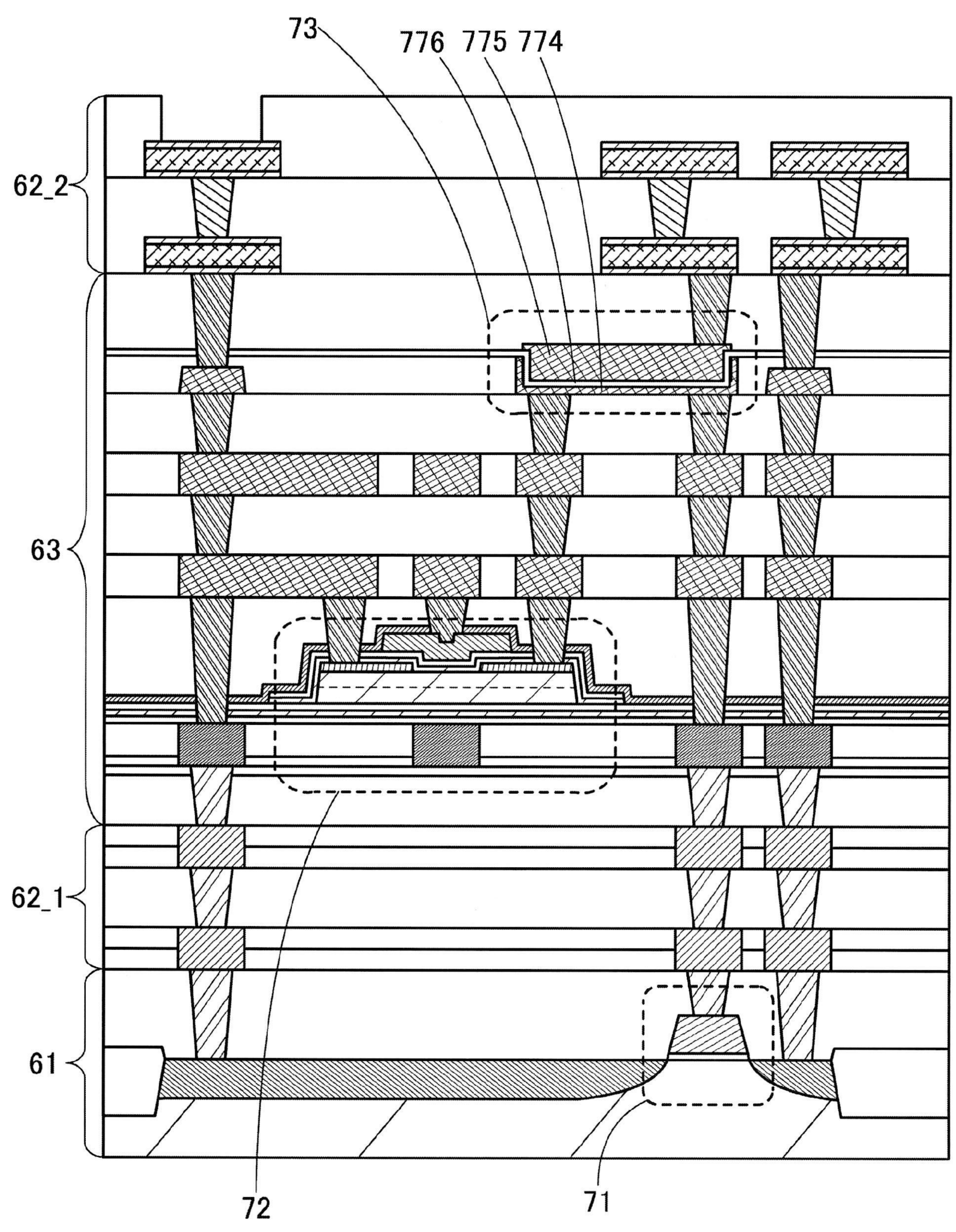


圖 23

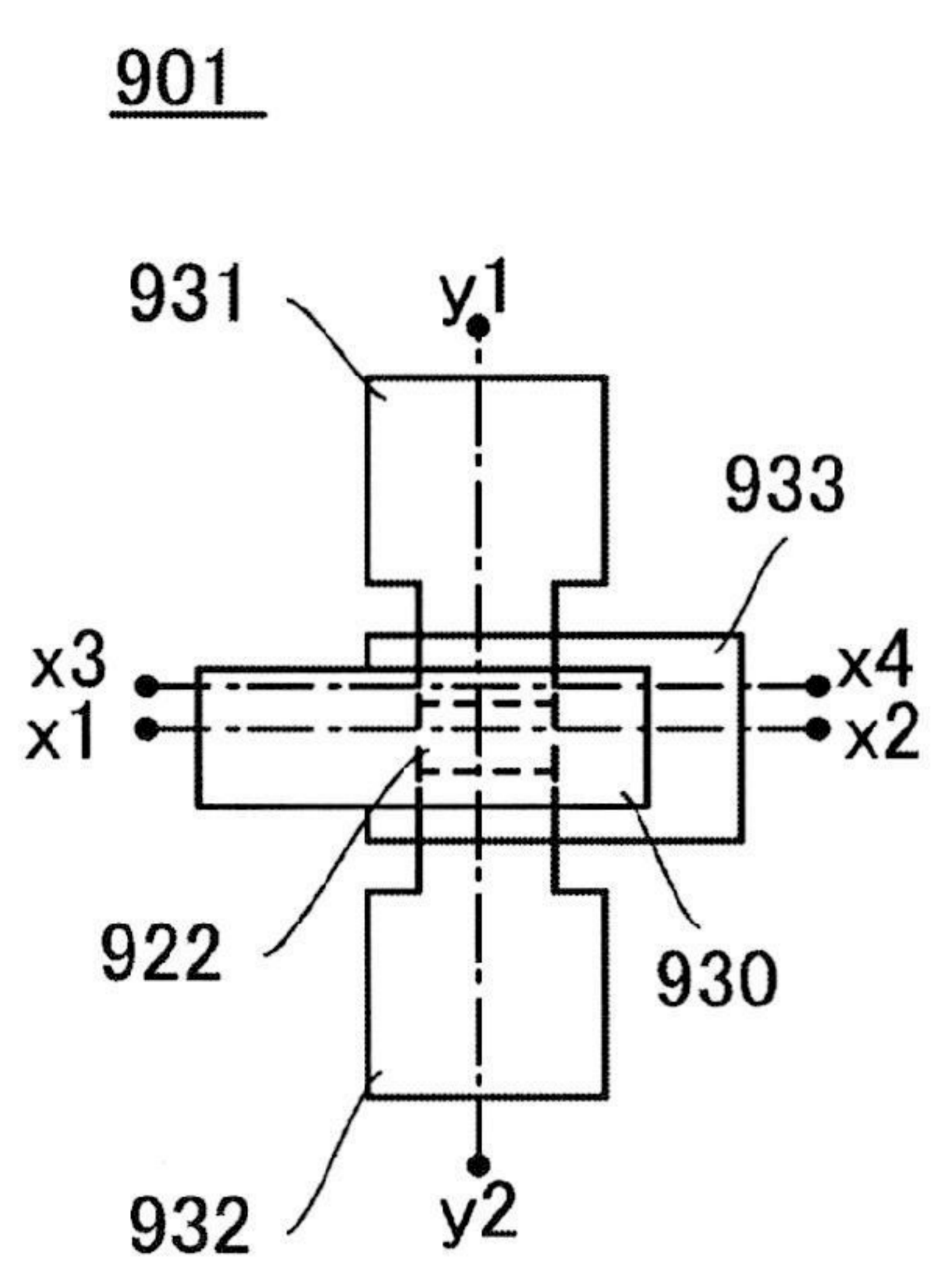


圖 24A

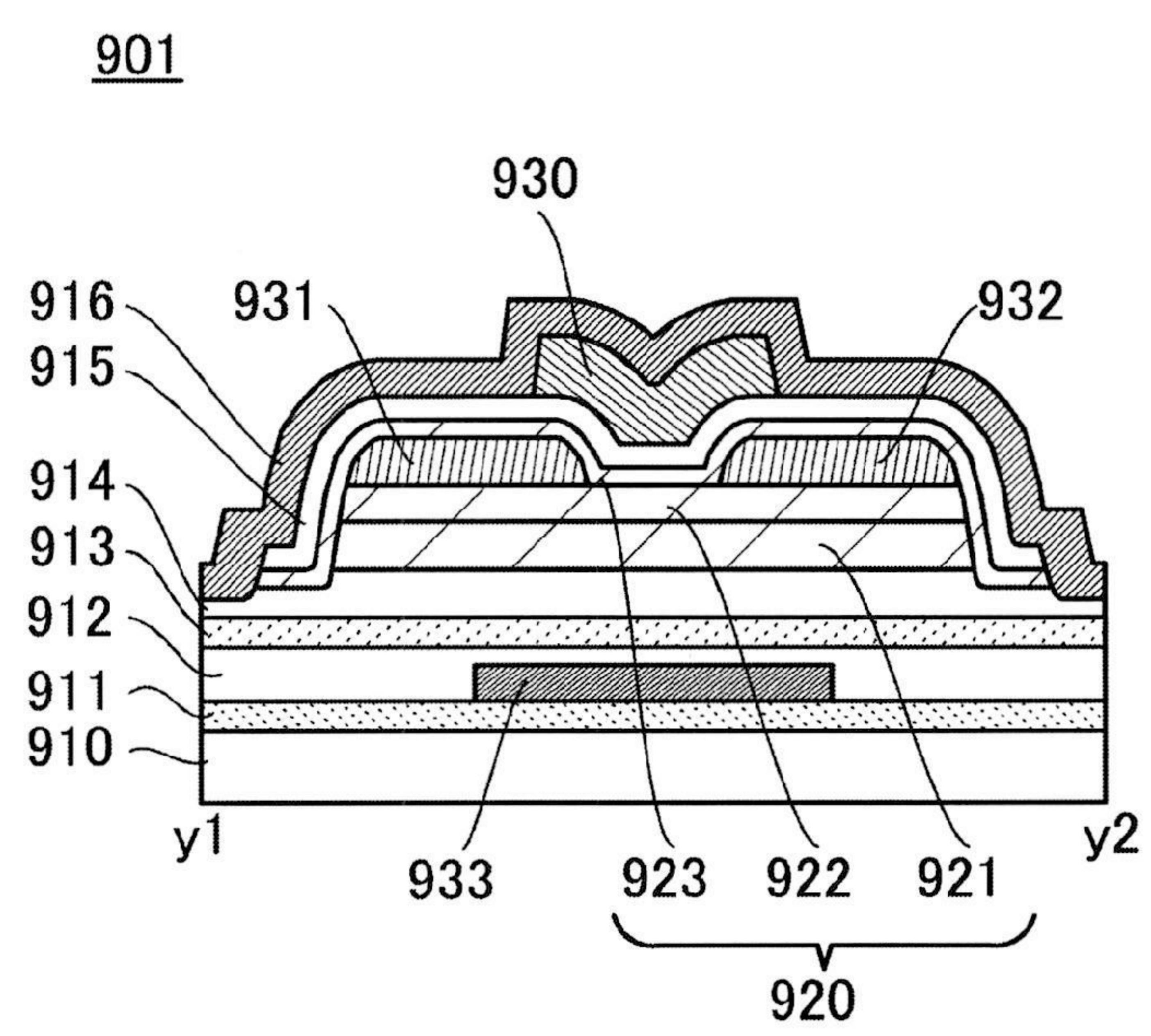


圖 24B

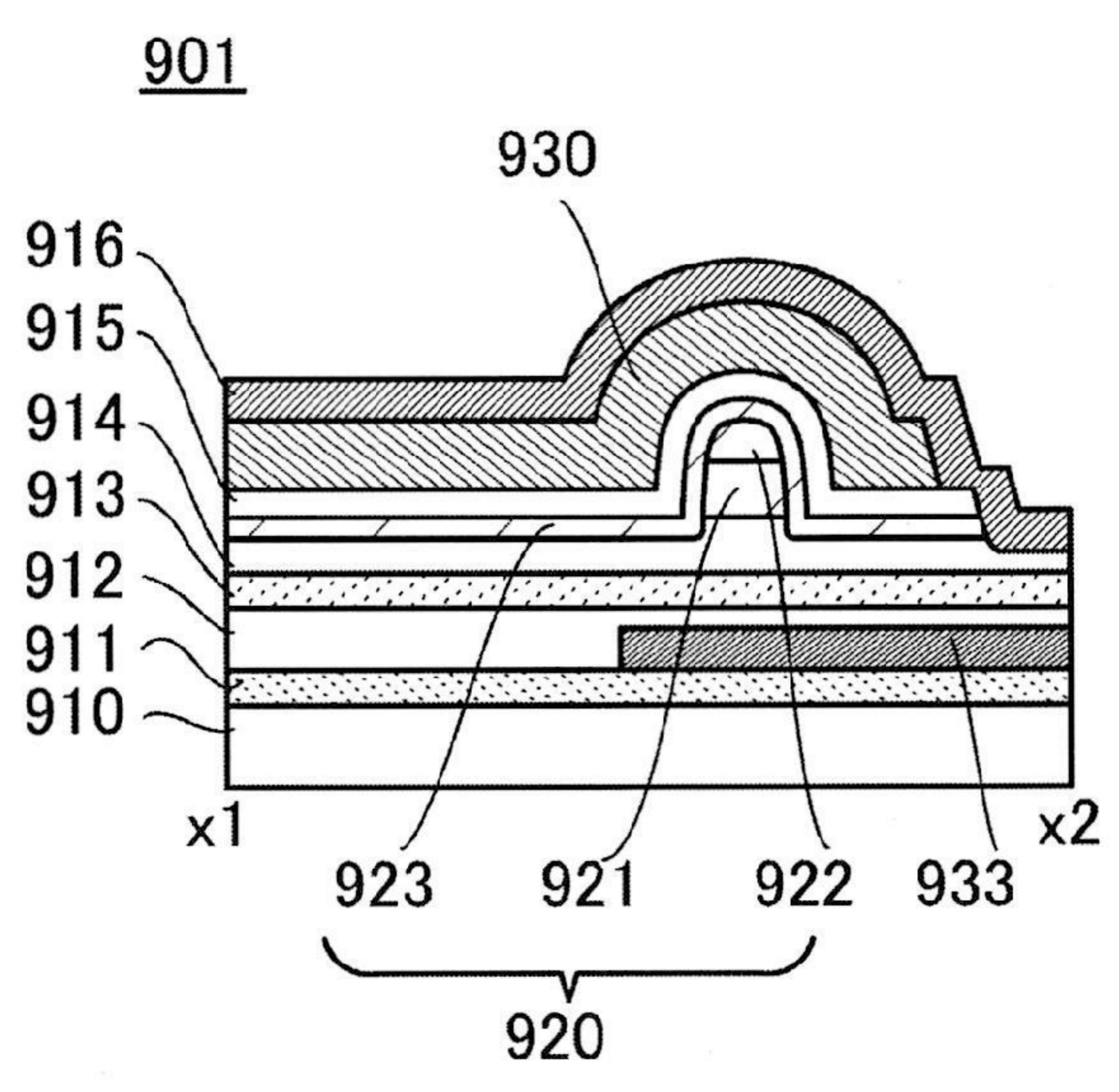


圖 24C

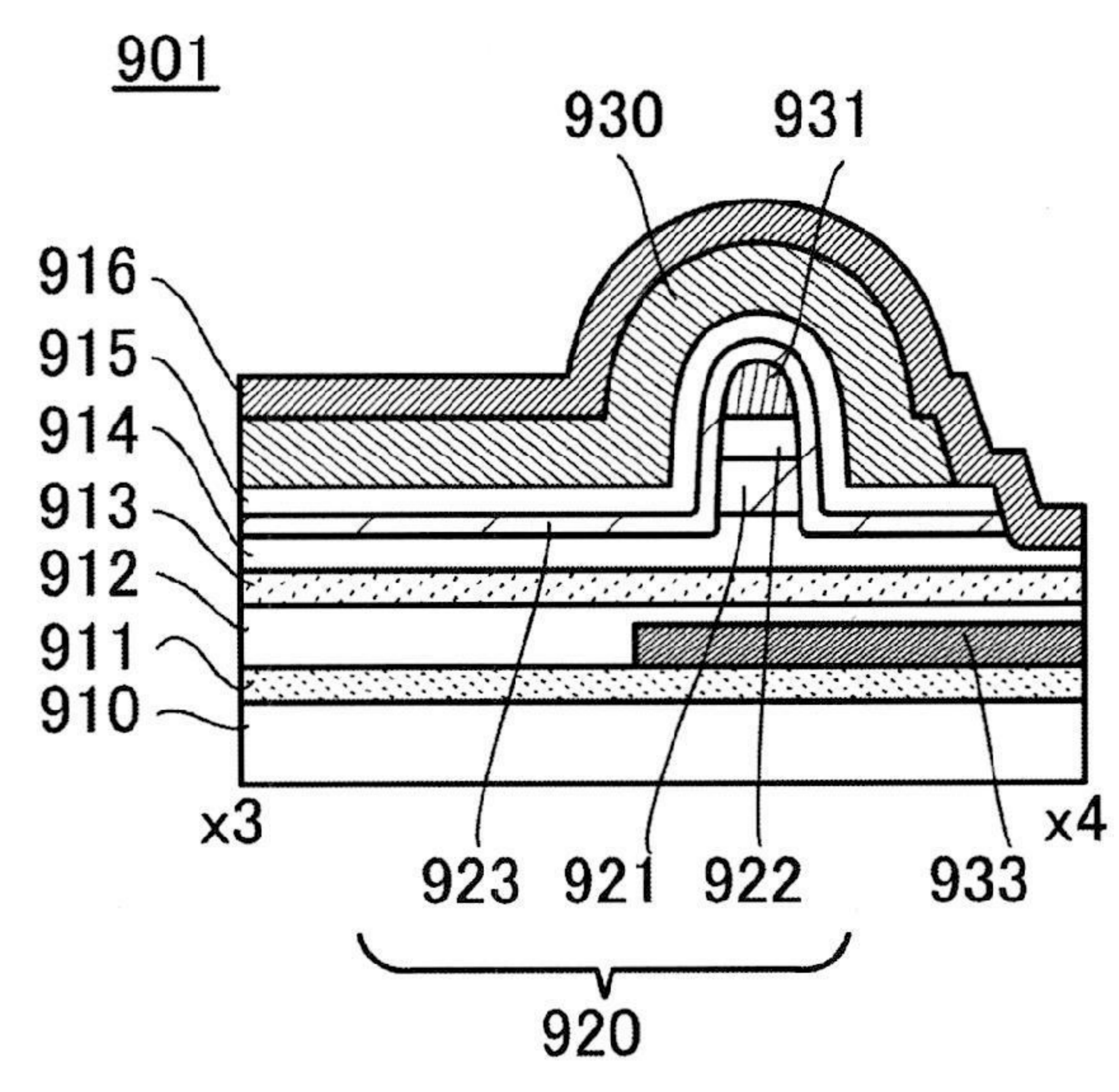


圖 24D

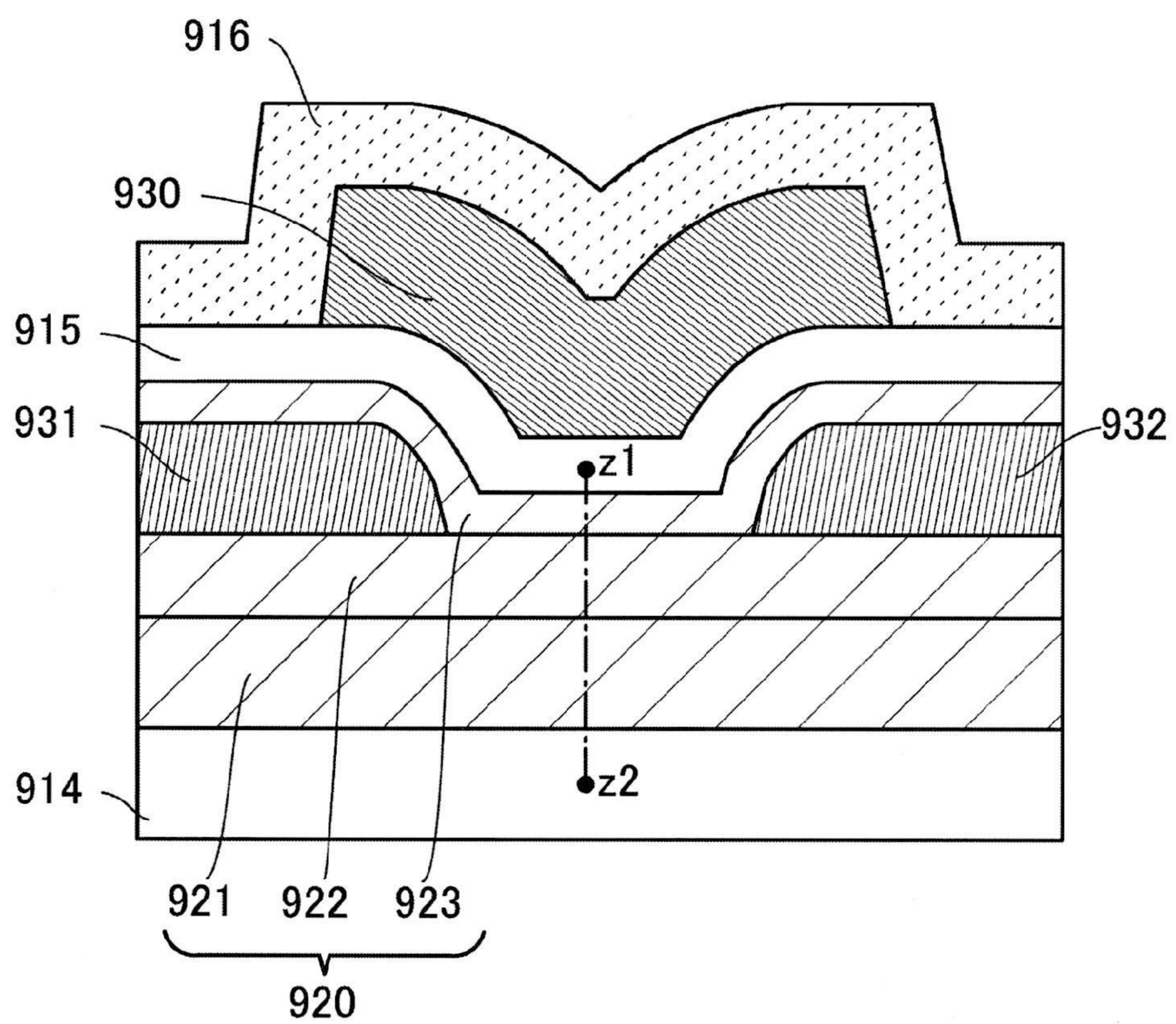


圖 25A

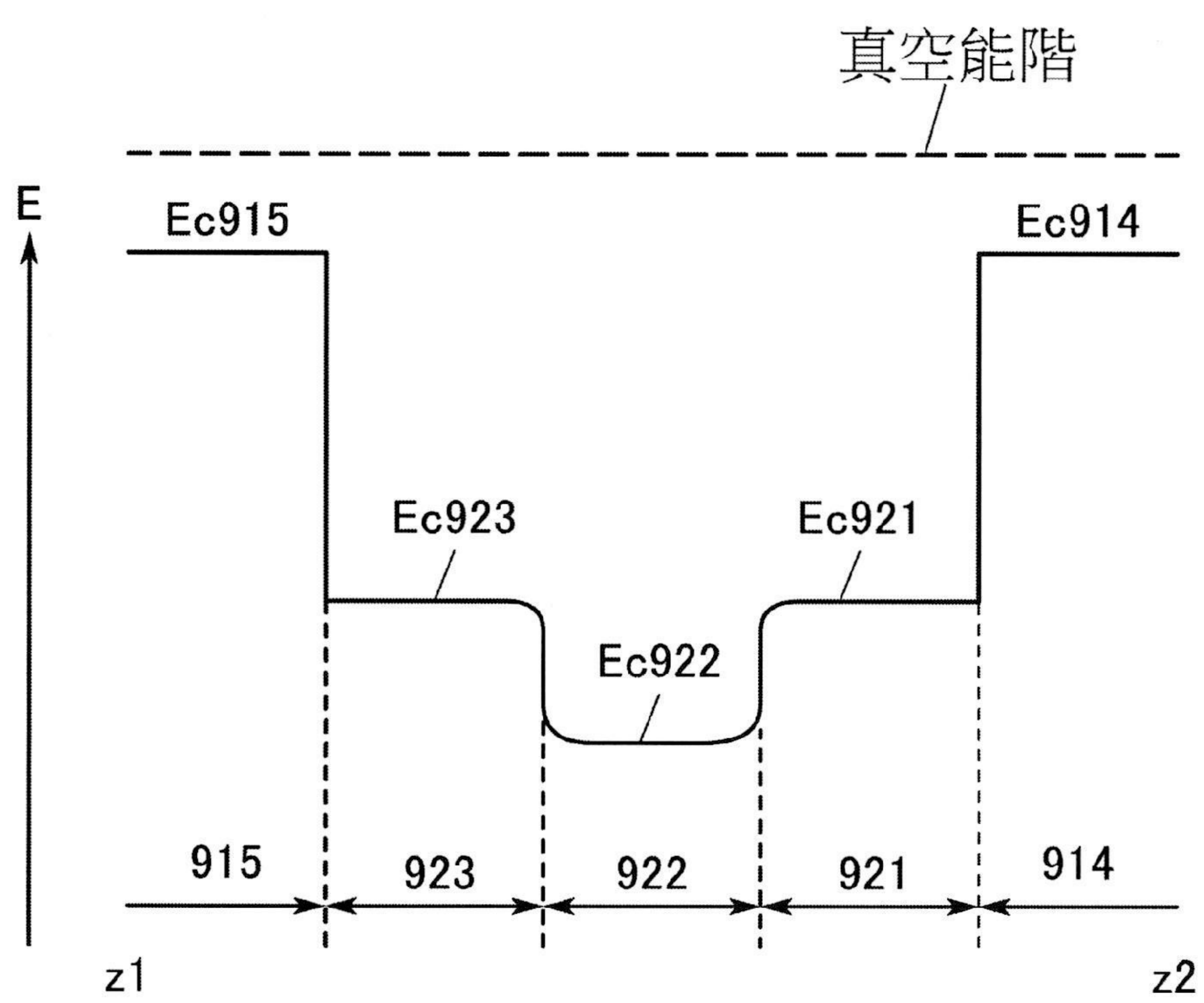


圖 25B

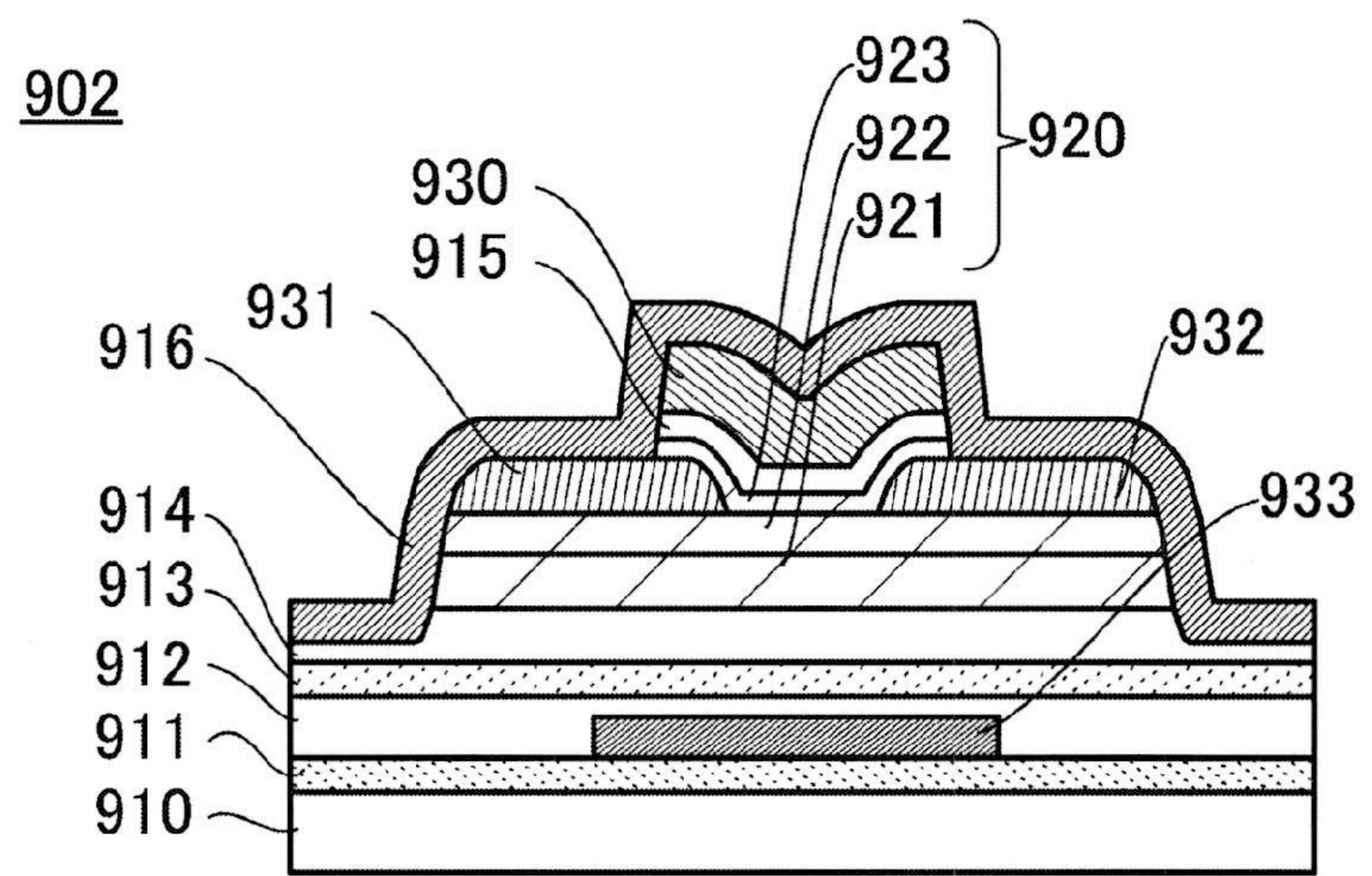


圖 26A

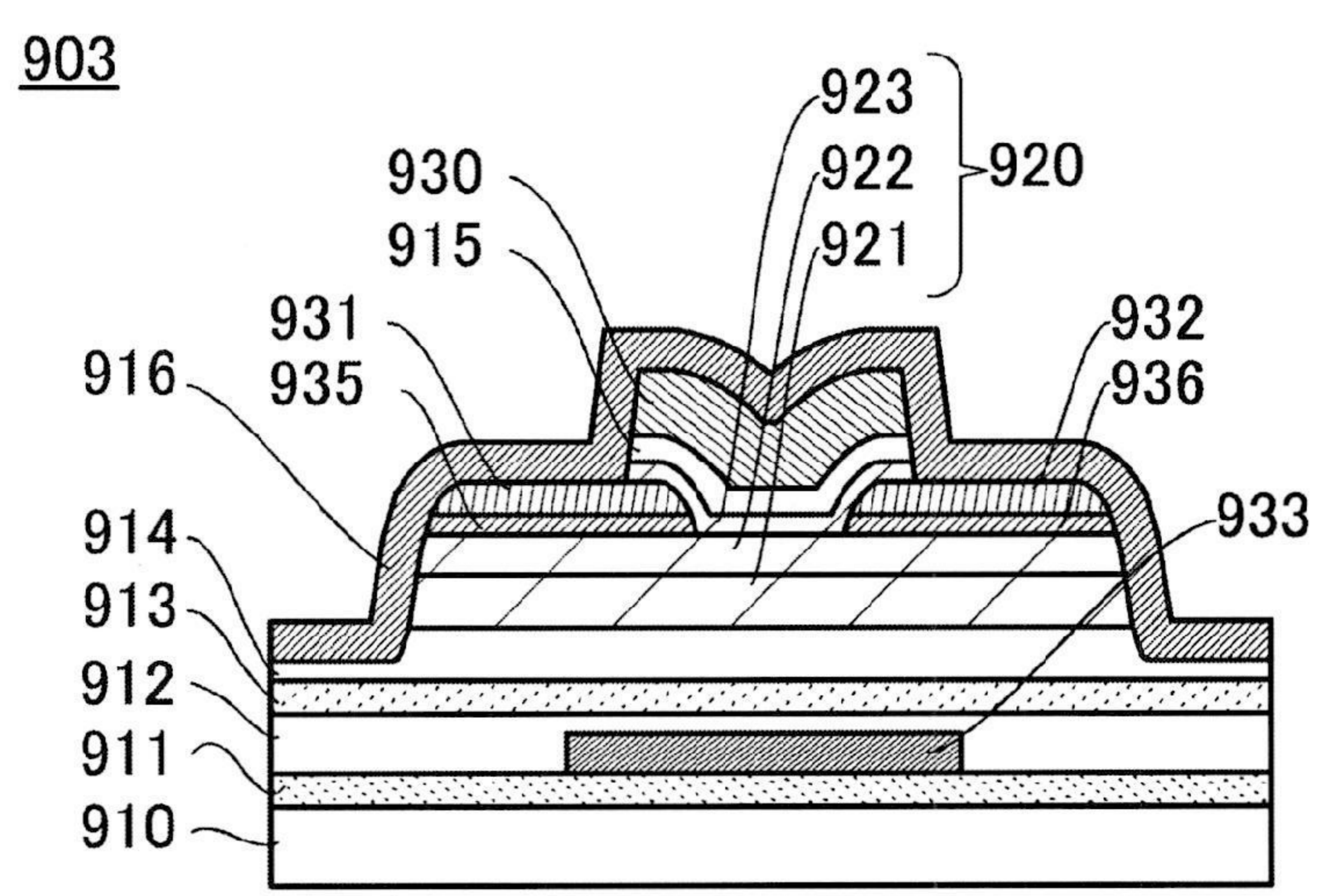


圖 26B

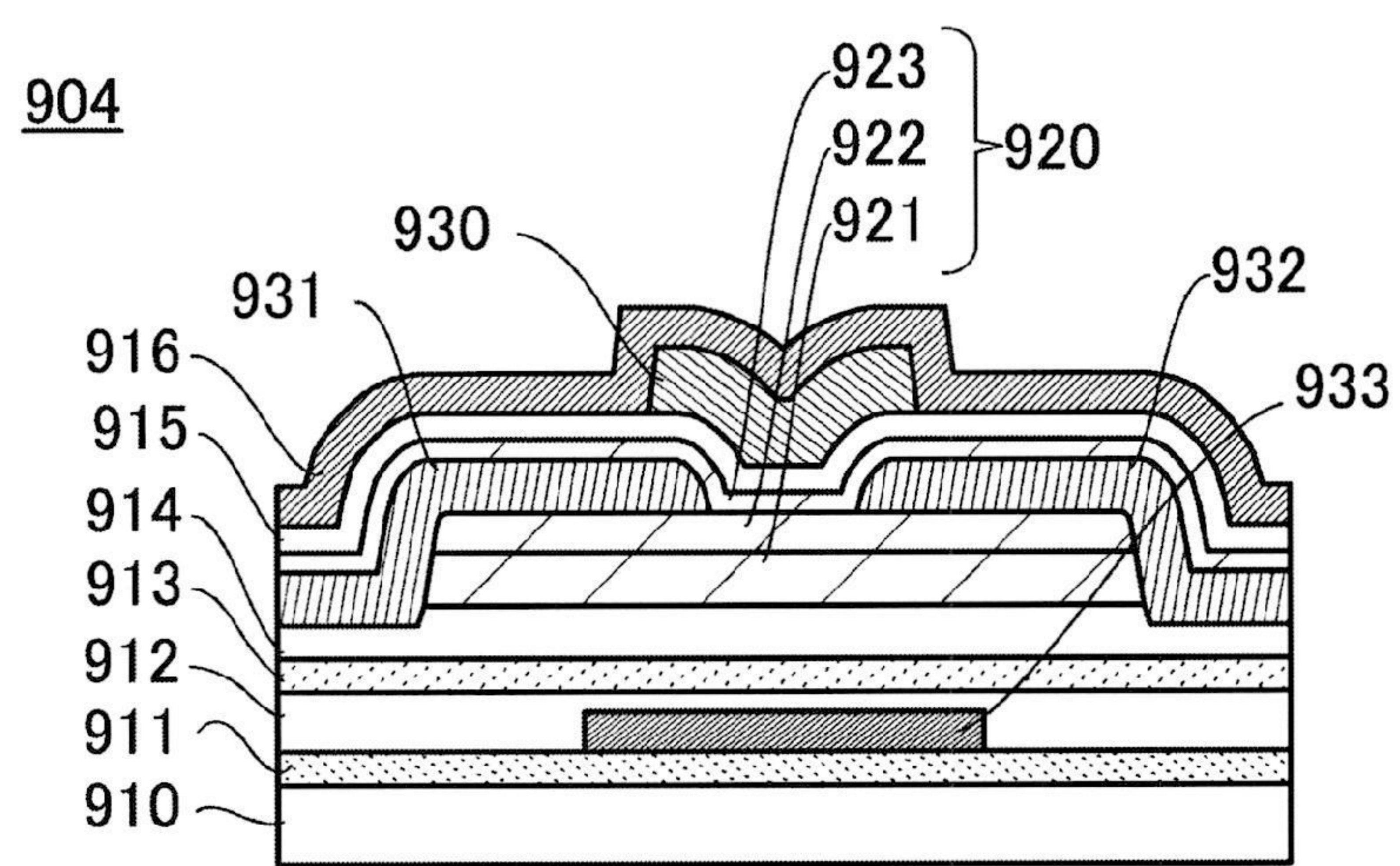


圖 26C

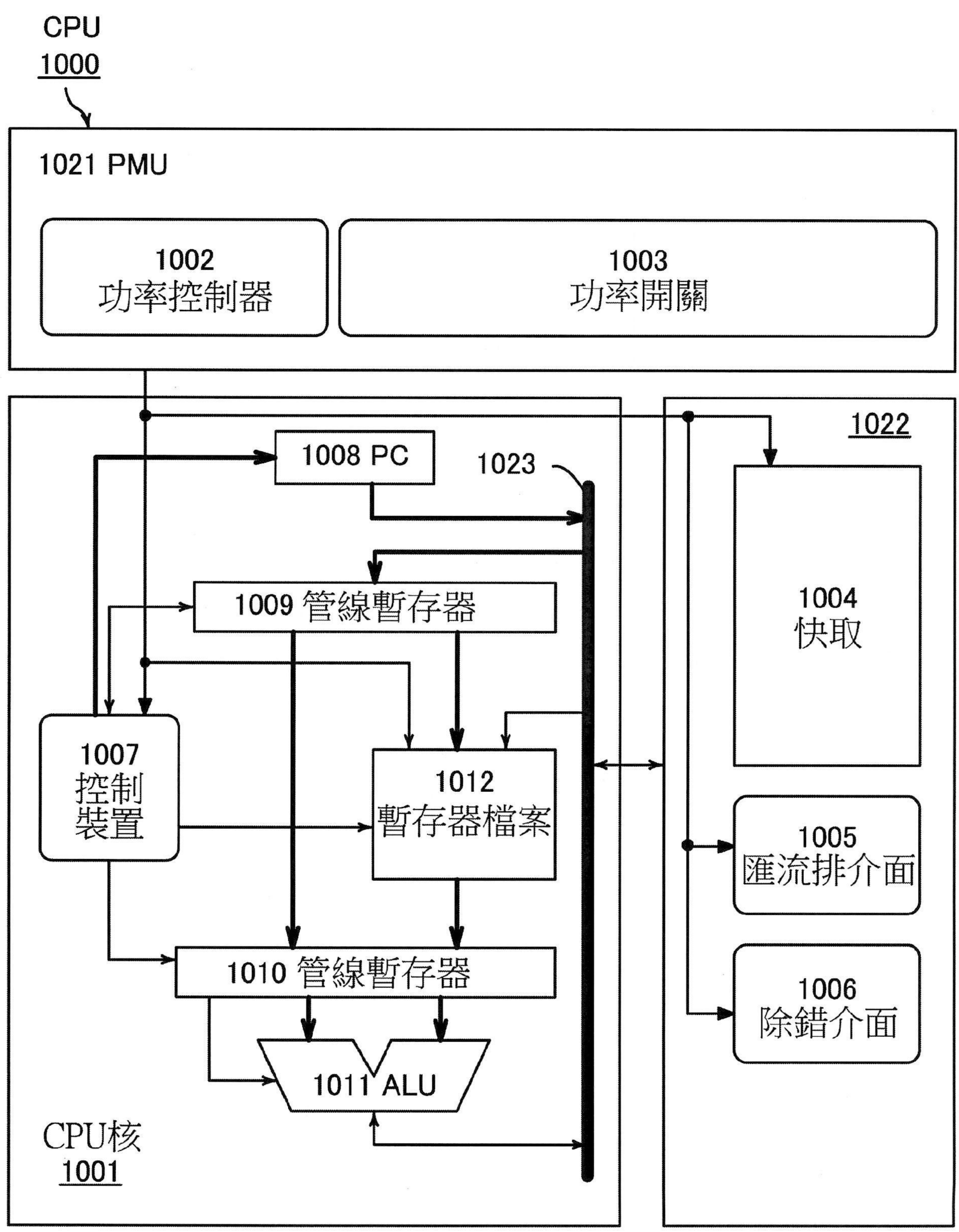


圖 27

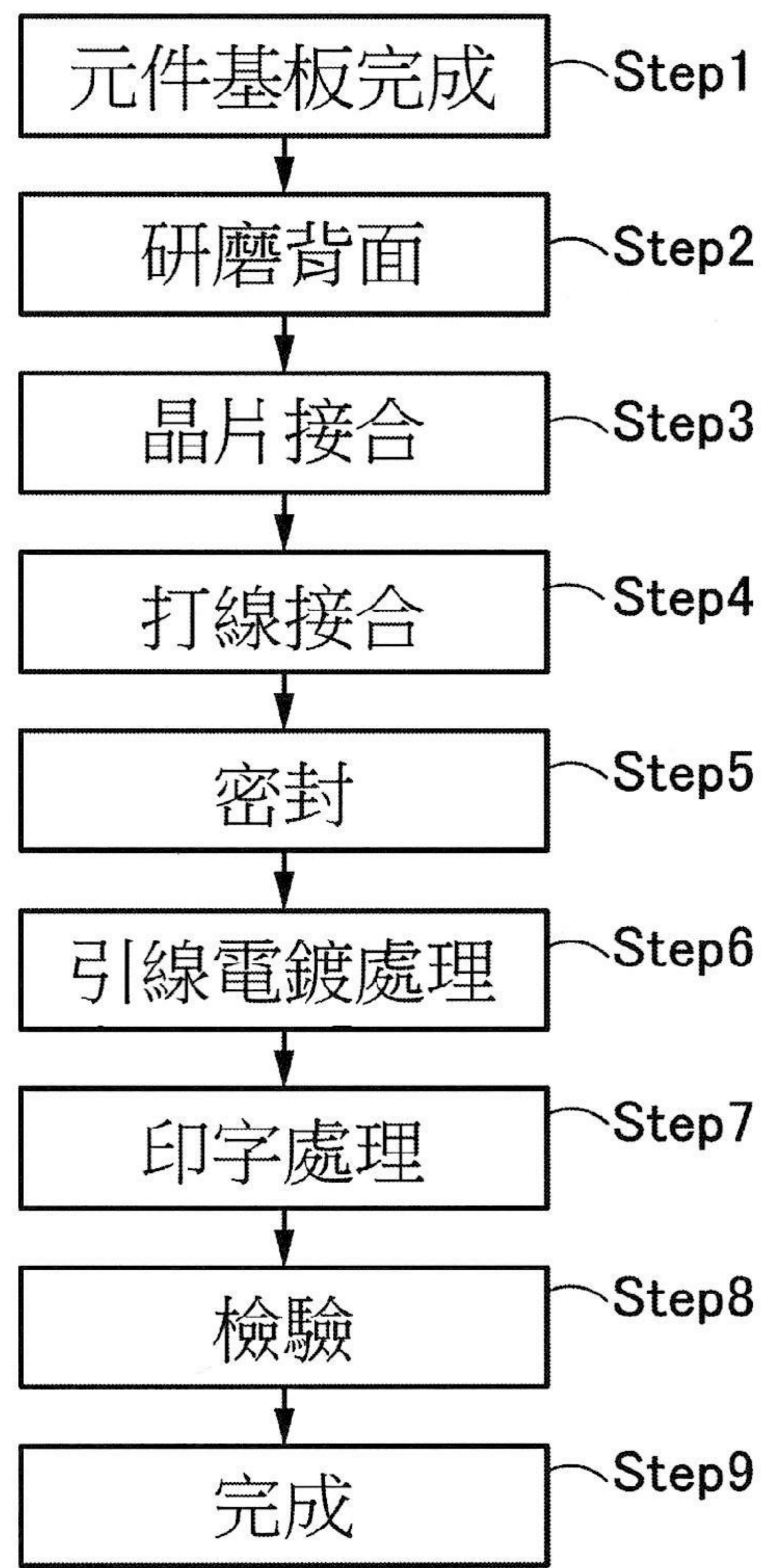


圖 28A

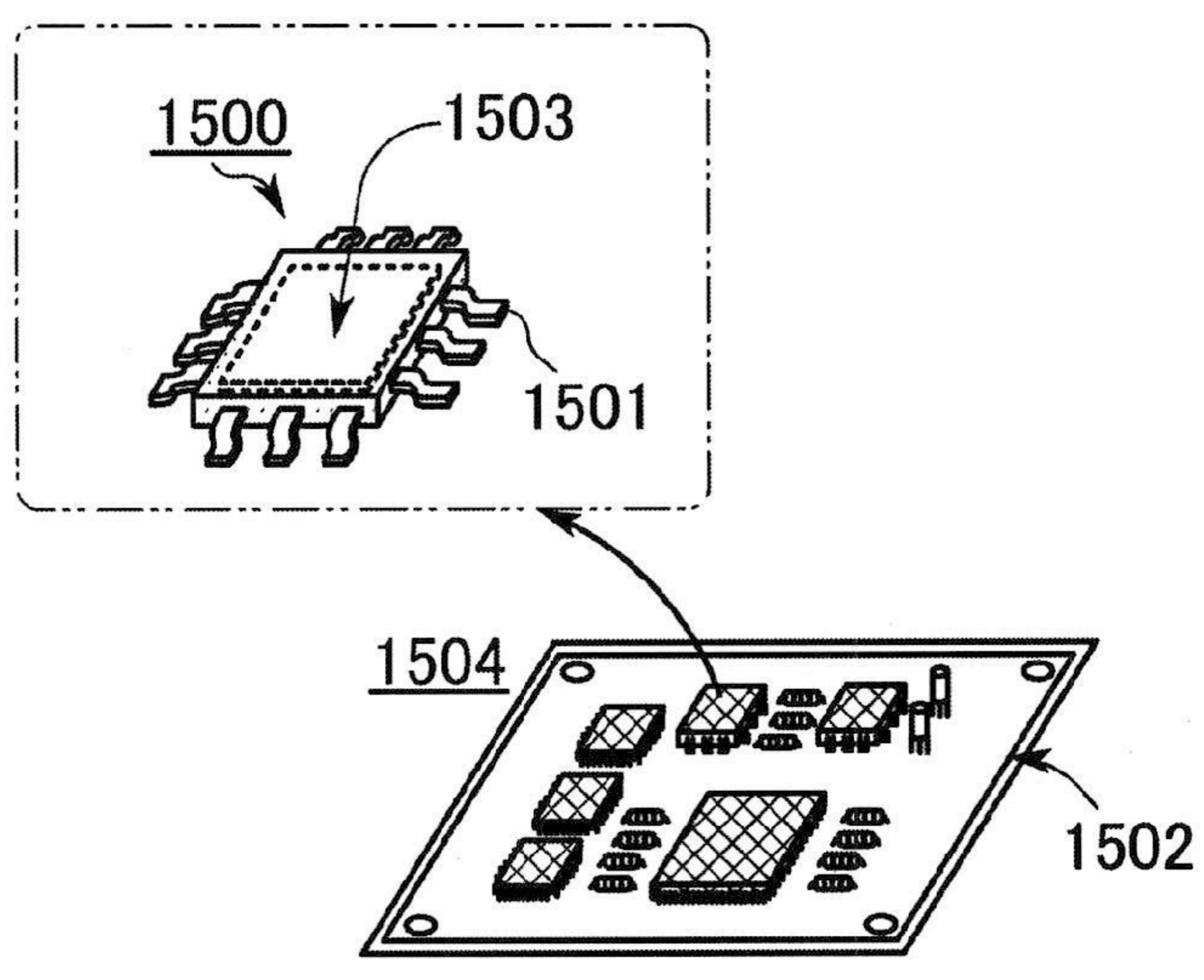


圖 28B

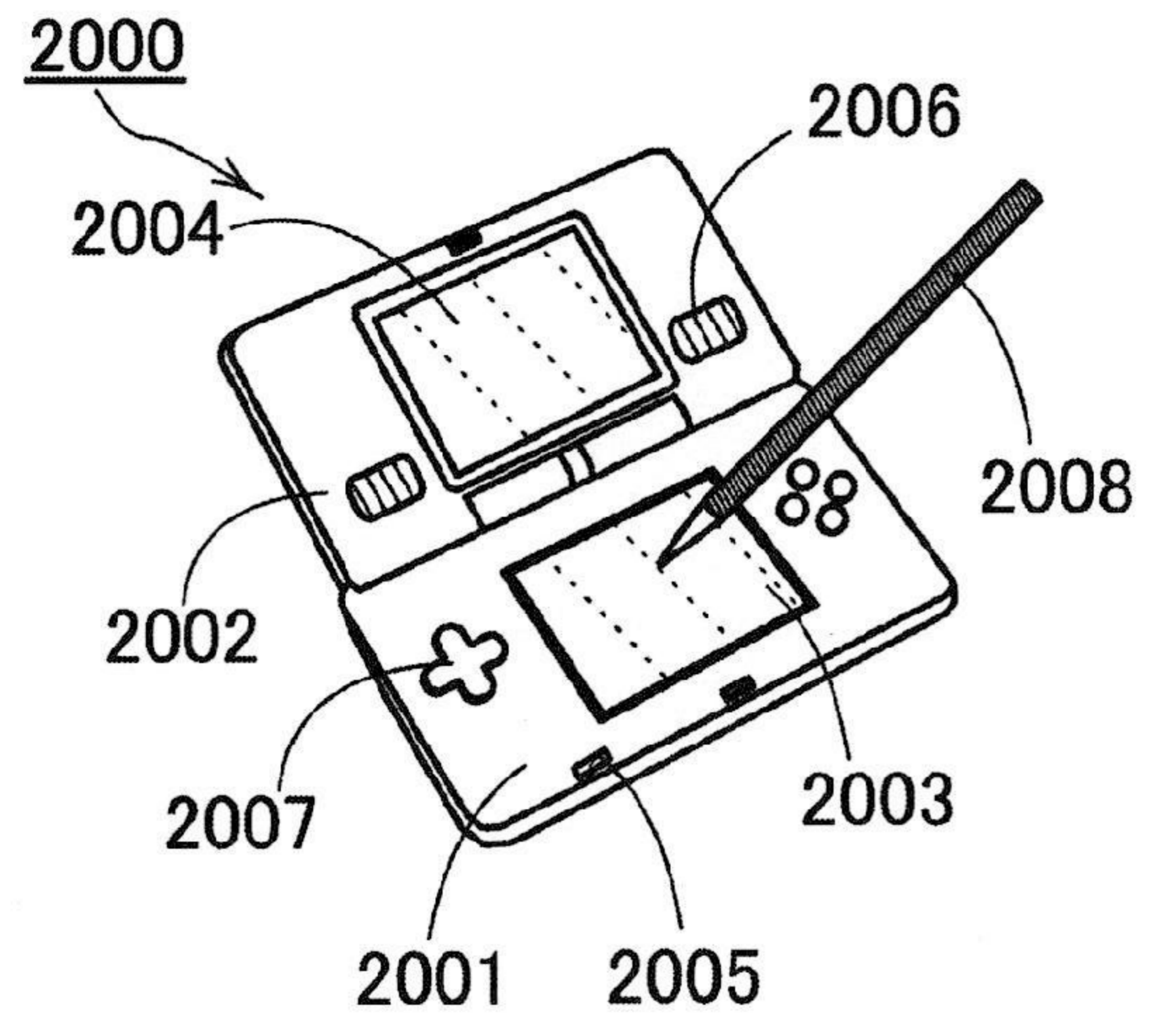


圖 29A

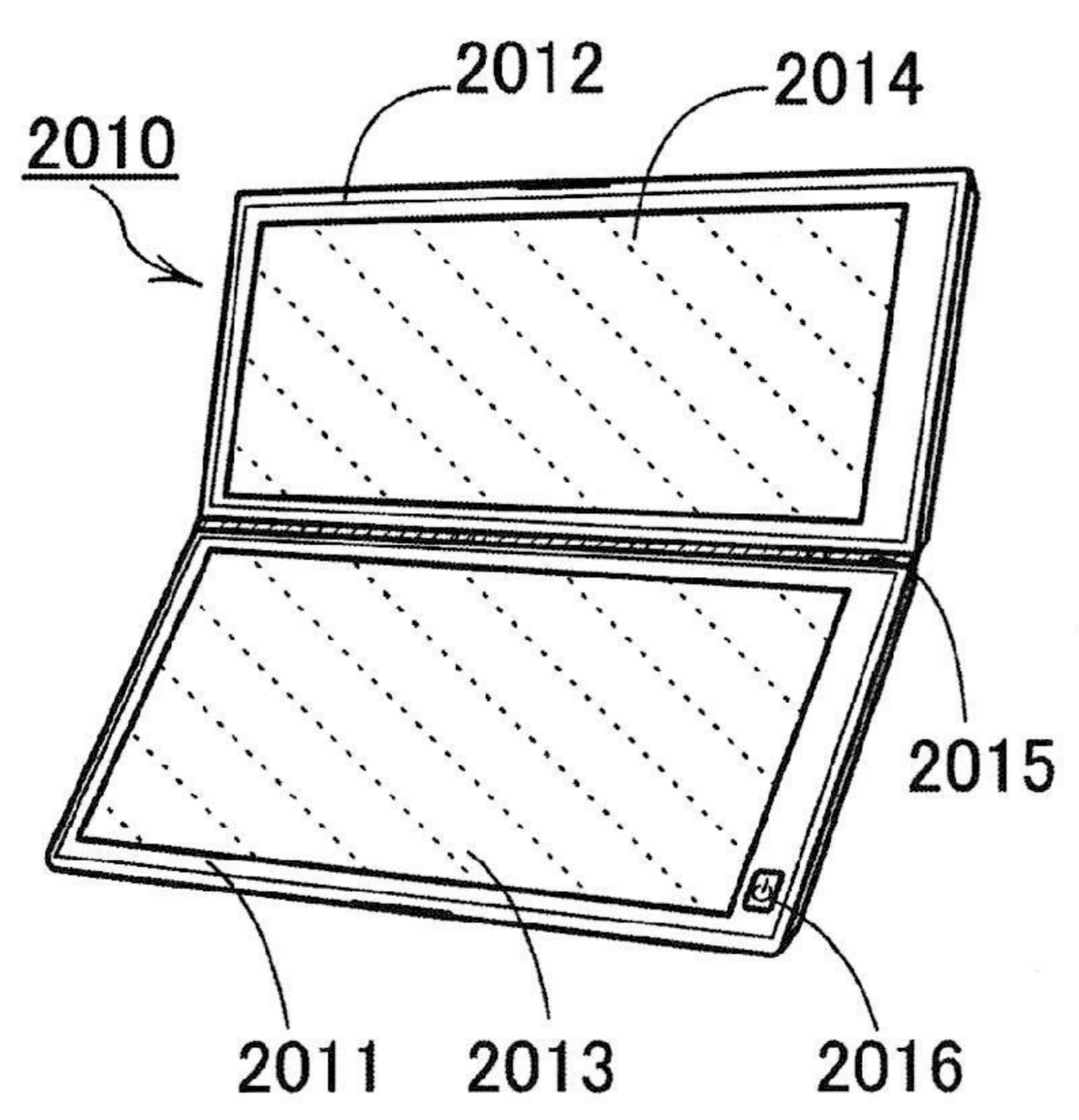


圖 29B

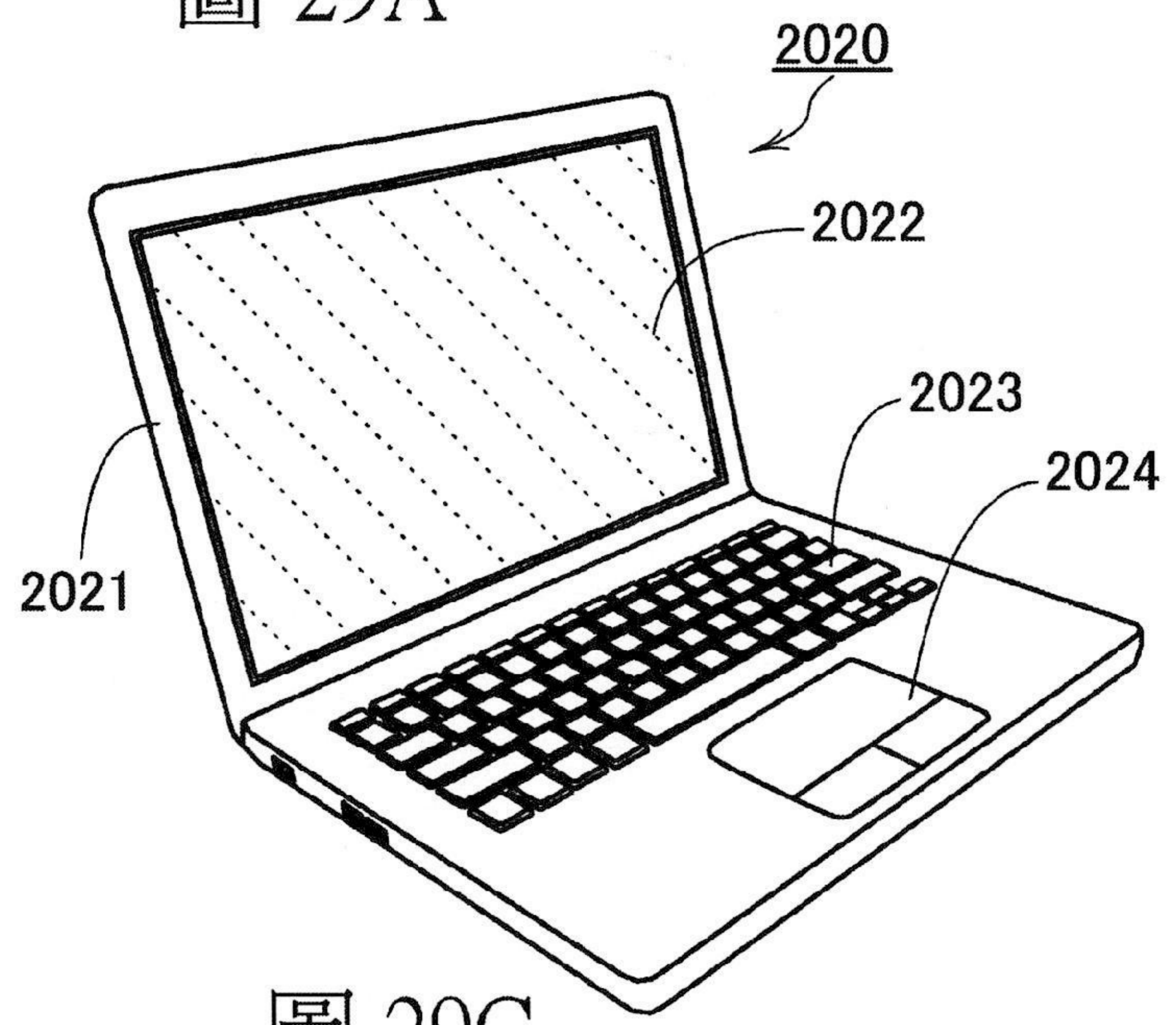


圖 29C

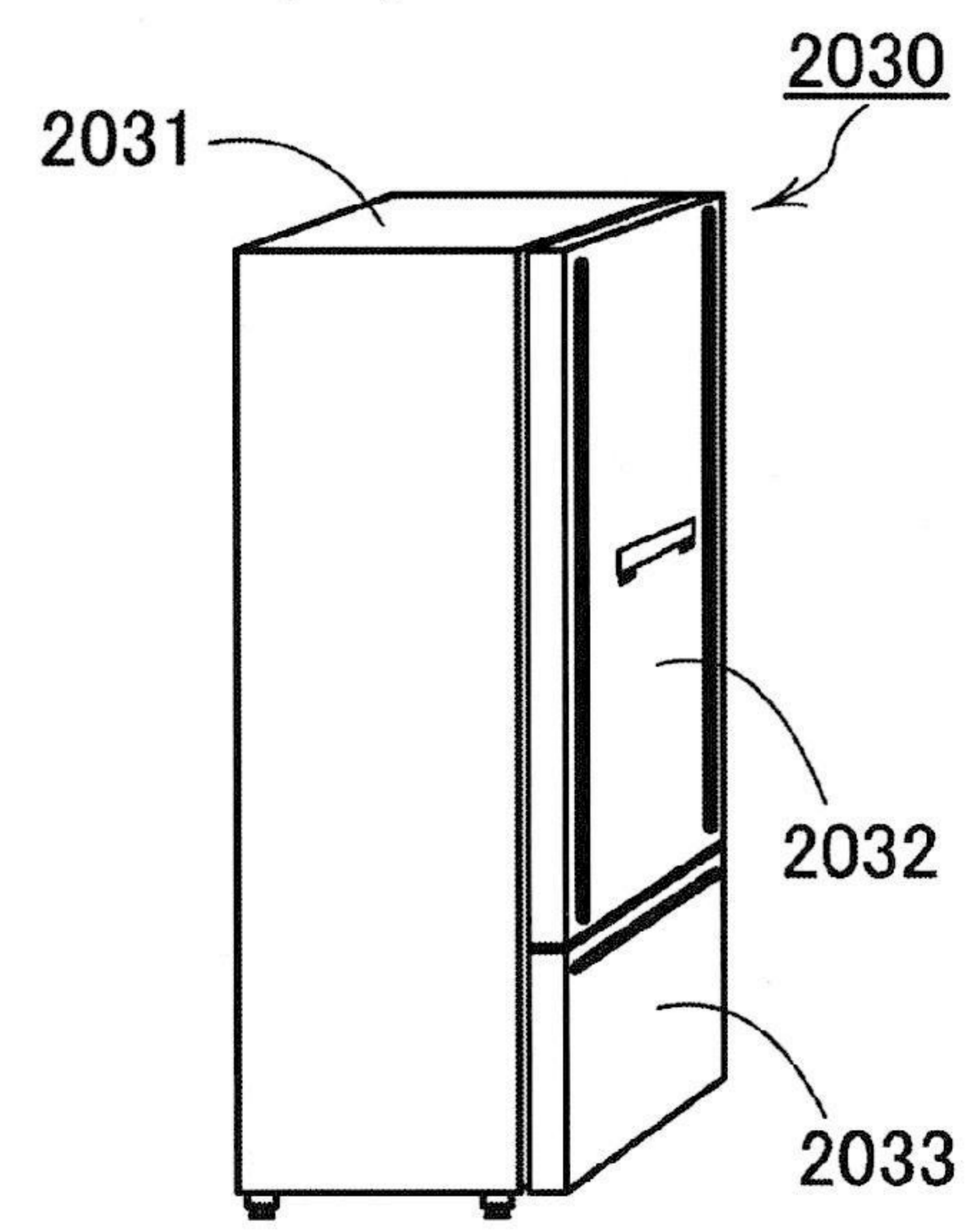


圖 29D

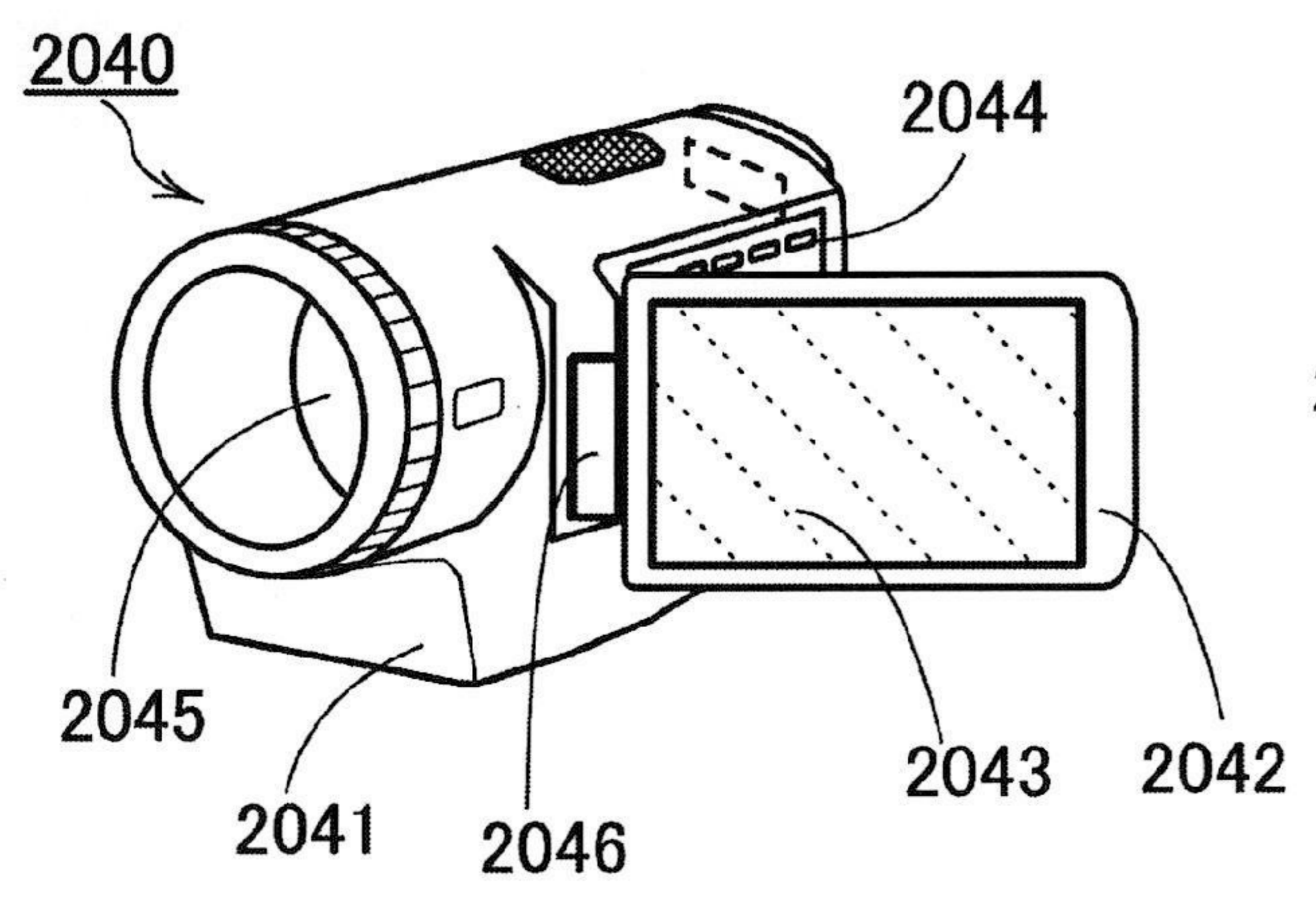


圖 29E

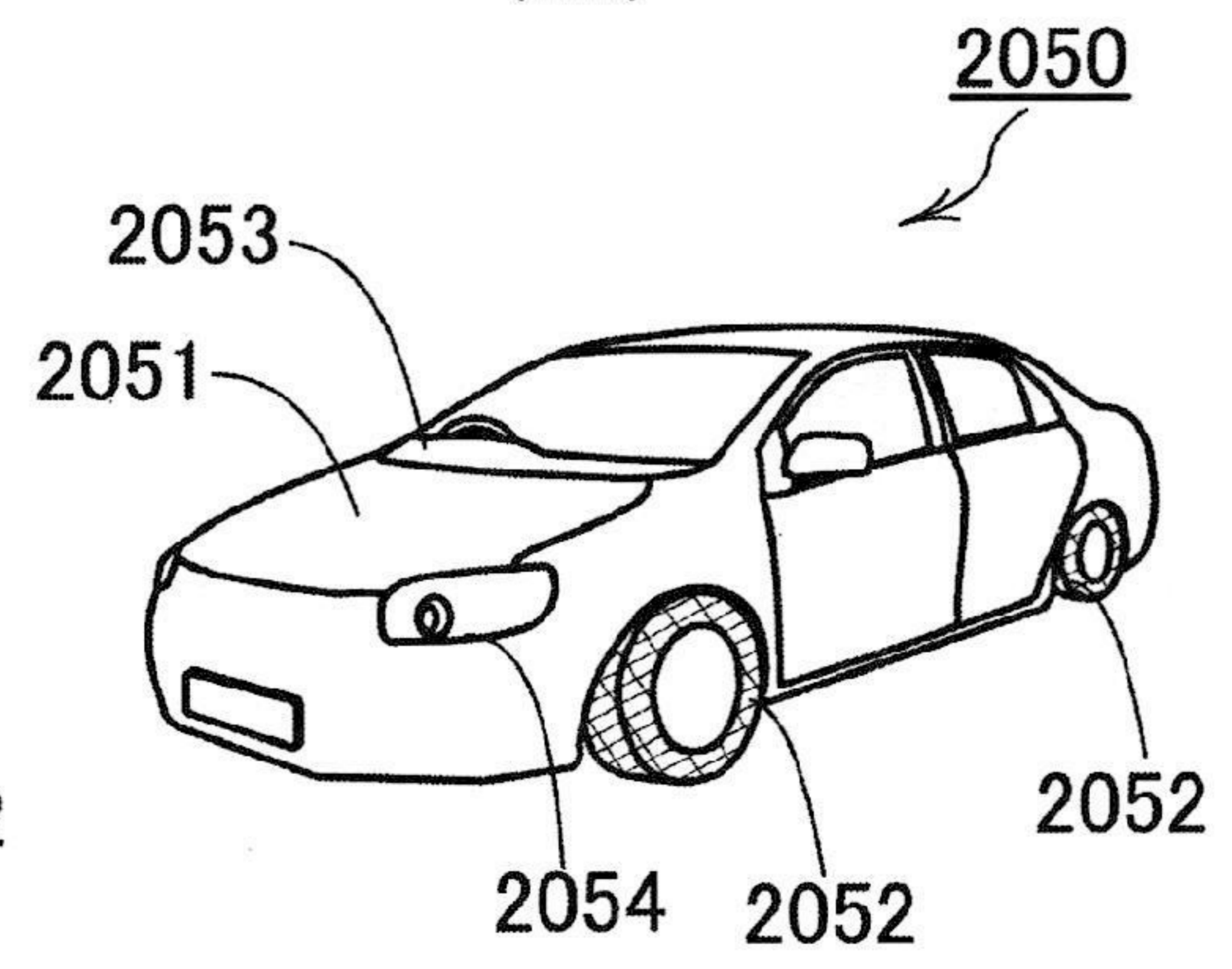


圖 29F