

公告本

410464

申請日期	88.3.31
案號	88105118
類別	Hc1L-27/10

A4
C4

(以上各欄由本局填註)

發明專利說明書		410464
一、發明名稱	中文	兼具記憶體與邏輯電路之半導體裝置及其製法
	英文	SEMICONDUCTOR DEVICE HAVING BOTH MEMORY AND LOGIC CIRCUIT AND ITS MANUFACTURE
二、發明人	姓名	大川成實
	國籍	日本
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓名 (名稱)	日商·富士通股份有限公司
	國籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代表人姓名	秋草直之

裝訂線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 1998,10,02 特願平願10-281699

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本案係基於日本專利申請案和10-281699，申請日1998年10月2日，其全體內容併述於此以供參考。

發明背景

a)發明領域

本發明係關於一種半導體裝置及其製法，特別係關於一種半導體裝置具有記憶體儲存格及邏輯電路皆形成於同一基板上及其製法。

b)相關技術之說明

於形成動態隨機存取記憶體(DRAM)及邏輯電路之半導體裝置中，金屬矽化物膜係形成於源/汲區及MISFET之閘極係形成於邏輯電路區俾便改良邏輯電路性能。

為了改進半導體裝置如DRAM之記憶體儲存格之資料儲存特性，希望減少源/汲區之接合漏電流。若金屬矽化物膜形成於源/汲區，則接合漏電流增加(參照第178屆會議電化學學會，218至220頁)。因此於DRAM製程中概略未形成金屬矽化物膜。

於形成DRAM及邏輯電路之半導體裝置中，希望金屬矽化物膜未形成於DRAM區反而僅形成於邏輯電路區。

於DRAM區，組成一記憶體儲存格之MISFET之閘極通常係於一字線整合一體形成。為了降低多晶矽等製成之字線的電阻，希望以高濃度攙雜雜質。但於邏輯電路區，由MISFET之閘值等決定適當雜質濃度。因此於記憶體儲存格區及邏輯電路區之閘極之最佳雜質濃度並非經常吻合。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

於邏輯電路區於類比電路之電容器之靜電電容值精度變較高。因此理由故，通常使用多晶矽膜/氧化矽膜/多晶矽膜三層結構。為了減少電容器之電壓關聯，較佳製造具有高雜質濃度之多晶矽膜。為了抑制製造成本的增高，需要儘可能抑制形成高雜質濃度多晶矽膜所需的製程步驟數目增加。

已知一種方法，藉該方法唯有於形成記憶體儲存格區後才形成邏輯電路區。若位元線係設置於儲存格板下方，該板係用作組成記憶體儲存格之電容器公用電極，要求位元線前端由儲存格板邊界凸起，俾便電連結位元線及邏輯電路區之線路圖樣。因此當形成記憶體儲存格時需要分別執行去除沈積於邏輯電路之層間絕緣膜之製程及圖樣化儲存格板之製程。

發明概述

本發明之目的係提供一種半導體裝置及其製法，其可改良邏輯電路區之電力特性同時可維持良好記憶體儲存格之資料儲存特性。

本發明之另一目的係提供一種半導體裝置形成有DRAM及記憶體電路及其製法，其可於邏輯電路區形成電容器同時抑制製程數目的增加。

本發明之又一目的係提供一種半導體裝置及其製法，其可電連結記憶體儲存格區之位元線至邏輯電路區之線路圖樣，唯有於邏輯電路區形成前形成記憶體儲存格區可抑制製程數目的增加。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

根據本發明之一方面，提供一種製造一半導體裝置之方法，該方法包含下列步驟：製備一半導體基板具有一記憶體儲存格區及一邏輯電路區係界定於該半導體基板之主面上；形成一閘極絕緣膜於半導體基板主面上；形成一矽膜於閘極絕緣膜上；攙雜雜質於矽膜而使記憶體儲存格之矽膜區具有第一雜質濃度及於邏輯電路區矽膜製造於區具有第二雜質濃度，該濃度係低於第一雜質濃度；圖樣化矽膜留下具有第一雜質濃度之字線，且作為記憶體儲存格區之閘極，及留下具有第二雜質濃度之閘極於邏輯電路區；及形成MISFET之源/汲區於半導體基板表層，其形成方式係經由攙雜雜質至記憶體儲存格區各字線兩邊各區以及攙雜於邏輯電路區之各閘極兩邊各區。

因記憶體儲存格區之字線雜質濃度相當高，故可降低字線電阻。因於邏輯電路區之MISFET之閘極之雜質濃度相當低，故可改良MISFET之電力特性。

根據本發明之另一方面提供一種半導體裝置，包含：一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板主面上；複數記憶體儲存格係設置於半導體基板之記憶體儲存格區，各記憶體儲存格包括一第一MISFET及一電容器，及各第一MISFET之閘極具有第一雜質濃度；及複數第二MISFET設置於半導體基板之邏輯電路區，各第二MISFET具有與第一MISFET導電類型相同的導電類型，及各第二MISFET之閘極具有比第一雜質濃度更低的第二雜質濃度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

因於記憶體儲存格區之MISFET閘極之雜質濃度相當高，故可降低也作為閘極之字線電阻。因於邏輯電路區之MISFET之閘極之雜質濃度相當低，故可改良MISFET之電力特性。

根據本發明之另一方面提供一種製造半導體裝置之方法，該方法包含下列步驟：製備一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板之一主面上；形成由絕緣材料製成之元件分隔結構於該半導體基板主面之部份區而界定主動區；形成第一閘極絕緣膜於半導體基板主面各區，此處未形成元件分隔結構；形成一第一導電膜覆蓋該元件分隔結構及第一閘極絕緣膜；去除記憶體儲存格區之第一導電膜；形成一電容器電介質膜於第一導電膜表面上；形成一第二導電膜於電容器電介質膜上及半導體基板上；圖樣化第二導電膜而具有上電極於元件分隔結構上以及留下複數字線作為閘極於記憶體儲存格區；及圖樣化電容器電介質膜及第一導電膜而留下由第一導電膜製成之一下電極，其中該下電極之保留形狀為當沿半導體基板之法線方向檢視時，涵括上電極之形狀，一由第一導電膜製成之閘極留在邏輯電路區之主動區上，及電容器電介質膜留在上電極與下電極間。

電容器之上電極與字線係同時形成，邏輯電路區之下電極與閘極^係同時形成。因此可形成電容器同時抑制製程數目的增加。

根據本發明之另一方面提供一種半導體裝置，包含

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

：一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板主面上及元件分隔結構形成於邏輯電路區及記憶體儲存格區表面上；複數記憶體儲存格係設置於半導體基板之記憶體儲存格區，各記憶體儲存格包括一第一MISFET及一電容器，及各第一MISFET之閘極具有第一雜質濃度；及複數第二MISFET設置於半導體基板之邏輯電路區，各第二MISFET具有與第一MISFET導電類型相同的導電類型，及一第二MISFET之閘極具有第二結構；及一電容器係設置於邏輯電路區之元件分隔結構上，該電容器具有一下電極，一電容器電介質膜及一上電極照此順序堆疊，其中該上電極具有第一結構及該下電極具有第二結構。

根據本發明之另一方面提供一種半導體裝置，包含：
：MISFET形成於一半導體基板表面上，各MISFET包括源/汲區及一閘極設置於介於源/汲區間之一通道區上方；一覆蓋絕緣膜係由絕緣材料製成且覆蓋閘極之上及側表面；一導電墊係設置成覆蓋源/汲區之對應上表面及覆蓋絕緣膜之對應側面；一層間絕緣膜係設置於半導體基板上及覆蓋墊及MISFET；一接觸電洞形成於層間絕緣膜位在位置當沿半導體基板之法線方向檢視時係由墊所涵括的位置；及一電容器形成於層間絕緣膜上，電容器之一電極細透過接觸電洞連結至墊。

當接觸電洞形成時，墊暴露出，而下方源/汲區未暴露出。因源/汲區未暴露於蝕刻層間絕緣膜之蝕刻氣氛，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

故可防止損傷源/汲區。

根據本發明之另一方面，提供一種製造半導體基板之方法，包含下列步驟：製備一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板之一主面上；形成一DRAM電路於半導體基板之記憶體儲存格區，其中該DRAM電路包括複數記憶體儲存格及位元線，各記憶體儲存格具有一對MISFET及電容器，電容器之一電極係連結至對應MISFET之源/汲區之一區，位元線互連若干記憶體儲存格之MISFET之源/汲區之其它區，該位元線接近記憶體儲存格區與邏輯電路區間之界限伸展，該電容器之另一對電極係設置於比位元線更高的一層且係連結至複數電容器，一第一絕緣膜係電絕緣位元線及MISFET，一第二絕緣膜係電絕緣位元線與電容器，及對電極及第一及第二絕緣膜也係設置於邏輯電路區；以一光阻圖樣覆蓋於記憶體儲存格區之對電極表面，其中光阻圖樣之邊界係設置成遠離位元線前端朝向邏輯電路區；經由使用光阻圖樣作為光罩，各向同性蝕刻該對電極而去除於邏輯電路區之對電極，其中於邏輯電路區之對電極也被側向蝕刻至對電極邊界由位元線前端退縮為止；經由使用光阻圖樣作為光罩蝕刻及去除於邏輯電路區之第一及第二層間絕緣膜；一第三層間絕緣膜覆蓋半導體基板全表面；形成一接觸電洞於第三及第二層間絕緣膜，該接觸電洞係形成於遠離對電極邊界朝向邏輯電路區之位置，且暴露位元線之部分上表面；及形成一線路於第三絕緣膜上，該線路係透過接觸電洞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

連結至位元線且伸展於邏輯電路區。

因對電極係透過各向同性蝕刻接受側向蝕刻，故對電極邊界可由邏輯電路區與記憶體儲存格區間之界限退縮。因此容易連結邏輯電路區之線路至位元線。

根據本發明之另一方面，提供一種半導體裝置，包含：一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板之主面上；一元件分隔結構形成於半導體基板上介於記憶體儲存格區與邏輯電路區間之邊界區；一互連線路係設置於元件分隔結構上；一DRAM電路係形成於記憶體儲存格區之半導體基板上，其中該DRAM電路包括複數記憶體儲存格及位元線，各記憶體儲存格具有一對MISFET及電容器，電容器之一電極係連結至對應MISFET之源/汲區之一區，位元線互連若干記憶體儲存格之MISFET之源/汲區之其它區，該位元線係接近記憶體儲存格區與邏輯電路區間之界限伸展，及該位元線係設置於比互連線路更高之一層且與互連線路連結；一層間絕緣膜覆蓋DRAM電路及邏輯電路區；一接觸電洞形成貫穿層間絕緣膜，接觸電洞之底部為互連線路之部分上表面；及一上線路係設置於層間絕緣膜上，上線路係透過接觸電洞連結至互連線路且於邏輯電路區伸展。

雖然對電極邊界係概略齊平邏輯電路區與記憶體儲存格區間之界限，但連結至位元線之互連線路係伸展至邏輯電路區。經由連結邏輯電路區之線路至互連線路，邏輯電路區之線路可連結至位元線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

如前述，於DRAM混合邏輯電路中，於記憶體儲存格區及邏輯電路區之MISFET之閘極之雜質濃度設定為適當值，故可改良DRAM之資料儲存特性及邏輯電路之電力特性。

於邏輯電路區之電容器下電極及於邏輯電路區之MISFET之閘極係同時形成，及於記憶體儲存格區之上電極與字線係同時形成。因此可抑制製程數目的增加。

於記憶體儲存格區之對電極係各向同性蝕刻而使對電極邊界由記憶體儲存格區與邏輯電路區間之界限退縮。因此無須使用光罩來界定對電極邊界。

邏輯電路區之線路係透過互連線路連結至記憶體儲存格區之位元線，該互連線路係設置於形成於邏輯電路區與記憶體儲存格區間界限上之元件分隔結構上。經由使互連線路於記憶體儲存格區遠離對電極邊界朝向邏輯電路區伸展，變成容易連結邏輯電路區之線路至互連線路。

圖式之簡單說明

第1A至1I圖為基板之剖面圖，示例說明根據本發明之第一具體例之半導體裝置之製法。

第2A圖為線圖顯示閘極之雜質劑量與MISFET之汲流間之關係，及第2B圖為線圖顯示閘極之雜質劑量與片電阻間之關係。

第3A至3F圖為基板之剖面圖，示例說明根據本發明之第二具體例之半導體裝置之製法。

第4A至4F圖為基板之剖面圖，示例說明根據本發明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

之第三具體例之半導體裝置之製法。

第5A及5B圖為基板之剖面圖，示例說明根據本發明之第四具體例之半導體裝置之製法。

第6A及6B圖為基板之剖面圖，示例說明根據本發明之第五具體例之半導體裝置之製法。

較佳具體例之詳細說明

參照第1A至1I圖及第1A及2B圖將說明本發明之第一具體例。第1A及1I圖為基板之剖面圖，示例說明根據第一具體例之半導體裝置之製法。各圖中切除部左側顯示記憶體儲存格區，右側顯示邏輯電路區之n-通道MISFET形成區。

首先說明第1A圖示例說明之製程。於p-型矽基板1表面上，藉眾所周知之方法形成淺渠溝型元件分隔結構2。元件分隔結構2於記憶體儲存格陣列區界定一主動區3及一邏輯電路區界定一主動區4。於主動區3及4表面上，透過熱氧化形成二氧化矽之閘極氧化物膜7至5至10毫微米厚度。多晶矽膜8沈積至100至250毫微米厚度，覆蓋閘極氧化物膜7。例如多晶矽膜8係使用甲矽烷透過化學蒸氣沈積(CVD)沈積。

多晶矽膜8係於10至30 keV之加速能及 3 至 $6 \times 10^{15} \text{cm}^{-2}$ 劑量條件下接受第一磷(P)離子植入。此案例中，於邏輯電路區之p-通道MISFET形成區(圖中未顯示)係以光阻圖樣覆蓋。

如第1B圖所示，於邏輯電路區之多晶矽膜8表面以光

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

後

五、發明說明(10)

阻圖樣5覆蓋。於記憶體儲存格區之多晶矽膜8係於10至30 keV之加速能及 5 至 $8 \times 10^{15} \text{cm}^{-2}$ 劑量條件下接受第二磷離子植入。於此離子植入後去除光阻圖樣5。

如第1C圖所示，多晶矽膜8經圖樣化而留下多條字線8a於記憶體儲存格區及閘極8b於邏輯電路。例如多晶矽膜8係使用氟氣及氧氣之混合氣體透過反應性離子蝕刻(RIE)蝕刻。字線8a係相對於繪圖紙表面垂直伸展。二字線8a係橫過於主動區3。字線8a也形成於主動區3兩邊之元件分隔結構2上。主動區3之字線8a也作為待形成於主動區3之MISFET閘極。

經由使用字線8a及閘極8b作為光罩，植入雜質離子。磷離子係於10至30 keV之加速能及 1 至 $5 \times 10^{13} \text{cm}^{-2}$ 劑量條件下植入記憶體儲存格區之MISFET形成區。磷離子係於5至30 keV之加速能及 1 至 $5 \times 10^{13} \text{cm}^{-2}$ 劑量條件下植入邏輯電路區之n-通道MISFET形成區，然後砷離子係於5至30 keV之加速能及 1 至 $50 \times 10^{13} \text{cm}^{-2}$ 劑量條件下攙雜於同區。使用此等離子植入過程，MISFET之源/汲區9a形成於記憶體儲存格區，及輕度攙雜汲體(LDD)結構之源/汲區之低濃度區9b係形成於邏輯電路區。

高性能MISFET可藉攙雜砷於MISFET之低濃度區9b而形成於邏輯電路區。於記憶體儲存格區之MISFET之源/汲區9a僅攙雜磷而未攙雜砷，故可形成具有較低漏電流及良好更新特性之DRAM。

以下說明第1D圖示例說明之製程。二氧化矽膜於基

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明(11)

板全體表面上沈積至80至120毫微米厚度。例如二氧化矽膜係使用甲矽烷及氧氣透過CVD沈積。記憶體儲存格區以光阻圖樣11覆蓋而各向異性蝕刻於邏輯電路區之二氧化矽。因此側壁絕緣膜10b係留在邏輯電路區閘極側壁上，及二氧化矽膜10a係留在記憶體儲存格區。

其次進行離子植入過程而於邏輯電路區形成源/汲區。砷離子係於30至40 keV之加速能及 2 至 $4 \times 10^{15} \text{cm}^{-2}$ 劑量條件下植入n-通道MISFET形成區，及硼(B)離子係於5至15 keV之加速能及 2 至 $4 \times 10^{15} \text{cm}^{-2}$ 劑量條件下植入p-通道MISFET形成區。於兩種離子植入過程中，記憶體儲存格區係以光阻圖樣覆蓋。使用此等離子植入方法形成LDD結構之源/汲區之高濃度區12b。於此等離子植入過程後，使用氫氟酸去除矽表面上之天然氧化物膜。

如第1E圖所示，矽化鈷(CoSi_2)膜15形成於閘極8b及高濃度區12b表面上。矽化鈷膜之形成方法說明如後。首先透過濺散等沈積鈷膜覆蓋基板全表面。第一次熱退火係於450至500°C之基板溫度進行，隨後於800至900°C之基板溫度進行第二次熱退火。藉此於矽表面及鈷膜間進行矽化反應因而形成矽化鈷膜15。未經矽化反應之鈷膜使用氫氟酸去除。藉此方式可僅於矽暴露面上以自行對正方式形成矽化鈷膜15。

因記憶體儲存格區之源/汲區9a及字線8b表面係以二氧化矽膜10a覆蓋，故此等區不會進行矽化反應。因邏輯電路區之源/汲區之高濃度區12b係接觸鈷膜，故於其間之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

交界面進行矽化反應。其它與鈷不同的金屬也可透過與矽之矽化反應形成金屬矽化物例如鈦。

如第1F圖所示，硼磷矽玻璃(BPSG)膜18沈積至800至1200毫微米厚度覆蓋基板全表面。例如BPSG膜18係使用 SiH_4 ， B_2H_6 ， O_2 及 PH_3 之混合氣體作為來源氣體透過CVD沈積。熱退火係於基板溫度700至850°C進行，隨後BPSG膜表面透過化學機械拋光(CMP)平面化。

接觸電洞19係經由使用 CF_4 及 CHF_3 混合氣體透過RIE蝕刻BPSG膜18而形成於主動區3中心之源/汲區9a之暴露面上。形成位元線20，其係透過接觸電洞19連結至中心源/汲區9a。位元線20係沿垂直字線82之方向伸展，伸展於第1F圖之剖面圖所示以外區域。

形成位元線20之方法說明如後。攙雜磷之厚50毫微米多晶矽膜及厚100毫微米之矽化鎢(WSi)膜沈積遮蓋基板全體表面。多晶矽膜使用 SiH_5 作為來源氣體透過CVD沈積，WSi膜使用 WF_6 及 SiH_4 作為來源氣體透過CVD沈積。於沈積多晶矽膜前，形成於接觸電洞19底部之天然氧化物膜可使用氫氟酸去除。

多晶矽膜及矽化鎢膜經圖樣化而形成位元線20。多晶矽膜及矽化鎢膜係使用氟氣及氧氣透過RIE蝕刻。

如第1G圖所示，BPSG膜23沈積至800至1200毫微米厚度，覆蓋基板全體表面。熱退火係於700至850°C基板溫度進行，及隨後BPSG膜23表面透過CMP平面化。

接觸電洞24形成而暴露於主動區之中央源/汲區9a兩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(13)

邊上之源/汲區9a表面。形成儲存電極25，及透過對應接觸電洞24連結至源/汲區9a。儲存電極25係藉沈積磷摻雜多晶矽膜至300至800毫微米厚度及隨後圖樣化該膜形成。

如第1H圖所示，氮化矽(SiN)膜沈積至3至5毫微米厚度，覆蓋基板全體表面。氮化矽膜於700至800°C溫度加熱氧化形成SiON製成之電容器電介質膜28。以磷摻雜之多晶矽製成之對電極29厚度為100毫微米經形成而覆蓋電容器電介質膜28。於記憶體儲存格陣列區不同區之電介質膜28及對電極29被去除。此種雙層蝕刻係使用氯氣及氧氣透過RIE進行。

如第1I圖所示，BPSG膜30沈積至1000至1500毫微米厚度，遮蓋基板全體表面。接觸電洞32形成而暴露出對電極29之部分表面積及邏輯電路區之矽化鈷膜15之部分表面積。雖然第1I圖未顯示，同時形成一接觸電洞暴露位元線20之部分表面積。

接觸電洞32內側埋置一鎢柱塞35。形成鎢柱塞35之方法容後詳述。首先藉濺散沈積障蔽金屬層。例如障蔽層有鈦膜及氮化鈦膜兩層結構。鎢膜透過CVD沈積於障蔽金屬層至300至500毫微米厚度而填補接觸電洞32之內側以鎢。不必要的鎢膜及障蔽金屬層藉CMP去除而僅留下鎢柱塞35於接觸電洞32。

線路圖樣40形成於BPSG膜30上。線路圖樣具有由障蔽金屬層、鋁(Al)膜及抗反射膜組成的層疊結構。例如抗反射膜由氮化鈦製成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(14)

二氧化矽膜41沈積於BPSG膜30覆蓋線路圖樣40。例如二氧化矽膜41使用高密度電漿透過CVD沈積。接觸電洞形成於二氧化矽膜41，及接觸電洞內側埋置以鎢柱塞42。線路圖樣43形成於二氧化矽膜41表面，二氧化矽膜44沈積而覆蓋線路圖樣43。

覆蓋膜45沈積而覆蓋二氧化矽膜。覆蓋膜45具有由透過電漿CVD形成之二氧化矽膜及氮化矽膜組成的兩層結構。

前述第一具體例中，第1A圖示例說明之離子植入及第1B示例說明之離子植入係對記憶體儲存格區亦即字線8a之MISFET之閘極進行。唯有第1A圖示例說明之第一離子植入係對邏輯電路區之n-通道MISFET之閘極8b執行。

閘極之字線就第1C及1D圖所述於源/汲區之離子植入過程用作罩蓋。本案例中，雜質額外植入字線8a及閘極8b。經由考慮此額外離子劑量，第一及第二離子植入過程之劑量經適當選擇，故於記憶體儲存格區及邏輯電路區之MISFET之閘極的雜質濃度可於適當範圍內。

於前述第一具體例中，第1A圖示例說明之第一離子植入係對記憶體儲存格區及邏輯電路區二者執行。於第1B圖示例說明之第二離子植入步驟，離子植入可於 8 至 $15 \times 10^{16} \text{cm}^{-2}$ 的劑量執行而未經第一離子植入。藉此方式，當對邏輯電路區之MISFET源/汲區進行離子植入之同時進行閘極8b之離子植入。

第2A圖為線圖顯示當電壓2.5伏施加於閘極時介於閘

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

後

五、發明說明 (15)

極之雜質劑量與汲流間之關係。橫座標表示於閘極之雜質劑量單位為「 $\times 10^{15} \text{cm}^{-2}$ 」，及縱座標表示以相對100表示之汲流，該電流為使用樣本中之最大汲流。閘極厚度設定為180毫微米，植入的雜質為磷，及離子植入之加速能設定為20 keV。通道區之雜質劑量調整為閘電壓變成0.45伏。

最大汲流係於雜質劑量 $4 \times 10^{15} \text{cm}^{-2}$ 獲得。於大於此劑量之雜質劑量，汲流降低。原因為隨著閘極雜質濃度的增高需要提高通道區雜質濃度以防閘值降低。若閘極之雜質濃度過低，則閘極被耗盡，及MISFET之特性劣化。因此較佳設定閘極之雜質濃度於約 $4 \times 10^{15} \text{cm}^{-2}$ 。

第2B圖為線圖顯示閘極之雜質濃度與閘極之片電阻間之關係。橫座標表示閘極之雜質濃度，單位為「 $\times 10^{15} \text{cm}^{-2}$ 」及縱座標表示片電阻，單位為「 Ω / \square 」。閘極厚度、植入雜質、及加速能皆同第2A圖之線圖使用者。DRAM字線之片電阻通常為 $80 \Omega / \square$ 或以下。為了滿足此項要求，閘極之雜質濃度設定於約 $1 \times 10^{16} \text{cm}^{-2}$ 。

由第2A與2B圖比較可知邏輯電路區之閘極所需雜質劑量係與記憶體儲存格區之閘極所需劑量不同。經由對全體多晶矽膜8進行第一雜質植入以及僅對記憶體儲存格區之多晶矽膜8進行第二離子植入，如同第一具體例，適當雜質可植入邏輯電路區及記憶體儲存格區二者之閘極。

又第一具體例中，於第1E圖示例說明之矽化物反應過程中記憶體儲存格區係以二氧化矽膜10a覆蓋。因此可防止金屬矽化物形成於記憶體儲存格區之源/汲區。因此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(16)

可實現良好資料儲存特性。

其次參照第3A至3F圖，將說明第二具體例。第二具體例中，電容器係形成於邏輯電路區。各圖中，切開部右側顯示記憶體儲存格區，及左側顯示邏輯電路區。

首先說明第3A圖示例說明之方法。於p-型矽基板50表面上，元件分隔結構51形成而界定主動區3於記憶體儲存格陣列區及邏輯電路區。於主動區表面上，閘極氧化物膜52透過熱氧化形成至5至10毫微米厚度。多晶矽製成的第一導電膜53於基板全體表面上沈積至100至250毫微米厚度。第一導電膜53可由不定形矽替代多晶矽製成。

磷離子植入n-通道MISFET形成區之第一導電膜53及邏輯電路區之電容器形成區，例如於20 keV加速能及3至 $6 \times 10^{15} \text{cm}^{-2}$ 劑量條件下植入。磷及砷可以3至 $6 \times 10^{15} \text{cm}^{-2}$ 之總劑量植入。硼(B)離子係植入邏輯電路區之p-通道MISFET形成區之第一導電膜53內部。雜質並非植入p-通道MISFET形成區之第一導電膜53所需。同時當植入離子用於形成源/汲區時，p-通道MISFET之閘極係以p-型雜質植入。於前述離子植入過程後，進行退火用於活化植入離子。

於此活化退火後，記憶體儲存格區之第一導電膜上53使用氟氣及氧氣透過RIE去除。於第一導電膜53被圖樣化後，閘極氧化物膜52留在記憶體儲存格區表面上，及形成於第一導電膜53表面上之天然氧化物膜係使用氫氟酸去除。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

如第3B圖所示，記憶體儲存格區之主動區表面被熱氧化而形成厚5至10毫微米之第二閘極氧化物膜55。此種情況下，第一導電層53表面也被氧化而可同時形成具有厚度10至30毫微米厚度之電容器電介質膜56。

如第3C圖所示，多晶矽膜60，矽化鎢(WSi)膜61及第一氮化矽膜62係透過CVD以此順序形成於基板全體表面上。厚50至100毫微米之多晶矽膜60且摻雜P而提供n-型導電性。矽化鎢膜61及第一氮化矽膜62之厚度皆為100至200毫微米。

如第3D圖所示，由氮化矽膜62之多晶矽層60之三層經圖樣化而留下字線65於記憶體儲存格區及電容器上電極66於邏輯電路區之電容器形成區。字線65及電容器上電極66具有由多晶矽膜60，矽化鎢膜61，及第一氮化矽膜62組成的三層結構。第一氮化矽膜62係使用 CH_4 ， CHF_3 及Ar之混合氣體透過RIE蝕刻，矽化鎢膜61係使用氯氣及氧氣混合氣體透過RIE蝕刻，及多晶矽膜60係使用氯氣及氧氣之混合氣體透過RIE蝕刻。

經由使用字線65作為罩蓋，磷離子係於10至30 keV加速能及 2 至 $5 \times 10^{13} \text{cm}^{-2}$ 劑量條件下植入記憶體儲存格區。因此源/汲區67形成於記憶體儲存格區字線65兩邊。氮化矽製成的側壁絕緣膜68係形成於字線65及電容器上電極66側壁上。側壁絕緣膜68係經由沈積氮化矽膜於基板全體表面上且各向異性蝕刻此膜形成。各向異性蝕刻係使用 CF_4 ， CHF_3 及Ar之混合氣體透過RIE進行。此案例中，於未形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(18)

上電容器電極66該區之第一導電膜53上之電容器電介質膜56也被去除，及暴露出第一導電膜53上表面。

如第3E圖所示，第一導電膜53經圖樣化而留下一下電容器電極53a於一區，該區係涵括於沿基板表面法線方向檢視之涵括上電容器電極66之區域，以及留下閘極53b於邏輯電路區之n-通道MISFET形成區。雖然未顯示於第3E圖，閘極也留在p-通道MISFET形成區。第一導電膜53係使用氟氣及氧氣混合氣體透過RIE蝕刻。某些案例中，留下第一導電膜53側壁上的側壁絕緣膜68未被去除。此種情況下，當第一導電膜53被蝕刻時，第一導電膜53邊界區以光罩圖樣遮蓋而於光罩圖樣下方正向離開第一導電膜53。

經由使用閘極53b作為罩蓋，砷離子植入邏輯電路區之n-通道MISFET形成區用於形成LDD結構之低濃度區。離子植入條件為加速能為5至15 keV及劑量1至 $10 \times 10^{13} \text{cm}^{-2}$ 。同理硼離子係於5至15 keV之加速能及1至 $10 \times 10^{13} \text{cm}^{-2}$ 之劑量之離子植入條件下植入p-通道MISFET形成區。

二氧化矽膜係沈積於基板全體表面上，經各向異性蝕刻而留下側壁絕緣膜70b於閘極53a之側壁上。同時，側壁絕緣膜70a留在下電容器電極53a之側壁上，及側壁絕緣膜70d留在側壁絕緣膜68之傾斜面上。於記憶體儲存格區，字線65間之空間被埋置以埋置絕緣件70c。

經由使用閘極53b及側壁絕緣膜70b作為罩蓋，砷離子植入邏輯電路區之n-通道MISFET形成區用於形成LDD結構之高濃度區。離子植入條件為30至40 keV加速能及劑

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(19)

量為2至 $4 \times 10^{15} \text{cm}^{-2}$ 。同理於5至15 keV之加速能及2至 $4 \times 10^{15} \text{cm}^{-2}$ 之劑量之離子植入條件下，B離子係植入p-通道MISFET形成區(圖中未顯示)。於離子植入後，對如此形成的LDD結構之源/汲區71進行活化退火。

如第3F圖所示，矽化鈷膜72係形成於源/汲區72及邏輯電路區之MISFET閘極53b之上表面上。矽化鈷膜72係藉類似參照第1E圖所述形成第一具體例之矽化鈷膜15之方法形成。此種方法中，因記憶體儲存格區之源/汲區67表面覆蓋以埋置絕緣件70c，故矽化鈷膜未形成於源/汲區67表面上。

經由進行類似第1F圖及隨後各圖所示第一具體例之方法，形成混合邏輯電路且含電容器之DRAM，電容器係由下電容器電極53a、電容器電介質膜56及上電容器電極66組成。

類似第一具體例，於第二具體例中，金屬矽化物膜也可僅於邏輯電路區形成而未於記憶體儲存格區形成。第二具體例中，上電容器電極66係藉記憶體儲存格區之字線65之相同方法形成，及下電容器電極53a係藉邏輯電路區之閘極53b之相同製法製成。因此，具有多晶矽膜/二氧化矽膜/多晶矽膜之層疊結構的電容器可形成而儘可能減少製程步驟的增加。

又如第3F圖所示，字線65之頂面及側面覆蓋以氮化矽及第一氮化矽膜62製成的側壁絕緣膜68。若第1F圖所示接觸電洞19及第1G圖所示接觸電洞24係於氮化矽大體

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(20)

未被蝕刻之條件下形成，則第一氮化矽膜62之側壁絕緣膜68可作為矽化鎢膜61及多晶矽膜60之保護膜。因此可以自行對正方式形成接觸電洞19及24。

又復因邏輯電路區閘極53b側壁之側壁絕緣膜70b係由二氧化矽製成，故可提升MISFET之熱載子電阻及降低寄生電容超過側壁絕緣膜為氮化矽製成之例。因側壁絕緣膜70b係藉於記憶體儲存格區形成側壁絕緣膜68之不同方法形成，故可將側壁絕緣膜70b厚度設定為最適合短通道效應之值。

其次參照第4A至4F圖，說明第三具體例。各圖中切開部右側顯示記憶體儲存格區，及左側顯示邏輯電路區。

第4A圖對應第一具體例之第1C圖。於第一具體例之不同點為厚約100毫微米之上二氧化矽膜80形成於字線8a上。第4A圖示例說明之方法將就與第1C圖之方法之差異點說明。

於以元件分隔結構2形成之基板上，沈積多晶矽膜及二氧化矽膜，及去除邏輯電路之二氧化矽膜。類似第一具體例，多晶矽膜含有植入離子。於邏輯電路區之二氧化矽膜被去除後，進行類似第一具體例之過程而形成第4A圖所示基板。

於第三具體例中，於離子植入而形成邏輯電路區之MISFET下密度區9b後，植入離子用於記憶體儲存格區形成源/汲區9a。

進行類似第1E圖所示第一具體例形成矽化鈷膜15之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(21)

方法。

如第4B圖所示，矽化鈷膜15係形成於邏輯電路區之間極8b之上表面上及源/汲區之高濃度區12b之上表面上。記憶體儲存格區覆蓋以厚50至120毫微米之二氧化矽膜。

如第4C圖所示，低溫二氧化矽膜81於基板全表面上沈積至20至50毫微米厚度。低溫二氧化矽膜81係於700°C或以下之生長溫度透過CVD沈積。例如二氧化矽膜81係於約400°C之基板溫度透過電漿CVD沈積。於低溫沈積可防止矽化鈷膜15因加熱劣化。

如第4D圖所示，二氧化矽膜10a及低溫二氧化矽膜81經各向異性蝕刻而留下側壁絕緣膜82於記憶體儲存格區之層疊結構側壁上，各層疊結構係由字線8a及上二氧化矽膜80組成。此種案例中，邏輯電路區覆蓋以光阻圖樣。邏輯電路區之低溫二氧化矽膜81保持未經蝕刻。

摻雜與磷之非晶形矽膜係於基板全表面上透過CVD沈積至100至200毫微米厚度。非晶形矽膜經圖樣化而留下墊83於記憶體儲存格區之源/汲區9a。墊83覆蓋源/汲區9a表面，源/汲區9a兩側之側壁絕緣膜82側面，及上二氧化矽膜80之部分頂面。

如第4E圖所示，BPSG膜18沈積於基板全表面上，接觸電洞19形成於其中。隨後形成位元線20其接觸墊83。此等方法類似就第1F圖所述第一具體例之方法。

如第4F圖所示，BPSG膜23沈積於基板全體表面上，形成接觸電洞24及隨後形成儲存電極25。此等程序類似就

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(22)

第1G圖所述之第一具體例之程序。

第三具體例中，當第4E及4F圖所示接觸電洞19及24形成時，墊83暴露於接觸電洞底部。因此源/汲區9a未直接暴露於蝕刻氣氛，故可防止源/汲區9a形成缺陷。因此可防止DRAM之資料儲存特性因源/汲區9a之缺陷而劣化。

前述第一至第三具體例中，記憶體儲存格區及邏輯電路區之MISFET概略平行形成。形成邏輯電路之DRAM形成方法為已知，藉該方法於全部組成對電極(例如第1H圖所示對電極29)的成分皆形成於記憶體儲存格區後，於邏輯電路區之MISFET源/汲區形成。但此種方法之關聯問題為如何將記憶體儲存格區之位元線電連結至邏輯電路區之線路圖樣。後文將就此連結結構特點說明第四及第五具體例。

參照第5A及5B圖，說明第四具體例。第5A及5B圖為記憶體儲存格區與邏輯電路區間之邊界區之剖面圖。

如第5A圖所示，形成於矽基板90之記憶體儲存格區(約為第5A圖右半部)為MISFET 91，字線92，層間絕緣膜98，位元線93，層間絕緣膜99，儲存電極94，電容器電介質膜95及對電極96。此種配置可藉類似第1A至1H圖所示方法形成。但於邏輯電路區僅形成閘極，而未進行第1D圖所示對源/汲區高濃度區12b之離子植入及第1E圖所示矽化鈷膜15之形成。於邏輯電路區，形成閘極100及側壁絕緣膜101於閘極100側壁上。層間絕緣膜98，99及對電極96也

(請先閱讀背面之注意事項再填寫本頁)

家

訂

收

五、發明說明(23)

形成於邏輯電路區。

形成光阻圖樣97覆蓋記憶體儲存格區之對電極96表面。光阻圖樣邊界由位元線93前端朝邏輯電路區凸起約0.2微米。經由使用光阻圖樣97作為光罩，去除沈積於邏輯電路之對電極96。對電極96係使用含氟氣體經由各向同性蝕刻去除。

對電極96也經側向蝕刻，其邊界係由光阻圖樣97邊界退縮。側向蝕刻深度設定為約1至1.5微米。亦即對電極96邊界由位元線93前端退縮約0.8至1.3微米。

於對電極96被去除後，邏輯電路區之層間絕緣膜99及98係使用光阻圖樣97作為光罩被去除。層間絕緣膜98及99係經由各向異性RIE被去除。為了以良好再現性中止各向異性RIE蝕刻，閘極100、側壁絕緣膜101及矽基板90表面可遮蓋氮化矽膜。使用氮化矽膜時，於層間絕緣膜98及99被去除後氮化矽膜被去除。

磷離子係經使用閘極100及側壁絕緣膜101作為罩蓋植入邏輯電路區。於此植入條件同用於形成第1D圖所示第一具體例之高濃度區12b之條件。於此離子植入後，形成光阻圖樣97。

如第5B圖所示，BPSG之層間絕緣膜105沈積於基板全體表面上，及表面經CMP平面化。接觸電洞106透過層間絕緣膜105及99形成而暴露位元線93之部分頂面。接觸電洞106係形成於遠離對電極96邊界朝向邏輯電路區位置。因對電極96邊界由位元線93前端退縮約0.8至1.3微米，

(請先閱讀背面之注意事項再填寫本頁)

不

訂

線

五、發明說明(24)

故可形成接觸電洞106而未接觸對電極93。於邏輯電路區，線路圖樣107形成於層間絕緣膜105上。線路圖樣107係透過接觸電洞106連結至位元線93。

於第四具體例中，對電極96邊界係由側向蝕刻界定，未使用界定對電極96邊界的專用光罩。換言之，對電極96邊界可僅使用光阻圖樣界定而其界定記憶體儲存格區與邏輯電路區間之界限。

其次，參照第6A及6B圖說明第五具體例。如第6A圖所示，矽基板90之記憶體儲存格區形成有DRAM電路。DRAM電路結構同第5A圖所示第四具體例結構。

元件分隔結構110界定一邊界於記憶體儲存格區與邏輯電路區間。於元件分隔結構110表面上，形成互連線路圖樣111對應各位元線93。互連線路圖樣111係藉用於字線92之相同方法形成。各位元線93透過於位元線93前端附近位置，形成貫穿層間絕緣膜98之接觸電洞連結至互連線路圖樣110。

記憶體儲存格區之對電極96表面以光阻圖樣97覆蓋。經由此光阻圖樣97作為光罩，於邏輯電路區之對電極96及層間絕緣膜99被去除。互連線路圖樣111之部分表面區暴露於邏輯電路區。閘極100、側壁絕緣膜101及互連線路圖樣111表面以氮化矽膜覆蓋，氮化矽膜用作蝕刻止層。類似第5A圖所示第四具體例之方法，P離子植入邏輯電路區。

如第6B圖所示，BPSG之層間絕緣膜105沈積於基板

(請先閱讀背面之注意事項再填寫本頁)

不

訂

備

五、發明說明(25)

全體表面上，及表面透過CMP平面化。接觸電洞106形成貫穿層間絕緣膜105而暴露互連線路圖樣111之部分頂面。接觸電洞106係形成於遠離對電極96邊界朝向邏輯電路區位置。因互連線路圖樣111係伸展至邏輯電路區，故接觸電洞106可形成而未接觸對電極93。

邏輯電路區中，線路圖樣107形成於層間絕緣膜105上。線路圖樣107係透過接觸電洞106連結至位元線93。

第五具體例中，位元線93係透過互連線路圖樣111連結至線路圖樣107。因此類似第四具體例，位元線93及線路圖樣107可僅使用光阻圖樣97連結而具有良好再現性，光阻圖樣97界定邏輯電路區與記憶體儲存格區間之邊界。

已經就較佳具體例說明本發明。本發明非僅限於前述具體例。顯然業界人士可做出多種修改、改良、組合等。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(26)

元件標號對照

1...p型矽基板	53b...閘極電極
2...元件分隔結構	55...閘極氧化物膜
3-4...主動區	56...電容器電介質膜
5...光阻圖樣	60...多晶矽膜
7...閘極氧化物膜	61...矽化鎢膜
8...多晶矽膜	62...氮化矽膜
8a...字線	65...字線
8b...閘極電極	66...電容器上電極
9a...源/汲區	67...源/汲區
9b...低濃度區	68...側壁絕緣膜
10a...二氧化矽膜	70a-b...側壁絕緣膜
10b...側壁絕緣膜	70c...埋置絕緣件
11...光阻圖樣	70d...側壁絕緣膜
12b...高濃度區	71...源/汲區
15...矽化鈷膜	72...矽化鈷膜
18...硼磷矽玻璃膜	80...上二氧化矽膜
19...接觸電洞	81...二氧化矽膜
20...位元線	82...側壁絕緣膜
23...硼磷矽玻璃膜	83...墊
24...接觸電洞	90...矽基板
25...儲存電極	91...MISFET
28...電容器電介質膜	92...字線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(27)

- | | |
|--------------|--------------|
| 29...對電極 | 93...位元線 |
| 30...硼磷矽玻璃膜 | 94...儲存電極 |
| 32...接觸電洞 | 95...電容器電介質膜 |
| 35...鎢柱塞 | 96...對電極 |
| 40...線路圖樣 | 97...光阻圖樣 |
| 41...二氧化矽膜 | 98-9...層間絕緣膜 |
| 42...鎢柱塞 | 100...閘極電極 |
| 43...線路圖樣 | 101...側壁絕緣膜 |
| 44...二氧化矽膜 | 105...層間絕緣膜 |
| 45...覆蓋膜 | 106...接觸電洞 |
| 50...p型矽基板 | 107...線路圖樣 |
| 51...元件分隔結構 | 110...元件分隔結構 |
| 52...閘極氧化物膜 | 111...互連線路圖樣 |
| 53...導電膜 | |
| 53a...下電容器電極 | |

(請先閱讀背面之注意事項再填寫本頁)

表

訂

四、中文發明摘要(發明之名稱: 兼具記憶體與邏輯電路之半導體裝置及其製法)

一種閘極絕緣膜係形成於半導體基板主面上。矽膜係形成於閘極絕緣膜上。雜質摻雜於矽膜。本案例中，雜質摻雜於矽膜而於記憶體儲存格區之矽膜製作一區具有第一雜質濃度及於邏輯電路區製作矽膜之一區具有第二雜質濃度，後者係低於第一雜質濃度。摻雜後之矽膜經圖樣化。本案例中，矽膜經圖樣化而留下字線具有第一雜質濃度且作為記憶體儲存格區之閘極，及留下具有第二雜質濃度之閘極於邏輯電路區。MISFET之源/汲區係形成於半導體基板表層，形成方式係經由摻雜雜質於記憶體儲存格區各字線兩邊及摻雜於邏輯電路各閘極兩邊之區域。邏輯電路區之電力特性可改良，同時記憶體儲存格之資料儲存特性維持良好。

英文發明摘要(發明之名稱: SEMICONDUCTOR DEVICE HAVING BOTH MEMORY AND LOGIC CIRCUIT AND ITS MANUFACTURE)

A gate insulating film is formed on the principal surface of a semiconductor substrate. A silicon film is formed on the gate insulating film. Impurities are doped in the silicon film. In this case, impurities are doped into the silicon-film to make a region of the silicon film in the memory cell area have a first impurity concentration and to make a region of the silicon film in the logic circuit area have a second impurity concentration lower than the first impurity concentration. The doped silicon film is patterned. In this case, the silicon film is patterned to leave word lines having the first impurity concentration and serving as gate electrodes in the memory cell area and to leave gate electrodes having the second impurity concentration in the logic circuit area. Source/drain regions of MISFET's are formed in a surface layer of the semiconductor substrate by doping impurities into regions on both sides of each word line in the memory cell area and into regions on both sides of each gate electrode in the logic circuit. The electrical characteristics of the logic circuit area can be improved while the data storage characteristics of memory cells are maintained good.

六、申請專利範圍

1. 一種製造半導體裝置之方法，該方法包含下列步驟：

製備一半導體基板具有一記憶體儲存格區及一邏輯電路區係界定於該半導體基板之主面上；

形成一閘極絕緣膜於半導體基板主面上；

形成一矽膜於閘極絕緣膜上；

攙雜雜質於矽膜而使記憶體儲存格之矽膜區具有第一雜質濃度及於邏輯電路區矽膜製造於區具有第二雜質濃度，該濃度係低於第一雜質濃度；

圖樣化矽膜留下具有第一雜質濃度之字線，且作為記憶體儲存格區之閘極，及留下具有第二雜質濃度之閘極於邏輯電路區；及

形成MISFET之源/汲區於半導體基板表層，其形成方式係經由攙雜雜質至記憶體儲存格區各字線兩邊各區以及攙雜於邏輯電路區之各閘極兩邊各區。

2. 如申請專利範圍第1項之製造半導體裝置之方法，其中：

該半導體基板之邏輯電路區於其內部界定一n-通道MISFET形成區及一p-通道MISFET形成區；

於攙雜雜質於矽膜步驟中攙雜的雜質為n-型雜質，及以雜質攙雜的待具有第二雜質濃度之矽膜該區為n-通道MISFET形成區；

於該圖樣化矽膜步驟中，具有第二雜質濃度之閘極留在邏輯電路區之n-通道MISFET區，及其它由矽膜

(請先閱讀背面之注意事項再填寫本頁)

訂 線

六、申請專利範圍

製成之閘極留在p-通道MISFET形成區；及

該方法進一步包含攙雜p-型雜質於留在p-通道MISFET形成區之其它閘極及攙雜於各該其它閘極兩面上之基板表層。

3. 如申請專利範圍第1項之製造半導體裝置之方法，其中該形成源/汲區之步驟包含：

第一離子植入步驟其中將雜質離子經由使用閘極作為罩蓋植入於邏輯電路區及記憶體儲存格區之各該閘極兩側之基板表層；

一沈積第一絕緣膜於半導體基板全體表面之步驟；

一留下第一側壁絕緣膜於邏輯電路各該閘極之各側壁上，但以光阻圖樣覆蓋記憶體儲存格區之第一絕緣膜一區，且各向異性蝕刻於邏輯電路區之第一絕緣膜；

一第二離子植入步驟，其中經由使用於邏輯電路區及第一側壁絕緣膜之閘極作為罩蓋，將雜質離子植入邏輯電路區之各閘極兩側之基板表層；及

一形成金屬矽化物膜於邏輯電路之各閘極上表面及形成於各閘極兩側之源/汲區表面上。

4. 如申請專利範圍第3項之製造半導體裝置之方法，其中於第一離子植入步驟中，磷離子係植入記憶體儲存格區及至少砷離子係植入邏輯電路區。

5. 一種半導體裝置，包含：

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板主面上；

複數記憶體儲存格係設置於半導體基板之記憶體儲存格區，各記憶體儲存格包括一第一MISFET及一電容器，及各第一MISFET之閘極具有第一雜質濃度；及

複數第二MISFET設置於半導體基板之邏輯電路區，各第二MISFET具有與第一MISFET導電類型相同的導電類型，及各第二MISFET之閘極具有比第一雜質濃度更低的第二雜質濃度。

6. 如申請專利範圍第5項之半導體裝置，其中各第二MISFET之閘極上表面及其源/汲區之上表面係形成金屬矽化物膜，及各第一MISFET之閘極上表面及其源/汲區上表面未形成以金屬矽化物膜。/

7. 一種製造半導體裝置之方法，該方法包含下列步驟：

製備一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板之一主面上；/

形成由絕緣材料製成之元件分隔結構於該半導體基板主面之部份區而界定主動區；

形成第一閘極絕緣膜於半導體基板主面各區，此處未形成元件分隔結構；

形成一第一導電膜覆蓋該元件分隔結構及第一閘極絕緣膜；

去除記憶體儲存格區之第一導電膜；

形成一電容器電介質膜於第一導電膜表面上；

(請先閱讀背面之注意事項再填寫本頁)

不

訂

線

六、申請專利範圍

形成一第二導電膜於電容器電介質膜上及半導體基板上；

圖樣化第二導電膜而具有上電極於元件分隔結構上以及留下複數字線作為閘極於記憶體儲存格區；及

圖樣化電容器電介質膜及第一導電膜而留下由第一導電膜製成之一下電極，其中該下電極之保留形狀為當沿半導體基板之法線方向檢視時，涵括上電極之形狀，一由第一導電膜製成之閘極留在邏輯電路區之主動區上，及電容器電介質膜留在上電極與下電極間。

8. 如申請專利範圍第7項之製造半導體裝置之方法，進一步包含於去除記憶體儲存格區之第一導電膜步驟後而於形成電容器電介質膜之步驟前，於記憶體儲存格區去除第一閘極絕緣膜之步驟，其中該形成電容器電介質膜之步驟進一步包含一形成第二閘極絕緣膜於記憶體儲存格區之半導體基板主面上之步驟。
9. 如申請專利範圍第7項之製造半導體裝置之方法，其進一步包含：

一形成第一側壁絕緣膜於邏輯電路之各閘極側壁上，以及使用絕緣材料製成之埋置絕緣件埋置記憶體儲存格區之字線間之空間之步驟；

一將雜質植入邏輯電路區之閘極兩側上之基板表層之步驟；及

一形成金屬矽化物膜於邏輯電路區閘極上表面以

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

及於閘極兩側之半導體基板表面之步驟。

10. 如申請專利範圍第8項之製造半導體裝置之方法，其進一步包含：

一於形成第二導電膜步驟後，沈積上絕緣膜於第二導電膜之步驟，該上絕緣膜係由絕緣材料製成其具有蝕刻抗性與埋置之絕緣件不同，其中於圖樣化第二導電膜步驟中，上絕緣膜經圖樣化而具有與第二導電膜相同的圖樣；及

於留下字線步驟後形成第二側壁絕緣膜於各字線側壁之步驟，第二側壁絕緣膜係由絕緣材料製成，其具有蝕刻抗性與埋置絕緣件不同，其中埋置絕緣件係填補於設置於毗鄰字線之兩相對側壁上的第二側壁絕緣膜間。

11. 一種半導體裝置，包含：

一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板主面上及元件分隔結構形成於邏輯電路區及記憶體儲存格區表面上；

複數記憶體儲存格係設置於半導體基板之記憶體儲存格區，各記憶體儲存格包括一第一MISFET及一電容器，及各第一MISFET之閘極具有第一雜質濃度；

複數第二MISFET設置於半導體基板之邏輯電路區，各第二MISFET具有與第一MISFET導電類型相同的導電類型，及一第二MISFET之閘極具有第二結構；及

一電容器係設置於邏輯電路區之元件分隔結構上

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

線

六、申請專利範圍

，該電容器具有一下電極，一電容器電介質膜及一上電極照此順序堆疊，其中該上電極具有第一結構及該下電極具有第二結構。

12. 一種半導體裝置，包含：

MISFET形成於一半導體基板表面上，各MISFET包括源/汲區及一閘極設置於介於源/汲區間之一通道區上方；

一覆蓋絕緣膜係由絕緣材料製成且覆蓋閘極之上及側表面；

一導電墊係設置成覆蓋源/汲區之對應上表面及覆蓋絕緣膜之對應側面；

一層間絕緣膜係設置於半導體基板上及覆蓋墊及MISFET；

一接觸電洞形成於層間絕緣膜位在位置當沿半導體基板之法線方向檢視時係由墊所涵括的位置；及

一電容器形成於層間絕緣膜上，電容器之一電極細透過接觸電洞連結至墊。

13. 一種製造半導體基板之方法，包含下列步驟：

製備一半導體基板具有一記憶體儲存格區及一邏輯電路區界定於該半導體基板之一主面上；

形成一DRAM電路於半導體基板之記憶體儲存格區，其中該DRAM電路包括複數記憶體儲存格及位元線，各記憶體儲存格具有一對MISFET及電容器，電容器之一電極係連結至對應MISFET之源/汲區之一區，

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

位元線互連若干記憶體儲存格之MISFET之源/汲區之其它區，該位元線接近記憶體儲存格區與邏輯電路區間之界限伸展，該電容器之另一對電極係設置於比位元線更高的一層且係連結至複數電容器，一第一絕緣膜係電絕緣位元線及MISFET，一第二絕緣膜係電絕緣位元線與電容器，及對電極及第一及第二絕緣膜也係設置於邏輯電路區；

以一光阻圖樣覆蓋於記憶體儲存格區之對電極表面，其中光阻圖樣之邊界係設置成遠離位元線前端朝向邏輯電路區；

經由使用光阻圖樣作為光罩，各向同性蝕刻該對電極而去除於邏輯電路區之對電極，其中於邏輯電路區之對電極也被側向蝕刻至對電極邊界由位元線前端退縮為止；

經由使用光阻圖樣作為光罩蝕刻及去除於邏輯電路區之第一及第二層間絕緣膜；

一第三層間絕緣膜覆蓋半導體基板全表面；

形成一接觸電洞於第三及第二層間絕緣膜，該接觸電洞係形成於遠離對電極邊界朝向邏輯電路區之位置，且暴露位元線之部分上表面；及

形成一線路於第三絕緣膜上，該線路係透過接觸電洞連結至位元線且伸展於邏輯電路區。

14. 一種半導體裝置，包含：

一半導體基板具有一記憶體儲存格區及一邏輯電

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

路區界定於該半導體基板之主面上；

一元件分隔結構形成於半導體基板上介於記憶體儲存格區與邏輯電路區間之邊界區；一互連線路係設置於元件分隔結構上；

一DRAM電路係形成於記憶體儲存格區之半導體基板上，其中該DRAM電路包括複數記憶體儲存格及位元線，各記憶體儲存格具有一對MISFET及電容器，電容器之一電極係連結至對應MISFET之源/汲區之一區，位元線互連若干記憶體儲存格之MISFET之源/汲區之其它區，該位元線係接近記憶體儲存格區與邏輯電路區間之界限伸展，及該位元線係設置於比互連線路更高之一層且與互連線路連結；一層間絕緣膜覆蓋DRAM電路及邏輯電路區；

一接觸電洞形成貫穿層間絕緣膜，接觸電洞之底部為互連線路之部分上表面；及

一上線路係設置於層間絕緣膜上，上線路係透過接觸電洞連結至互連線路且於邏輯電路區伸展。

15. 一種製造半導體裝置之方法，包含下列步驟：

製備一半導體基板具有一記憶體儲存格區及一邏輯電路區係界定於半導體基板主面上；

形成一閘極絕緣膜於半導體基板主面上；

形成一矽膜於閘極絕緣膜上；

摻雜雜質於矽膜而製造記憶體儲存格區中具有第一雜質濃度之一矽膜區；

(請先閱讀背面之注意事項再填寫本頁)

訂線

410464

六、申請專利範圍

圖樣化該矽膜而留下具有第一雜質濃度之字線，且作為於記憶體儲存格區之閘極，以及留下閘極於邏輯電路區；

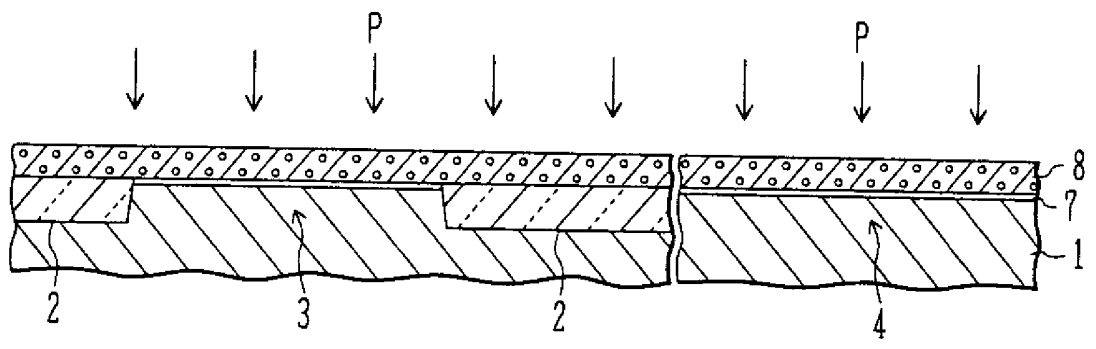
經由攙雜雜質於記憶體儲存格區各字線兩側各區而形成 MISFET 源/汲區於半導體基板表層；及

於半導體基板邏輯電路區表層形成 MISFET 源/汲區，及同時攙雜雜質於邏輯電路區之閘極，故邏輯電路區之閘極具有第二雜質濃度係低於第一雜質濃度。

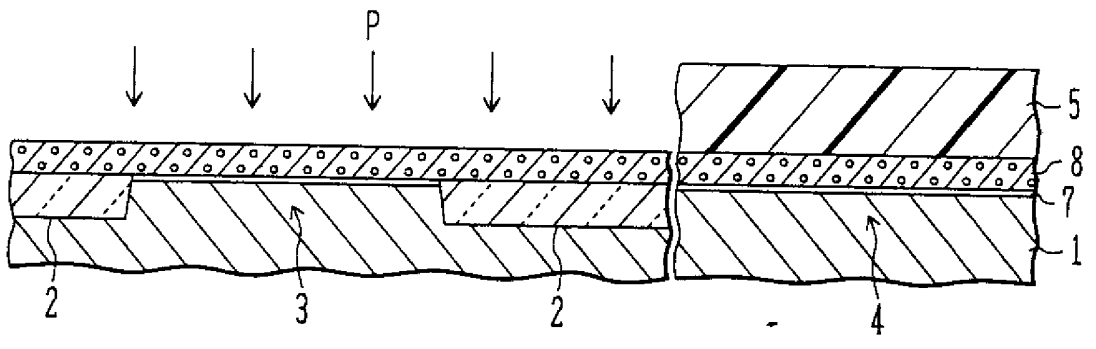
(請先閱讀背面之注意事項再填寫本頁)

訂
線

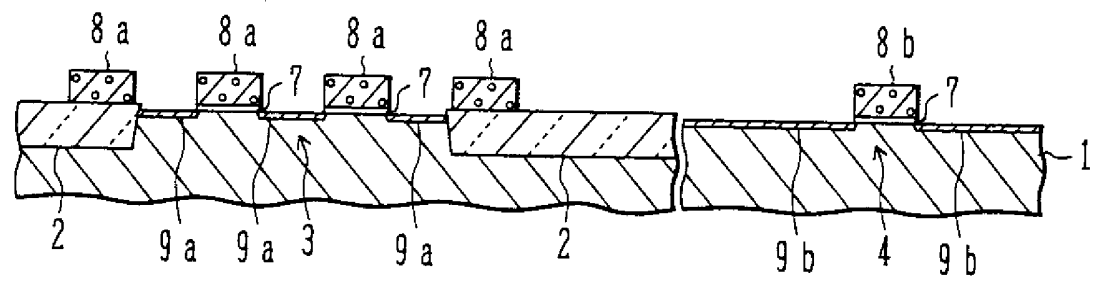
第 1A 圖



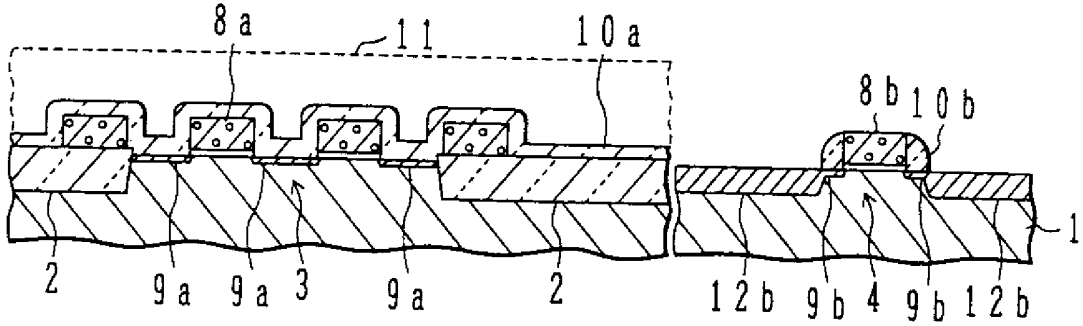
第 1B 圖



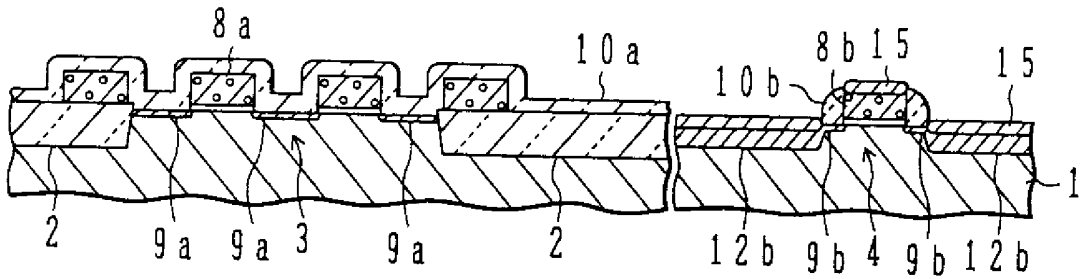
第 1C 圖



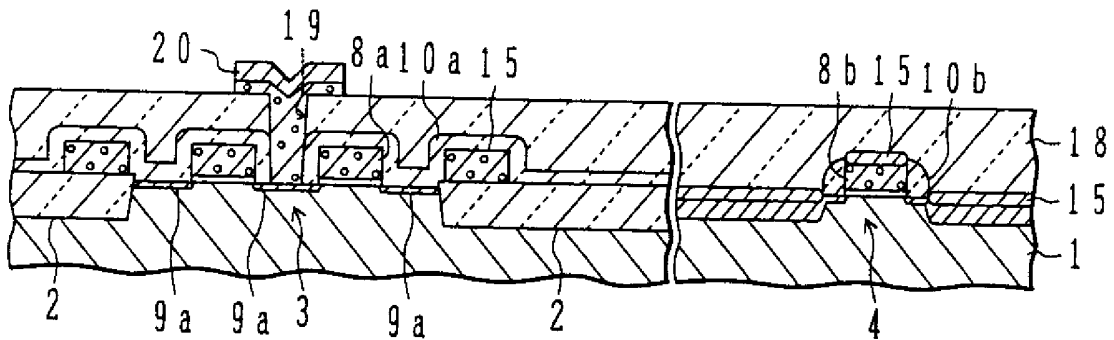
第 1D 圖



第 1E 圖

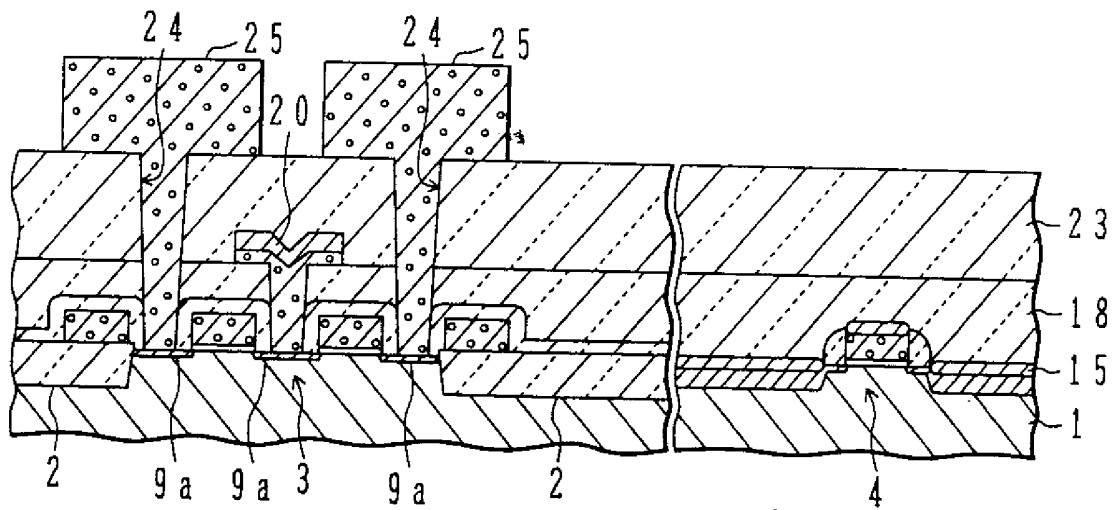


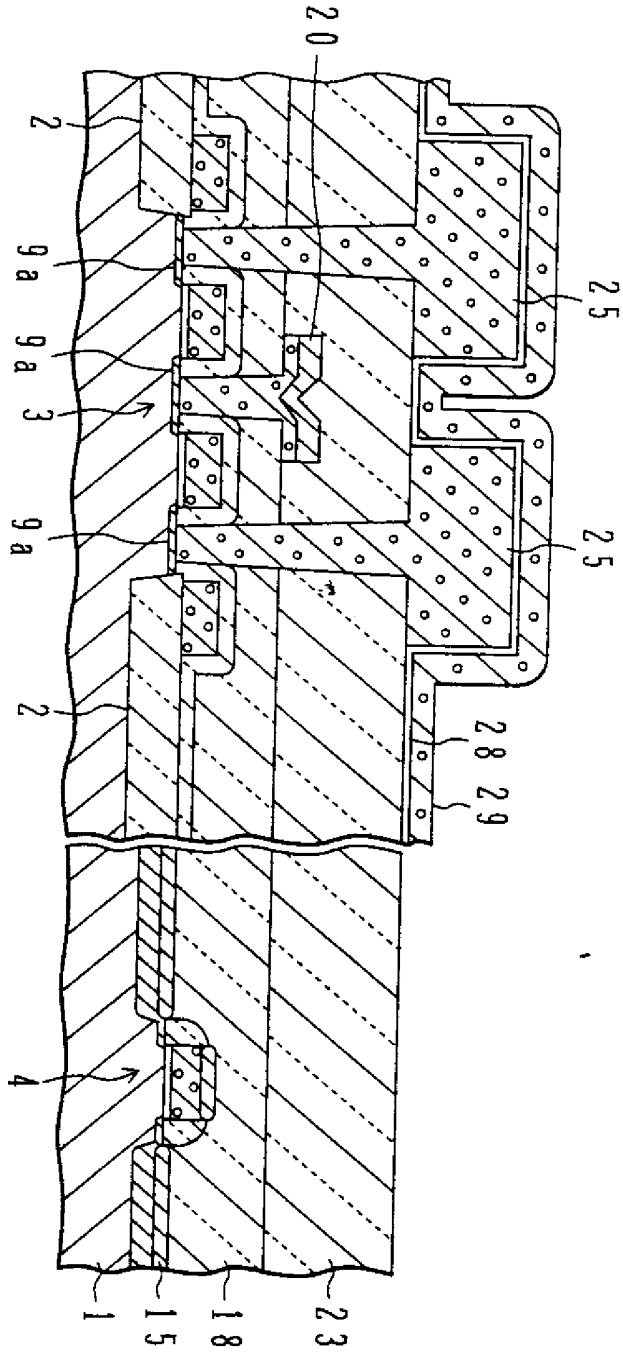
第 1F 圖



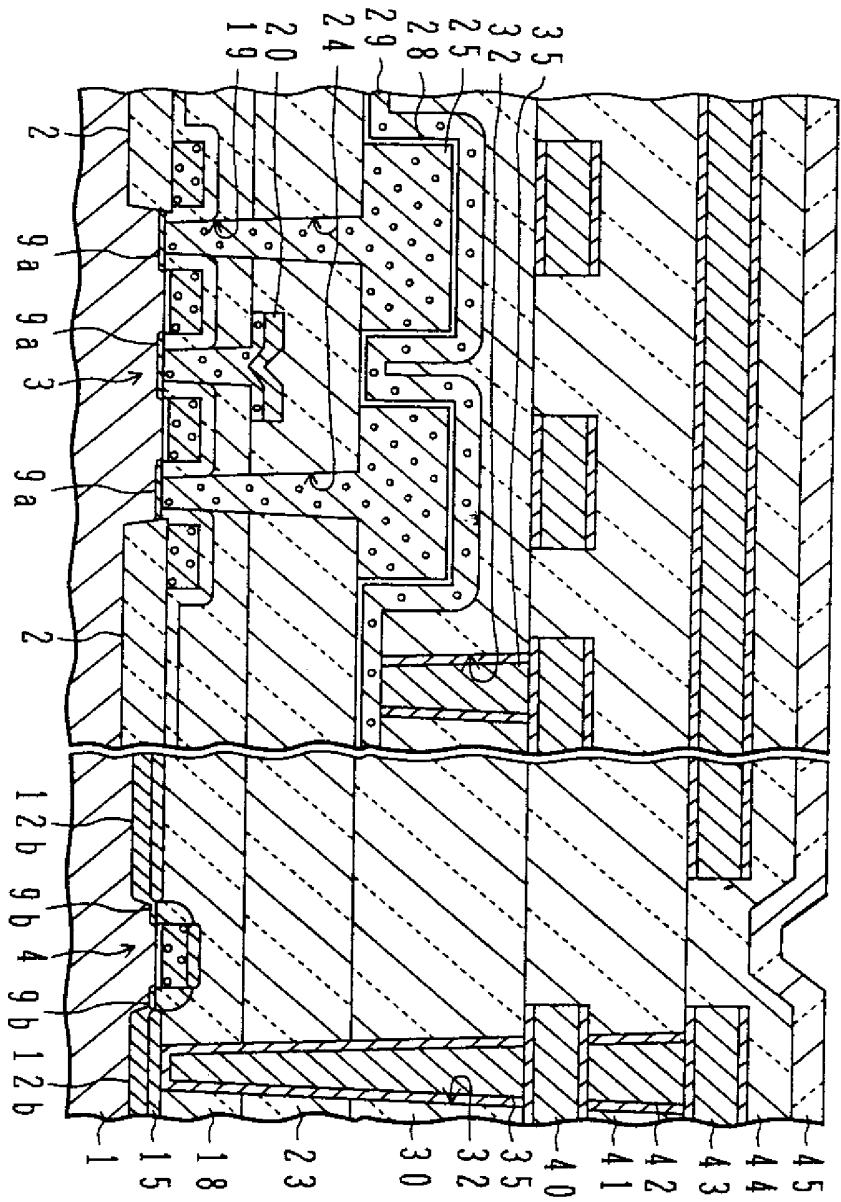
410464

第 1G 圖



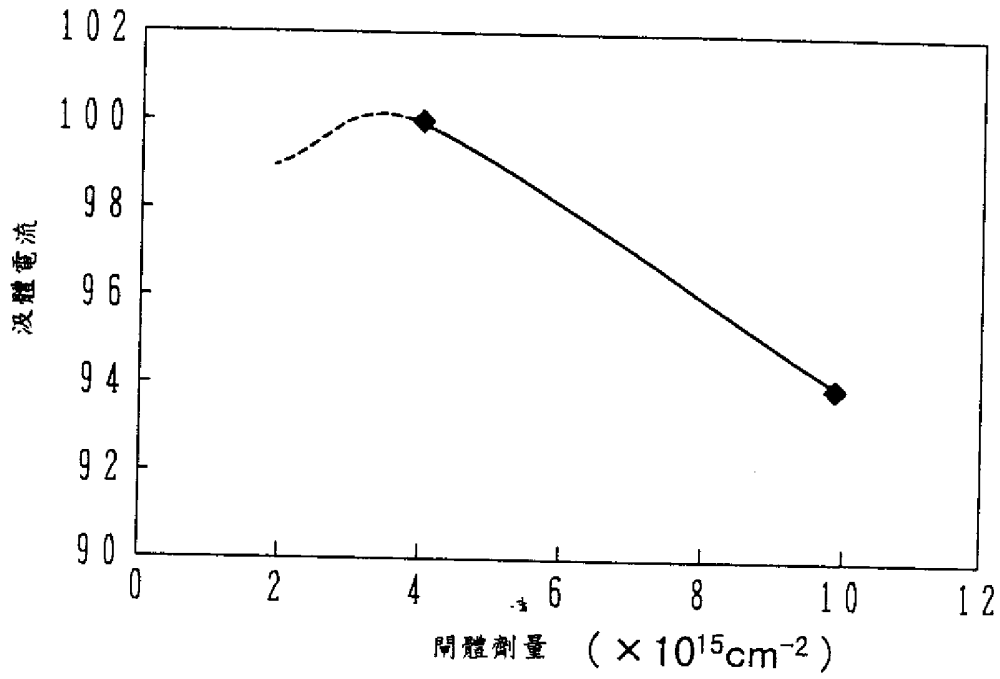


第 1H 圖

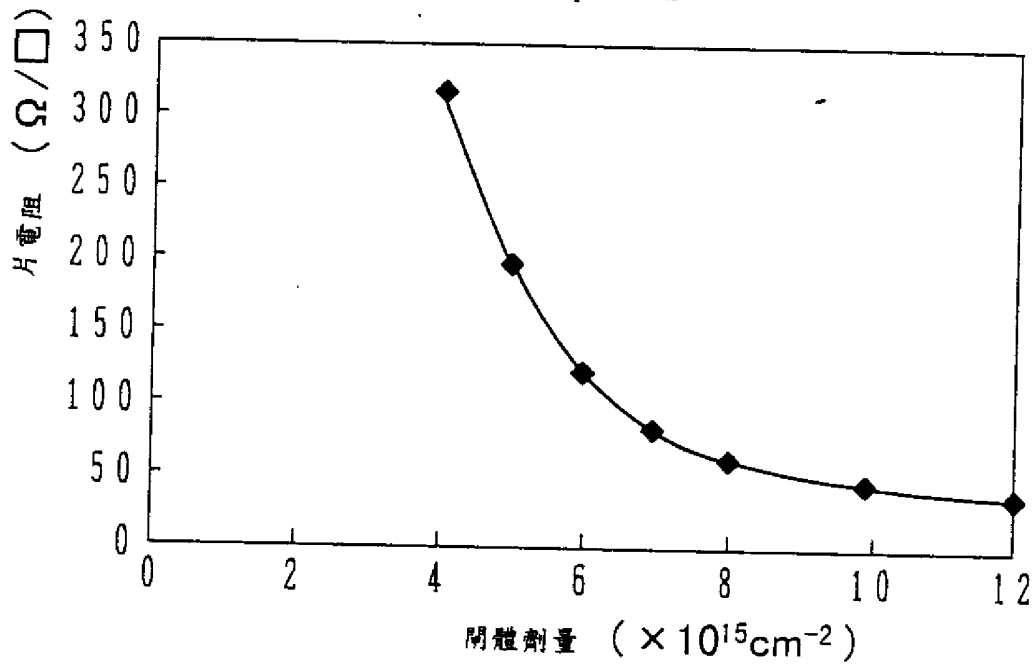


第 11 圖

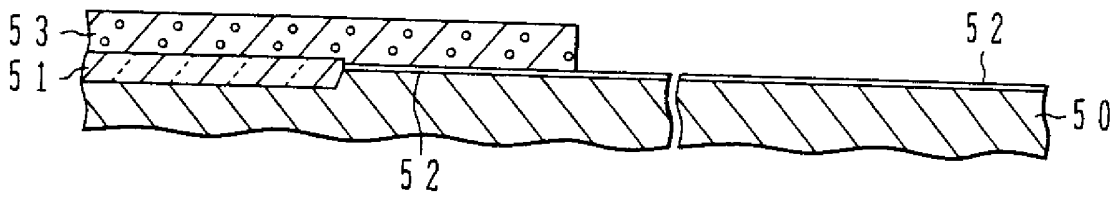
第 2A 圖



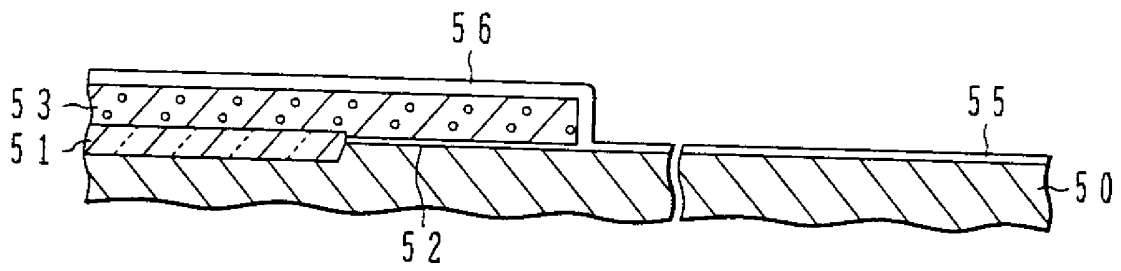
第 2B 圖



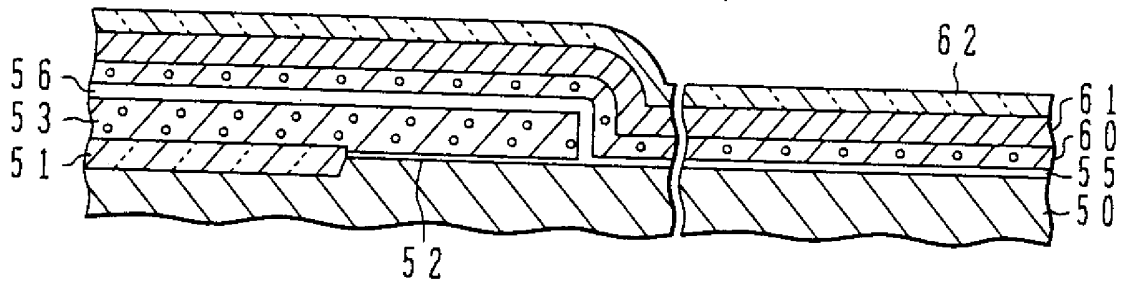
第 3A 圖



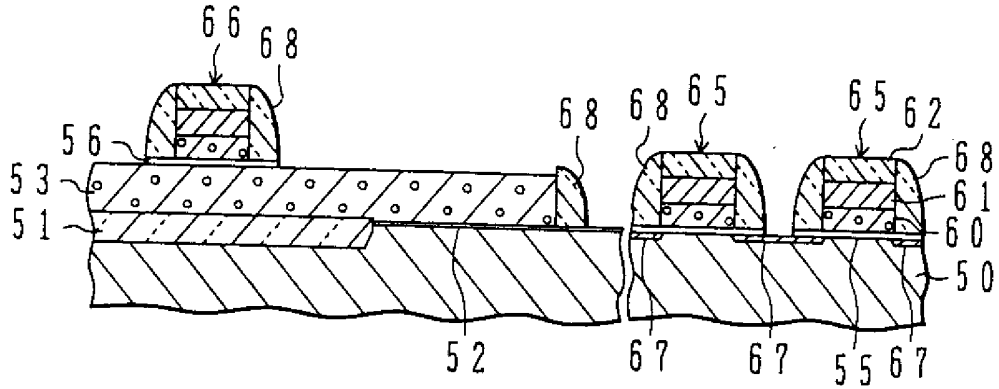
第 3B 圖



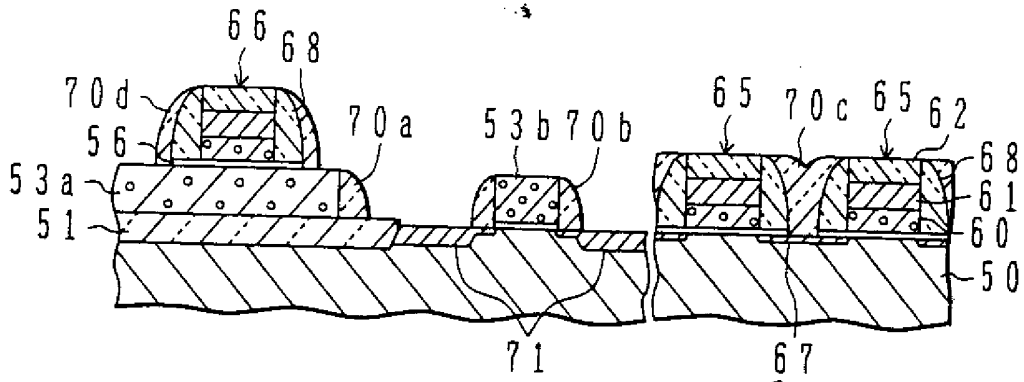
第 3C 圖



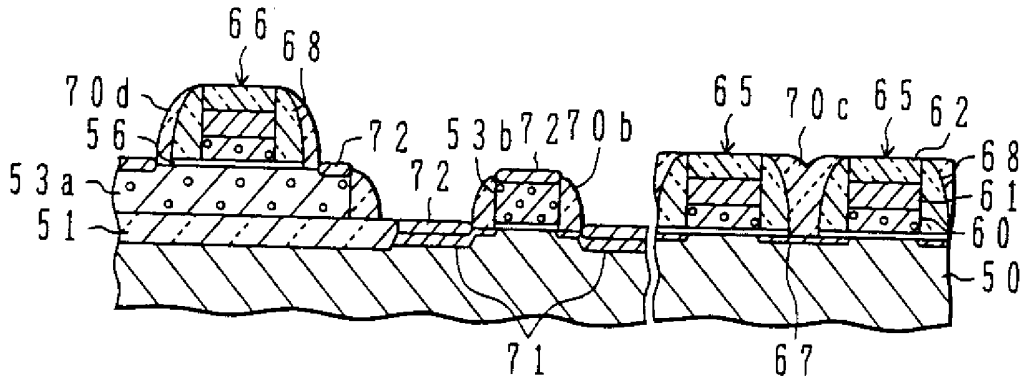
第 3D 圖



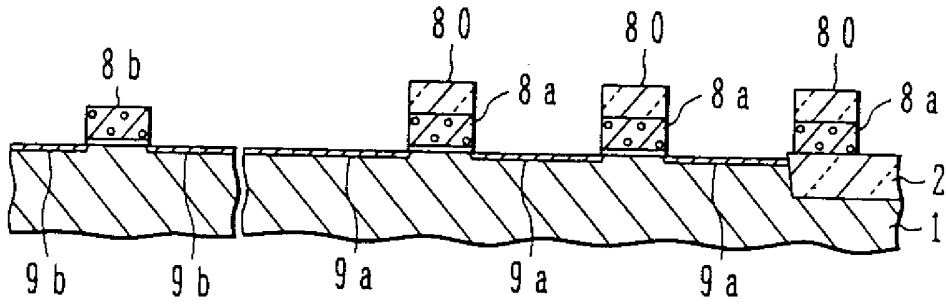
第 3E 圖



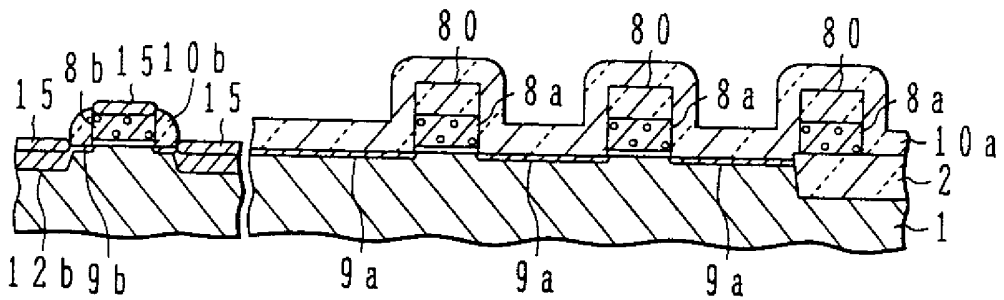
第 3F 圖



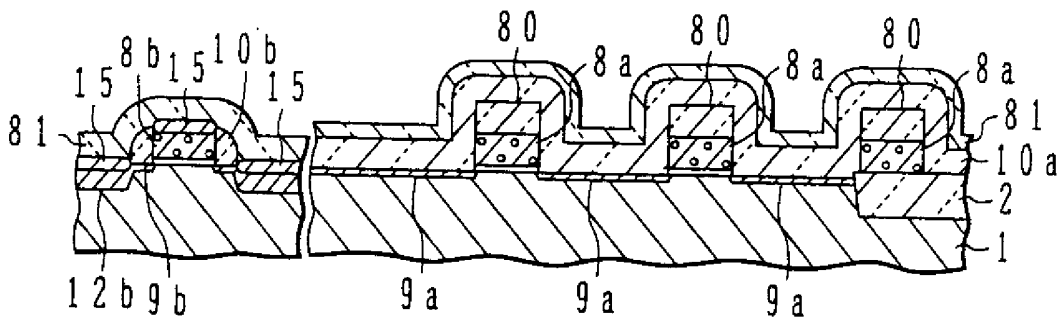
第 4A 圖



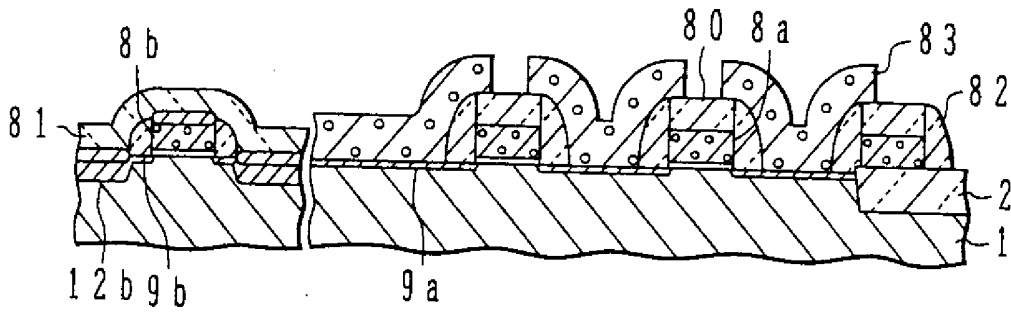
第 4B 圖



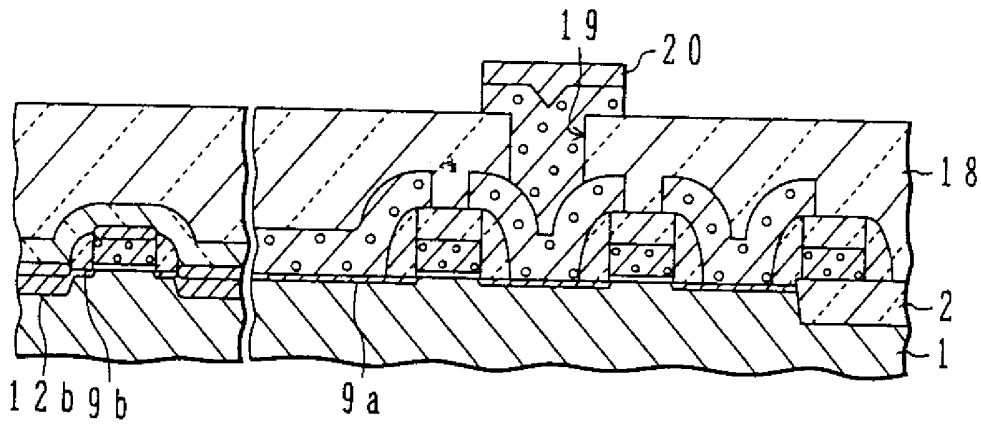
第 4C 圖



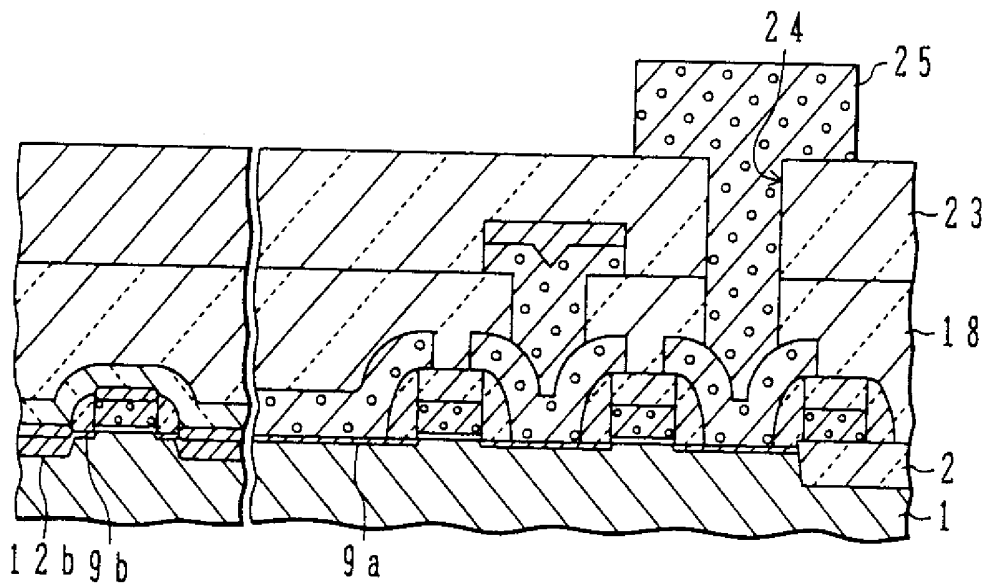
第 4D 圖



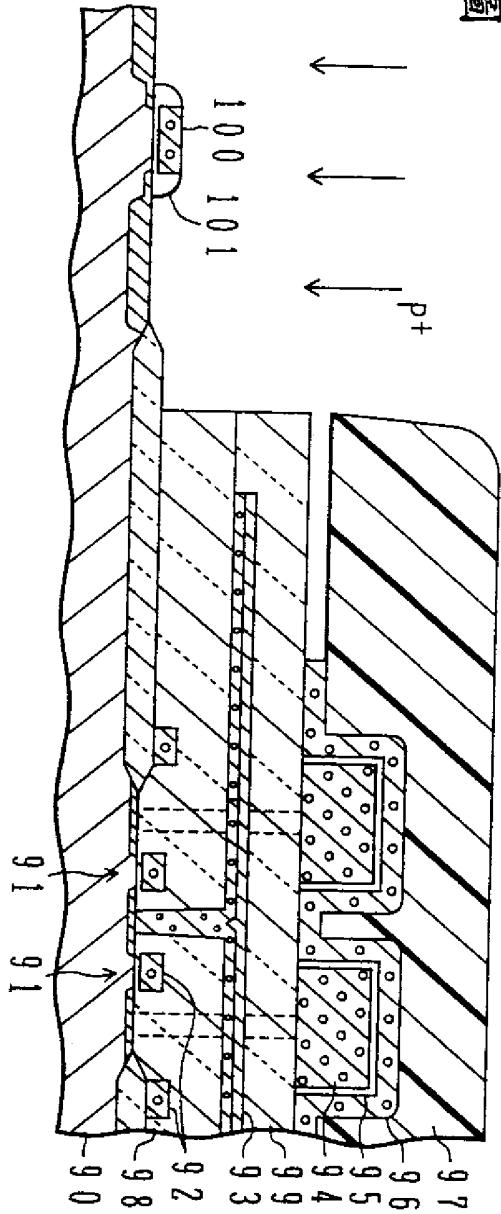
第 4E 圖



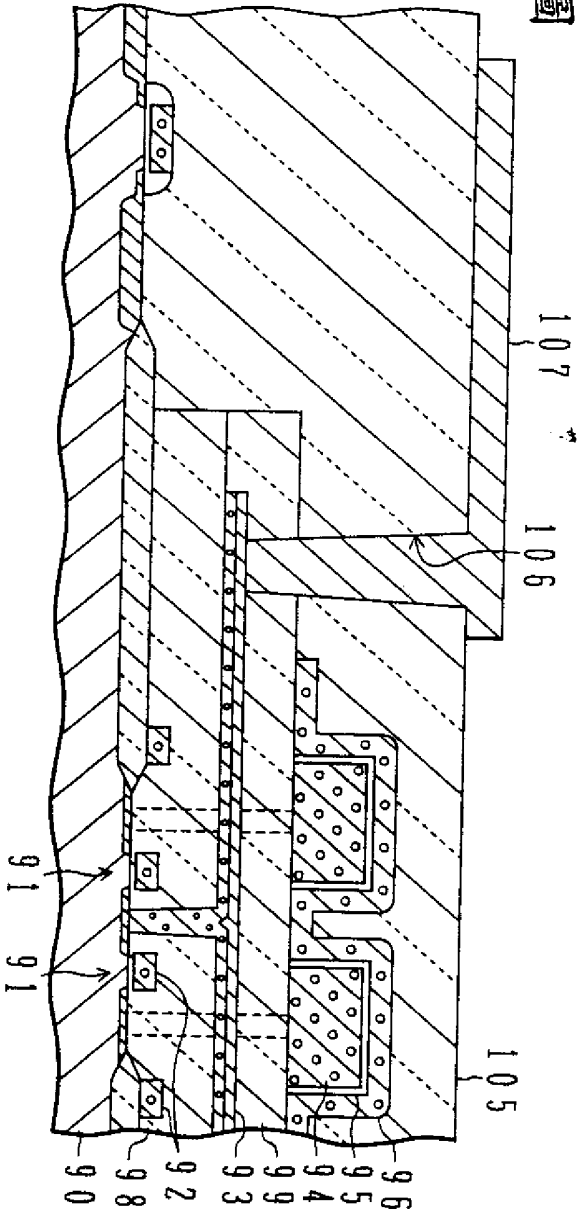
第 4F 圖



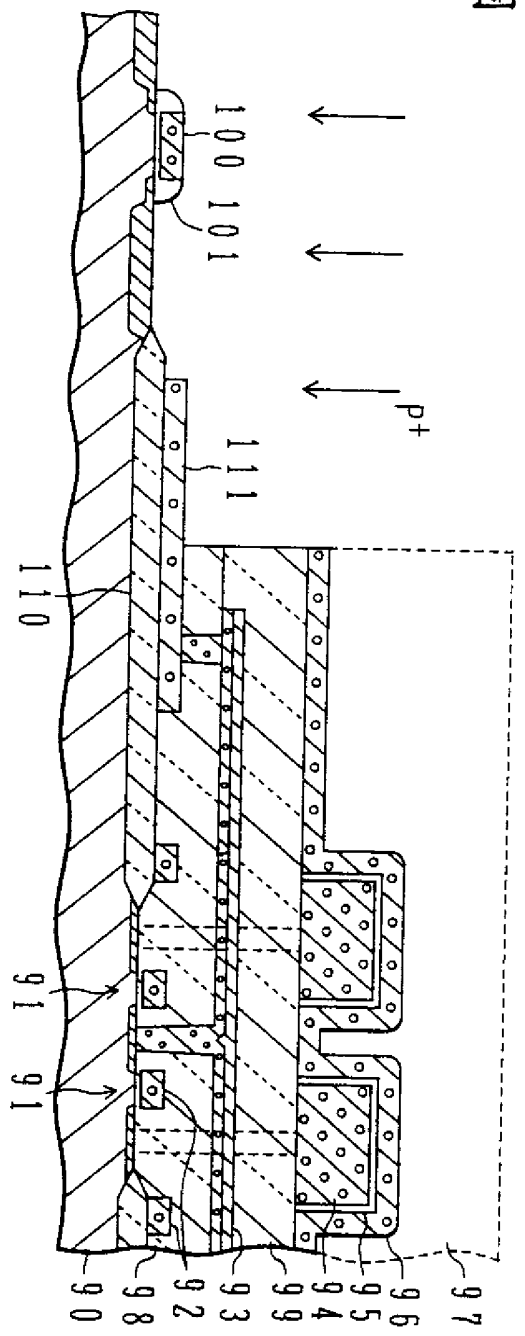
第 5A 圖



第 5B 圖



第 6A 圖



第 6B 圖

